

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)



(10) 国際公開番号

WO 2021/182016 A1

(51) 国際特許分類:

H01L 23/12 (2006.01) *H01L 25/07* (2006.01)
H01L 23/29 (2006.01) *H01L 25/18* (2006.01)
H01L 23/36 (2006.01)

(21) 国際出願番号: PCT/JP2021/005346

(22) 国際出願日: 2021年2月12日(12.02.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-040872 2020年3月10日(10.03.2020) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2番地 Kyoto (JP).

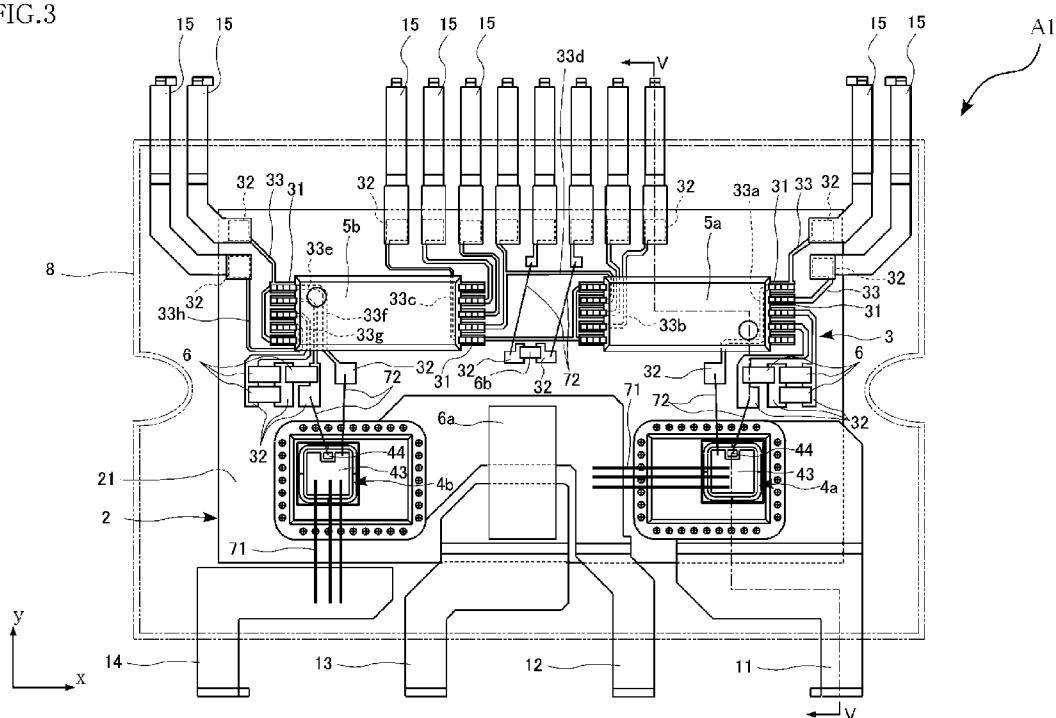
(72) 発明者: ▲濱▼ 憲治 (HAMA Kenji); 〒6158585
京都府京都市右京区西院溝崎町2番地
ローム株式会社内 Kyoto (JP). 石松 祐司
(ISHIMATSU Yuji); 〒6158585 京都府京都市右
京区西院溝崎町2番地 ローム株式会社内
Kyoto (JP). 原 英夫 (HARA Hideo); 〒6158585
京都府京都市右京区西院溝崎町2番地
ローム株式会社内 Kyoto (JP).

(74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.3



(57) Abstract: A semiconductor device comprises a substrate, a conductive section, a control device, and a sealing resin. The substrate has a substrate main surface and a substrate back surface that face mutually opposite sides in the z direction. The conductive section is formed on the substrate main surface and comprises an electroconductive material. The control device is electrically connected to the conductive section and is positioned on the substrate main surface. The sealing resin covers the control device and at least a part of the substrate. The conductive section includes overlapping wiring

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

that overlaps the control device in z-direction view. The overlapping wiring is configured so as not to be conductively connected to the control device in the range overlapping the control device.

(57) 要約: 半導体装置は、基板、導電部、制御装置、および封止樹脂を備える。前記基板は、z方向において互いに反対側を向く基板主面および基板裏面を有する。前記導電部は、前記基板主面上に形成され且つ導電性材料からなる。前記制御装置は、前記導電部と電氣的に接続され、かつ、前記基板主面上に配置されている。前記封止樹脂は、前記基板の少なくとも一部、および、前記制御装置を覆う。前記導電部は、z方向視において、前記制御装置に重なる重なり配線を含む。前記重なり配線は、前記制御装置に重なる範囲において、前記制御装置に導通接合しない構成とされている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 種々の半導体装置の一つとして、IPM (Intelligent Power Module) と称されるものがある。このような半導体装置は、半導体チップと、半導体チップを制御する制御チップと、半導体チップおよび制御チップを覆う封止樹脂とを備えている（特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-4893号公報

発明の概要

発明が解決しようとする課題

[0004] 制御チップには、複数種類の制御信号の入出力がある。制御信号の数が増えるほど、制御チップへの導通経路の数を増やす必要があるが、これらの導通経路を従来のように金属製の複数のリードによって構成しようとすると、半導体装置のさらなる高集積化が困難となりうる。

[0005] 本開示は、上記した事情のもとで考え出されたものであって、より高集積化を可能とする半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0006] 本開示の第1の側面によって提供される半導体装置は、厚さ方向において互いに反対側を向く基板主面および基板裏面を有する基板と、前記基板主面上に形成された導電性材料からなる導電部と、前記導電部と電氣的に接続され、かつ、前記基板主面上に配置された電子部品と、前記基板の少なくとも一部、および、前記電子部品を覆う封止樹脂とを備える。前記導電部は、前記厚さ方向視において、前記電子部品に重なる重なり配線であって、前記電

子部品に重なる範囲において前記電子部品に導通接合しない重なり配線を含んでいる。

[0007] 上述の半導体装置によると、電子部品への導通経路を、基板主面上に形成された導電部によって構成できる。したがって、たとえば金属製のリードによって導通経路を構成する場合と比べて、導通経路の細線化や高密度化を図ることが可能である。また、重なり配線は、厚さ方向視において、電子部品に重なって配置されている。したがって、導通経路を電子部品に重ならないように迂回させて配置する場合と比べて、導通経路の短縮化が可能であり、また、導通経路の設計の自由度が大きくなる。したがって、半導体装置 A 1 の高集積化を促進できる。

[0008] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

- [0009] [図1]本開示の第1実施形態に係る半導体装置を示す斜視図である。
- [図2]図1の半導体装置を示す平面図である。
- [図3]図1の半導体装置を示す平面図であり、封止樹脂を透過した図である。
- [図4]図1の半導体装置を示す底面図である。
- [図5]図3のV-V線に沿う断面図である。
- [図6]図3の部分拡大図である。
- [図7]図6のVⅠⅠ-VⅠⅠ線に沿う断面図である。
- [図8]図1の半導体装置の基板を示す平面図である。
- [図9]図1の半導体装置の製造方法の一例の一工程を示すフローチャートである。
- [図10]本開示の第2実施形態に係る半導体装置を示す断面図である。
- [図11]図10の一部を拡大した部分拡大断面図である。
- [図12]本開示の第3実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。
- [図13]本開示の第4実施形態に係る半導体装置を示す断面図である。

[図14]図 1 3 の一部を拡大した部分拡大断面図である。

[図15]図 1 3 の一部を拡大した部分拡大断面図である。

発明を実施するための形態

[0010] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0011] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。

[0012] <第1実施形態>

図1～図8は、本開示に係る半導体装置の一例を示している。本実施形態の半導体装置A1は、複数のリード1、基板2、複数の接合部25、導電部3、2個の半導体チップ4、2個の制御装置5、複数の受動素子6、複数のワイヤ71、複数のワイヤ72、および封止樹脂8を備えている。本実施形態において、半導体装置A1は、IPM (Intelligent Power Module) である。半導体装置A1は、たとえば、エアコンディショナーやモータ制御機器などの用途に用いられる。

[0013] 図1は、半導体装置A1を示す斜視図である。図2は、半導体装置A1を示す平面図である。図3は、半導体装置A1を示す平面図であり、封止樹脂8を透過した図である。なお、図3においては、封止樹脂8の外形を想像線（二点鎖線）で示している。図4は、半導体装置A1を示す底面図である。図5は、図3のV-V線に沿う断面図である。図6は、図3の部分拡大図である。図7は、図6のV1-V1線に沿う断面図である。なお、図7においては、封止樹脂8を省略している。図8は、基板2を示す平面図である。

[0014] 説明の便宜上、基板2の厚さ方向（平面視方向）をz方向とし、z方向に直交する基板2の一方の辺に沿う方向（図2～図4における左右方向）をx方向、z方向およびx方向に直交する方向（図2～図4における上下方向）をy方向とする。z方向は「厚さ方向」の一例である。

[0015] 基板2は、板状であり、z方向視の形状がx方向に長い矩形状である。基板2の厚さ（z方向の寸法）は、たとえば0.1mm～1.0mm程度である。なお、基板2の各寸法は限定されない。基板2は、絶縁性の材料からなる。基板2の材料は、特に限定されない。基板2の材料としては、たとえば、封止樹脂8の材料よりも熱伝導率が高い材料が好ましい。基板2の材料としては、たとえばアルミナ（ Al_2O_3 ）、窒化珪素（SiN）、窒化アルミ（AlN）、ジルコニア入りアルミナ等のセラミックが挙げられる。

[0016] 基板2は、基板主面21および基板裏面22を有する。基板主面21および基板裏面22は、z方向において互いに反対側を向く面であり、ともにz方向に対して直交する平坦面である。基板主面21は、図5の上方を向く面である。基板主面21には、導電部3および複数の接合部25が形成されており、複数のリード1および複数の電子部品が搭載されている。複数の電子部品には、2個の半導体チップ4、2個の制御装置5、および複数の受動素子6が含まれている。基板裏面22は、図5の下方を向く面である。図4に示すように、基板裏面22は、封止樹脂8から露出している。基板主面21および基板裏面22の形状は、ともに矩形状である。なお、基板2の形状は

限定されない。

[0017] 導電部3は、基板2上に形成されている。本実施形態においては、導電部3は、基板2の基板主面21上に形成されている。導電部3は、導電性材料からなる。導電部3を構成する導電性材料は特に限定されない。導電部3の導電性材料としては、たとえば銀（Ag）、銅（Cu）、金（Au）等を含むものが挙げられる。以降の説明においては、導電部3が銀を含む場合を例に説明する。なお、導電部3は、銀に代えて銅を含んでいてもよいし、銀または銅に代えて金を含んでいてもよい。あるいは、導電部3は、Ag-PtやAg-Pdを含んでいてもよい。導電部3の形成手法は限定されず、たとえばこれらの金属を含むペーストを焼成することによって形成される。導電部3の厚さは特に限定されず、たとえば5 μ m～30 μ m程度である。

[0018] 導電部3の形状は特に限定されない。本実施形態では、導電部3は、たとえば図8に示すように、複数の第1パッド31、複数の第2パッド32、および複数の接続配線33を含んでいる。各第1パッド31は、たとえば長矩形状であり、制御装置5が導通接合されている。なお、第1パッド31の形状は限定されない。各第1パッド31は、互いに離間して配置されている。各第2パッド32は、たとえば矩形状であり、リード15（後述）、半導体チップ4、および受動素子6のいずれかが導通接続されている。なお、第2パッド32の形状は限定されない。各第2パッド32は、互いに離間して配置されている。各接続配線33は、第1パッド31のいずれかと第2パッド32のいずれかとに接続している。また、接続配線33には、2個の第1パッド31に接続しているものもある。また、第1パッド31および第2パッド32には、接続配線33に接続されていないものもある。接続配線33は、制御装置5が導通接合される第1パッド31に接続しているので制御装置5に導通するが、制御装置5に導通接合していない。

[0019] 本実施形態では、一部の接続配線33は、z方向視において、制御装置5に重なっている。つまり、当該接続配線33は、基板2の基板主面21と制御装置5との間に配置されている。接続配線33のうち制御装置5に重なっ

ている部分を含むものが、「重なり配線」の一例である。

[0020] 本実施形態では、図3および図8に示すように、接続配線33には、接続配線33a, 33b, 33c, 33d, 33e, 33f, 33g, 33hが含まれている。接続配線33aは、制御装置5a（後述）に重なっており、制御装置5aに導通接合された第1パッド31と、ワイヤ72を介して半導体チップ4a（後述）に導通接続された第2パッド32とに接続している。接続配線33bは、制御装置5aに重なっており、制御装置5aに導通接合された第1パッド31と、リード15に導通接合された第2パッド32とに接続している。接続配線33cは、制御装置5b（後述）に重なっており、制御装置5bに導通接合された第1パッド31と、リード15に導通接合された第2パッド32とに接続している。接続配線33dは、制御装置5aに重なっており、制御装置5aに導通接合された第1パッド31と、制御装置5bに導通接合された第1パッド31と、リード15に導通接合された第2パッド32とに接続している。

[0021] 接続配線33eは、制御装置5bに重なっており、制御装置5bに導通接合された第1パッド31と、ワイヤ72を介して半導体チップ4b（後述）に導通接続された第2パッド32とに接続している。接続配線33fは、制御装置5bに重なっており、制御装置5bに導通接合された第1パッド31と、ワイヤ72を介して半導体チップ4bに導通接続され、かつ、受動素子6に導通接合された第2パッド32とに接続している。接続配線33gは、制御装置5bに重なっており、制御装置5bに導通接合された第1パッド31と、受動素子6に導通接合された第2パッド32とに接続している。接続配線33hは、制御装置5bに重なっており、制御装置5bに導通接合された第1パッド31と、リード15に導通接合された第2パッド32とに接続している。各接続配線33の配置および形状は限定されず、上記したものは一例に過ぎない。

[0022] 複数の接合部25は、図8に示すように、基板2上に形成されている。本実施形態においては、複数の接合部25は、基板2の基板主面21上のy方

向の一方側（図8において下側）寄りに形成されている。接合部25の材料は特に限定されず、たとえば、基板2とリード1とを接合可能な材料で構成されている。接合部25は、たとえば導電性材料からなる。接合部25を構成する導電性材料は特に限定されない。接合部25の導電性材料としては、たとえば銀（Ag）、銅（Cu）、金（Au）等を含むものが挙げられる。以降の説明においては、接合部25が銀を含む場合を例に説明する。この例における接合部25は、導電部3を構成する導電性材料と同じものを含む。なお、接合部25は、銀に代えて銅を含んでいてもよいし、銀または銅に代えて金を含んでいてもよい。あるいは、接合部25は、Ag-PtやAg-Pdを含んでいてもよい。接合部25の形成手法は限定されず、たとえば導電部3と同様に、これらの金属を含むペーストを焼成することによって形成される。接合部25の厚さは特に限定されず、たとえば $5\mu\text{m}$ ～ $30\mu\text{m}$ 程度である。

[0023] 本実施形態においては、複数の接合部25は、図8に示すように、接合部251、252、253を含んでいる。接合部251、252、253は、互いに離間している。接合部251は、基板2のz方向視におけるx方向の一方側（図8において右側）寄りに形成されている。接合部251には、リード11（後述）が接合されている。接合部253は、基板2のz方向視におけるx方向の中央付近に形成されている。接合部253には、リード13（後述）が接合されている。接合部252は、接合部251を囲むように形成されている。接合部252には、リード12（後述）が接合されている。なお、接合部251、252、253の形状および配置は限定されない。

[0024] 複数のリード1は、金属を含んで構成されており、たとえば基板2よりも熱伝導率が高い。リード1を構成する金属は特に限定されず、たとえば銅（Cu）、アルミニウム、鉄（Fe）、無酸素銅、またはこれらの合金（たとえば、Cu-Sn合金、Cu-Zr合金、Cu-Fe合金等）である。また、複数のリード1には、ニッケル（Ni）めっきが施されていてもよい。複数のリード1は、たとえば、金型を金属板に押し付けるプレス加工により形

成されてもよいし、金属板をエッチングでパターニングすることにより形成されてもよい。なお、複数のリード1の形成方法は限定されない。各リード1の厚さは特に限定されず、たとえば0.4 mm～0.8 mm程度である。各リード1は、互いに離間している。

[0025] 本実施形態においては、複数のリード1は、リード11、リード12、リード13、リード14、および複数のリード15を含んでいる。リード11、リード12、リード13、およびリード14は、半導体チップ4への導通経路を構成している。複数のリード15は、制御装置5または受動素子6への導通経路を構成している。

[0026] リード11は、基板2上に配置されており、本実施形態においては、基板主面21上に配置されている。リード11は、リード11は、接合材75を介して接合部25に接合されている。接合材75は、リード11を接合部25に接合しうるものであればよい。リード11からの熱を基板2により効率よく伝達する観点から、接合材75は、熱伝導率がより高いものが好ましく、たとえば、銀ペースト、銅ペーストやはんだ等が用いられる。ただし、接合材75は、エポキシ系樹脂やシリコン系樹脂等の絶縁性材料であってもよい。また、基板2に接合部25が形成されていない場合、リード11は、基板2に接合されていてもよい。

[0027] リード11の構成は特に限定されない。本実施形態においては、図5に示すように、リード11を、第1部111、第2部112、第3部113および第4部114に区分けして説明する。

[0028] 第1部111は、主面111aおよび裏面111bを有する。主面111aおよび裏面111bは、z方向において互いに反対側を向く面であり、ともにz方向に対して直交する平坦面である。主面111aは、図5の上方を向く面である。主面111aには、半導体チップ4aが接合されている。裏面111bは、図5の下方を向く面である。裏面111bは、接合材75によって接合部25に接合されている。第3部113および第4部114は、封止樹脂8によって覆われている。第3部113は、第1部111および第

4部114に繋がっている。第4部114は、第3部113および第2部112に繋がっている。第2部112は、第4部114の端部に繋がり、リード11のうち封止樹脂8から突出する部分である。第2部112は、y方向において第1部111とは反対側に突出している。第2部112は、たとえば半導体装置A1を外部の回路に電氣的に接続するために用いられる。図示された例においては、第2部112は、z方向において第1部111の主面111aが向く側に折り曲げられている。

[0029] リード12は、基板2上に配置されており、本実施形態においては、基板主面21上に配置されている。リード12は、接合材75を介して接合部25に接合されている。リード12の構成は特に限定されない。本実施形態においては、リード12の構成は、リード11の構成と同様である。リード12には、半導体チップ4bが接合されている。

[0030] リード13は、基板2上に配置されており、本実施形態においては、基板主面21上に配置されている。リード13は、接合材75を介して接合部25に接合されている。リード13の構成は特に限定されない。本実施形態においては、リード13の構成は、リード11の構成と同様である。リード13には、半導体チップ4が接合されていない。

[0031] リード14は、本実施形態では、基板2上に配置されておらず、リード11の第1部111および第3部113に相当する部位を含んでいない。なお、リード14の構成はこれに限定されない。

[0032] 複数のリード15は、それぞれ、基板2上に配置されており、本実施形態においては、基板主面21上に配置されている。各リード15は、それぞれ、導電性接合材76を介して導電部3の第2パッド32に接合されている。導電性接合材76は、リード15を第2パッド32に接合し、かつ、リード15と第2パッド32とを電氣的に接続しうるものであればよい。導電性接合材76は、たとえば、銀ペースト、銅ペーストやはんだ等が用いられる。

[0033] リード15の構成は特に限定されない。本実施形態においては、図5に示すように、リード15を、第1部151、第2部152、第3部153およ

び第4部154に区分けして説明する。

[0034] 第1部151は、主面151aおよび裏面151bを有する。主面151aおよび裏面151bは、z方向において互いに反対側を向く面であり、ともにz方向に対して直交する平坦面である。主面151aは、図5の上方を向く面である。裏面151bは、図5の下方を向く面である。裏面151bは、導電性接合材76によって第2パッド32に接合されている。第3部153および第4部154は、封止樹脂8によって覆われている。第3部153は、第1部151および第4部154に繋がっている。第4部154は、第3部153および第2部152に繋がっている。第2部152は、第4部154の端部に繋がり、リード15のうち封止樹脂8から突出する部分である。第2部152は、y方向において第1部151とは反対側に突出している。第2部152は、たとえば半導体装置A1を外部の回路に電氣的に接続するために用いられる。図示された例においては、第2部152は、z方向において第1部151の主面151aが向く側に折り曲げられている。

[0035] 2個の半導体チップ4は、それぞれ、いずれかのリード1上に配置されている。2個の半導体チップ4を区別して記載する場合、一方を半導体チップ4aとし、他方を半導体チップ4bとする。両者を区別しない場合は、単に半導体チップ4とする。半導体チップ4の種類や機能は特に限定されず、本実施形態においては、半導体チップ4が、電力を制御するパワートランジスタである場合を例に説明する。半導体チップ4は、たとえばSiC（炭化シリコン）基板からなるMOSFET（metal-oxide-semiconductor field-effect transistor）である。なお、半導体チップ4は、SiC基板に変えてSi（シリコン）基板からなるMOSFETであってもよく、たとえばIGBT素子を含んでいてもよい。また、GaN（窒化ガリウム）を含むMOSFETであってもよい。なお、本実施形態では、半導体装置A1が2個の半導体チップ4を備えている場合を示しているが、これは一例であり、半導体チップ4の個数は、限定されない。

[0036] 半導体チップ4は、z方向視矩形状の板状であり、素子主面41、素子裏

面 4 2、ソース電極 4 3、ゲート電極 4 4、およびドレイン電極 4 5 を備えている。素子主面 4 1 および素子裏面 4 2 は、z 方向において互いに反対側を向いている。素子主面 4 1 は、図 5 の上方を向く面である。素子裏面 4 2 は、図 5 の下方を向く面である。素子主面 4 1 には、図 3 に示すように、ソース電極 4 3 およびゲート電極 4 4 が配置されている。また、素子裏面 4 2 には、ドレイン電極 4 5 が配置されている。なお、ソース電極 4 3、ゲート電極 4 4、およびドレイン電極 4 5 の形状および配置は限定されない。

[0037] 半導体チップ 4 a は、図 3 および図 5 に示すように、リード 1 1 上に配置されている。半導体チップ 4 a は、図 5 に示すように、素子裏面 4 2 をリード 1 1 に向けて、導電性接合材（図示略）によってリード 1 1 に接合されている。これにより、半導体チップ 4 a のドレイン電極 4 5 は、導電性接合材によって、リード 1 1 に導通接続される。導電性接合材は、たとえば、銀ペースト、銅ペーストやはんだ等が用いられる。また、図 3 に示すように、半導体チップ 4 a のソース電極 4 3 は、ワイヤ 7 1 によって、リード 1 2 に導通接続される。ワイヤ 7 1 は、たとえば、アルミニウム（Al）や銅（Cu）からなる。なお、ワイヤ 7 1 の材料、線径、および本数は限定されない。半導体チップ 4 b は、図 3 に示すように、リード 1 2 上に配置されている。半導体チップ 4 b は、素子裏面 4 2 をリード 1 2 に向けて、導電性接合材（図示略）によってリード 1 2 に接合されている。これにより、半導体チップ 4 b のドレイン電極 4 5 は、導電性接合材によって、リード 1 2 に導通接続される。図 3 に示すように、半導体チップ 4 b のソース電極 4 3 は、ワイヤ 7 1 によって、リード 1 4 に導通接続される。これにより、半導体チップ 4 a のドレイン電極 4 5 と半導体チップ 4 b のソース電極 4 3 とが接続されたブリッジ回路が形成されている。

[0038] 図 3 に示すように、半導体チップ 4 a のソース電極 4 3 およびゲート電極 4 4 は、それぞれ、ワイヤ 7 2 および導電部 3 を介して、制御装置 5 a に導通接続される。ワイヤ 7 2 は、たとえば、金（Au）、銀（Ag）、銅（Cu）、アルミ（Al）等からなる。なお、ワイヤ 7 2 の材料、線径、および

本数は限定されない。制御装置 5 a は、駆動信号を半導体チップ 4 a のゲート電極 4 4 に入力する。半導体チップ 4 b のソース電極 4 3 およびゲート電極 4 4 は、それぞれ、ワイヤ 7 2 および導電部 3 を介して、制御装置 5 b に導通接続される。制御装置 5 b は、駆動信号を半導体チップ 4 b のゲート電極 4 4 に入力する。リード 1 1 とリード 1 4 との間に直流電圧が印加され、半導体チップ 4 a, 4 b のゲート電極 4 4 に駆動信号が入力されることで、駆動信号に応じて電圧が切り替るスイッチング信号が、リード 1 2 から出力される。

[0039] 2 個の制御装置 5 は、それぞれ、半導体チップ 4 の駆動を制御するものであり、基板 2 の基板主面 2 1 上に配置されている。2 個の制御装置 5 を区別して記載する場合、一方を制御装置 5 a とし、他方を制御装置 5 b とする。両者を区別しない場合は、単に制御装置 5 とする。制御装置 5 a は、半導体チップ 4 a の駆動を制御する。制御装置 5 b は、半導体チップ 4 b の駆動を制御する。図 5 に示すように、制御装置 5 は、x 方向視において、半導体チップ 4 とリード 1 5 との間に位置している。また、図 3 に示すように、y 方向視において、制御装置 5 a は半導体チップ 4 a に重なり、制御装置 5 b は半導体チップ 4 b に重なっている。制御装置 5 a および制御装置 5 b の配置は限定されない。

[0040] 制御装置 5 は、図 7 に示すように、対向面 5 0、制御チップ 5 1、ダイパッド 5 2、複数のリード 5 3、樹脂 5 4、および複数のワイヤ 5 5 を備えている。制御チップ 5 1 は、半導体チップ 4 の駆動を制御する集積回路であり、半導体チップ 4 を駆動させる駆動信号を出力する。ダイパッド 5 2 および複数のリード 5 3 は、たとえば銅 (Cu) からなる板状部材である。ダイパッド 5 2 は、制御チップ 5 1 が搭載されている。各リード 5 3 は、ワイヤ 5 5 によって制御チップ 5 1 に導通している。樹脂 5 4 は、制御チップ 5 1 およびワイヤ 5 5 の全体と、各リード 5 3 の一部とを覆っており、たとえばエポキシ樹脂、シリコーンゲル等の絶縁性材料からなる。

[0041] 各リード 5 3 は、樹脂 5 4 の x 方向の両端部に、y 方向に間隔をあけて配

列されている。各リード53は、x方向に沿って延び、各々の一部が樹脂54のx方向の両側面から突出している。各リード53の樹脂54から突出した部分が、導電部3の第1パッド31に導通接合されている。本実施形態では、制御装置5は、SOP (Small Outline Package) タイプのパッケージである。制御装置5のパッケージタイプは、SOPタイプに限定されず、例えばQFP (Quad Flat Package) タイプ、SOJ (Small Outline J-lead Package) タイプ等の他のタイプのパッケージであってもよい。各リード53は、それぞれ、導電性接合材76を介して導電部3の第1パッド31に接合されている。

[0042] 対向面50は、制御装置5を基板2に配置した状態で、基板主面21に対向する面であり、全面が樹脂54からなる。本実施形態では、一部の接続配線33（重なり配線）は、z方向視において、制御装置5に重なっており、基板2の基板主面21と制御装置5の対向面50との間に配置されている。制御装置5は、制御チップ51が樹脂54によって覆われており、対向面50に樹脂54が配置されているので、制御チップ51が重なり配線に接触することが防止される。制御装置5に代えて、制御チップ51が基板2に直接配置されている場合、制御チップ51が重なり配線に接触するので、重なり配線を用いることができず、接続配線33を迂回させて配置する必要がある。

[0043] 本実施形態においては、制御装置5が「電子部品」の一例であり、制御チップ51が「電子素子」の一例であり、樹脂54が「絶縁部」の一例である。制御装置5のサイズ、形状、リードの数などは限定されない。制御装置5は、複数の制御チップ51を備えていてもよいし、制御チップ51以外の回路チップを備えていてもよい。

[0044] 複数の受動素子6は、基板2の基板主面21上に配置されており、導電部3またはリード1に導通接合されている。受動素子6は、たとえば、抵抗、コンデンサ、コイル、ダイオードなどである。受動素子6には、シャント抵抗6aおよびサーミスタ6bが含まれている。

- [0045] シャント抵抗 6 a は、リード 1 2 とリード 1 3 とに跨って配置されており、リード 1 2 およびリード 1 3 に導通接合されている。シャント抵抗 6 a は、リード 1 2 に流れる電流から分流した電流をリード 1 3 から出力させる。サーミスタ 6 b は、導電部 3 の 2 個の第 2 パッド 3 2 に導通接合されている。当該 2 個の第 2 パッド 3 2 は、それぞれがワイヤ 7 2 および導電部 3 を介して、互いに異なるリード 1 5 に導通接続されている。サーミスタ 6 b は、当該 2 個のリード 1 5 の間に電圧が印加されることで、周囲の温度に応じた電流を出力する。
- [0046] その他の受動素子 6 は、導電部 3 の第 2 パッド 3 2 に導通接合されており、接続配線 3 3 および第 1 パッド 3 1 を介して、制御装置 5 に導通している。なお、各受動素子 6 の種類、配置位置、数は限定されない。本実施形態においては、受動素子 6 が、「第 2 の電子部品」の一例である。
- [0047] 封止樹脂 8 は、半導体チップ 4 a, 4 b、制御装置 5 a, 5 b、複数の受動素子 6、およびワイヤ 7 1, 7 2 と、複数のリード 1 の一部ずつと、基板 2 の一部とを少なくとも覆っている。封止樹脂 8 の材料は特に限定されず、たとえばエポキシ樹脂、シリコーンゲル等の絶縁材料が適宜用いられる。
- [0048] 封止樹脂 8 は、樹脂主面 8 1、樹脂裏面 8 2、および 4 個の樹脂側面 8 3 を有する。樹脂主面 8 1 および樹脂裏面 8 2 は、z 方向において互いに反対側を向く面であり、ともに z 方向に対して直交する平坦面である。樹脂主面 8 1 は、図 5 の上方を向く面である。樹脂裏面 8 2 は、図 5 の下方を向く面である。各樹脂側面 8 3 は、それぞれ、樹脂主面 8 1 および樹脂裏面 8 2 に繋がり、x 方向または y 方向を向いている。図 4 に示すように、基板 2 の基板裏面 2 2 は、封止樹脂 8 の樹脂裏面 8 2 から露出している。図 5 に示すように、基板裏面 2 2 と樹脂裏面 8 2 とは、互いに面一である。
- [0049] 半導体装置 A 1 の製造方法の一例について、図 9 を参照して以下に説明する。なお、以下に説明する製造方法は、半導体装置 A 1 を実現するための一手段であり、これに限定されない。
- [0050] 図 9 に示すように、本例の製造方法は、導電部形成工程（ステップ S 1）

、リードフレーム接合工程（ステップS 2）、半導体チップ実装工程（ステップS 3）、制御装置実装工程（ステップS 4）、ワイヤ接続工程（ステップS 5）、樹脂形成工程（ステップS 6）、およびフレーム切断工程（ステップS 7）を有する。

[0051] 導電部形成工程（ステップS 1）では、まず、基板2が準備される。基板2は、たとえばセラミックからなる。次いで、基板2の基板主面2 1上に導電部3および複数の接合部2 5を形成する。本例においては、導電部3および複数の接合部2 5を一括して形成する。たとえば、金属ペーストを印刷した後に、これを焼成することにより、導電性材料としてのたとえば銀（Ag）等の金属を含む導電部3および複数の接合部2 5が得られる。

[0052] リードフレーム接合工程（ステップS 2）では、まず、複数の接合部2 5に接合ペーストを印刷し、導電部3の一部の第2パッド3 2に導電性接合ペーストを印刷する。接合ペーストおよび導電性接合ペーストは、たとえばAgペーストやはんだペーストである。次いで、リードフレームを用意する。リードフレームは、複数のリード1を含んでおり、さらに複数のリード1がつながるフレームを有する。なお、リードフレームの形状等は、限定されない。次いで、複数のリード1のうちリード1 1，1 2，1 3を接合ペーストを介して複数の接合部2 5に対面させる。また、複数のリード1のうち複数のリード1 5を導電性接合ペーストを介して導電部3（第2パッド3 2）に対面させる。たとえば、接合ペーストおよび導電性接合ペーストを加熱した後に冷却することにより、接合ペーストによって接合材7 5が形成され、導電性接合ペーストによって導電性接合材7 6が形成される。これにより、リード1 1，1 2，1 3が接合材7 5を介して複数の接合部2 5に接合され、複数のリード1 5が導電性接合材7 6を介して導電部3に接合される。

[0053] 半導体チップ実装工程（ステップS 3）では、まず、リード1 1およびリード1 2の所定の位置に、導電性接合ペーストを印刷する。導電性接合ペーストは、たとえばAgペーストやはんだペーストである。次いで、リード1 1に印刷された導電性接合ペーストに、半導体チップ4 aを付着させ、リー

ド 1 2 に印刷された導電性接合ペーストに、半導体チップ 4 b を付着させる。そして、たとえば導電性接合ペーストを加熱した後に冷却することにより、導電性接合ペーストによって導電性接合材が形成される。これにより、半導体チップ 4 a が導電性接合材を介してリード 1 1 に接合され、半導体チップ 4 b が導電性接合材を介してリード 1 2 に接合される。また、同様の工程により、シャント抵抗 6 a を、導電性接合材を介してリード 1 1 およびリード 1 2 に接合させる。

[0054] 制御装置実装工程（ステップ S 4）では、導電部 3 の第 1 パッド 3 1 に、導電性接合ペーストを印刷する。導電性接合ペーストは、たとえば A g ペーストやはんだペーストである。次いで、導電性接合ペーストに制御装置 5 a および制御装置 5 b の各リード 5 3 をそれぞれ付着させる。次いで、たとえば導電性接合ペーストを加熱した後に冷却することにより、制御装置 5 a および制御装置 5 b の各リード 5 3 を、導電性接合材を介して第 1 パッド 3 1 に接合させる。また、同様の工程により、サーミスタ 6 b およびその他の受動素子 6 を、導電性接合材を介して導電部 3 の第 2 パッド 3 2 に接合させる。

[0055] ワイヤ接続工程（ステップ S 5）では、まず、複数のワイヤ 7 1 を接続する。本例においては、たとえばウエッジボンディングの手法により、アルミニウム（A l）からなるワイヤ材を順次接続する。これにより、複数のワイヤ 7 1 が得られる。次いで、複数のワイヤ 7 2 を接続する。本例においては、たとえばキャピラリボンディングの手法により、金（A u）からなるワイヤ材を順次接続する。これにより、複数のワイヤ 7 2 が得られる。

[0056] 樹脂形成工程（ステップ S 6）では、たとえばリードフレームの一部、基板 2 の一部、半導体チップ 4 a、4 b、制御装置 5 a、5 b、複数の受動素子 6、および複数のワイヤ 7 1、7 2 を金型によって囲む。次いで、金型によって規定された空間に液状の樹脂材料を注入する。ついで、この樹脂材料を硬化させることにより、封止樹脂 8 が得られる。

[0057] フレーム切断工程（ステップ S 7）では、リードフレームのうち封止樹脂

8から露出した部位の適所を切断する。これにより、複数のリード1が互いに分割される。この後は、必要に応じて、複数のリード1を折り曲げる等の処理を経ることにより、上述した半導体装置A1が得られる。

[0058] 次に、半導体装置A1の作用効果について説明する。

[0059] 本実施形態によると、基板2の基板主面21には、導電部3が形成されている。導電部3は、第1パッド31に制御装置5が導通接合されている。これにより、制御装置5への導通経路を、基板主面21上に形成された導電部3によって構成できる。したがって、たとえば金属製のリードによって導通経路を構成する場合と比べて、導通経路の細線化や高密度化を図ることが可能である。また、導電部3の接続配線33の一部である重なり配線は、z方向視において、制御装置5に重なって配置されている。したがって、導通経路を制御装置5に重ならないように迂回させて配置する場合と比べて、導通経路の短縮化が可能であり、また、導通経路の設計の自由度が大きくなる。したがって、半導体装置A1の高集積化を促進できる。

[0060] また、本実施形態によると、制御装置5は、制御チップ51が樹脂54によって覆われており、対向面50に樹脂54が配置されている。接続配線33が、z方向視において制御装置5に重なって配置されていても、制御チップ51が接続配線33に接触することが防止される。したがって、接続配線33は、制御装置5に重ならないように迂回させる必要がない。よって、導通経路の短縮化が可能であり、また、導通経路の設計の自由度が大きくなる。

[0061] また、本実施形態によると、制御チップ51が樹脂54によって覆われた制御装置5を用いている。制御装置5に代えて制御チップ51を用いる場合、制御チップ51のままでは出荷検査に必要な高電圧高電流を流すことができないので、封止樹脂8によって覆われた完成品になるまで出荷検査を行うことができない。この場合、出荷検査で不良品と判定されると、制御チップ51以外の部品が正常であっても、完成品全体を廃棄することになる。一方、制御装置5は、制御チップ51が樹脂54によって覆われているので、出

荷検査に必要な高電圧高電流を流すことができる。したがって、実装する前に、制御装置 5 の検査を行って、不良品を廃棄できる。半導体装置 A 1 は、良品の制御装置 5 だけを用いて製造できるので、正常な部品が無駄になることを抑制できる。

[0062] また、本実施形態によると、複数のリード 1 は、基板 2 よりも熱伝導率が高いので、基板 2 の採用によって低下しうる半導体チップ 4 からの放熱の低下を抑制できる。また、半導体チップ 4 a は導電性接合材によってリード 1 1 に直接接合されており、半導体チップ 4 b は導電性接合材によってリード 1 2 に直接接合されている。よって、半導体チップ 4 a (4 b) とリード 1 1 (1 2) とを導通させるとともに、半導体チップ 4 a (4 b) からの熱をリード 1 1 (1 2) へとより効率よく伝達できる。また、複数のリード 1 が封止樹脂 8 から露出していることにより、外部から半導体チップ 4 への導通経路を構成するとともに、半導体チップ 4 の放熱特性をより確保できる。また、基板 2 には接合部 2 5 が形成されており、リード 1 1, 1 2, 1 3 が接合部 2 5 を介して基板 2 に接合されている。たとえばセラミックからなる基板 2 の基板主面 2 1 の表面粗さに対して、接合部 2 5 の表面は、より滑らに仕上げるのが可能である。これにより、リード 1 1, 1 2, 1 3 から基板 2 へと至る伝熱経路に意図しない微小な空隙部等が生じることを抑制可能であり、半導体チップ 4 等の放熱をより促進できる。また、基板 2 の基板裏面 2 2 は、封止樹脂 8 から露出している。これにより、半導体チップ 4 等から基板 2 に伝わった熱を、より効率よく外部に放熱できる。

[0063] また、本実施形態によると、導電部 3 と接合部 2 5 とが、同じ導電性材料を含むことにより、導電部 3 と接合部 2 5 とを基板 2 に一括して形成することが可能である。これは、半導体装置 A 1 の製造効率の向上に好ましい。また、複数のリード 1 5 は、導電性接合材 7 6 を介して導電部 3 の第 2 パッド 3 2 に接合されている。これにより、基板 2 に対して複数のリード 1 5 をより強固に固定できる。また、複数のリード 1 5 と導電部 3 との間の低抵抗化を図ることができる。

[0064] 図10～図15は、本開示の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0065] <第2実施形態>

図10および図11は、本開示の第2実施形態に係る半導体装置A2を説明するための図である。図10は、半導体装置A2を示す断面図であり、図5に対応する図である。図11は、図10の一部を拡大した部分拡大断面図である。本実施形態の半導体装置A2は、制御装置5のパッケージタイプがSON (Small Outline Non-leaded package) タイプである点で、第1実施形態と異なっている。

[0066] 本実施形態に係る制御装置5は、SONタイプのパッケージであり、図11に示すように、各リード53が樹脂54から突出しておらず、樹脂54の底面（図11においては下側を向く面）および側面（底面に直交する面）から露出している。制御装置5は、各リード53の樹脂54から露出している部分が、導電性接合材77を介して導電部3の第1パッド31に導通接合されている。導電性接合材77は、リード53を第1パッド31に接合し、かつ、リード53と第1パッド31とを電氣的に接続しうるものであればよい。導電性接合材77は、たとえば、はんだや、銀ペースト、銅ペースト等が用いられる。制御装置5の対向面50は、樹脂54からなる部分と、リード53からなる部分とを含んでいる。本実施形態では、z方向視において制御装置5に重なる接続配線33（重なり配線）は、対向面50のうち樹脂54からなる部分に対向する領域にのみ配置され、リード53からなる部分に接触しないように配置されている。本実施形態においては、対向面50のうち樹脂54からなる部分が、「絶縁部」の一例である。

[0067] 本実施形態においても、導電部3の接続配線33の一部を、制御装置5に重なる重なり配線として配置できる。したがって、接続配線33を制御装置5に重ならないように迂回させて配置する場合と比べて、導通経路の短縮化が可能であり、また、導通経路の設計の自由度が大きくなる。したがって、

半導体装置 A 2 の高集積化を促進できる。

[0068] なお、制御装置 5 のパッケージタイプは S O N タイプに限定されず、例えば Q F N (Quad Flat Non-leaded package) タイプ等の他のタイプのパッケージであってもよい。制御装置 5 は、対向面 5 0 の少なくとも一部に、樹脂 5 4 からなる部分が含まれていればよい。

[0069] <第 3 実施形態>

図 1 2 は、本開示の第 3 実施形態に係る半導体装置 A 3 を説明するための図である。図 1 2 は、半導体装置 A 3 を示す平面図であり、封止樹脂 8 を透過した図であって、図 3 に対応する図である。本実施形態の半導体装置 A 3 は、サーミスタ 6 b とリード 1 5 との導通経路が、第 1 実施形態と異なっている。

[0070] 本実施形態に係るサーミスタ 6 b は、導電部 3 の第 2 パッド 3 2 a および第 2 パッド 3 2 b に導通接合されている。第 2 パッド 3 2 a は、接続配線 3 3 i および第 2 パッド 3 2 c を介してリード 1 5 i に導通接続されている。第 2 パッド 3 2 b は、接続配線 3 3 j および第 2 パッド 3 2 d を介してリード 1 5 j に導通接続されている。接続配線 3 3 i および接続配線 3 3 j は、z 方向視において、制御装置 5 a に重なっている。接続配線 3 3 i および接続配線 3 3 j は、制御装置 5 a に導通していない。つまり、本実施形態では、重なり配線に、制御装置 5 a に導通しない接続配線 3 3 i および接続配線 3 3 j も含まれている。

[0071] 本実施形態においても、導電部 3 の接続配線 3 3 の一部を、制御装置 5 に重なる重なり配線として配置できる。したがって、接続配線 3 3 を制御装置 5 に重ならないように迂回させて配置する場合と比べて、導通経路の短縮化が可能であり、また、導通経路の設計の自由度が大きくなる。したがって、半導体装置 A 3 の高集積化を促進できる。

[0072] <第 4 実施形態>

図 1 3、図 1 4、および図 1 5 は、本開示の第 4 実施形態に係る半導体装置 A 4 を説明するための図である。図 1 3 は、半導体装置 A 4 を示す断面図

であり、図5に対応する図である。図14および図15は、図13の一部を拡大した部分拡大断面図である。本実施形態の半導体装置A4は、半導体チップ4に代えて半導体パッケージ400を備えている点で、第1実施形態と異なっている。

[0073] 本実施形態に係る半導体装置A4は、図13に示すように、半導体チップ4に代えて半導体パッケージ400を備えている。また、リード11、12、13は、接合部25に代えて形成された導電部3の第2パッド32に導通接合されている。そして、半導体パッケージ400は、リード11（12）に導通する第2パッド32に導通接合されている。

[0074] 半導体パッケージ400は、半導体チップ4を樹脂で覆ってパッケージ化したものである。半導体パッケージ400は、図14に示すように、主面401、裏面402、半導体チップ4、ソース端子403、ゲート端子404、ドレイン端子405、および樹脂406を有する。主面401および裏面402は、z方向において互いに反対側を向いている。主面401は、図13および図14の下方を向く面である。裏面402は、図13および図14の上方を向く面である。樹脂406は、半導体チップ4の全体と、ソース端子403、ゲート端子404、およびドレイン端子405の一部ずつとを覆っており、たとえばエポキシ樹脂、シリコーンゲル等の絶縁性材料からなる。ソース端子403、ゲート端子404、およびドレイン端子405は、主面401において、樹脂406から露出している。つまり、半導体パッケージ400の主面401は、樹脂406からなる部分と、ソース端子403、ゲート端子404、およびドレイン端子405からなる部分とを含んでいる。図13および図14においては、半導体パッケージ400の内部の導通経路の記載を省略している。また、ソース端子403は、図13および図14には表れていない。半導体パッケージ400の内部において、ソース端子403は半導体チップ4のソース電極43に導通し、ゲート端子404は半導体チップ4のゲート電極44に導通し、ドレイン端子405は半導体チップ4のドレイン電極45に導通している。なお、半導体パッケージ400の内

部構造は限定されない。半導体パッケージ４００は、複数の半導体チップ４を備えていてもよい。また、他の電子部品を備えていてもよい。

[0075] 半導体パッケージ４００は、主面４０１を基板２に向けて、基板主面２１に配置されている。ソース端子４０３、ゲート端子４０４、およびドレイン端子４０５は、それぞれ、導電性接合材７７を介して導電部３の第２パッド３２に導通接合されている。本実施形態では、図１４に示すように、一部の接続配線３３（重なり配線）が、 z 方向視において、半導体パッケージ４００に重なっており、基板２の基板主面２１と半導体パッケージ４００の主面４０１との間に配置されている。当該重なり配線は、主面４０１のうち樹脂４０６からなる部分に対向する領域にのみ配置され、ソース端子４０３、ゲート端子４０４、およびドレイン端子４０５に接触しないように配置されている。本実施形態においては、半導体パッケージ４００が「電子部品」の一例であり、半導体チップが「電子素子」の一例である。また、主面４０１のうち樹脂４０６からなる部分が、「絶縁部」の一例である。なお、半導体装置Ａ４は、半導体パッケージ４００だけを備えてもよいし、半導体チップ４および半導体パッケージ４００の両方を備えてもよい。

[0076] また、半導体装置Ａ４は、一部の受動素子６に代えて、受動素子パッケージ６００を備えている。受動素子パッケージ６００は、受動素子６を樹脂で覆ってパッケージ化したものである。受動素子パッケージ６００は、図１５に示すように、主面６０１、裏面６０２、受動素子６、端子６０３、６０４、および樹脂６０６を有する。主面６０１および裏面６０２は、 z 方向において互いに反対側を向いている。主面６０１は、図１３および図１５の下方を向く面である。裏面６０２は、図１３および図１５の上方を向く面である。樹脂６０６は、受動素子６の全体と、端子６０３、６０４の一部ずつとを覆っており、たとえばエポキシ樹脂、シリコーンゲル等の絶縁性材料からなる。端子６０３、６０４は、主面６０１において、樹脂６０６から露出している。つまり、受動素子パッケージ６００の主面６０１は、樹脂６０６からなる部分と、端子６０３、６０４からなる部分とを含んでいる。受動素子パ

ッケージ600の内部において、端子603、604は、受動素子6の各電極に導通している。なお、受動素子パッケージ600の内部構造は限定されない。受動素子パッケージ600は、複数の受動素子6を備えてもよい。

[0077] 受動素子パッケージ600は、主面601を基板2に向けて、基板主面21に配置されている。端子603、604は、それぞれ、導電性接合材77を介して導電部3の第2パッド32に導通接合されている。本実施形態では、図15に示すように、一部の接続配線33（重なり配線）が、z方向視において、受動素子パッケージ600に重なっており、基板2の基板主面21と受動素子パッケージ600の主面601との間に配置されている。当該重なり配線は、主面601のうち樹脂606からなる部分に対向する領域にのみ配置され、端子603、604に接触しないように配置されている。本実施形態においては、受動素子パッケージ600が「電子部品」の一例であり、受動素子が「電子素子」の一例である。また、主面601のうち樹脂606からなる部分が、「絶縁部」の一例である。なお、半導体装置A4は、受動素子パッケージ600だけを備えてもよいし、受動素子6および受動素子パッケージ600の両方を備えてもよい。

[0078] 本実施形態によると、導電部3の接続配線33の一部を、半導体パッケージ400または受動素子パッケージ600に重なる重なり配線として配置できる。したがって、接続配線33を半導体パッケージ400および受動素子パッケージ600に重ならないように迂回させて配置する場合と比べて、導通経路の短縮化が可能であり、また、導通経路の設計の自由度が大きくなる。したがって、半導体装置A4の高集積化を促進できる。

[0079] 半導体装置A4は、半導体パッケージ400および受動素子パッケージ600のいずれか一方を備えなくてもよい。また、制御装置5に代えて制御チップ51が配置されてもよい。

[0080] 本開示に係る半導体装置は、先述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。基板2の基板主面21上に導電部3が形成されて電子部品が配置され

、導電部 3 の接続配線 3 3 に、z 方向視において当該電子部品に重なる重なり配線が含まれる半導体装置はすべて、本開示の半導体装置に含まれる。

[0081] [付記 1]

厚さ方向において互いに反対側を向く基板主面および基板裏面を有する基板と、

前記基板主面上に形成された導電性材料からなる導電部と、

前記導電部と電氣的に接続され、かつ、前記基板主面上に配置された電子部品と、

前記基板の少なくとも一部、および、前記電子部品を覆う封止樹脂と、を備え、

前記導電部は、前記厚さ方向視において、前記電子部品に重なり、かつ、前記電子部品に重なる範囲において前記電子部品に導通接合しない重なり配線を含んでいる、半導体装置。

[付記 2]

前記電子部品は、前記基板主面に対向し、かつ、絶縁性材料からなる絶縁部を有する対向面を備え、

前記重なり配線は、前記厚さ方向視において、前記対向面のうち前記絶縁部にのみ重なる、付記 1 に記載の半導体装置。

[付記 3]

前記対向面は、全面が前記絶縁部である、付記項 2 に記載の半導体装置。

[付記 4]

前記電子部品は、電子素子と、前記電子素子を覆う樹脂とを備え、

前記樹脂の一部が、前記絶縁部である、付記 2 または 3 に記載の半導体装置。

[付記 5]

前記電子素子は、受動素子である、付記 4 に記載の半導体装置。

[付記 6]

前記電子素子は、スイッチング素子である、付記 4 に記載の半導体装置。

〔付記 7〕

前記電子素子は、駆動信号を出力する制御チップである、付記 4 に記載の半導体装置。

〔付記 8〕

前記基板主面上に配置された、前記基板よりも熱伝導率の高い第 1 リードと、

前記第 1 リード上に配置された半導体チップと、
をさらに備える、付記 1 ないし 7 のいずれかに記載の半導体装置。

〔付記 9〕

前記基板主面上に形成され、前記導電部を構成する導電性材料を含む接合部をさらに備え、

前記第 1 リードは、接合材を介して、前記接合部に接合されている、付記 8 に記載の半導体装置。

〔付記 10〕

前記第 1 リードは、一部が前記封止樹脂に覆われており、他の一部が前記封止樹脂から露出している、付記 8 または 9 に記載の半導体装置。

〔付記 11〕

前記第 1 リードから離間し、かつ、導電性接合材を介して前記導電部に接合されて配置された第 2 リードをさらに備え、

前記第 2 リードは、一部が前記封止樹脂に覆われており、他の一部が前記封止樹脂から露出している、付記 8 ないし 10 のいずれかに記載の半導体装置。

〔付記 12〕

前記導電部は、
前記電子部品に導通接合された第 1 パッドと、
前記第 2 リードに導通接合された第 2 パッドと、
をさらに含み、
前記重なり配線は、前記第 1 パッドおよび前記第 2 パッドに接続している

、付記 1 1 に記載の半導体装置。

〔付記 1 3〕

前記導電部は、

前記電子部品に導通接合された第 1 パッドと、

前記半導体チップに導通接続された第 2 パッドと、

をさらに含み、

前記重なり配線は、前記第 1 パッドおよび前記第 2 パッドに接続している

、付記 8 ないし 1 1 のいずれかに記載の半導体装置。

〔付記 1 4〕

前記導電部と電氣的に接続され、かつ、前記基板主面上に配置された第 2 の電子部品をさらに備え、

前記導電部は、

前記電子部品に導通接合された第 1 パッドと、

前記第 2 の電子部品に導通接合された第 2 パッドと、

をさらに含み、

前記重なり配線は、前記第 1 パッドおよび前記第 2 パッドに接続している、付記 8 ないし 1 1 のいずれかに記載の半導体装置。

〔付記 1 5〕

前記重なり配線は、前記電子部品に導通しない、付記 8 ないし 1 1 のいずれかに記載の半導体装置。

〔付記 1 6〕

前記半導体チップは、電力を制御するパワートランジスタである、付記 8 ないし 1 5 のいずれかに記載の半導体装置。

〔付記 1 7〕

前記半導体チップは、前記第 1 リードに接合される裏面電極を備えている、付記 8 ないし 1 6 のいずれかに記載の半導体装置。

〔付記 1 8〕

前記基板裏面は、前記封止樹脂から露出している、付記 1 ないし 1 7 のい

ずれかに記載の半導体装置。

〔付記 19〕

前記基板は、セラミックからなる、付記 1 ないし 18 のいずれかに記載の半導体装置。

符号の説明

- [0082] A 1, A 2, A 3, A 4 : 半導体装置
- 1, 1 1 ~ 1 5, 1 5 i, 1 5 j : リード
- 1 1 1 : 第 1 部
- 1 1 1 a : 主面
- 1 1 1 b : 裏面
- 1 1 2 : 第 2 部
- 1 1 3 : 第 3 部
- 1 1 4 : 第 4 部
- 1 5 1 : 第 1 部
- 1 5 1 a : 主面
- 1 5 1 b : 裏面
- 1 5 2 : 第 2 部
- 1 5 3 : 第 3 部
- 1 5 4 : 第 4 部
- 2 : 基板
- 2 1 : 基板主面
- 2 2 : 基板裏面
- 2 5, 2 5 1 ~ 2 5 3 : 接合部
- 3 : 導電部
- 3 1 : 第 1 パッド
- 3 2, 3 2 a ~ 3 2 d : 第 2 パッド
- 3 3, 3 3 a ~ 3 3 j : 接続配線
- 4, 4 a, 4 b : 半導体チップ

- 4 1 : 素子主面
- 4 2 : 素子裏面
- 4 3 : ソース電極
- 4 4 : ゲート電極
- 4 5 : ドレイン電極
- 5, 5 a, 5 b : 制御装置
- 5 0 : 対向面
- 5 1 : 制御チップ
- 5 2 : ダイパッド
- 5 3 : リード
- 5 5 : ワイヤ
- 6 : 受動素子
- 6 a : シャント抵抗
- 6 b : サーミスタ
- 7 1 : ワイヤ
- 7 2 : ワイヤ
- 7 5 : 接合材
- 7 6, 7 7 : 導電性接合材
- 8 : 封止樹脂
- 8 1 : 樹脂主面
- 8 2 : 樹脂裏面
- 8 3 : 樹脂側面
- 4 0 0 : 半導体パッケージ
- 4 0 1 : 主面
- 4 0 2 : 裏面
- 4 0 3 : ソース端子
- 4 0 4 : ゲート端子
- 4 0 5 : ドレイン端子

6 0 0 : 受動素子パッケージ

6 0 1 : 主面

6 0 2 : 裏面

6 0 3, 6 0 4 : 端子

請求の範囲

- [請求項1] 厚さ方向において互いに反対側を向く基板主面および基板裏面を有する基板と、
前記基板主面上に形成された導電性材料からなる導電部と、
前記導電部と電氣的に接続され、かつ、前記基板主面上に配置された電子部品と、
前記基板の少なくとも一部、および、前記電子部品を覆う封止樹脂と、
を備え、
前記導電部は、前記厚さ方向視において、前記電子部品に重なる重なり配線であって、前記電子部品に重なる範囲において前記電子部品に導通接合しない重なり配線を含んでいる、半導体装置。
- [請求項2] 前記電子部品は、前記基板主面に対向し、かつ、絶縁性材料からなる絶縁部を有する対向面を備え、
前記重なり配線は、前記厚さ方向視において、前記対向面のうち前記絶縁部にのみ重なる、請求項1に記載の半導体装置。
- [請求項3] 前記対向面は、全面が前記絶縁部である、請求項2に記載の半導体装置。
- [請求項4] 前記電子部品は、電子素子と、前記電子素子を覆う樹脂とを備え、
前記樹脂の一部が、前記絶縁部である、請求項2または3に記載の半導体装置。
- [請求項5] 前記電子素子は、受動素子である、請求項4に記載の半導体装置。
- [請求項6] 前記電子素子は、スイッチング素子である、請求項4に記載の半導体装置。
- [請求項7] 前記電子素子は、駆動信号を出力する制御チップである、請求項4に記載の半導体装置。
- [請求項8] 前記基板主面上に配置された、前記基板よりも熱伝導率の高い第1リードと、

前記第 1 リード上に配置された半導体チップと、
をさらに備える、請求項 1 ないし 7 のいずれかに記載の半導体装置。

[請求項 9] 前記基板主面上に形成され、前記導電部を構成する導電性材料を含む接合部をさらに備え、

前記第 1 リードは、接合材を介して、前記接合部に接合されている、請求項 8 に記載の半導体装置。

[請求項 10] 前記第 1 リードは、一部が前記封止樹脂に覆われており、他の一部が前記封止樹脂から露出している、請求項 8 または 9 に記載の半導体装置。

[請求項 11] 前記第 1 リードから離間し、かつ、導電性接合材を介して前記導電部に接合されて配置された第 2 リードをさらに備え、

前記第 2 リードは、一部が前記封止樹脂に覆われており、他の一部が前記封止樹脂から露出している、請求項 8 ないし 10 のいずれかに記載の半導体装置。

[請求項 12] 前記導電部は、

前記電子部品に導通接合された第 1 パッドと、

前記第 2 リードに導通接合された第 2 パッドと、

をさらに含み、

前記重なり配線は、前記第 1 パッドおよび前記第 2 パッドに接続している、請求項 11 に記載の半導体装置。

[請求項 13] 前記導電部は、

前記電子部品に導通接合された第 1 パッドと、

前記半導体チップに導通接続された第 2 パッドと、

をさらに含み、

前記重なり配線は、前記第 1 パッドおよび前記第 2 パッドに接続している、請求項 8 ないし 11 のいずれかに記載の半導体装置。

[請求項 14] 前記導電部と電氣的に接続され、かつ、前記基板主面上に配置された第 2 の電子部品をさらに備え、

前記導電部は、
前記電子部品に導通接合された第1パッドと、
前記第2の電子部品に導通接合された第2パッドと、
をさらに含み、

前記重なり配線は、前記第1パッドおよび前記第2パッドに接続している、請求項8ないし11のいずれかに記載の半導体装置。

[請求項15] 前記重なり配線は、前記電子部品に導通しない、請求項8ないし11のいずれかに記載の半導体装置。

[請求項16] 前記半導体チップは、電力を制御するパワートランジスタである、請求項8ないし15のいずれかに記載の半導体装置。

[請求項17] 前記半導体チップは、前記第1リードに接合される裏面電極を備えている、請求項8ないし16のいずれかに記載の半導体装置。

[請求項18] 前記基板裏面は、前記封止樹脂から露出している、請求項1ないし17のいずれかに記載の半導体装置。

[請求項19] 前記基板は、セラミックからなる、請求項1ないし18のいずれかに記載の半導体装置。

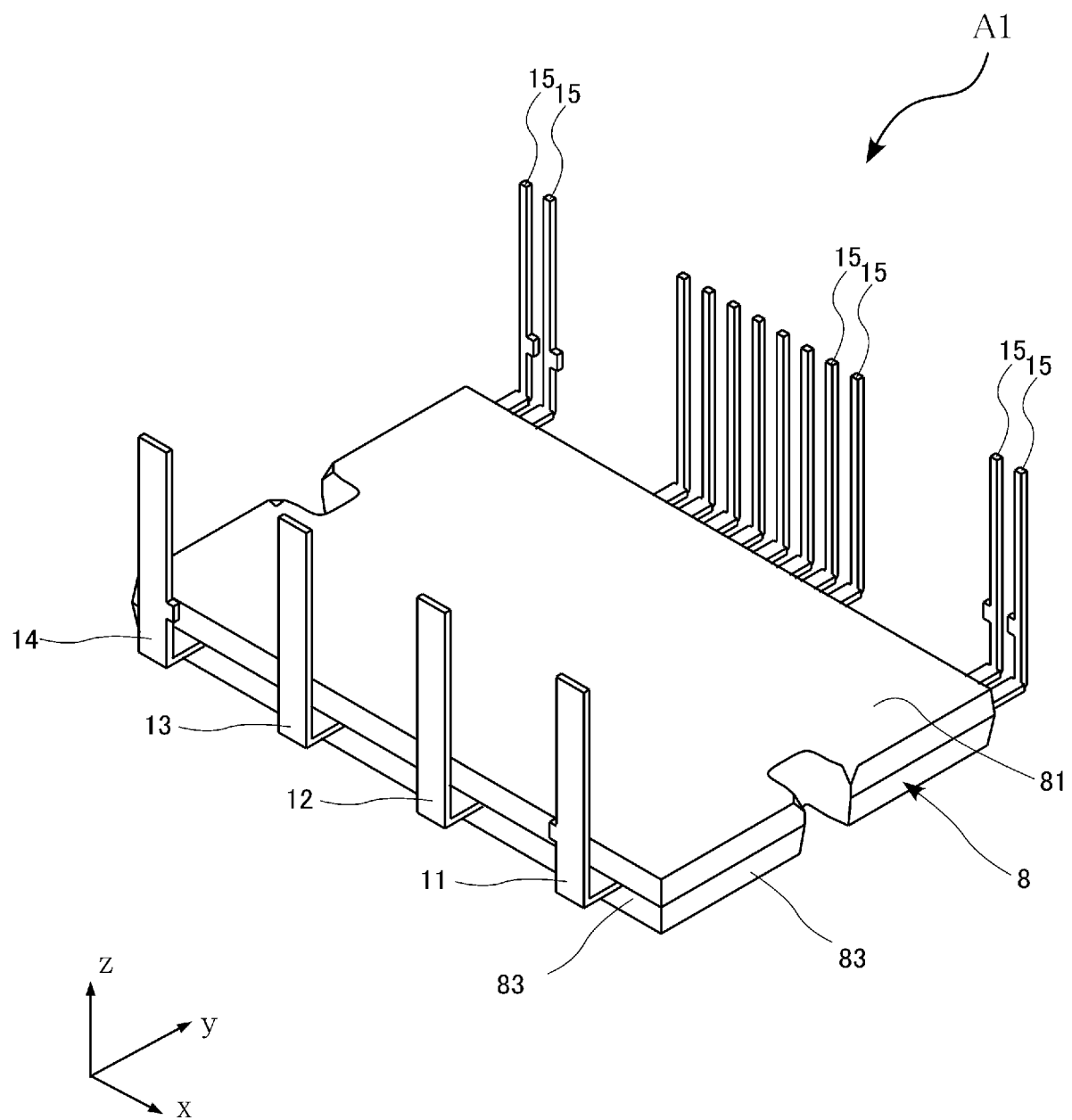
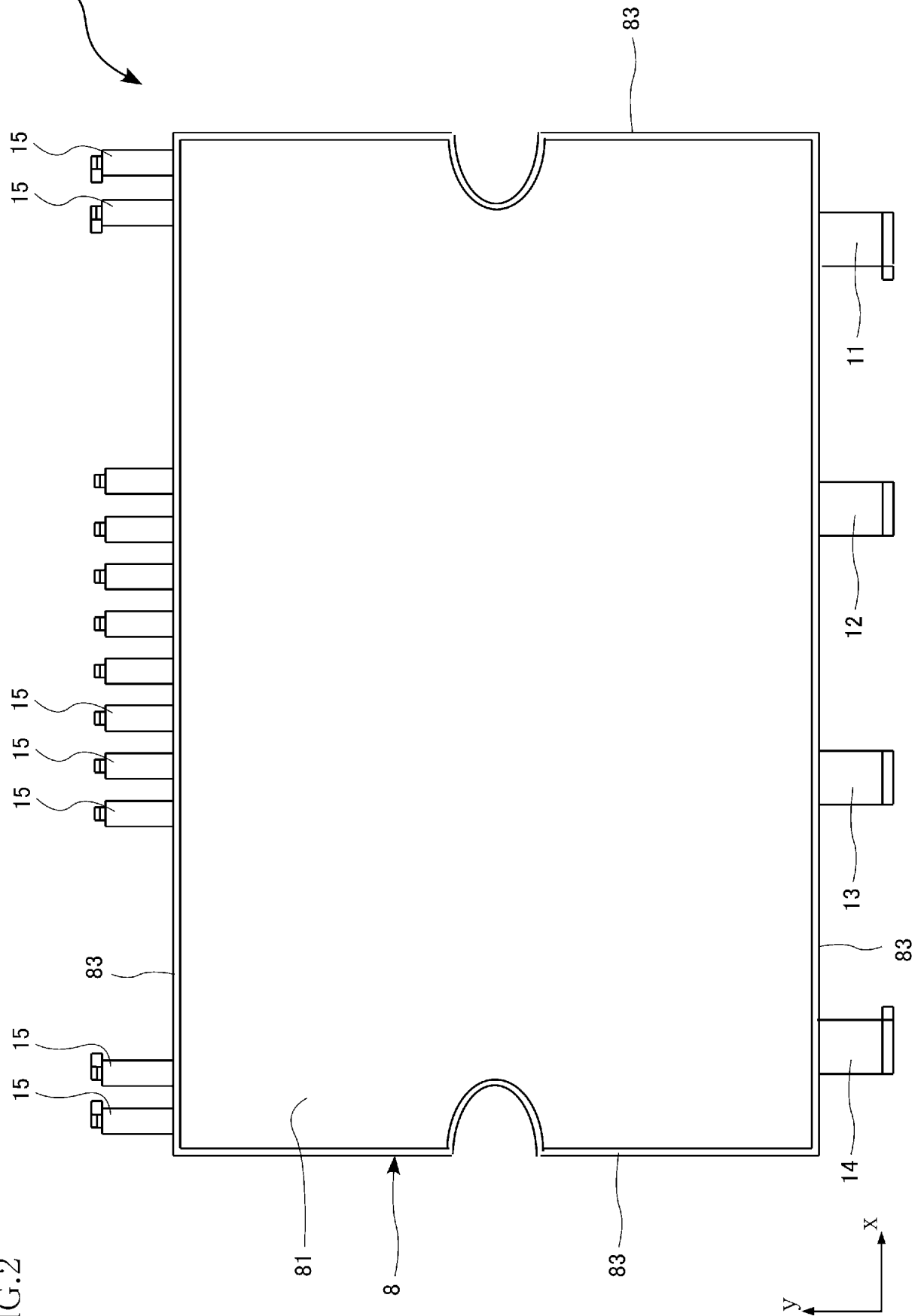
[図1]
FIG.1

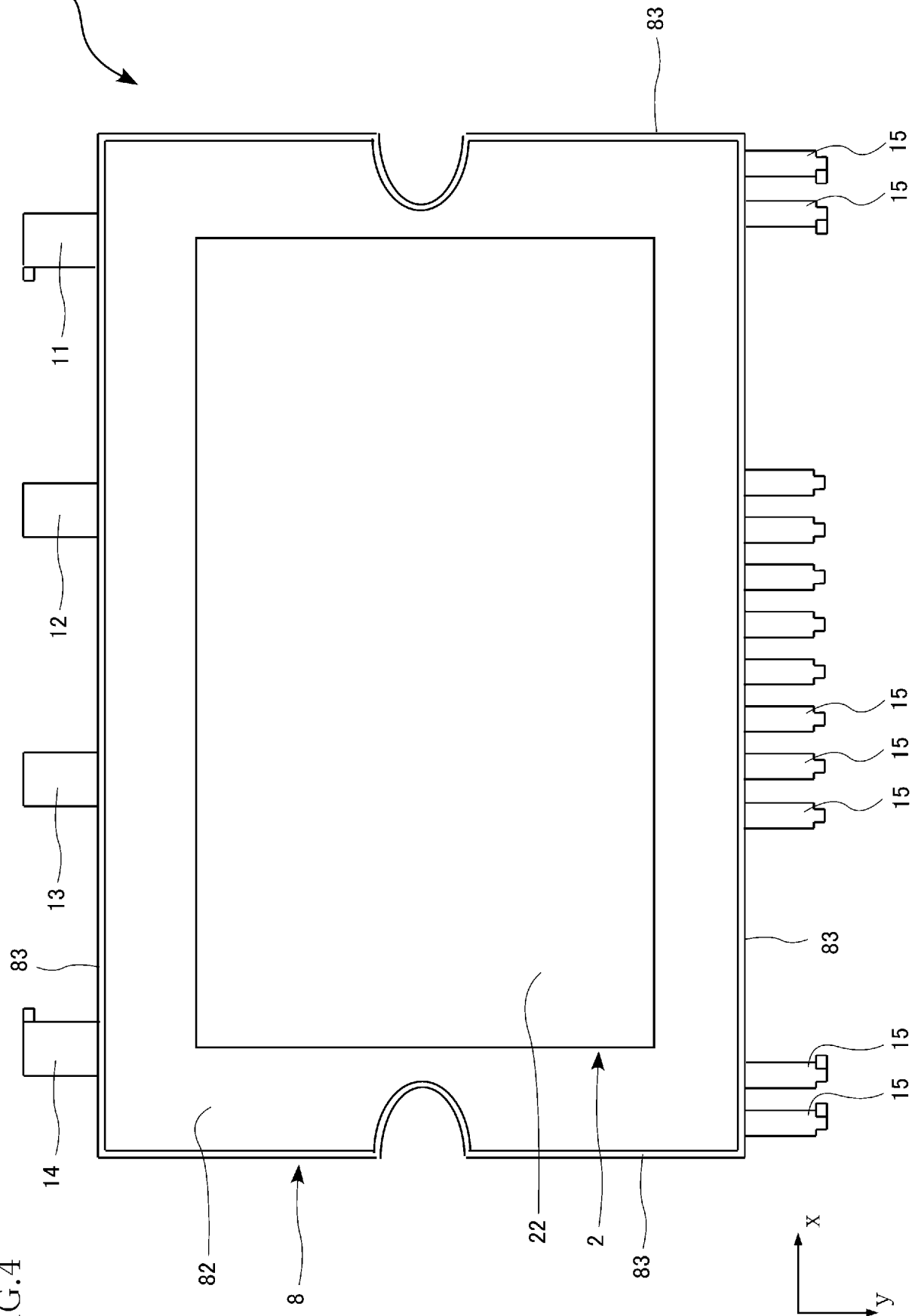
FIG.2

[図2]

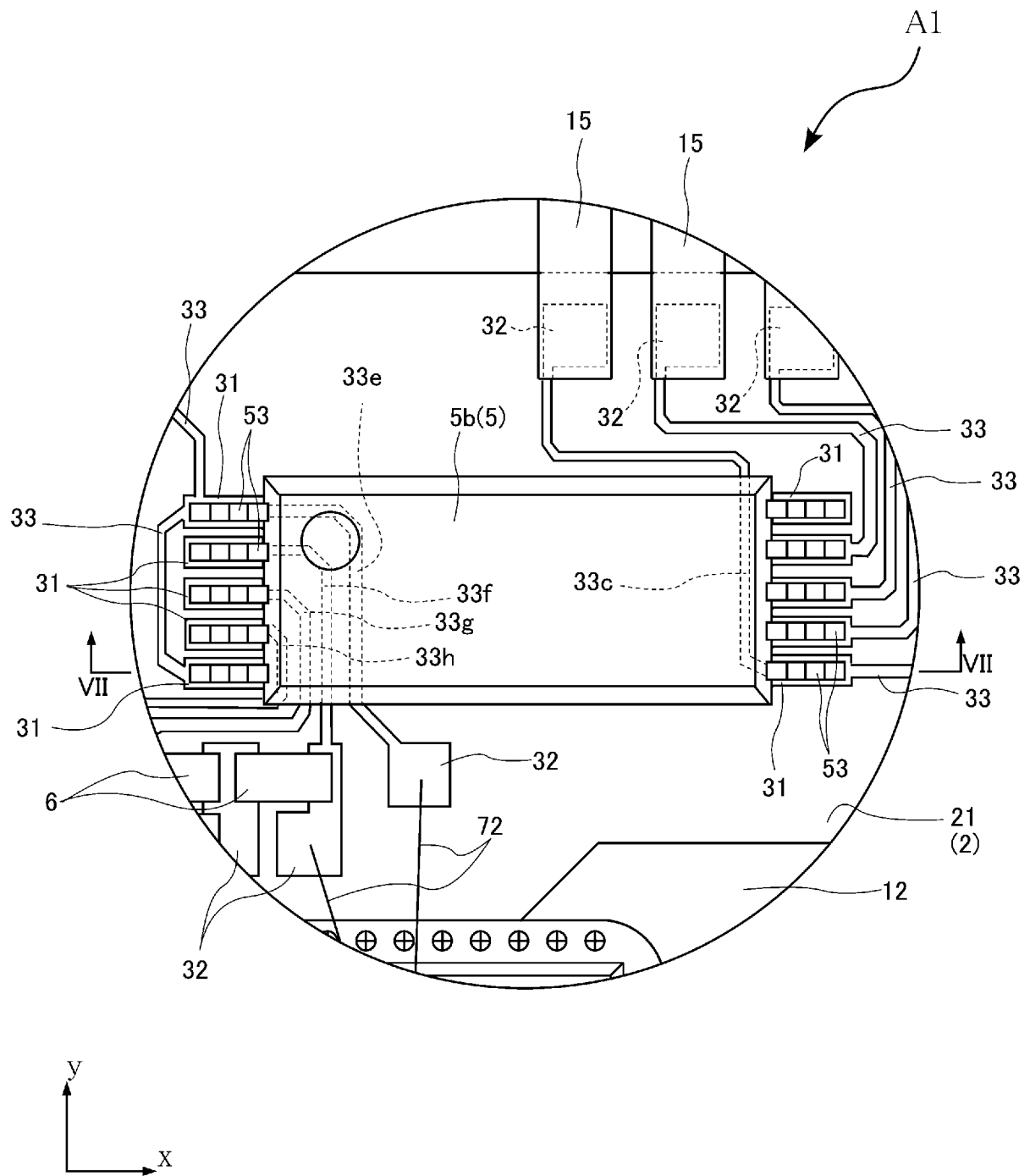


[図4]

FIG.4



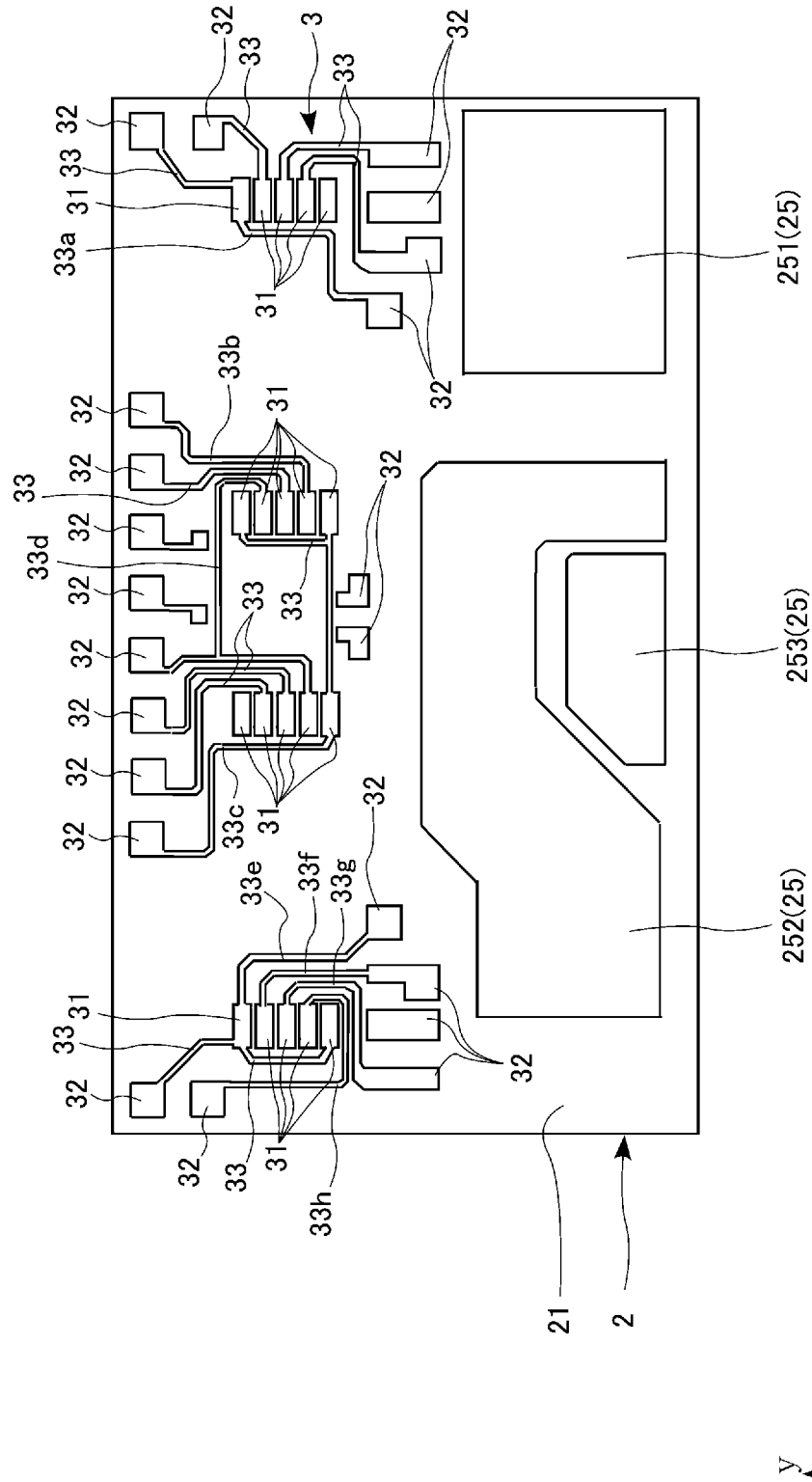
[図6]
FIG.6



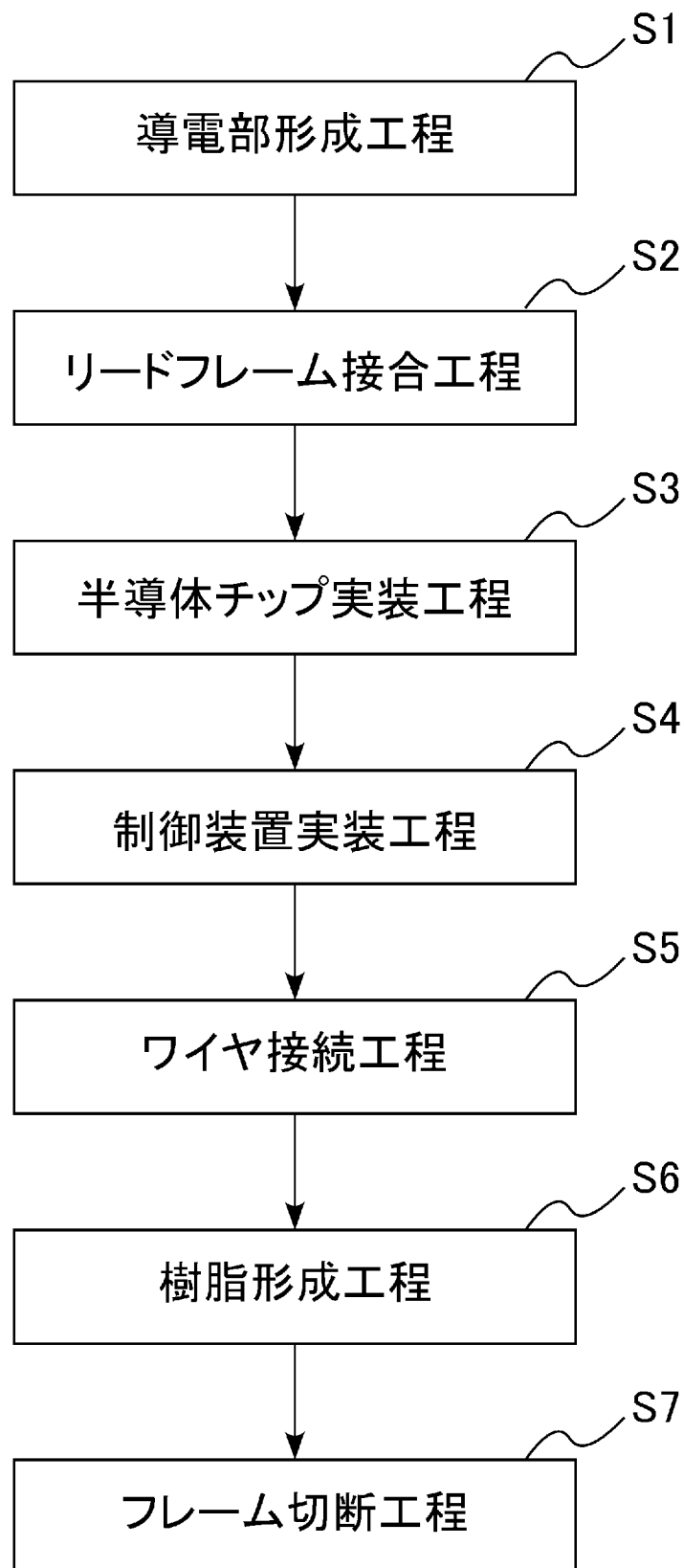
[illegible]

FIG.8

[図8]



【図9】
FIG.9



[図13]

A4

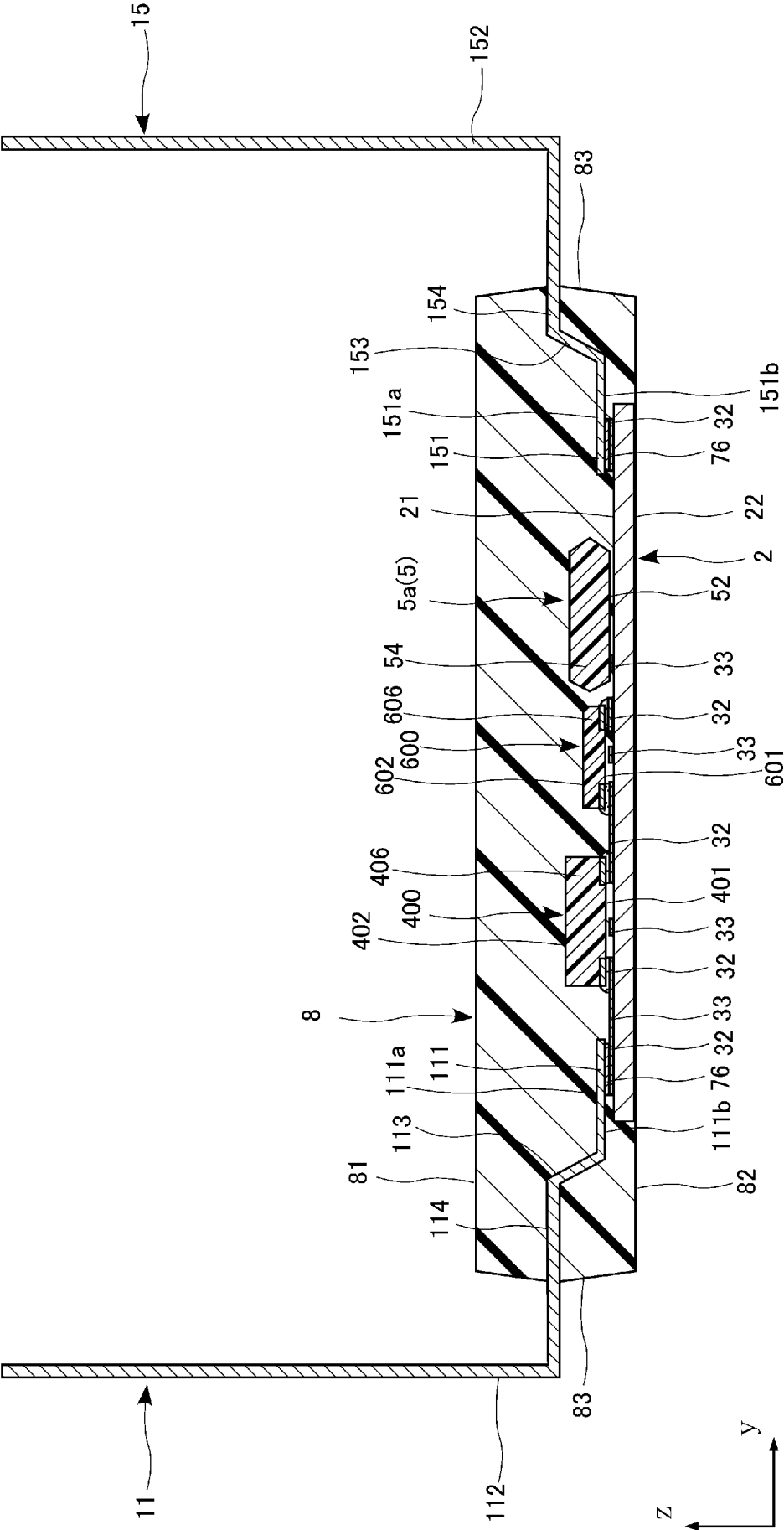
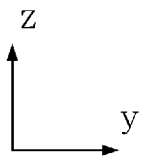
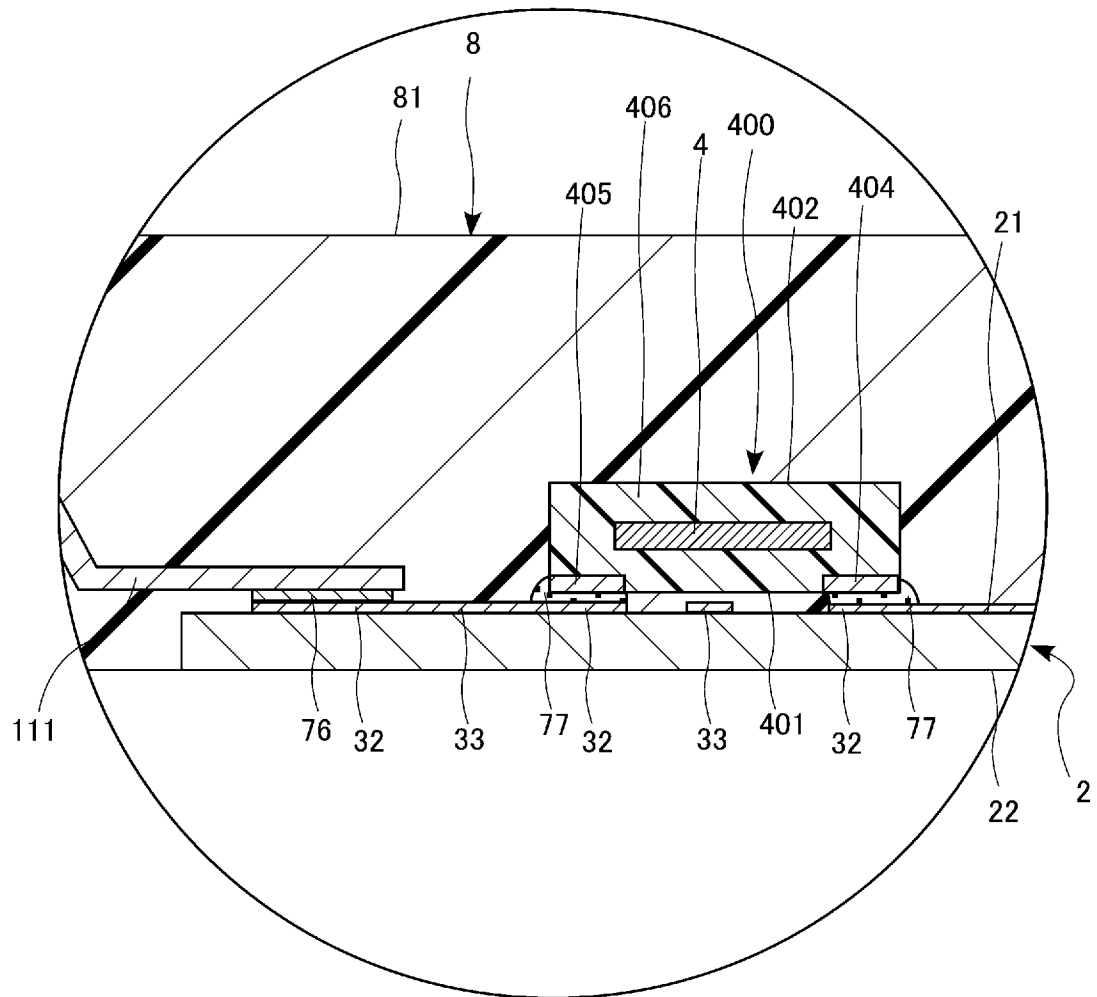


FIG.13

[図14]
FIG.14

A4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/005346

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/12(2006.01)i; H01L 23/29(2006.01)i; H01L 23/36(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i
FI: H01L23/12 F; H01L23/12 Q; H01L25/04 C; H01L23/36 C; H01L23/36 A
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12; H01L23/29; H01L23/36; H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2019/244372 A1 (ROHM CO., LTD.) 26 December 2019 (2019-12-26) paragraphs [0012]-[0392], fig. 1-5	1-19
Y	JP 2001-352031 A (SANYO ELECTRIC CO., LTD.) 21 December 2001 (2001-12-21) paragraphs [0019]-[0052], fig. 1, 2, 10, 11	1-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 April 2021 (28.04.2021)

Date of mailing of the international search report
18 May 2021 (18.05.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/005346

Patent Documents
referred in the
Report

Publication
Date

Patent Family

Publication
Date

WO 2019/244372 A1
JP 2001-352031 A

26 Dec. 2019
21 Dec. 2001

DE 212018000195 U1
(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 23/29(2006.01)i; H01L 23/36(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i FI: H01L23/12 F; H01L23/12 Q; H01L25/04 C; H01L23/36 C; H01L23/36 A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L23/29; H01L23/36; H01L25/07; H01L25/18														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	WO 2019/244372 A1（ローム株式会社）26.12.2019（2019-12-26） 段落[0012]-[0392], 図1-5	1-19												
Y	JP 2001-352031 A（三洋電機株式会社）21.12.2001（2001-12-21） 段落[0019]-[0052], 図1, 2, 10, 11	1-19												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 28.04.2021	国際調査報告の発送日 18.05.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 井上 和俊 5F 3455 電話番号 03-3581-1101 内線 3516													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/005346

引用文献			公表日	パテントファミリー文献			公表日
WO	2019/244372	A1	26.12.2019	DE	212018000195	U1	
JP	2001-352031	A	21.12.2001	(ファミリーなし)			