

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 8 月 20 日 (20.08.2020)



(10) 国际公布号
WO 2020/164193 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2019/085727

(22) 国际申请日: 2019 年 5 月 6 日 (06.05.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910111149.X 2019 年 2 月 12 日 (12.02.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 薛炎 (XUE, Yan); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: GOA CIRCUIT AND DISPLAY PANEL

(54) 发明名称: GOA 电路及显示面板

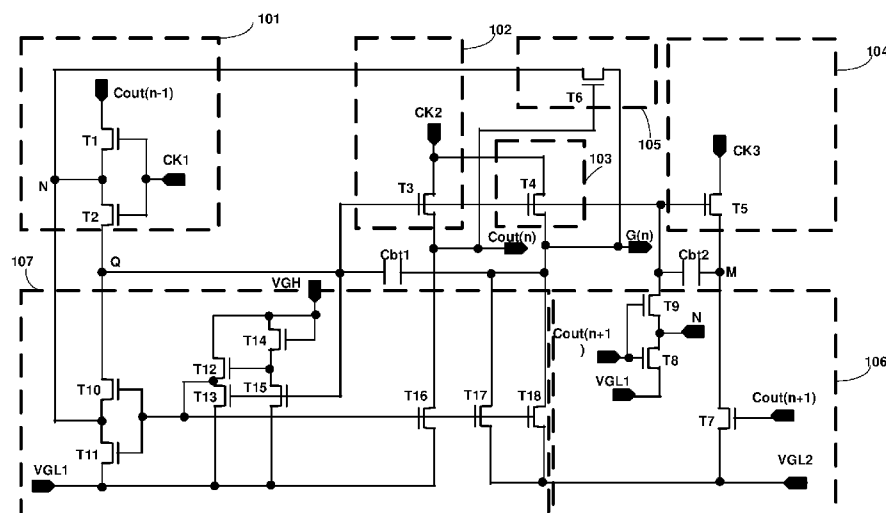


图 2

(57) Abstract: A GOA circuit (200) and a display panel. The potential of a first node (Q) is pulled up for multiple times by providing a first bootstrap capacitor (Cbt1) and a second bootstrap capacitor (Cbt2), such that the potential of the first node (Q) is higher than the potential of the first node in a conventional GOA circuit, thereby being able to significantly reduce the fall time of a scanning signal (G(n)), avoiding the risk of incorrect charging caused by the improvement of the resolution of the display panel, further improving the display quality of the display panel.

(57) 摘要: 一种GOA电路(200)及显示面板, 通过设置第一自举电容(Cbt1)以及第二自举电容(Cbt2)对第一节点(Q)的电位进行多次上拉, 使得第一节点(Q)的电位相较于传统GOA电路中的第一节点的电位高, 从而能够显著减少扫描信号(G(n))的下降时间, 防止因显示面板的解析度提高造成的错充风险, 进而提高显示面板显示质量。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告 (条约第21条(3))。

说明书

发明名称: GOA电路及显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种GOA电路及显示面板。

背景技术

[0002] GOA(英文全称: Gate Driver on Array, 中文全称: 集成栅极驱动电路)技术将栅极驱动电路集成在显示面板的阵列基板上，从而可以省掉栅极驱动集成电路部分，以从材料成本和制作工艺两方面降低产品成本。然而，现有的GOA电路输出的扫描信号的信号延时较大，容易造成错充，进而导致显示面板显示异常。

发明概述

技术问题

[0003] 本申请实施例的目的在于提供一种GOA电路及显示面板，能够解决现有的GOA电路输出的扫描信号的信号延时较大，容易造成错充，进而导致显示面板显示异常的技术问题。

问题的解决方案

技术解决方案

[0004] 本申请实施例提供一种GOA电路，包括：多级级联的GOA单元，每一级GOA单元均包括：上拉控制模块、下传模块、第一上拉模块、第二上拉模块、反馈模块、下拉模块、下拉控制模块、第一自举电容以及第二自举电容；

[0005] 所述上拉控制模块接入上一级级传信号以及第一时钟信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点以及所述第二节点；

[0006] 所述下传模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

[0007] 所述第一上拉模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

- [0008] 所述第二上拉模块接入第三时钟信号，并电性连接于第三节点以及所述第一节点，用于在所述第一节点的电位控制下，将所述第三时钟信号输出至所述第三节点；
- [0009] 所述反馈模块电性连接于所述本级级传信号、所述本级扫描信号以及所述第二节点，用于在所述本级级传信号的控制下将所述本级扫描信号的电位反馈至所述第二节点；
- [0010] 所述下拉模块接入下一级级传信号、第一直流低电平信号以及第二直流低电平信号，并电性连接于所述第一节点、所述第二节点以及所述第三节点，用于在所述下一级级传信号的控制下将所述第一直流低电平信号输出至所述第一节点以及所述第二节点，以及在所述下一级级传信号的控制下将所述第二直流低电平信号输出至所述第三节点；
- [0011] 所述下拉控制模块接入直流高电平信号、所述第一直流低电平信号以及所述第二直流低电平信号，并电性连接于所述第一节点、所述第二节点、所述本级级传信号以及所述本级扫描信号，用于将所述第一节点的电位、所述第二节点的电位以及所述本级级传信号的电位下拉至所述第一直流低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二直流低电平信号的电位；
- [0012] 所述第一自举电容的第一端电性连接于所述第一节点，所述第一自举电容的第二端电性连接于所述本级扫描信号；
- [0013] 所述第二自举电容的第一端电性连接于所述第一节点，所述第二自举电容的第二端电性连接于所述第三节点；
- [0014] 所述上拉控制模块包括：第一晶体管以及第二晶体管；
- [0015] 所述第一晶体管以及所述第二晶体管的栅极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极以及所述第二晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第一节点；
- [0016] 所述下传模块包括：第三晶体管；
- [0017] 所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极电性连接于所述第二时钟信号，所述第三晶体管的漏极电性连接于所述本级级传信

号。

[0018] 在本申请所述的GOA电路中，所述第一上拉模块包括：第四晶体管；

[0019] 所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级扫描信号。

[0020] 在本申请所述的GOA电路中，所述第二上拉模块包括：第五晶体管；

[0021] 所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第三时钟信号，所述第五晶体管的漏极电性连接于所述第三节点。

[0022] 在本申请所述的GOA电路中，所述反馈模块包括：第六晶体管；

[0023] 所述第六晶体管的栅极电性连接于所述本级级传信号，所述第六晶体管的源极电性连接于所述本级扫描信号，所述第六晶体管的栅极电性连接于所述第二节点。

[0024] 在本申请所述的GOA电路中，所述下拉模块包括：第七晶体管、第八晶体管以及第九晶体管；

[0025] 所述第七晶体管的栅极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述下一级级传信号，所述第七晶体管的源极电性连接于所述第二直流低电平信号，所述第八晶体管的源极电性连接于所述第一直流低电平信号，所述第八晶体管的漏极以及所述第九晶体管的源极均电性连接于所述第二节点，所述第九晶体管的漏极电性连接于所述第一节点。

[0026] 在本申请所述的GOA电路中，所述下拉控制模块包括：第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十七晶体管以及第十八晶体管；

[0027] 所述第十二晶体管的源极、所述第十四晶体管的源极以及所述第十四晶体管的栅极均电性连接与所述直流高电平信号；

[0028] 所述第十一晶体管的源极、所述第十三晶体管的源极，所述第十五晶体管的源极以及所述第十六晶体管的源极均电性连接于所述第一直流低电平信号；

[0029] 所述第十七晶体管的源极以及所述第十八晶体管的源极均电性连接于所述第二直流低电平信号；

- [0030] 所述第十晶体管的栅极、所述第十一晶体管的栅极、所述第十二晶体管的漏极、所述第十三晶体管的漏极、所述第十六晶体管的栅极、所述第十七晶体管的栅极以及所述第十八晶体管的栅极均电性连接；
- [0031] 所述第十晶体管的漏极、所述第十三晶体管的栅极以及所述第十五晶体管的栅极均电性连接于所述第一节点；
- [0032] 所述第十晶体管的源极以及所述第十一晶体管的漏极均电性连接于所述第二节点；
- [0033] 所述第十二晶体管的栅极、所述第十四晶体管的漏极以及所述第十五晶体管的漏极均电性连接；
- [0034] 所述第十六晶体管的漏极电性连接于所述本级级传信号；所述第十七晶体管的漏极以及所述第十八晶体管的漏极均电性连接于所述本级扫描信号。
- [0035] 在本申请所述的GOA电路中，所述第二直流低电平信号的电位大于所述第一直流低电平信号的电位。
- [0036] 本申请实施例还提供一种GOA电路，包括：多级级联的GOA单元，每一级GOA单元均包括：上拉控制模块、下传模块、第一上拉模块、第二上拉模块、反馈模块、下拉模块、下拉控制模块、第一自举电容以及第二自举电容；
- [0037] 所述上拉控制模块接入上一级级传信号以及第一时钟信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点以及所述第二节点；
- [0038] 所述下传模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；
- [0039] 所述第一上拉模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；
- [0040] 所述第二上拉模块接入第三时钟信号，并电性连接于第三节点以及所述第一节点，用于在所述第一节点的电位控制下，将所述第三时钟信号输出至所述第三节点；
- [0041] 所述反馈模块电性连接于所述本级级传信号、所述本级扫描信号以及所述第二节点，用于在所述本级级传信号的控制下将所述本级扫描信号的电位反馈至所

述第二节点；

[0042] 所述下拉模块接入下一级级传信号、第一直流低电平信号以及第二直流低电平信号，并电性连接于所述第一节点、所述第二节点以及所述第三节点，用于在所述下一级级传信号的控制下将所述第一直流低电平信号输出至所述第一节点以及所述第二节点，以及在所述下一级级传信号的控制下将所述第二直流低电平信号输出至所述第三节点；

[0043] 所述下拉控制模块接入直流高电平信号、所述第一直流低电平信号以及所述第二直流低电平信号，并电性连接于所述第一节点、所述第二节点、所述本级级传信号以及所述本级扫描信号，用于将所述第一节点的电位、所述第二节点的电位以及所述本级级传信号的电位下拉至所述第一直流低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二直流低电平信号的电位；

[0044] 所述第一自举电容的第一端电性连接于所述第一节点，所述第一自举电容的第二端电性连接于所述本级扫描信号；

[0045] 所述第二自举电容的第一端电性连接于所述第一节点，所述第二自举电容的第二端电性连接于所述第三节点。

[0046] 在本申请所述的GOA电路中，所述上拉控制模块包括：第一晶体管以及第二晶体管；

[0047] 所述第一晶体管以及所述第二晶体管的栅极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极以及所述第二晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第一节点。

[0048] 在本申请所述的GOA电路中，所述下传模块包括：第三晶体管；

[0049] 所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极电性连接于所述第二时钟信号，所述第三晶体管的漏极电性连接于所述本级级传信号。

[0050] 在本申请所述的GOA电路中，所述第一上拉模块包括：第四晶体管；

[0051] 所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级扫描信

号。

[0052] 在本申请所述的GOA电路中，所述第二上拉模块包括：第五晶体管；

[0053] 所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第三时钟信号，所述第五晶体管的漏极电性连接于所述第三节点。

[0054] 在本申请所述的GOA电路中，所述反馈模块包括：第六晶体管；

[0055] 所述第六晶体管的栅极电性连接于所述本级级传信号，所述第六晶体管的源极电性连接于所述本级扫描信号，所述第六晶体管的栅极电性连接于所述第二节点。

[0056] 在本申请所述的GOA电路中，所述下拉模块包括：第七晶体管、第八晶体管以及第九晶体管；

[0057] 所述第七晶体管的栅极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述下一级级传信号，所述第七晶体管的源极电性连接于所述第二直流低电平信号，所述第八晶体管的源极电性连接于所述第一直流低电平信号，所述第八晶体管的漏极以及所述第九晶体管的源极均电性连接于所述第二节点，所述第九晶体管的漏极电性连接于所述第一节点。

[0058] 在本申请所述的GOA电路中，所述下拉控制模块包括：第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十七晶体管以及第十八晶体管；

[0059] 所述第十二晶体管的源极、所述第十四晶体管的源极以及所述第十四晶体管的栅极均电性连接与所述直流高电平信号；

[0060] 所述第十一晶体管的源极、所述第十三晶体管的源极，所述第十五晶体管的源极以及所述第十六晶体管的源极均电性连接于所述第一直流低电平信号；

[0061] 所述第十七晶体管的源极以及所述第十八晶体管的源极均电性连接于所述第二直流低电平信号；

[0062] 所述第十晶体管的栅极、所述第十一晶体管的栅极、所述第十二晶体管的漏极、所述第十三晶体管的漏极、所述第十六晶体管的栅极、所述第十七晶体管的栅极以及所述第十八晶体管的栅极均电性连接；

[0063] 所述第十晶体管的漏极、所述第十三晶体管的栅极以及所述第十五晶体管的栅

极均电性连接于所述第一节点；

[0064] 所述第十晶体管的源极以及所述第十一晶体管的漏极均电性连接于所述第二节点；

[0065] 所述第十二晶体管的栅极、所述第十四晶体管的漏极以及所述第十五晶体管的漏极均电性连接；

[0066] 所述第十六晶体管的漏极电性连接于所述本级级传信号；所述第十七晶体管的漏极以及所述第十八晶体管的漏极均电性连接于所述本级扫描信号。

[0067] 在本申请所述的GOA电路中，所述第二直流低电平信号的电位大于所述第一直流低电平信号的电位。

[0068] 本申请实施例还提供一种显示面板，其包括GOA电路，所述GOA电路包括：多级级联的GOA单元，每一级GOA单元均包括：上拉控制模块、下传模块、第一上拉模块、第二上拉模块、反馈模块、下拉模块、下拉控制模块、第一自举电容以及第二自举电容；

[0069] 所述上拉控制模块接入上一级级传信号以及第一时钟信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点以及所述第二节点；

[0070] 所述下传模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

[0071] 所述第一上拉模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

[0072] 所述第二上拉模块接入第三时钟信号，并电性连接于第三节点以及所述第一节点，用于在所述第一节点的电位控制下，将所述第三时钟信号输出至所述第三节点；

[0073] 所述反馈模块电性连接于所述本级级传信号、所述本级扫描信号以及所述第二节点，用于在所述本级级传信号的控制下将所述本级扫描信号的电位反馈至所述第二节点；

[0074] 所述下拉模块接入下一级级传信号、第一直流低电平信号以及第二直流低电平信号，并电性连接于所述第一节点、所述第二节点以及所述第三节点，用于在

所述下一级级传信号的控制下将所述第一直流低电平信号输出至所述第一节点以及所述第二节点，以及在所述下一级级传信号的控制下将所述第二直流低电平信号输出至所述第三节点；

[0075] 所述下拉控制模块接入直流高电平信号、所述第一直流低电平信号以及所述第二直流低电平信号，并电性连接于所述第一节点、所述第二节点、所述本级级传信号以及所述本级扫描信号，用于将所述第一节点的电位、所述第二节点的电位以及所述本级级传信号的电位下拉至所述第一直流低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二直流低电平信号的电位；

[0076] 所述第一自举电容的第一端电性连接于所述第一节点，所述第一自举电容的第二端电性连接于所述本级扫描信号；

[0077] 所述第二自举电容的第一端电性连接于所述第一节点，所述第二自举电容的第二端电性连接于所述第三节点。

[0078] 在本申请所述的显示面板中，所述上拉控制模块包括：第一晶体管以及第二晶体管；

[0079] 所述第一晶体管以及所述第二晶体管的栅极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极以及所述第二晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第一节点。

[0080] 在本申请所述的显示面板中，所述下传模块包括：第三晶体管；

[0081] 所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极电性连接于所述第二时钟信号，所述第三晶体管的漏极电性连接于所述本级级传信号。

[0082] 在本申请所述的显示面板中，所述第一上拉模块包括：第四晶体管；

[0083] 所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级扫描信号。

发明的有益效果

有益效果

[0084] 本申请实施例提供的GOA电路及显示面板，通过设置第一自举电容以及第二自举电容对第一节点的电位进行多次上拉，使得第一节点的电位相较于传统GOA电路中的第一节点的电位高，从而能够显著减少扫描信号的下降时间，防止因显示面板的解析度提高造成的错充风险，进而提高显示面板显示质量。

对附图的简要说明

附图说明

[0085] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0086] 图1为本申请实施例提供的GOA电路的结构示意图；

[0087] 图2为本申请实施例提供的GOA电路中一GOA单元的电路示意图；

[0088] 图3为本申请实施例提供的GOA电路中一GOA单元的信号时序图；

[0089] 图4为本申请实施例提供的显示面板的结构示意图。

发明实施例

本发明的实施方式

[0090] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0091] 本申请所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定开关晶体管的中间端为栅极、信号输入端为源极、输出端为漏极。此外本申请实施例所采用的晶体管可以包括P型晶体管和/或N型晶体管两种，其中，P型晶体管在栅极为低电平时导通，在栅极为高电平时截止，N型晶体管为在栅极为高电平时导通，在栅极为低电平时截止。

- [0092] 请参阅图1，图1为本申请实施例提供的GOA电路的结构示意图。如图1所示，本申请实施例提供的GOA电路包括多级级联的GOA单元。其中，图1以级联的第 $n-1$ 级GOA单元、第 n 级GOA单元和第 $n+1$ 级GOA单元为例。
- [0093] 当第 n 级GOA单元工作时，第 n 级GOA单元输出的扫描信号为高电位，用于打开显示面板中一行中每个像素的晶体管开关，并通过数据信号对每个像素中的像素电极进行充电；第 n 级级传信号用于控制第 $n+1$ 级GOA单元的工作；当第 $n+1$ 级GOA单元工作时，第 $n+1$ 级GOA单元输出的扫描信号为高电位，同时第 n 级GOA单元输出的扫描信号为低电位。
- [0094] 进一步的，请参阅图2，图2为本申请实施例提供的GOA电路中一GOA单元的电路示意图。如图2所示，该GOA单元包括：上拉控制模块101、下传模块102、第一上拉模块103、第二上拉模块104、反馈模块105、下拉模块106、下拉控制模块107、第一自举电容Cbt1以及第二自举电容Cbt2。
- [0095] 其中，所上拉控制模块101接入上一级级传信号Count ($n-1$) 以及第一时钟信号CK1，并电性连接于第一节点Q以及第二节点N，用于在第一时钟信号CK1的控制下将上一级级传信号Count ($n-1$) 输出至第一节点Q以及第二节点N。
- [0096] 其中，下传模块102接入第二时钟信号CK2，并电性连接于第一节点Q，用于在第一节点Q的电位控制下输出本级级传信号Count (n) 。
- [0097] 其中，第一上拉模块103接入第二时钟信号CK2，并电性连接于第一节点Q，用于在第一节点Q的电位控制下输出本级扫描信号G (n) 。
- [0098] 其中，第二上拉模块104接入第三时钟信号CK3，并电性连接于第三节点M以及第一节点Q，用于在第一节点Q的电位控制下，将第三时钟信号CK3输出至第三节点M。
- [0099] 其中，反馈模块105电性连接于本级级传信号Count (n)、本级扫描信号G (n) 以及第二节点N，用于在本级级传信号Count (n) 的控制下将本级扫描信号G (n) 的电位反馈至第二节点N。
- [0100] 其中，下拉模块106接入下一级级传信号Count ($n+1$)、第一直流低电平信号VGL1以及第二直流低电平信号VGL2，并电性连接于第一节点Q、第二节点N以及第三节点M，用于在下一级级传信号Count ($n+1$) 的控制下将第一直流低电平信

号VGL1输出至第一节点Q以及第二节点N，以及在下一级级传信号Count (n+1) 的控制下将第二直流低电平信号VGL2输出至第三节点M。

[0101] 其中，下拉控制模块107接入直流高电平信号VGH、第一直流低电平信号VGL1以及第二直流低电平信号VGL2，并电性连接于第一节点Q、第二节点N、本级级传信号Count (n) 以及本级扫描信号G (n)，用于将第一节点Q的电位、第二节点N的电位以及本级级传信号Count (n) 的电位下拉至第一直流低电平信号VGL1的电位，以及将本级扫描信号G (n) 的电位下拉至第二直流低电平信号VGL2的电位。

[0102] 其中，第一自举电容Cbt1的第一端电性连接于第一节点Q，第一自举电容Cbt1的第二端电性连接于本级扫描信号G (n)。

[0103] 其中，第二自举电容Cbt2的第一端电性连接于第一节点Q，第二自举电容Cbt2的第二端电性连接于第三节点M。

[0104] 在一些实施例中，上拉控制模块101包括：第一晶体管T1以及第二晶体管T2。第一晶体管T1以及第二晶体管T2的栅极均电性连接于第一时钟信号CK1，第一晶体管T1的源极电性连接于上一级级传信号Count (n-1)，第一晶体管T1的漏极以及第二晶体管T2的源极均电性连接于第二节点N，第二晶体管T2的漏极电性连接于第一节点Q。

[0105] 在一些实施例中，下传模块102包括：第三晶体管T3。第三晶体管T3的栅极电性连接于第一节点Q，第三晶体管T3的源极电性连接于第二时钟信号CK2，第三晶体管T3的漏极电性连接于本级级传信号Count (n)。

[0106] 在一些实施例中，第一上拉模块103包括：第四晶体管T4。第四晶体管T4的栅极电性连接于第一节点Q，第四晶体管T4的源极电性连接于第二时钟信号CK2，第四晶体管T4的漏极电性连接于本级扫描信号G (n)。

[0107] 在一些实施例中，第二上拉模块104包括：第五晶体管T5。第五晶体管T5的栅极电性连接于第一节点Q，第五晶体管T5的源极电性连接于第三时钟信号CK3，第五晶体管T5的漏极电性连接于第三节点M。

[0108] 在一些实施例中，反馈模块105包括：第六晶体管T6。第六晶体管T6的栅极电性连接于本级级传信号Count (n)，第六晶体管T6的源极电性连接于本级扫描

信号G (n) , 第六晶体管T6的栅极电性连接于第二节点N。

[0109] 在一些实施例中, 下拉模块106包括: 第七晶体管T7、第八晶体管T8以及第九晶体管T9。第七晶体管T7的栅极、第八晶体管T8的栅极以及第九晶体管T9的栅极均电性连接于下一级级传信号Count (n+1) , 第七晶体管T7的源极电性连接于第二直流低电平信号VGL2, 第八晶体管T8的源极电性连接于第一直流低电平信号VGL1, 第八晶体管T8的漏极以及第九晶体管T9的源极均电性连接于第二节点N, 第九晶体管T9的漏极电性连接于第一节点Q。

[0110] 在一些实施例中, 下拉控制模块107包括: 第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15、第十六晶体管T16、第十七晶体管T17以及第十八晶体管T18。

[0111] 第十二晶体管T12的源极、第十四晶体管T14的源极以及第十四晶体管T14的栅极均电性连接与直流高电平信号VGH; 第十一晶体管T11的源极、第十三晶体管T13的源极, 第十五晶体管T15的源极以及第十六晶体管T16的源极均电性连接于第一直流低电平信号VGL1。第十七晶体管T17的源极以及第十八晶体管T18的源极均电性连接于第二直流低电平信号VGL2。第十晶体管T10的栅极、第十一晶体管T11的栅极、第十二晶体管T12的漏极、第十三晶体管T13的漏极、第十六晶体管T16的栅极、第十七晶体管T17的栅极以及第十八晶体管T18的栅极均电性连接。第十晶体管T10的漏极、第十三晶体管T13的栅极以及第十五晶体管T15的栅极均电性连接于第一节点Q。第十晶体管T10的源极以及第十一晶体管T11的漏极均电性连接于第二节点N。第十二晶体管T12的栅极、第十四晶体管T14的漏极以及第十五晶体管T15的漏极均电性连接; 第十六晶体管T16的漏极电性连接于本级级传信号Count (n) 。第十七晶体管T17的漏极以及第十八晶体管T18的漏极均电性连接于本级扫描信号G (n) 。

[0112] 需要说明的是, 本申请实施例提供的GOA电路与现有的GOA电路的区别在于: 本申请实施例提供的GOA电路, 通过设置第一自举电容Cbt1以及第二自举电容Cbt2对第一节点Q的电位进行多次上拉, 使得第一节点Q的电位相较于传统GOA电路中的第一节点Q的电位高, 从而能够显著减少扫描信号的下降时间, 防止因显示面板的解析度提高造成的错充风险。

[0113] 请结合图2、图3，图3为本申请实施例提供的GOA电路中一GOA单元的信号时序图。

[0114] 其中，第一直流低电平信号VGL1和第二直流低电平信号VGL2为直流电源。第二直流低电平信号VGL2的电位大于第一直流低电平信号VGL1的电位。例如，第二直流低电平信号VGL2的电压可以设置为-10V，第二直流低电平信号VGL2的电压可以设置为-6V，直流高电平信号VGH的电压可以设置为+24V。

[0115] 其中，第一时钟信号CK1、第二时钟信号CK2以及第三时钟信号CK3均为交流电源。例如，第一时钟信号CK1、第二时钟信号以及第三时钟信号CK3的电压最大值可以设置为+24V，第一时钟信号CK1、第二时钟信号以及第三时钟信号CK3的电压最小值可以设置为-10V。

[0116] 具体的，在第一时间段t1，第一时钟信号CK1为高电位，第二时钟信号CK2为低电位，第三时钟信号CK3为低电位，上一级级传信号Count (n-1) 为高电位，下一级级传信号Count (n+1) 为低电位。

[0117] 由于第一时钟信号CK1为高电位，使得第一晶体管T1以及第二晶体管T2打开，上一级级传信号Count (n-1) 先经第一晶体管T1输出至第二节点N，再经第二晶体管T2输出至第一节点Q。也即，此时，第一节点Q的电位被抬升高电位。

[0118] 由于第一节点Q的电位被抬升高电位，使得第三晶体管T3、第四晶体管T4、第五晶体管T5、第十三晶体管T13以及第十五晶体管T15打开。第一直流低电平信号VGL1经第十三晶体管T13以及第十五晶体管T15输出，从而使得第十晶体管T10、第十一晶体管T11、第十六晶体管T16、第十七晶体管T17以及第十八晶体管T18关闭。

[0119] 由于下一级级传信号Count (n+1) 为低电位，使得第七晶体管T7、第八晶体管T8以及第九晶体管T9关闭。第二时钟信号CK2经第三晶体管T3输出本级级传信号Count (n)，第二时钟信号CK2经第四晶体管T4输出本级扫描信号G (n)，第三时钟信号CK3经第五晶体管T5输出至第三节点M。由于第二时钟信号CK2以及第三时钟信号CK3为低电位，也即，在第一时间段t1，本级级传信号Count (n) 为低电位，本级扫描信号G (n) 为低电位，第三节点M的电位为低电位。

[0120] 在第二时间段t2，第一时钟信号CK1为低电位，第二时钟信号CK2为高电位，

第三时钟信号CK3为低电位，上一级级传信号Count (n-1) 为低电位，下一级级传信号Count (n+1) 为低电位。

- [0121] 由于第一时钟信号CK1为低电位，使得第一晶体管T1以及第二晶体管T2关闭。另外，由于第一自举电容Cbt1以及第二自举电容Cbt2的存储作用，使得第一节点Q的电位先保持第一时间段t1时的高电位。也即，此时，第三晶体管T3打开，第二时钟信号CK2输出至第一自举电容Cbt1的第二端。由于电容耦合效应，使得第一电容的第一端的电位也相应发生变换。也即，第一节点Q的电位继续上升。
- [0122] 由于第一节点Q的电位继续上升，使得第三晶体管T3、第四晶体管T4、第五晶体管T5、第十三晶体管T13以及第十五晶体管T15打开。第一直流低电平信号VGL1经第十三晶体管T13以及第十五晶体管T15输出，从而使得第十晶体管T10、第十一晶体管T11、第十六晶体管T16、第十七晶体管T17以及第十八晶体管T18关闭。
- [0123] 由于下一级级传信号Count (n+1) 为低电位，使得第七晶体管T7、第八晶体管T8以及第九晶体管T9关闭。第二时钟信号CK2经第三晶体管T3输出本级级传信号Count (n)，第二时钟信号CK2经第四晶体管T4输出本级扫描信号G (n)，第三时钟信号CK3经第五晶体管T5输出至第三节点M。由于第二时钟信号CK2为高电位，第三时钟信号CK3为低电位，也即，在第二时间段t2，本级级传信号Count (n) 为高电位，本级扫描信号G (n) 为高电位，第三节点M的电位仍为低电位。
- [0124] 在第三时间段t3，第一时钟信号CK1为低电位，第二时钟信号CK2为高电位，第三时钟信号CK3为高电位，上一级级传信号Count (n-1) 为低电位，下一级级传信号Count (n+1) 为低电位。
- [0125] 由于第一时钟信号CK1为低电位，使得第一晶体管T1以及第二晶体管T2关闭。另外，由于第一自举电容Cbt1以及第二自举电容Cbt2的存储作用，使得第一节点Q的电位先保持第二时间段t2时的高电位。也即，此时，第三晶体管T3打开，第二时钟信号CK2输出至第一自举电容Cbt1的第二端。也即，此时，第一节点Q的电位仍旧为第二时间段t2时的电位。
- [0126] 由于第一节点Q的电位仍旧为第二时间段t2时的电位，使得第三晶体管T3、第

四晶体管T4、第五晶体管T5、第十三晶体管T13以及第十五晶体管T15打开。第一直流低电平信号VGL1经第十三晶体管T13以及第十五晶体管T15输出，从而使得第十晶体管T10、第十一晶体管T11、第十六晶体管T16、第十七晶体管T17以及第十八晶体管T18关闭。

[0127] 由于下一级级传信号Count (n+1) 为低电位，使得第七晶体管T7、第八晶体管T8以及第九晶体管T9关闭。第二时钟信号CK2经第三晶体管T3输出本级级传信号Count (n)，第二时钟信号CK2经第四晶体管T4输出本级扫描信号G (n)，第三时钟信号CK3经第五晶体管T5输出至第三节点M。由于第二时钟信号CK2为高电位，第三时钟信号CK3为高电位，也即，在第三时间段t3，本级级传信号Count (n) 为高电位，本级扫描信号G (n) 为高电位，第三时钟信号CK3输出至第二自举电容的第二端。由于电容耦合效应，使得第二自举电容Cbt2的第一端的电位也相应发生变换。也即，第一节点Q的电位继续上升。

[0128] 在第四时间段t4，第一时钟信号CK1为低电位，第二时钟信号CK2为低电位，第三时钟信号CK3为高电位，上一级级传信号Count (n-1) 为低电位，下一级级传信号Count (n+1) 为低电位。

[0129] 由于第一时钟信号CK1为低电位，使得第一晶体管T1以及第二晶体管T2关闭。另外，由于第一自举电容Cbt1以及第二自举电容Cbt2的存储作用，使得第一节点Q的电位先保持第三时间段t3时的高电位。

[0130] 由于第一节点Q的电位先为第三时间段t3时的电位，使得第三晶体管T3、第四晶体管T4、第五晶体管T5、第十三晶体管T13以及第十五晶体管T15打开。第一直流低电平信号VGL1经第十三晶体管T13以及第十五晶体管T15输出，从而使得第十晶体管T10、第十一晶体管T11、第十六晶体管T16、第十七晶体管T17以及第十八晶体管T18关闭。

[0131] 由于下一级级传信号Count (n+1) 为低电位，使得第七晶体管T7、第八晶体管T8以及第九晶体管T9关闭。第二时钟信号CK2经第三晶体管T3输出本级级传信号Count (n)，第二时钟信号CK2经第四晶体管T4输出本级扫描信号G (n)，第三时钟信号CK3经第五晶体管T5输出至第三节点M。由于第二时钟信号CK2为低电位，第三时钟信号CK3为高电位，也即，在第四时间段t4，本级级传信号Co

unt (n) 为低电位，本级扫描信号G (n) 为低电位，第三节点M的电位仍为高电位。另外，第二时钟信号CK2经第四晶体管T4输出至第一自举电容Cbt1的第二端。由于电容耦合效应，使得第一自举电容Cbt1的第一端的电位也相应发生变换。也即，第一节点Q的电位被拉低。

[0132] 在第五时间段t5，第一时钟信号CK1为高电位，第二时钟信号CK2为低电位，第三时钟信号CK3为低电位，上一级级传信号Count (n-1) 为低电位，下一级级传信号Count (n+1) 为高电位。

[0133] 由于第一时钟信号CK1为高电位，使得第一晶体管T1以及第二晶体管T2打开，上一级级传信号Count (n-1) 先经第一晶体管T1输出至第二节点N，再经第二晶体管T2输出至第一节点Q。也即，此时，第一节点Q的电位被拉低。

[0134] 由于第一节点Q的电位被拉低，也即，此时，第一节点Q的电位为低电位，使得第三晶体管T3、第四晶体管T4、第五晶体管T5、第十三晶体管T13以及第十五晶体管T15关闭，进而使得第十晶体管T10、第十一晶体管T11、第十六晶体管T16、第十七晶体管T17以及第十八晶体管T18打开。第一直流低电平信号VGL1经第十一晶体管T11以及第十晶体管T10输出至第一节点Q，第一节点Q的电位被拉低。第一直流低电平信号VGL1经第十六晶体管T16输出至本级级传信号Count (n)，本级级传信号Count (n) 被拉低。第二直流低电平信号VGL2经第十七晶体管T17以及第十八晶体管T18输出至本级扫描信号G (n)，本级扫描信号G (n) 被拉低。

[0135] 由于下一级级传信号Count (n+1) 为高电位，使得第七晶体管T7、第八晶体管T8以及第九晶体管T9打开。第二时钟信号CK2经第七晶体管T7输出至第三节点M，第三节点M的电位被拉低。

[0136] 请参阅图4，图4为本申请实施例提供的显示面板的结构示意图。如图4所示，该显示面板包括显示区域100以及集成设置在显示区域100边缘上的GOA电路200；其中，该GOA电路200与上述的GOA电路的结构和原理类似，这里不再赘述。

[0137] 以上仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种GOA电路，其包括：多级级联的GOA单元，每一级GOA单元均包括：上拉控制模块、下传模块、第一上拉模块、第二上拉模块、反馈模块、下拉模块、下拉控制模块、第一自举电容以及第二自举电容；

所述上拉控制模块接入上一级级传信号以及第一时钟信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点以及所述第二节点；

所述下传模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

所述第一上拉模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

所述第二上拉模块接入第三时钟信号，并电性连接于第三节点以及所述第一节点，用于在所述第一节点的电位控制下，将所述第三时钟信号输出至所述第三节点；

所述反馈模块电性连接于所述本级级传信号、所述本级扫描信号以及所述第二节点，用于在所述本级级传信号的控制下将所述本级扫描信号的电位反馈至所述第二节点；

所述下拉模块接入下一级级传信号、第一直流低电平信号以及第二直流低电平信号，并电性连接于所述第一节点、所述第二节点以及所述第三节点，用于在所述下一级级传信号的控制下将所述第一直流低电平信号输出至所述第一节点以及所述第二节点，以及在所述下一级级传信号的控制下将所述第二直流低电平信号输出至所述第三节点；

所述下拉控制模块接入直流高电平信号、所述第一直流低电平信号以及所述第二直流低电平信号，并电性连接于所述第一节点、所述第二节点、所述本级级传信号以及所述本级扫描信号，用于将所述第一节点的电位、所述第二节点的电位以及所述本级级传信号的电位下拉至所述第一直流低电平信号的电位，以及将所述本级扫描信号的电位下

拉至所述第二直流低电平信号的电位；

所述第一自举电容的第一端电性连接于所述第一节点，所述第一自举电容的第二端电性连接于所述本级扫描信号；

所述第二自举电容的第一端电性连接于所述第一节点，所述第二自举电容的第二端电性连接于所述第三节点；

所述上拉控制模块包括：第一晶体管以及第二晶体管；

所述第一晶体管以及所述第二晶体管的栅极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极以及所述第二晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第一节点；

所述下传模块包括：第三晶体管；

所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极电性连接于所述第二时钟信号，所述第三晶体管的漏极电性连接于所述本级级传信号。

[权利要求 2] 根据权利要求1所述的GOA电路，其中，所述第一上拉模块包括：第四晶体管；

所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级扫描信号。

[权利要求 3] 根据权利要求1所述的GOA电路，其中，所述第二上拉模块包括：第五晶体管；

所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第三时钟信号，所述第五晶体管的漏极电性连接于所述第三节点。

[权利要求 4] 根据权利要求1所述的GOA电路，其中，所述反馈模块包括：第六晶体管；

所述第六晶体管的栅极电性连接于所述本级级传信号，所述第六晶体管的源极电性连接于所述本级扫描信号，所述第六晶体管的栅极电性

连接于所述第二节点。

[权利要求 5]

根据权利要求1所述的GOA电路，其中，所述下拉模块包括：第七晶体管、第八晶体管以及第九晶体管；

所述第七晶体管的栅极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述下一级级传信号，所述第七晶体管的源极电性连接于所述第二直流低电平信号，所述第八晶体管的源极电性连接于所述第一直流低电平信号，所述第八晶体管的漏极以及所述第九晶体管的源极均电性连接于所述第二节点，所述第九晶体管的漏极电性连接于所述第一节点。

[权利要求 6]

根据权利要求1所述的GOA电路，其中，所述下拉控制模块包括：第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十七晶体管以及第十八晶体管；所述第十二晶体管的源极、所述第十四晶体管的源极以及所述第十四晶体管的栅极均电性连接与所述直流高电平信号；

所述第十一晶体管的源极、所述第十三晶体管的源极，所述第十五晶体管的源极以及所述第十六晶体管的源极均电性连接于所述第一直流低电平信号；

所述第十七晶体管的源极以及所述第十八晶体管的源极均电性连接于所述第二直流低电平信号；

所述第十晶体管的栅极、所述第十一晶体管的栅极、所述第十二晶体管的漏极、所述第十三晶体管的漏极、所述第十六晶体管的栅极、所述第十七晶体管的栅极以及所述第十八晶体管的栅极均电性连接；

所述第十晶体管的漏极、所述第十三晶体管的栅极以及所述第十五晶体管的栅极均电性连接于所述第一节点；

所述第十晶体管的源极以及所述第十一晶体管的漏极均电性连接于所述第二节点；

所述第十二晶体管的栅极、所述第十四晶体管的漏极以及所述第十五晶体管的漏极均电性连接；

所述第十六晶体管的漏极电性连接于所述本级级传信号；所述第十七晶体管的漏极以及所述第十八晶体管的漏极均电性连接于所述本级扫描信号。

[权利要求 7] 根据权利要求1所述的GOA电路，其中，所述第二直流低电平信号的电位大于所述第一直流低电平信号的电位。

[权利要求 8] 一种GOA电路，其包括：多级级联的GOA单元，每一级GOA单元均包括：上拉控制模块、下传模块、第一上拉模块、第二上拉模块、反馈模块、下拉模块、下拉控制模块、第一自举电容以及第二自举电容；

所述上拉控制模块接入上一级级传信号以及第一时钟信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点以及所述第二节点；

所述下传模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

所述第一上拉模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

所述第二上拉模块接入第三时钟信号，并电性连接于第三节点以及所述第一节点，用于在所述第一节点的电位控制下，将所述第三时钟信号输出至所述第三节点；

所述反馈模块电性连接于所述本级级传信号、所述本级扫描信号以及所述第二节点，用于在所述本级级传信号的控制下将所述本级扫描信号的电位反馈至所述第二节点；

所述下拉模块接入下一级级传信号、第一直流低电平信号以及第二直流低电平信号，并电性连接于所述第一节点、所述第二节点以及所述第三节点，用于在所述下一级级传信号的控制下将所述第一直流低电平信号输出至所述第一节点以及所述第二节点，以及在所述下一级级传信号的控制下将所述第二直流低电平信号输出至所述第三节点；

所述下拉控制模块接入直流高电平信号、所述第一直流低电平信号以

及所述第二直流低电平信号，并电性连接于所述第一节点、所述第二节点、所述本级级传信号以及所述本级扫描信号，用于将所述第一节点的电位、所述第二节点的电位以及所述本级级传信号的电位下拉至所述第一直流低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二直流低电平信号的电位；

所述第一自举电容的第一端电性连接于所述第一节点，所述第一自举电容的第二端电性连接于所述本级扫描信号；

所述第二自举电容的第一端电性连接于所述第一节点，所述第二自举电容的第二端电性连接于所述第三节点。

[权利要求 9] 根据权利要求8所述的GOA电路，其中，所述上拉控制模块包括：第一晶体管以及第二晶体管；

所述第一晶体管以及所述第二晶体管的栅极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极以及所述第二晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第一节点。

[权利要求 10] 根据权利要求8所述的GOA电路，其中，所述下传模块包括：第三晶体管；

所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极电性连接于所述第二时钟信号，所述第三晶体管的漏极电性连接于所述本级级传信号。

[权利要求 11] 根据权利要求8所述的GOA电路，其中，所述第一上拉模块包括：第四晶体管；

所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级扫描信号。

[权利要求 12] 根据权利要求8所述的GOA电路，其中，所述第二上拉模块包括：第五晶体管；

所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的

源极电性连接于所述第三时钟信号，所述第五晶体管的漏极电性连接于所述第三节点。

[权利要求 13] 根据权利要求8所述的GOA电路，其中，所述反馈模块包括：第六晶体管；
所述第六晶体管的栅极电性连接于所述本级级传信号，所述第六晶体管的源极电性连接于所述本级扫描信号，所述第六晶体管的栅极电性连接于所述第二节点。

[权利要求 14] 根据权利要求8所述的GOA电路，其中，所述下拉模块包括：第七晶体管、第八晶体管以及第九晶体管；
所述第七晶体管的栅极、所述第八晶体管的栅极以及所述第九晶体管的栅极均电性连接于所述下一级级传信号，所述第七晶体管的源极电性连接于所述第二直流低电平信号，所述第八晶体管的源极电性连接于所述第一直流低电平信号，所述第八晶体管的漏极以及所述第九晶体管的源极均电性连接于所述第二节点，所述第九晶体管的漏极电性连接于所述第一节点。

[权利要求 15] 根据权利要求8所述的GOA电路，其中，所述下拉控制模块包括：第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十七晶体管以及第十八晶体管；
所述第十二晶体管的源极、所述第十四晶体管的源极以及所述第十四晶体管的栅极均电性连接与所述直流高电平信号；
所述第十一晶体管的源极、所述第十三晶体管的源极，所述第十五晶体管的源极以及所述第十六晶体管的源极均电性连接于所述第一直流低电平信号；
所述第十七晶体管的源极以及所述第十八晶体管的源极均电性连接于所述第二直流低电平信号；
所述第十晶体管的栅极、所述第十一晶体管的栅极、所述第十二晶体管的漏极、所述第十三晶体管的漏极、所述第十六晶体管的栅极、所述第十七晶体管的栅极以及所述第十八晶体管的栅极均电性连接；

所述第十晶体管的漏极、所述第十三晶体管的栅极以及所述第十五晶体管的栅极均电性连接于所述第一节点；

所述第十晶体管的源极以及所述第十一晶体管的漏极均电性连接于所述第二节点；

所述第十二晶体管的栅极、所述第十四晶体管的漏极以及所述第十五晶体管的漏极均电性连接；

所述第十六晶体管的漏极电性连接于所述本级级传信号；所述第十七晶体管的漏极以及所述第十八晶体管的漏极均电性连接于所述本级扫描信号。

[权利要求 16] 根据权利要求8所述的GOA电路，其中，所述第二直流低电平信号的电位大于所述第一直流低电平信号的电位。

[权利要求 17] 一种显示面板，其包括GOA电路，所述GOA电路包括：多级级联的GOA单元，每一级GOA单元均包括：上拉控制模块、下传模块、第一上拉模块、第二上拉模块、反馈模块、下拉模块、下拉控制模块、第一自举电容以及第二自举电容；

所述上拉控制模块接入上一级级传信号以及第一时钟信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点以及所述第二节点；

所述下传模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

所述第一上拉模块接入所述第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

所述第二上拉模块接入第三时钟信号，并电性连接于第三节点以及所述第一节点，用于在所述第一节点的电位控制下，将所述第三时钟信号输出至所述第三节点；

所述反馈模块电性连接于所述本级级传信号、所述本级扫描信号以及所述第二节点，用于在所述本级级传信号的控制下将所述本级扫描信号的电位反馈至所述第二节点；

所述下拉模块接入下一级级传信号、第一直流低电平信号以及第二直流低电平信号，并电性连接于所述第一节点、所述第二节点以及所述第三节点，用于在所述下一级级传信号的控制下将所述第一直流低电平信号输出至所述第一节点以及所述第二节点，以及在所述下一级级传信号的控制下将所述第二直流低电平信号输出至所述第三节点；

所述下拉控制模块接入直流高电平信号、所述第一直流低电平信号以及所述第二直流低电平信号，并电性连接于所述第一节点、所述第二节点、所述本级级传信号以及所述本级扫描信号，用于将所述第一节点的电位、所述第二节点的电位以及所述本级级传信号的电位下拉至所述第一直流低电平信号的电位，以及将所述本级扫描信号的电位下拉至所述第二直流低电平信号的电位；

所述第一自举电容的第一端电性连接于所述第一节点，所述第一自举电容的第二端电性连接于所述本级扫描信号；

所述第二自举电容的第一端电性连接于所述第一节点，所述第二自举电容的第二端电性连接于所述第三节点。

[权利要求 18] 根据权利要求17所述的显示面板，其中，所述上拉控制模块包括：第一晶体管以及第二晶体管；

所述第一晶体管以及所述第二晶体管的栅极均电性连接于所述第一时钟信号，所述第一晶体管的源极电性连接于所述上一级级传信号，所述第一晶体管的漏极以及所述第二晶体管的源极均电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第一节点。

[权利要求 19] 根据权利要求17所述的显示面板，其中，所述下传模块包括：第三晶体管；

所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极电性连接于所述第二时钟信号，所述第三晶体管的漏极电性连接于所述本级级传信号。

[权利要求 20] 根据权利要求17所述的显示面板，其中，所述第一上拉模块包括：第四晶体管；

所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级扫描信号。

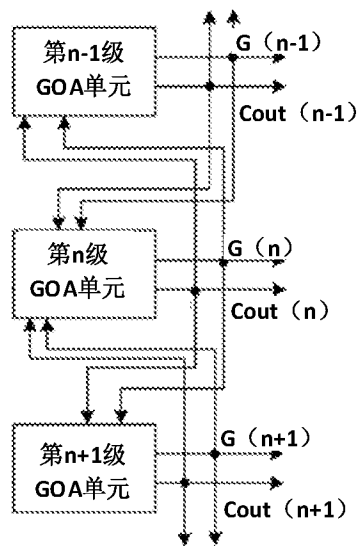


图 1

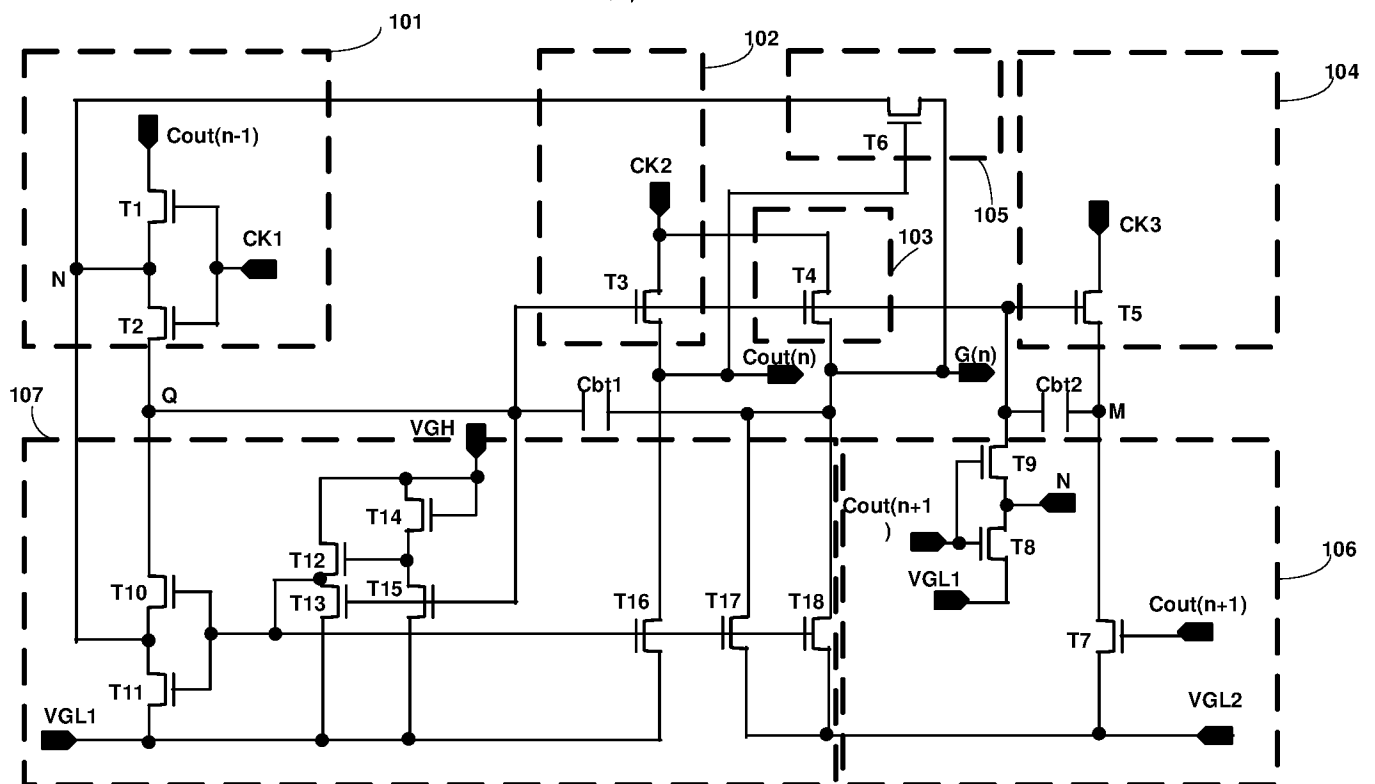


图 2

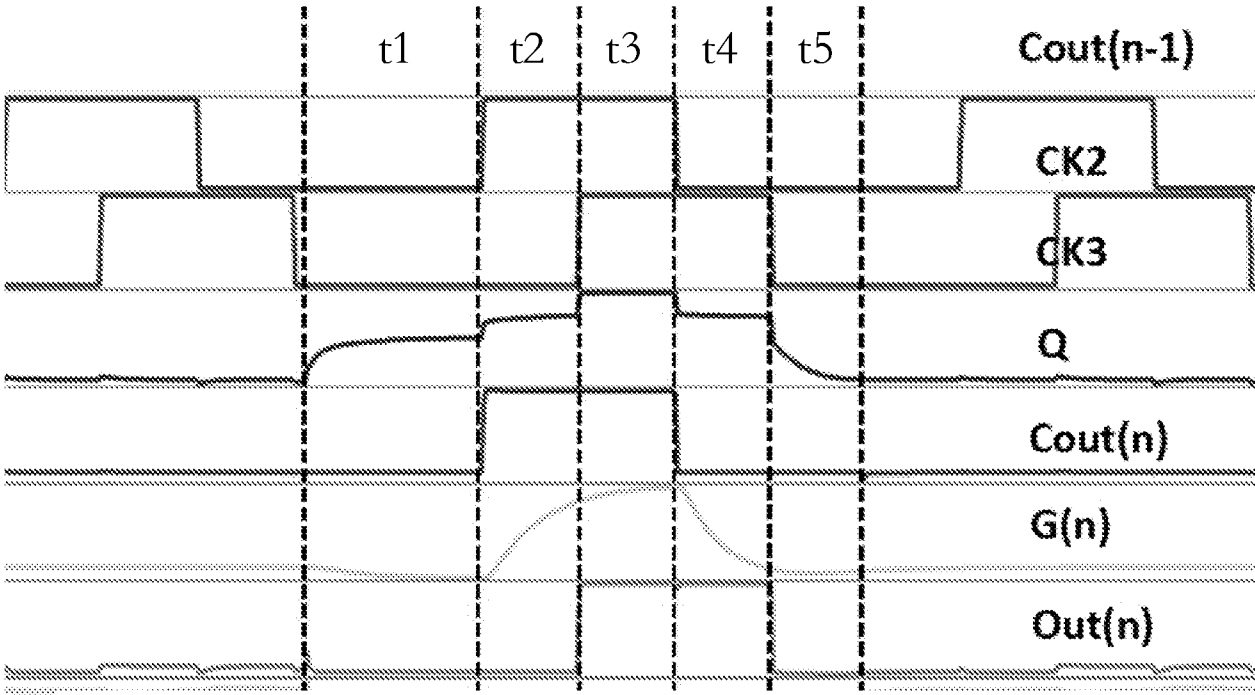


图 3

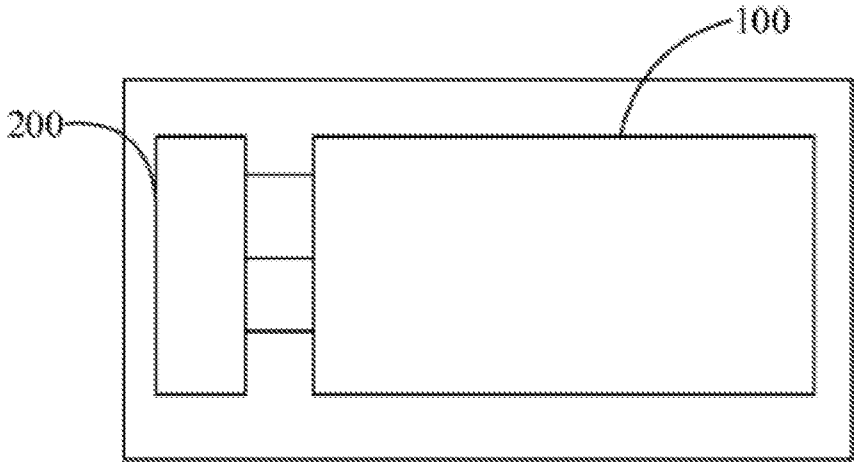


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/085727

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 薛炎, 扫描, 栅极, 门极, 选通, 闸极, 驱动, 移位, 寄存, 暂存, 上拉, 结点, 节点, 进位, 级传, 自举, 电容, 错充, 多次, 抬升, 反馈, scan????, grid, gate, driv+, GDM, GOA, shift, register?, buffer, vertical, pull, up, pu?, second, capacitor?, VGH, feedback, bootstrap+, carry, signal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109712552 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 03 May 2019 (2019-05-03) description, paragraphs [0044]-[0089], and figures 1-4	1-20
Y	CN 102779478 A (BOE TECHNOLOGY GROUP CO., LTD.) 14 November 2012 (2012-11-14) description, paragraphs [0097]-[0247], and figures 3-21	1-20
Y	CN 108806597 A (HEFEI JINGDONGFANG ZHUOYING TECHNOLOGY CO., LTD. et al.) 13 November 2018 (2018-11-13) description, paragraphs [0101]-[0123], and figure 4	1-20
A	CN 102708925 A (BOE TECHNOLOGY GROUP CO., LTD.) 03 October 2012 (2012-10-03) entire document	1-20
A	CN 103700357 A (BOE TECHNOLOGY GROUP CO., LTD.) 02 April 2014 (2014-04-02) entire document	1-20
A	CN 104537977 A (BOE TECHNOLOGY GROUP CO., LTD.) 22 April 2015 (2015-04-22) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

16 October 2019

Date of mailing of the international search report

04 November 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/085727**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108172181 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 15 June 2018 (2018-06-15) entire document	1-20
A	US 2017018245 A1 (SAMSUNG DISPLAY CO., LTD.) 19 January 2017 (2017-01-19) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/085727

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109712552	A	03 May 2019	None			
CN	102779478	A	14 November 2012	WO	2013152604	A1	17 October 2013
				EP	2838079	A1	18 February 2015
				CN	202677790	U	16 January 2013
				KR	101613000	B1	15 April 2016
				CN	102779478	B	27 May 2015
				US	2014093028	A1	03 April 2014
				JP	6114378	B2	12 April 2017
				JP	2015518625	A	02 July 2015
				US	9177666	B2	03 November 2015
				KR	20130139328	A	20 December 2013
CN	108806597	A	13 November 2018	None			
CN	102708925	A	03 October 2012	CN	102708925	B	12 August 2015
CN	103700357	A	02 April 2014	CN	203773916	U	13 August 2014
				US	2016064098	A1	03 March 2016
				CN	103413514	A	27 November 2013
				WO	2015014149	A1	05 February 2015
				US	9620241	B2	11 April 2017
				CN	103700357	B	13 January 2016
CN	104537977	A	22 April 2015	EP	3249638	A1	29 November 2017
				US	2017069286	A1	09 March 2017
				CN	104537977	B	11 August 2017
				US	9905192	B2	27 February 2018
				WO	2016115782	A1	28 July 2016
CN	108172181	A	15 June 2018	None			
US	2017018245	A1	19 January 2017	KR	20170010283	A	26 January 2017

国际检索报告

国际申请号

PCT/CN2019/085727

A. 主题的分类

G09G 3/20 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EPDOC: 华星光电, 薛炎, 扫描, 栅极, 门极, 选通, 闸极, 驱动, 移位, 寄存, 暂存, 上拉, 结点, 节点, 进位, 级传, 自举, 电容, 错充, 多次, 抬升, 反馈, scan????, grid, gate, driv+, GDM, GOA, shift, register?, buffer, vertical, pull, up, pu?, second, capacitor?, VGH, feedback, bootstrap+, carry, signal

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 109712552 A (深圳市华星光电半导体显示技术有限公司) 2019年 5月 3日 (2019 - 05 - 03) 说明书第[0044]-[0089]段、附图1-4	1-20
Y	CN 102779478 A (京东方科技集团股份有限公司) 2012年 11月 14日 (2012 - 11 - 14) 说明书第[0097]-[0247]段、附图3-21	1-20
Y	CN 108806597 A (合肥京东方卓印科技有限公司 等) 2018年 11月 13日 (2018 - 11 - 13) 说明书第[0101]-[0123]段、附图4	1-20
A	CN 102708925 A (京东方科技集团股份有限公司) 2012年 10月 3日 (2012 - 10 - 03) 全文	1-20
A	CN 103700357 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-20
A	CN 104537977 A (京东方科技集团股份有限公司) 2015年 4月 22日 (2015 - 04 - 22) 全文	1-20
A	CN 108172181 A (深圳市华星光电技术有限公司) 2018年 6月 15日 (2018 - 06 - 15) 全文	1-20

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 10月 16日

国际检索报告邮寄日期

2019年 11月 4日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

彭海良

电话号码 86-(10)-53962513

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2017018245 A1 (SAMSUNG DISPLAY CO., LTD.) 2017年 1月 19日 (2017 - 01 - 19) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/085727

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109712552	A	2019年 5月 3日	无			
CN	102779478	A	2012年 11月 14日	WO	2013152604	A1	2013年 10月 17日
				EP	2838079	A1	2015年 2月 18日
				CN	202677790	U	2013年 1月 16日
				KR	101613000	B1	2016年 4月 15日
				CN	102779478	B	2015年 5月 27日
				US	2014093028	A1	2014年 4月 3日
				JP	6114378	B2	2017年 4月 12日
				JP	2015518625	A	2015年 7月 2日
				US	9177666	B2	2015年 11月 3日
				KR	20130139328	A	2013年 12月 20日
CN	108806597	A	2018年 11月 13日	无			
CN	102708925	A	2012年 10月 3日	CN	102708925	B	2015年 8月 12日
CN	103700357	A	2014年 4月 2日	CN	203773916	U	2014年 8月 13日
				US	2016064098	A1	2016年 3月 3日
				CN	103413514	A	2013年 11月 27日
				WO	2015014149	A1	2015年 2月 5日
				US	9620241	B2	2017年 4月 11日
				CN	103700357	B	2016年 1月 13日
CN	104537977	A	2015年 4月 22日	EP	3249638	A1	2017年 11月 29日
				US	2017069286	A1	2017年 3月 9日
				CN	104537977	B	2017年 8月 11日
				US	9905192	B2	2018年 2月 27日
				WO	2016115782	A1	2016年 7月 28日
CN	108172181	A	2018年 6月 15日	无			
US	2017018245	A1	2017年 1月 19日	KR	20170010283	A	2017年 1月 26日