(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 10 月 20 日 (20.10.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/165546 A1

(51) 国际专利分类号:
G11C 19/28 (2006.01) *G09G 3/20* (2006.01)

(21) 国际申请号: PCT/CN2016/077395

(22) 国际申请日: 2016 年 3 月 25 日 (25.03.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
2015101752170 2015 年 4 月 14 日 (14.04.2015) CN

(71) 申请人: **北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL)** [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。

(72) 发明人: **张盛东 (ZHANG, Shengdong)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。 **胡治晋 (HU, Zhijin)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。 **廖聪维 (LIAO, Congwei)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。 **李文杰 (LI, Wenjie)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。 **李君梅 (LI, Junmei)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。 **曹世杰 (CAO, Shijie)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。

(74) 代理人: **深圳鼎合诚知识产权代理有限公司 (DHC IP ATTORNEYS)**; 中国广东省深圳福田区金田路与福华路交汇处现代国际大厦 2201, Guangdong 518048 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: SHIFT REGISTER, UNIT THEREOF, AND DISPLAY DEVICE

(54) 发明名称 : 移位寄存器及其单元和一种显示装置

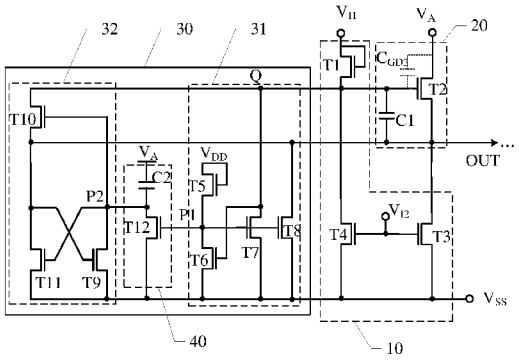


图 1

(57) Abstract: Provided are a shift register and a unit thereof. A low-level maintaining module (30) comprises a first maintaining unit (31) and a second maintaining unit (32). The first maintaining unit (31) and the second maintaining unit (32) are respectively used for maintaining a signal output end and/or a control end (Q) of a driving module (20) at a low level when effective levels are acquired. A threshold voltage sensing module (40) is connected between the first maintaining unit (31) and the second maintaining unit (32). The threshold voltage sensing module (40) controls a signal output end of the first maintaining unit (31) to provide an effective level to a second maintaining enabled end (P2) according to a sensed threshold drift voltage of the first maintaining unit (31). The tolerable threshold voltage drift of the low-level maintaining module (30) can be improved, and accordingly the service life of a circuit can be prolonged. Also disclosed are a display and a voltage adjustment circuit.

(57) 摘要:

[见续页]

WO 2016/165546 A1

BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

提供一种移位寄存器及其单元，其中，低电平维持模块（30）包括第一维持单元（31）和第二维持单元（32），分别用于在获得有效电平时将驱动模块（20）的信号输出端和/或控制端（Q）维持在低电平。在第一维持单元（31）和第二维持单元（32）之间连接有阈值电压感应模块（40），阈值电压感应模块（40）根据感应到第一维持单元（31）的阈值漂移电压控制其信号输出端向第二维持使能端（P2）提供有效电平。从而能够提高低电平维持模块（30）所能忍受的阈值电压漂移，继而可以延长电路的工作寿命。还公开了一种显示器和一种电压调节电路。

移位寄存器及其单元和一种显示装置

技术领域

本发明涉及电子电路领域，具体涉及到一种电压调节电路、移位寄存器及其单元和一种显示装置。

背景技术

近年来，集成显示驱动电路逐渐成为平板显示技术的研究热点。所谓集成显示驱动电路是指将栅极驱动电路和数据驱动电路等外围电路以薄膜晶体管（TFT）的形式与像素 TFT 一起制作于显示面板上，从而减少外围驱动芯片的数量及其压封程序、降低成本，此外，还能使得显示器外围更加纤薄，使显示器模组更加紧凑，机械和电学可靠性得以增强。

在显示器的驱动电路中，移位寄存器单元是栅极驱动电路非常重要的单元模块。在移位寄存器单元的设计中，通常需要一些低电平维持电路，来保证与行扫描线相连的信号输出端不会处于浮空状态，并且消除由于时钟馈通和电容耦合导致的低电平噪声。可是，在低电平维持电路中，那些用于低电平维持的晶体管通常会由于受到较长时间的电压应力而发生阈值电压漂移，这些晶体管严重的退化会导致电路在长时间工作后失效。尤其是对于基于非晶硅 TFT 技术设计的移位寄存器单元而言，低电平维持晶体管的阈值电压漂移将更加严重，往往成为影响电路寿命的关键。

为了得到高可靠的移位寄存器单元，现有的一些设计中，通常采用降低电压应力的大小、脉冲电压偏置、减小电压的占空比等方式来减小低电平维持晶体管的阈值电压漂移，延长电路的工作寿命。但是，在大、中尺寸面板显示应用中，驱动电路需要在更长时间下处于工作模式，客观上对电路的寿命提出了更加苛刻的要求。因此，如何有效的延长电路的工作时间，提高移位寄存器的工作寿命，是一个极具研究价值的问题。

发明内容

本申请提供一种电压调节电路、移位寄存器及其单元和一种显示装置，以实现根据前一个维持单元中阈值电压的漂移情况，将后一个维持单元开启，从而延长电路的工作时间。

根据第一方面，一种实施例中提供一种移位寄存器，包括至少一个移位寄存器单元，移位寄存器单元包括：驱动模块，用于通过其控制端

的开关状态切换，将第一时钟信号传送到移位寄存器单元的信号输出端，从而输出扫描信号；输入模块，用于控制驱动模块的控制端切换开关状态；低电平维持模块，包括：第一维持单元用于在第一维持使能端获得有效电平时将驱动模块的信号输出端和/或控制端维持在低电平；第二维持单元，用于在第二维持使能端获得有效电平时将驱动模块的信号输出端和/或控制端维持在低电平；移位寄存器单元还包括：阈值电压感应模块，其感应端连接至第一维持使能端，其信号输出端连接至第二维持使能端；阈值电压感应模块用于根据其感应输入端感应到的阈值漂移电压控制其信号输出端向第二维持使能端提供有效电平。

根据第二方面，一种实施例中提供一种显示器，包括由多个像素构成的二维像素阵列，以及与阵列中每个像素相连的第一方向的多条数据线和第二方向的多条栅极扫描线；数据驱动电路，为数据线提供数据信号；栅极驱动电路，为栅极扫描线提供栅极驱动信号；其中，栅极驱动电路采用上述移位寄存器构成。

根据第三方面，一种实施例中提供一种电压调节电路，用于根据第一设备电路的阈值电压信息调节输出给第二设备电路的供电电压，电压调节电路包括：耦合电容和感应晶体管；感应晶体管的控制极为电压调节电路的感应端，用于感应第一设备电路中待感应晶体管的阈值电压漂移；感应晶体管的第二极用于连接至低电平端；感应晶体管的第一极为电压调节电路的信号输出端，用于向第二设备提供供电电压；耦合电容的第一端用于输入时钟信号，耦合电容的第二端连接至感应晶体管的第一极；感应晶体管根据感应到的阈值漂移电压调整其导通程度，以调整输出给第二设备电路的供电电压。

依据上述实施例提供的移位寄存器，通过阈值电压感应模块感应第一维持使能端的阈值电压漂移，并依据感应的阈值电压调整输出给第二维持使能端的供电电压，从而能够提高低电平维持模块所能忍受的阈值电压漂移，继而可以延长电路的工作寿命。

依据本发明提供的电压调节电路，感应晶体管根据感应到第一设备电路的阈值漂移电压调整其导通程度，以调整输出给第二设备电路的供电电压，从而改善了第一设备电路和第二设备电路之间的协同工作模式。

附图说明

图 1 是本申请实施例一的一种移位寄存器单元的电路结构图；

图 2 是本申请实施例一的移位寄存器单元的一种工作时序图;

图 3 是本申请实施例一第二维持使能端 P2 的信号波形示意图;

图 4 是本申请实施例二的一种移位寄存器单元的电路结构图;

图 5 是本申请实施例二的移位寄存器单元的一种工作时序图;

图 6 是本申请实施例二的另一种移位寄存器单元的电路结构示意图;

图 7 是本申请实施例三的一种移位寄存器的结构图;

图 8 是本申请实施例三移位寄存器的一种工作时序图;

图 9 是本申请实施例公开的一种显示器结构示意图;

图 10 是本申请实施例公开的一种电压调节电路结构示意图。

具体实施方式

下面通过具体实施方式结合附图对本发明作进一步详细说明。

首先对一些术语进行说明:

本申请中的开关管为晶体管。

本申请中的晶体管可以为双极型晶体管或场效应晶体管。当晶体管为双极型晶体管时，其控制极是指双极型晶体管的基极，第一极可以为双极型晶体管的集电极或发射极，对应的第二极可以为双极型晶体管的发射极或集电极；当晶体管为场效应晶体管时，其控制极是指场效应晶体管的栅极，第一极可以为场效应晶体管的漏极或源极，对应的第二极可以为场效应晶体管的源极或漏极。显示器中的晶体管通常为一种场效应晶体管：薄膜晶体管(TFT)。下面以晶体管为场效应晶体管为例对本申请做详细的说明，在其它实施例中晶体管也可以是双极型晶体管。

实施例一:

请参考图 1，为本实施例公开的一种移位寄存器单元的电路结构图。该移位寄存器单元包括：驱动模块 20、输入模块 10、低电平维持模块 30 和阈值电压感应模块 40。其中，

驱动模块 20，用于通过其控制端 Q 的开关状态切换，将第一时钟信号 V_A 传送到移位寄存器单元的信号输出端 OUT，从而输出扫描信号。在一种实施例中，控制端 Q 的开关状态可以通过高低电平来表征，例如高电平时，控制端 Q 为开启状态，低电平时，控制端 Q 为关闭状态；在另一种实施例中，还可以根据晶体管的类型置换开关状态。在具体实施

例中，驱动模块 20 可以包括：第二晶体管 T2 和第一电容 C1。其中，第二晶体管 T2 的控制极连接至第一电容 C1 的第一端形成驱动模块 20 的控制端 Q，第二晶体管 T2 的第二极连接至第一电容 C1 的第二端形成移位寄存器单元的信号输出端，第二晶体管 T2 的第一极用于输入第一时钟信号 V_A。在其它实施例中，也可以是其它现有的或者将来出现的驱动方式。

输入模块 10，用于控制驱动模块 20 的控制端 Q 切换开关状态。在具体实施例中，输入模块 10 包括：第一晶体管 T1、第三晶体管 T3 和第四晶体管 T4。其中，第一晶体管 T1 的控制极连接至其第一极，用于输入第一脉冲信号 V_{I1}；第一晶体管 T1 的第二极连接至驱动模块 20 的控制端 Q；第四晶体管 T4 的控制极和第三晶体管 T3 的控制极用于输入第二脉冲信号 V_{I2}；第四晶体管 T4 的第一极连接至驱动模块 20 的控制端 Q，第四晶体管 T4 的第二极用于连接至低电平端；第三晶体管 T3 的第一极连接至移位寄存器单元的信号输出端，第三晶体管 T3 的第二极用于连接至低电平端。在其它实施例中，也可以是其它现有的或者将来出现的输入方式。在本实施例中，第一脉冲输入信号 V_{I1} 的有效电平到来时间比第一时钟信号 V_A 有效电平到来时间超前半个时钟周期，第二脉冲输入信号 V_{I2} 的有效电平到来时间比第一时钟信号 V_A 有效电平到来时间滞后半个时钟周期。需要说明的是，当晶体管为 N 型晶体管时，其控制极对应的导通的有效电平为高电平，反之，当晶体管为 P 型晶体管时，其控制极对应的导通的有效电平为低电平。本实施例中，以 N 型晶体管为例进行说明，相应地，晶体管导通的有效电平为高电平。

低电平维持模块 30，包括：第一维持单元 31 用于在第一维持使能端 P1 获得有效电平时将驱动模块 20 的信号输出端和/或控制端 Q 维持在低电平；第二维持单元 32，用于在第二维持使能端 P2 获得有效电平时将驱动模块 20 的信号输出端和/或控制端 Q 维持在低电平。

在具体实施例中，例如，第一维持单元 31 可以包括：第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8。其中，第五晶体管 T5 的控制极连接至第五晶体管 T5 的第一极，用于连接至高电平端，第五晶体管 T5 的第二极连接至第六晶体管 T6 的第一极；第六晶体管 T6 的控制极连接至第七晶体管 T7 的第一极，第六晶体管 T6 的第二极用于连接至低电平端 V_{SS}；第七晶体管 T7 的第一极连接至驱动模块 20

的控制端 Q；第七晶体管 T7 的控制极连接至第六晶体管 T6 的第一极，第七晶体管 T7 的控制极为第一维持使能端 P1；第七晶体管 T7 的第二极用于连接至低电平端 V_{SS}；第八晶体管 T8 的第一极连接至移位寄存器单元的信号输出端，第八晶体管 T8 的控制极连接至第七晶体管 T7 的控制极，第八晶体管 T8 的第二极用于连接至低电平端 V_{SS}。在其它实施例中，也可以是其它现有的或者将来出现的维持方式。

在具体实施例中，例如，第二维持单元 32 可以包括：第九晶体管 T9、第十晶体管 T10 和第十一晶体管 T11。其中，第九晶体管 T9 的控制极连接至第十晶体管 T10 的第二极，第九晶体管 T9 的第一极连接至第十晶体管 T10 的控制极，第九晶体管 T9 的第二极用于连接至低电平端 V_{SS}；第十晶体管 T10 的第一极连接至驱动模块 20 的控制端 Q，第十晶体管 T10 的第二极连接至第十一晶体管 T11 的第一极，第十晶体管 T10 的控制极为第二维持使能端 P2；第十一晶体管 T11 的控制极连接至第十晶体管 T10 的控制极，第十一晶体管 T11 的第一极连接至移位寄存器单元的信号输出端，第十一晶体管 T11 的第二极用于连接至低电平端 V_{SS}。同样地，在其它实施例中，也可以是其它现有的或者将来出现的维持方式。需要说明的是，在其它实施例中，第一维持单元 31 和第二维持单元 32 也可以采用相同的电路。

需要说明的是，上述各个模块只是以示例的方式原理性地阐述移位寄存器单元，各模块均可采用现有的技术方案，因此，上述各模块中，有些细节并未详细描述，本领域普通技术人员依据现有的技术方案能够实现移位寄存器单元各模块之间的连接。

阈值电压感应模块 40，其感应端连接至第一维持使能端 P1，其信号输出端连接至第二维持使能端 P2；阈值电压感应模块 40 用于根据其感应输入端感应到的阈值漂移电压控制其信号输出端向第二维持使能端 P2 提供有效电平。在本实施例中，由于在第一维持单元 31 和第二维持单元 32 之间连接阈值电压感应模块 40，因此，即使当第一维持单元 31 中第一维持使能端 P1 所对应的晶体管的阈值漂移电压过大时，在阈值电压感应模块 40 的感应下，并控制其信号输出端向第二维持使能端 P2 提供有效电平，使得第二维持单元 32 开始工作，从而也能实现移位寄存器单元的低电平维持工作。

为便于本领域技术人员理解，请参考图 1，在具体实施例中，阈值

电压感应模块 40 包括：第十二晶体管 T12 和第二电容 C2。其中，第十二晶体管 T12 的控制极为所述阈值电压感应模块 40 的感应端，第十二晶体管 T12 的第二极用于连接至低电平端 V_{SS}，第十二晶体管 T12 的第一极连接至第二电容 C2 的第一端形成所述阈值电压感应模块 40 的信号输出端，第二电容 C2 的第二端用于输入第一时钟信号 V_A。

请参考图 2，为本实施例中移位寄存器单元工作时序图。在本实施例中，各个输入信号优先满足如下关系：第一脉冲输入信号 V_{I1} 的高电平比第一时钟信号 V_A 超前半个时钟周期，第二脉冲输入信号 V_{I2} 的高电平比第一时钟信号 V_A 滞后半个时钟周期。为方便后续的描述，本实施例中，以 V_H 来表征各时钟信号或者脉冲信号的高电平（高电位），以 V_L 来表征各时钟信号或者脉冲信号的低电平（低电位）本实施例中移位寄存器单元的工作过程分为两个阶段：工作阶段和低电平维持阶段，下面结合图 1 和图 2，详细介绍本实施例中移位寄存器单元的工作过程。

在工作阶段，本级移位寄存器单元处于选通阶段，完成本级移位寄存器单元信号输出端 OUT 输出信号 V_{OUT} 的上拉和下拉过程，该阶段为移位寄存器单元的工作阶段。

在 t1 时刻，第一时钟信号 V_A 和第二脉冲信号 V_{I2} 均为低电平 V_L，第一脉冲信号 V_{I1} 由低电平上升为高电平 V_H，此时，第一晶体管 T1 导通，第二晶体管 T2 导通。第一脉冲信号 V_{I1} 通过导通的第一晶体管 T1 对控制端 Q 充电。当控制端 Q 电位上升到 V_H-V_{TH1} 时，第一晶体管 T1 关断，其中，V_{TH1} 为第一晶体管 T1 的阈值电压。在这个过程中，信号输出端 OUT 通过导通的第二晶体管 T2 放电到低电平 V_L。

驱动控制端 Q 充电结束后，到达 t2 时刻。在 t2 时刻，第二脉冲信号 V_{I2} 保持为低电平，第一脉冲信号 V_{I1} 也下降为低电平，第一时钟信号 V_A 由低电平上升为高电平，此时，第一晶体管 T1、第三晶体管 T3 和第四晶体管 T4 关断。于是，控制端 Q 处于浮空状态，第一时钟信号 V_A 通过导通的第二晶体管 T2 对信号输出端充电，控制端 Q 的电位也随着信号输出端电位的上升而快速上升，该现象被称为自举。随着控制端 Q 电位的上升，加快了信号输出端 OUT 的充电速度，使得输出信号 V_{OUT} 的电位得以快速上升到高电平 V_H。

在 t3 时刻，第一时钟信号 V_A 由高电平下降为低电平，第二脉冲信号 V_{I2} 也由低电平上升为高电平，此时，第三晶体管 T3 和第四晶体管

T4 导通，于是，将信号输出端 OUT 以及驱动控制端 Q 的电位下拉 V_L。此过程中，在控制端 Q 的电压下降到第二晶体管 T2 的阈值电压 V_{TH2} 之前，第二晶体管 T2 仍然导通，可以作为信号输出端的一个辅助的放电通路，因此，输出信号 V_{OUT} 被快速下拉至低电平 V_L。

需要注意的是，在控制端 Q 电压为高电平期间，第六晶体管 T6 导通，并将第一维持使能端 P1 的电位下拉至低电平，该低电平可以使第七晶体管 T7 和第八晶体管 T8 基本处于关断状态，从而，保证了控制端 Q 的自举过程与信号输出端 OUT 的充电过程不受影响。

至此，移位寄存器单元将第一时钟信号 V_A 的一个高电平脉冲完全传输到了信号输出端 OUT，至此，移位寄存器单元的工作阶段结束。

在低电平维持阶段，信号输出端 OUT 的电位下拉至低电平 V_L 之后，本级移位寄存器单元进入非选通状态。信号输出端的输出信号 V_{OUT} 的电位必须维持在低电平 V_L，以避免与信号输出端相连的显示器像素中的开关晶体管误导通，导致图像信息写入错误，此过程为低电平维持阶段。

在工作阶段结束后，第一脉冲信号 V_{I1} 和第二脉冲信号 V_{I2} 的电位为低电平 V_L，控制端 Q 的电位也维持为低电平，于是，第一晶体管 T1 与第二晶体管 T2 关断，信号输出端 OUT 的电位也应保持为低电平 V_L。但是，由于在第二晶体管 T2 的控制极（例如栅极）和第一极（例如漏极）之间有较大的寄生电容 C_{GD2}，当第一时钟信号 V_A 由低电平 V_L 跳变到高电平 V_H 时，控制端 Q 的电位也会随之上升，该现象称为时钟馈通效应。当控制端 Q 的电位上升大于第二晶体管 T2 的阈值电压时，会导致第二晶体管 T2 开启，第一时钟信号 V_A 通过第二晶体管 T2 对信号输出端被不期望地充电，导致信号输出端产生较大的噪声电压。此外，在实际的显示器中，面板上的信号线之间存在寄生电容耦合效应，也会使得移位寄存器单元的输出信号产生噪声电压。因此，在移位寄存器单元的非选通状态，必须采取一定的措施来保证输出端的输出信号 V_{OUT} 为低电平 V_L。

本实施例采用低电平维持模块 30 来抑制时钟馈通效应，并且消除信号输出端 OUT 的噪声电压。在低电平维持阶段，首先第一维持单元 31 开始工作，并对控制端 Q 和信号输出端 OUT 的低电平电位进行维持，具体的：当控制端 Q 电压由高电平下降为低电平后，第六晶体管 T6 关断，高电平端提供的高电平导通第五晶体管 T5 并将第一维持使能端 P1

充电至高电平，于是，第七晶体管 T7 和第八晶体管 T8 导通，并分别将控制端 Q 和信号输出端 OUT 耦合至低电平端 V_{SS}，从而能够将控制端 Q 和信号输出端 OUT 上的噪声电荷及时的释放，达到维持低电平的目的。需要注意的是，用于低电平维持的第七晶体管 T7 和第八晶体管 T8 在整个低电平维持阶段都处于直流应力下，在电路长时间工作后，第一维持单元 31 会因为第七晶体管 T7 和/或第八晶体管 T8 的阈值电压的严重漂移而失效，导致整个电路输出错误。

为解决第一维持单元 31 因阈值电压的严重漂移而导致的失效，本实施例公开的移位寄存器单元中，增加了第二维持单元 32 以及阈值电压感应模块 40。阈值电压感应模块 40 可以通过第一维持使能端 P1 感应第一维持单元 31 中第七晶体管 T7 和第八晶体管 T8 的阈值电压漂移，并根据感应的阈值电压漂移的大小，控制第二维持单元 32 开启。因此，即使第七晶体管 T7 和第八晶体管 T8 发生严重的阈值电压漂移，第二维持单元 32 仍然能够继续对控制端 Q 与信号输出端 OUT 的低电平进行维持。

具体的，第十二晶体管 T12 的控制极连接第一维持使能端 P1，由于第七晶体管 T7 和第八晶体管 T8 的控制极亦连接于第一维持使能端 P1，并且，该三个晶体管的第二极同时连接至低电平端 V_{SS}。因此，可以认为第十二晶体管 T12 与晶体管 T7、晶体管 T8 具有近似相同的阈值电压漂移量。

请参照图 2，在低电平维持阶段，当第一时钟信号 V_A 由低电平上升为高电平时（例如 t4 时刻），由于第二电容 C2 的耦合作用，第二维持使能端 P2 的电位被迅速耦合至高电平，耦合电压 ΔV_{C2} 的大小可以表示为：

$$\Delta V_{C2} = \frac{C_2}{C_{P2}}\left(V_H - V_L\right)$$

其中，C_2 为第二电容 C2 的电容值，C_{P2} 为第一低电平维持控制端 P2 端的总的电容大小，V_H 与 V_L 分别为时钟的高电平和低电平电压值。但是由于第十二晶体管 T12 处于开启状态，因此存在由第二维持使能端 P2 至 V_{SS} 端的电流通路，于是，第二维持使能端 P2 的高电平会随着时间逐渐下降。在移位寄存器单元的工作初期，第七晶体管 T7、第八晶体管 T8 以及第十二晶体管 T12 的阈值电压 V_{THM} 较小，因此第二维持使能端 P2 的高电平会被第十二晶体管 T12 迅速地下拉至 V_L，此时，第二维

持使能端 P2 并不足以将第二维持单元 32 开启。

但是，随着移位寄存器单元工作时间的增加，第七晶体管 T7、第八晶体管 T8 以及第十二晶体管 T12 的阈值电压 V_{THM} 开始发生漂移。对于第十二晶体管 T12，随着阈值电压 V_{THM} 的增大其导通能力下降，因此在当第二维持使能端 P2 的电位被耦合至高电平时，高电平下降的速度会逐渐变慢。

请参照图 3，为第二维持使能端 P2 的信号波形随 V_{THM} 的漂移而变化的示意图。图 3 表明，随着 V_{THM} 的增加，第二维持使能端 P2 的信号波形会逐渐的趋向于方形脉冲，如图 3 中虚线箭头所示。这种变化会使得第二维持单元 32 逐渐的开启，从而达到继续维持控制端 Q 与信号输出端 OUT 的低电平的作用。当第二维持使能端 P2 的信号处于高电平时，第十晶体管 T10 和第十一晶体管 T11 导通，并将控制端 Q 以及信号输出端 OUT 的电位下拉至低电平 V_L。第九晶体管 T9 的作用，是在当输出信号 V_{OUT} 为高电平时，将第二维持使能端 P2 的电位下拉至 V_L，从而将第十晶体管 T10 和第十一晶体管 T11 关断，进而避免这两个晶体管的漏电影响到移位寄存器单元的工作阶段中控制端 Q 的自举，以及信号输出端 OUT 的充电。

由上述分析可知，阈值电压感应模块 40 通过感应第一维持单元 31 中晶体管的阈值电压漂移，控制第二维持单元 32 的开启，可以有效地维持控制端 Q 以及信号输出端 OUT 的电平。即使当第一维持单元 31 中低电平维持晶体管的阈值漂移很大时，电路仍可以正常工作，从而能够使得低电平维持模块能够忍受较大的阈值电压漂移，继而可以延长电路的工作寿命。

实施例二:

请参考图 4，为本实施例公开的一种移位寄存器单元的电路结构图。与上述实施例不同的是，本实施例第一维持单元 31 包括: 包括第三电容 C3、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8。其中，第三电容 C3 的第一端用于输入第一时钟信号 V_A，第三电容 C3 的第二端连接至第六晶体管 T6 的第一极; 第六晶体管 T6 的控制极连接至第七晶体管 T7 的第一极，第六晶体管 T6 的第二极用于连接至低电平端 V_{SS}; 第七晶体管 T7 的第一极连接至驱动模块 20 的控制端 Q; 第七晶体管 T7 的控制

极连接至第六晶体管 T6 的第一极，第七晶体管 T7 的控制极为第一维持使能端 P1；第七晶体管 T7 的第二极用于连接至低电平端 V_{SS}；第八晶体管 T8 的第一极连接至移位寄存器单元的信号输出端，第八晶体管 T8 的控制极连接至第七晶体管 T7 的控制极，第八晶体管 T8 的第二极用于连接至低电平端 V_{SS}。

请参考图 5，为本实施例移位寄存器单元工作时序图。本实施例中的移位寄存器单元的工作过程与实施例一中所述电路的工作过程相同。不同的是，在移位寄存器单元工作的低电平维持阶段，第一维持控制端 P1 的信号波形是由第一时钟信号 V_A 提供的脉冲信号。

本实施例中移位寄存器单元的优势在于，本实施例中的移位寄存器单元不需要额外的高电平端，从而减少了电路所需要的信号线的数目。此外，在第一维持单元 31 中，第七晶体管 T7 和第八晶体管 T8 受到脉冲应力的驱动，因此，阈值电压漂移速度更慢，本实施例中移位寄存器单元的工作寿命更长。

在其它实施例中，请参考图 6，低电平维持模块 30 还可以包括多个级联的维持单元 39，各维持单元 39 用于在其维持使能端获得有效电平时将驱动模块 20 的信号输出端和/或控制端 Q 维持在低电平。各维持单元 39 之间包括串联的阈值电压感应模块 40，阈值电压感应模块 40 的感应端连接至上一级维持单元的维持使能端，阈值电压感应模块 40 的信号输出端连接至下一级维持单元的维持使能端；阈值电压感应模块 40 用于根据其感应输入端感应到的阈值漂移电压控制其信号输出端向下一级维持单元的维持使能端提供有效电平。

在本实施例中，维持单元 39、阈值电压感应模块 40 可以采用上述任意一个实施例的电路结构。本实施例中移位寄存器单元的优势在于，各阈值电压感应模块 40 可以感应其上一级维持单元 39 的阈值电压漂移，并且根据感应到的阈值电压漂移量控制下一级维持单元的开启，因此多个维持单元可以连续进行工作。和前面的实施例所述的电路相比，本实施例采用多级维持单元来协同低电平维持，可以使电路的工作寿命更长。

实施例三：

请参考图 7，为本实施例公开的一种移位寄存器的结构图。

本实施中，移位寄存器包括：包括第一时钟线 CK_1、第二时钟线 CK_2、

启动信号线 V_{ST} 和总的公共地线 V_{SSL}，以及多级级联的如上述任意一个实施例公开的移位寄存器单元。

第一时钟线 CK_1 和第二时钟线 CK_2 为移位寄存器传输两相不交叠时钟信号。启动信号线 V_{ST} 耦合至第 1 级移位寄存器单元的第一脉冲信号输入端。公共地线 V_{SSL} 耦合至每一级移位寄存器单元的低电平端 V_{SS}，为每一级移位寄存器单元提供低电平信号 V_L。

本实施例中，第一时钟线 CK_1 为奇数级（或偶数级）移位寄存器单元提供第一时钟信号 V_A，第二时钟线 CK_2 为偶数级（或奇数级）移位寄存器单元提供第一时钟信号 V_A。 移位寄存器的第 k 级移位寄存器单元的信号输出端耦合至第 k+1 级移位寄存器单元的第一脉冲信号输入端和第 k-1 级移位寄存器单元的第二脉冲信号输入端，k 为大于 1 的正整数。

请参考图 8，为本实施例公开的移位寄存器的一种工作时序图。第 1 到第 N 级移位寄存器单元的信号输出端分别耦合至面板上的 N 条栅极扫描线，当第一时钟线 CK_1 和第二时钟线 CK_2 传输的时钟信号的高电平交替到来时，栅极驱动信号 $V_{G[1]}$~$V_{G[N]}$ 顺次输出高电平脉冲。

综上所述，本实施例的有益之处在于：

其一，工作寿命长；

本实施例根据阈值电压感应模块感应前一个维持单元的阈值电压漂移，并且根据感应的阈值电压漂移，控制下一个维持单元的开启，从而能够使得低电平维持模块能够忍受较大的阈值电压漂移，从而可以延长电路的工作寿命。

其二，电路简单，信号线数量少。

本实施例提供的移位寄存器不需要增加附加的时钟，便可以使得低电平维持电路稳定工作。

本实施例还公开了一种显示器。如图 9 所示，包括：

显示面板 100，显示面板 100 包括由多个二维像素构成的二维像素阵列，以及与每个像素相连的第一方向(例如横向)的多条栅极扫描线和第二方向(例如纵向)的多条数据线。像素阵列中的同一行像素均连接到同一条栅极扫描线，而像素阵列中的同一列像素则连接到同一条数据线。显示面板 100 可以是液晶显示面板、有机发光显示面板、电子纸显示面板等，而对应的显示装置可以是液晶显示器、有机发光显示器、电子纸

显示器等。

栅极驱动电路 200，栅极驱动电路 200 中栅极驱动单元电路的栅极扫描信号输出端耦合到显示面板 100 中与其对应的栅极扫描线，用于对像素阵列的逐行扫描，栅极驱动电路 200 可以通过焊接与显示面板 100 相连或者集成于显示面板 100 内。该栅极驱动电路 200 采用上述实施例提供的移位寄存器。在一种具体实施例中，栅极驱动电路 200 可以布置在显示面板 100 的一侧；在优选的实施例中，采用成对的栅极驱动电路 200，布置在显示面板 100 的两侧。

数据驱动电路 400，用于产生图像数据信号，并将其输出到显示面板 100 中与其对应的数据线上，通过数据线传输到对应的像素单元内以实现图像灰度。

时序产生电路 300，用于产生栅极驱动电路 200 所需的各种控制信号。

实施例四：

本实施例公开了一种电压调节电路，该电压调节电路用于根据第一设备电路的阈值电压信息调节输出给第二设备电路的供电电压，请参考图 10，该电压调节电路包括：耦合电容 C_X 和感应晶体管 T_X。

其中，感应晶体管 T_X 的控制极为电压调节电路的感应端 INx，用于感应第一设备电路中待感应晶体管的阈值电压漂移；感应晶体管 T_X 的第二极用于连接至低电平端 V_{SS}；感应晶体管 T_X 的第一极为电压调节电路的信号输出端 OUTx，用于向第二设备提供供电电压。

耦合电容 C_X 的第一端用于输入时钟信号 V_X，耦合电容 C_X 的第二端连接至感应晶体管 T_X 的第一极。

感应晶体管 T_X 根据感应到的阈值漂移电压调整其导通程度，以调整输出给第二设备电路的供电电压。

本实施例公开的电压调节电路可以适用于：当感应到第一设备电路电压达到某一阈值时，电压调节电路可以控制向/从第二设备电路的供电电压供给/断开。当然，根据上述实施例的描述可知，电压调节电路也可以根据感应到的电压的大小，来控制向第二设备电路提供的供电电压的大小。

以上应用了具体个例对本发明进行阐述，只是用于帮助理解本发

明，并不用以限制本发明。对于本发明所属技术领域的技术人员，依据本发明的思想，还可以做出若干简单推演、变形或替换。

权 利 要 求

1. 一种移位寄存器，包括至少一个移位寄存器单元，移位寄存器单元包括:

驱动模块（20），用于通过其控制端（Q）的开关状态切换，将第一时钟信号（V_A）传送到移位寄存器单元的信号输出端，从而输出扫描信号;

输入模块（10），用于控制驱动模块（20）的控制端（Q）切换开关状态;

低电平维持模块（30），包括：第一维持单元（31）用于在第一维持使能端（P1）获得有效电平时将驱动模块（20）的信号输出端和/或控制端（Q）维持在低电平；第二维持单元（32），用于在第二维持使能端（P2）获得有效电平时将驱动模块（20）的信号输出端和/或控制端（Q）维持在低电平;

其特征在于，移位寄存器单元还包括:

阈值电压感应模块（40），其感应端连接至第一维持使能端（P1），其信号输出端连接至第二维持使能端（P2）；阈值电压感应模块（40）用于根据其感应输入端感应到的阈值漂移电压控制其信号输出端向第二维持使能端（P2）提供有效电平。

2. 如权利要求 1 所述的移位寄存器，其特征在于，

所述低电平维持模块（30）包括多个级联的维持单元，各维持单元用于在其维持使能端获得有效电平时将驱动模块（20）的信号输出端和/或控制端（Q）维持在低电平;

各维持单元之间包括串联的阈值电压感应模块（40），阈值电压感应模块（40）的感应端连接至上一级维持单元的维持使能端，阈值电压感应模块（40）的信号输出端连接至下一级维持单元的维持使能端；阈值电压感应模块（40）用于根据其感应输入端感应到的阈值漂移电压控制其信号输出端向下一级维持单元的维持使能端提供有效电平。

3. 如权利要求 1 或 2 所述的移位寄存器，其特征在于，所述阈值电压感应模块（40）包括：第十二晶体管（T12）和第二电容（C2）;

第十二晶体管（T12）的控制极为所述阈值电压感应模块（40）的感应端，第十二晶体管（T12）的第二极用于连接至低电平端（V_{SS}），第十二晶体管（T12）的第一极连接至第二电容（C2）的第一端形成所

述阈值电压感应模块（40）的信号输出端，第二电容（C2）的第二端用于输入第一时钟信号（V_A）。

4. 如权利要求 1 所述的移位寄存器，其特征在于，所述第一维持单元（31）包括：第五晶体管（T5）、第六晶体管（T6）、第七晶体管（T7）和第八晶体管（T8）；

第五晶体管（T5）的控制极连接至第五晶体管（T5）的第一极，用于连接至高电平端，第五晶体管（T5）的第二极连接至第六晶体管（T6）的第一极；

第六晶体管（T6）的控制极连接至第七晶体管（T7）的第一极，第六晶体管（T6）的第二极用于连接至低电平端（V_{SS}）；

第七晶体管（T7）的第一极连接至驱动模块（20）的控制端（Q）；第七晶体管（T7）的控制极连接至第六晶体管（T6）的第一极，第七晶体管（T7）的控制极为第一维持使能端（P1）；第七晶体管（T7）的第二极用于连接至低电平端（V_{SS}）；

第八晶体管（T8）的第一极连接至移位寄存器单元的信号输出端，第八晶体管（T8）的控制极连接至第七晶体管（T7）的控制极，第八晶体管（T8）的第二极用于连接至低电平端（V_{SS}）。

5. 如权利要求 1 所述的移位寄存器，其特征在于，所述第一维持单元（31）包括：第三电容（C3）、第六晶体管（T6）、第七晶体管（T7）和第八晶体管（T8）；

第三电容（C3）的第一端用于输入第一时钟信号（V_A），第三电容（C3）的第二端连接至第六晶体管（T6）的第一极；

第六晶体管（T6）的控制极连接至第七晶体管（T7）的第一极，第六晶体管（T6）的第二极用于连接至低电平端（V_{SS}）；

第七晶体管（T7）的第一极连接至驱动模块（20）的控制端（Q）；第七晶体管（T7）的控制极连接至第六晶体管（T6）的第一极，第七晶体管（T7）的控制极为第一维持使能端（P1）；第七晶体管（T7）的第二极用于连接至低电平端（V_{SS}）；

第八晶体管（T8）的第一极连接至移位寄存器单元的信号输出端，第八晶体管（T8）的控制极连接至第七晶体管（T7）的控制极，第八晶体管（T8）的第二极用于连接至低电平端（V_{SS}）。

6. 如权利要求 1 所述的移位寄存器，其特征在于，所述第二维持

单元（32）包括：第九晶体管（T9）、第十晶体管（T10）和第十一晶体管（T11）；

第九晶体管（T9）的控制极连接至第十晶体管（T10）的第二极，第九晶体管（T9）的第一极连接至第十晶体管（T10）的控制极，第九晶体管（T9）的第二极用于连接至低电平端（V_{SS}）；

第十晶体管（T10）的第一极连接至驱动模块（20）的控制端（Q），第十晶体管（T10）的第二极连接至第十一晶体管（T11）的第一极，第十晶体管（T10）的控制极为第二维持使能端（P2）；

第十一晶体管（T11）的控制极连接至第十晶体管（T10）的控制极，第十一晶体管（T11）的第一极连接至移位寄存器单元的信号输出端，第十一晶体管（T11）的第二极用于连接至低电平端（V_{SS}）。

7. 如权利要求 1 所述的移位寄存器，其特征在于，所述驱动模块（20）包括第二晶体管（T2）和第一电容（C1）；

第二晶体管（T2）的控制极连接至第一电容（C1）的第一端形成驱动模块（20）的控制端（Q），第二晶体管（T2）的第二极连接至第一电容（C1）的第二端形成移位寄存器单元的信号输出端，第二晶体管（T2）的第一极用于输入第一时钟信号（V_A）。

8. 如权利要求 1 所述的移位寄存器，其特征在于，所述输入模块（10）包括：第一晶体管（T1）、第三晶体管（T3）和第四晶体管（T4）；

第一晶体管（T1）的控制极连接至其第一极，用于输入第一脉冲信号（V_{I1}）；第一晶体管（T1）的第二极连接至驱动模块（20）的控制端（Q）；

第四晶体管（T4）的控制极和第三晶体管（T3）的控制极用于输入第二脉冲信号（V_{I2}）；第四晶体管（T4）的第一极连接至驱动模块（20）的控制端（Q），第四晶体管（T4）的第二极用于连接至低电平端；

第三晶体管（T3）的第一极连接至移位寄存器单元的信号输出端，第三晶体管（T3）的第二极用于连接至低电平端；

第一脉冲输入信号（V_{I1}）的有效电平到来时间比第一时钟信号（V_A）有效电平到来时间超前半个时钟周期，第二脉冲输入信号（V_{I2}）的有效电平到来时间比第一时钟信号（V_A）有效电平到来时间滞后半个时钟周期。

9. 一种显示器，包括由多个像素构成的二维像素阵列，以及与阵

列中每个像素相连的第一方向的多条数据线和第二方向的多条栅极扫描线;

数据驱动电路，为数据线提供数据信号;

栅极驱动电路，为所述栅极扫描线提供栅极驱动信号;

其特征在于，所述栅极驱动电路采用如权利要求 1-8 任意一项所述的移位寄存器构成。

10. 一种电压调节电路，用于根据第一设备电路的阈值电压信息调节输出给第二设备电路的供电电压，其特征在于，所述电压调节电路包括：耦合电容（C_X）和感应晶体管（T_X）;

感应晶体管（T_X）的控制极为电压调节电路的感应端，用于感应第一设备电路中待感应晶体管的阈值电压漂移；感应晶体管（T_X）的第二极用于连接至低电平端；感应晶体管（T_X）的第一极为电压调节电路的信号输出端，用于向第二设备提供供电电压;

耦合电容（C_X）的第一端用于输入时钟信号（V_X），耦合电容（C_X）的第二端连接至感应晶体管（T_X）的第一极;

所述感应晶体管（T_X）根据感应到的阈值漂移电压调整其导通程度，以调整输出给第二设备电路的供电电压。

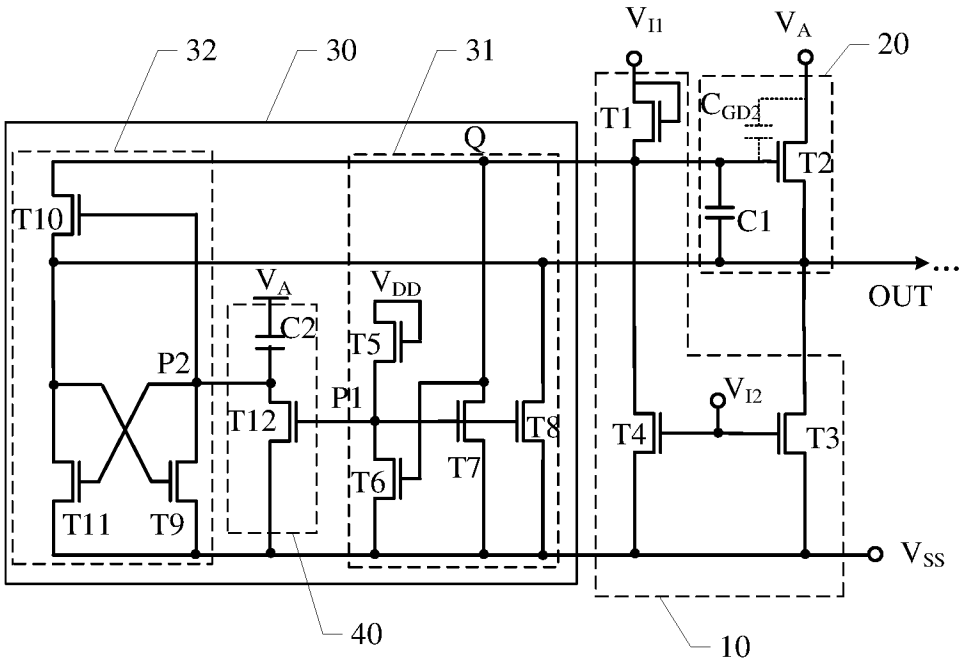

32
30
31
20
V_{I1}
V_A
Q
T1
C_{GD1}
T2
C1
T10
OUT
V_A
V_{DD}
C2
T5
P2
P1
V_{I2}
T12
T8
T4
T3
T6
T7
T11
T9
V_{SS}
40
10

图 1

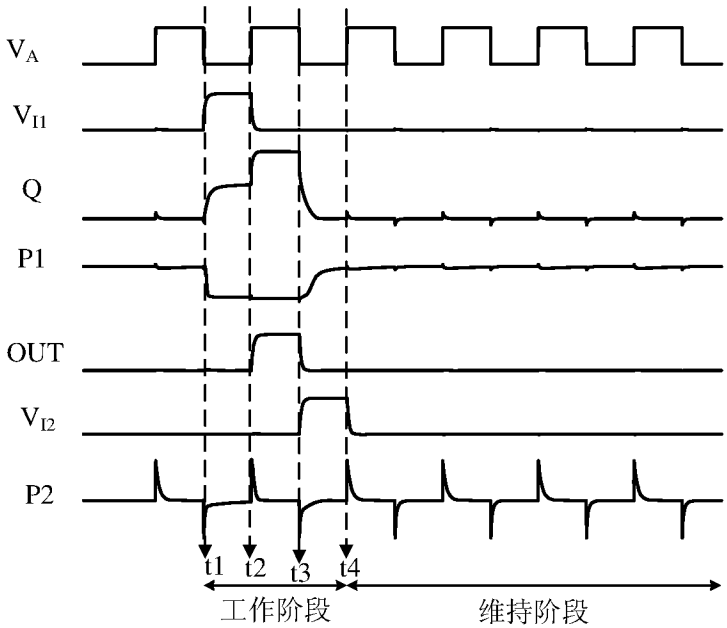

V_A
V_{I1}
Q
P1
OUT
V_{I2}
P2
t1
t2
t3
t4
工作阶段
维持阶段

图 2

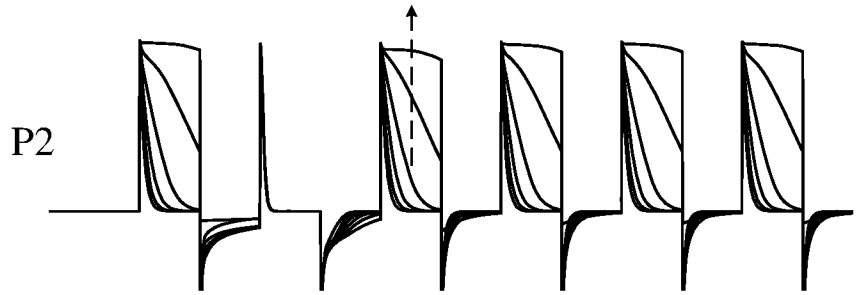

P2

图 3

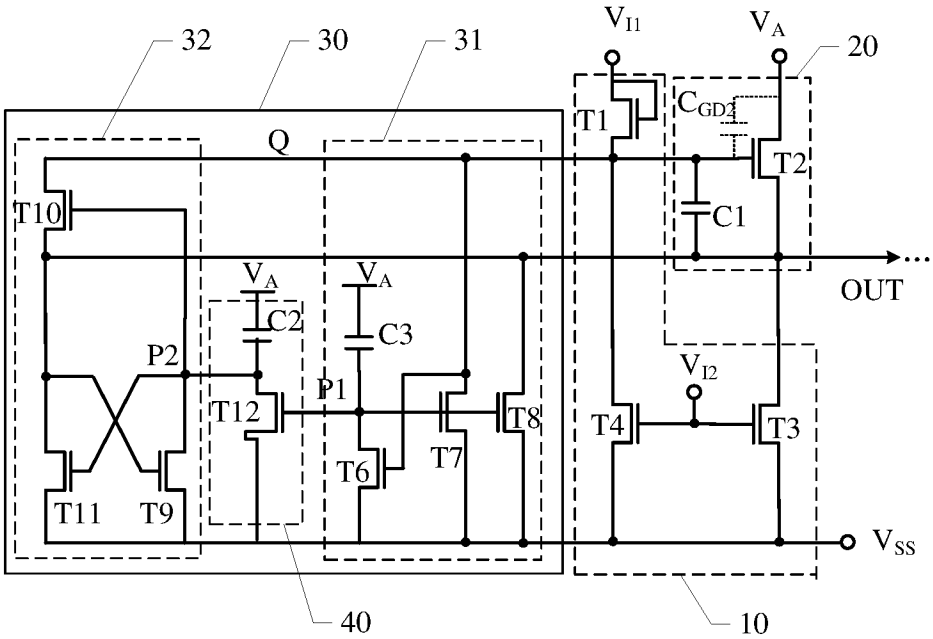

32
30
31
V_{I1}
V_A
20
Q
T1
C_{GD2}
T2
T10
C1
OUT
V_A
V_A
C2
C3
P2
P1
V_{I2}
T12
T8
T4
T3
T6
T7
T11
T9
V_{SS}
40
10

图 4

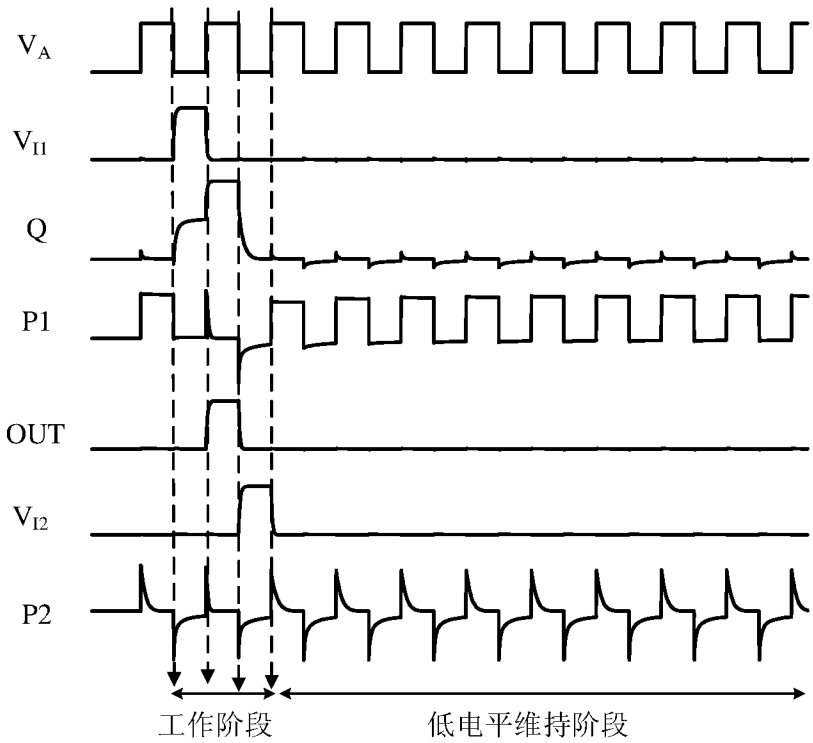

V_A
V_{I1}
Q
P1
OUT
V_{I2}
P2
工作阶段
低电平维持阶段

图 5

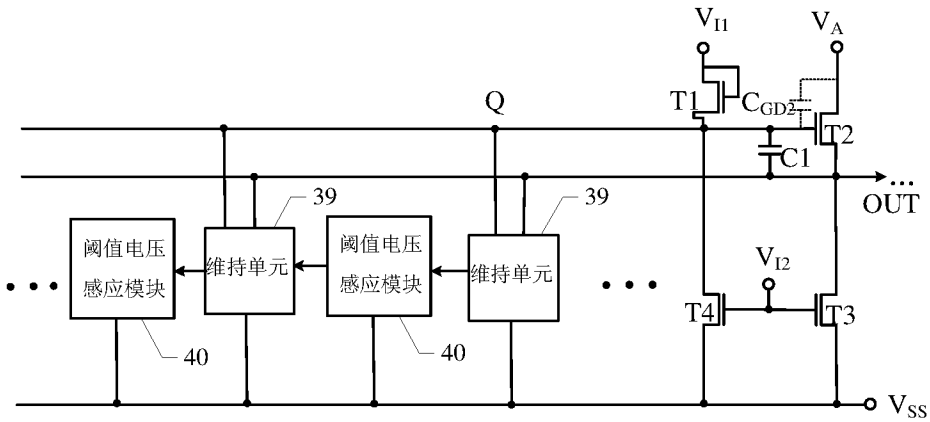

V_{I1}
V_A
Q
T1
C_{GD2}
T2
C1
OUT
39
39
阈值电压
感应模块
维持单元
阈值电压
感应模块
维持单元
V_{I2}
T4
T3
40
40
V_{SS}

图 6

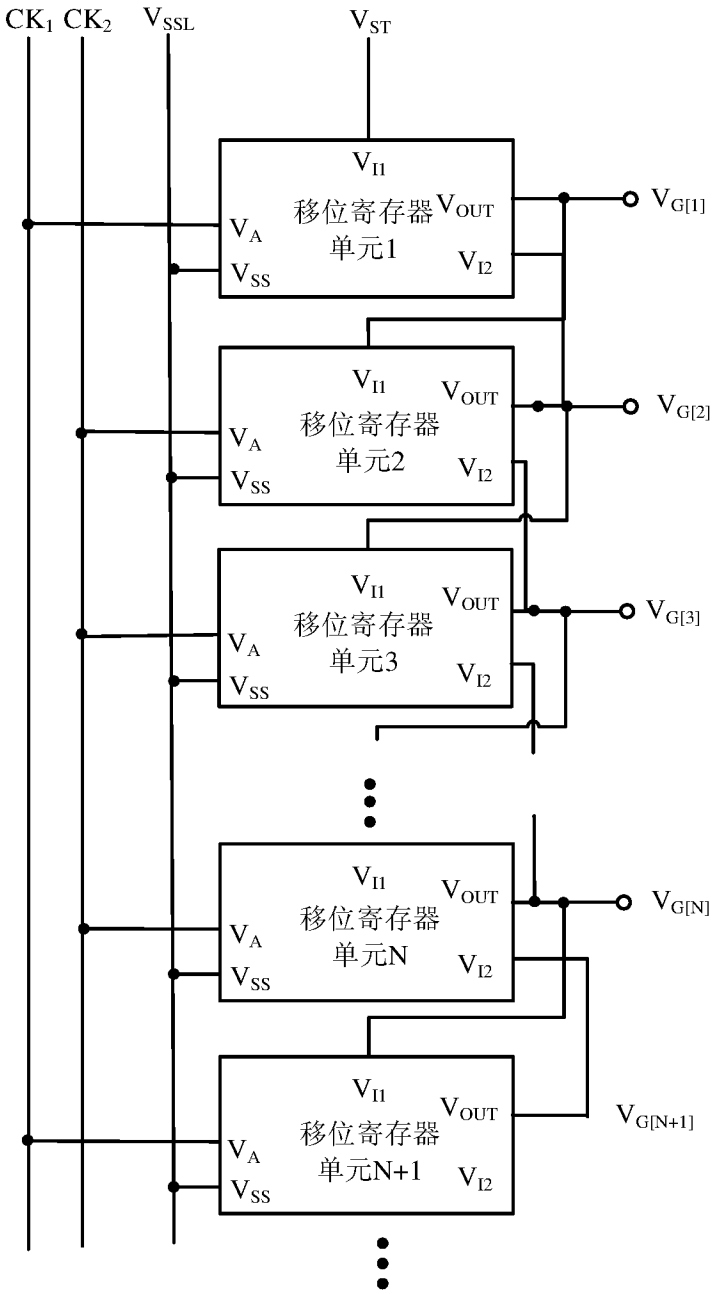

CK1
CK2
VSSL
VST
VI1
移位寄存器
单元1
VA
VSS
VOUT
VI2
VG[1]
移位寄存器
单元2
VG[2]
移位寄存器
单元3
VG[3]
移位寄存器
单元N
VG[N]
移位寄存器
单元N+1
VG[N+1]

图 7

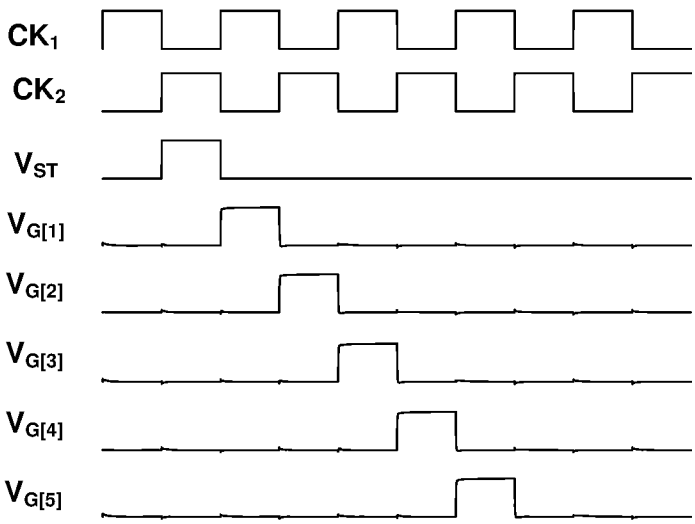

CK1
CK2
VST
VG[1]
VG[2]
VG[3]
VG[4]
VG[5]

图 8

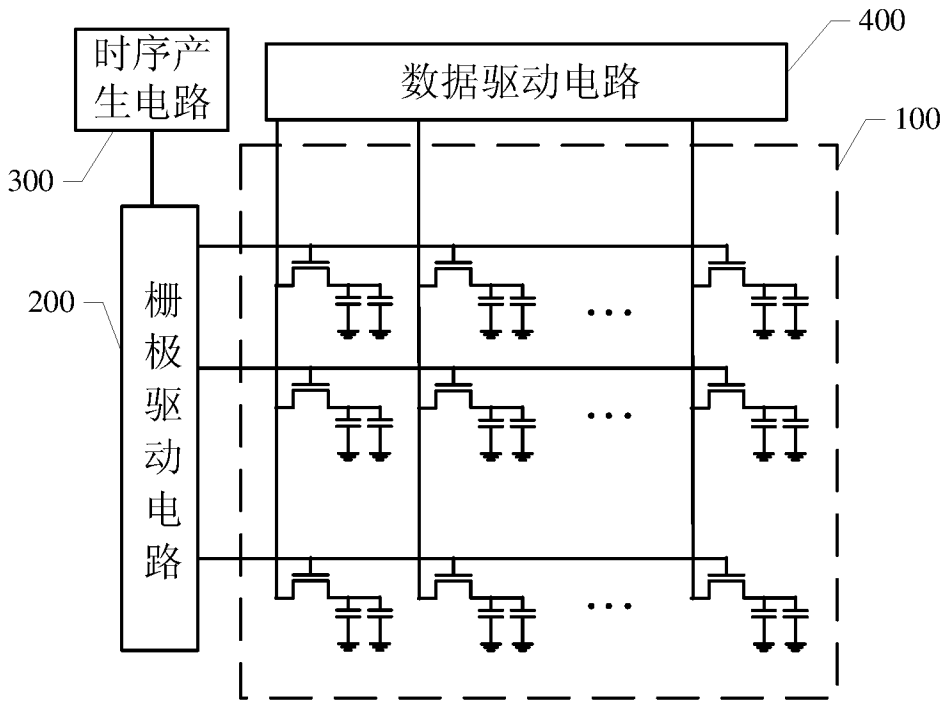

时序产生电路
300
数据驱动电路
400
100
200
栅极驱动电路

图 9

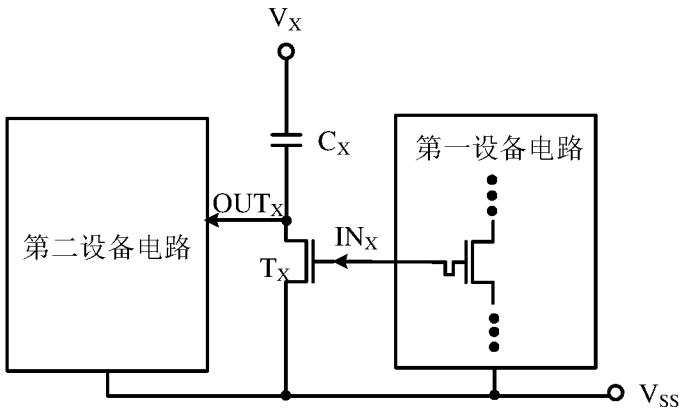


图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/077395

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i; G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNTXT: capacitance, power supply, threshold, limit, voltage, drift, offset, transistor, cap, adjust, monitor, induct, power, supply.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104795013 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 22 July 2015 (22.07.2015), description, paragraphs [0023]-[0080], and figures 1-10	1-10
A	CN 104318883 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 28 January 2015 (28.01.2015), description, paragraphs [0041]-[0119], and figures 1-13	1-9
A	CN 101540188 A (ELPIDA MEMORY, INC.), 23 September 2009 (23.09.2009), the whole document	10
A	CN 104332126 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 04 February 2015 (04.02.2015), the whole document	1-9
A	JP 2012033235 A (HANDOTAI RIKOGAKU KENKYU CENT KK), 16 February 2012 (16.02.2012), the whole document	1-10
A	US 2010182227 A1 (CHUNGHWA PICTURE TUBES LTD. et al.), 22 July 2010 (22.07.2010), the whole document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 June 2016 (20.06.2016)	**29 June 2016 (29.06.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **LIN, Bangyong** Telephone No.: (86-10) **62085805**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/077395

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104795013 A	22 July 2015	None	
CN 104318883 A	28 January 2015	None	
CN 101540188 A	23 September 2009	CN 101540188 B	11 June 2014
		US 2009251947 A1	08 October 2009
		TW 201003663 A	16 January 2010
		US 7990793 B2	02 August 2011
		KR 1108906 B	06 February 2012
		JP 2009259378 A	05 November 2009
		JP 5554935 B2	23 July 2014
		JP 2014179161 A	25 September 2014
		KR 20090099488 A	22 September 2009
		TW I398874 B	11 June 2013
JP 2012033235 A	16 February 2012	JP 5395009 B2	22 January 2014
US 2010182227 A1	22 July 2010	US 8049706 B2	01 November 2011
		TW I402814 B	21 July 2013
		TW 201028978 A	01 August 2010

国际检索报告

国际申请号 PCT/CN2016/077395

A. 主题的分类

G11C 19/28(2006.01)i; G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G, G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS, VEN, CNTXT: 阈值，电压，漂移，偏移，电容，晶体管，调节，感应，供电，threshold, limit, voltage, drift, offset, transistor, cap, adjust, monitor, induct, power, supply.

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 104795013 A (北京大学深圳研究生院) 2015年 7月 22日 (2015-07-22) 说明书[0023]-[0080]段、图1-10	1-10
A	CN 104318883 A (北京大学深圳研究生院) 2015年 1月 28日 (2015-01-28) 说明书[0041]-[0119]段、图1-13	1-9
A	CN 101540188 A (尔必达存储器株式会社) 2009年 9月 23日 (2009-09-23) 全文	10
A	CN 104332126 A (北京大学深圳研究生院) 2015年 2月 4日 (2015-02-04) 全文	1-9
A	JP 2012033235 A (HANDOTAI RIKOGAKU KENKYU CENT KK) 2012年 2月 16日 (2012-02-16) 全文	1-10
A	US 2010182227 A1 (CHUNGHWA PICTURE TUBES LTD等) 2010年 7月 22日 (2010-07-22) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 6月 20日	2016年 6月 29日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 林邦镛 电话号码 (86-10)62085805

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/077395

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104795013	A	2015年 7月 22日	无			
CN	104318883	A	2015年 1月 28日	无			
CN	101540188	A	2009年 9月 23日	CN	101540188	B	2014年 6月 11日
				US	2009251947	A1	2009年 10月 8日
				TW	201003663	A	2010年 1月 16日
				US	7990793	B2	2011年 8月 2日
				KR	1108906	B	2012年 2月 6日
				JP	2009259378	A	2009年 11月 5日
				JP	5554935	B2	2014年 7月 23日
				JP	2014179161	A	2014年 9月 25日
				KR	20090099488	A	2009年 9月 22日
				TW	I398874	B	2013年 6月 11日
JP	2012033235	A	2012年 2月 16日	JP	5395009	B2	2014年 1月 22日
US	2010182227	A1	2010年 7月 22日	US	8049706	B2	2011年 11月 1日
				TW	I402814	B	2013年 7月 21日
				TW	201028978	A	2010年 8月 1日