

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-147345
(P2012-147345A)

(43) 公開日 平成24年8月2日(2012.8.2)

(51) Int.Cl. F I テーマコード (参考)
H04B 1/26 (2006.01) H04B 1/26 H 5K020

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号	特願2011-5498 (P2011-5498)	(71) 出願人	303046277 旭化成エレクトロニクス株式会社 東京都千代田区神田神保町一丁目105番地
(22) 出願日	平成23年1月14日 (2011.1.14)	(74) 代理人	100066980 弁理士 森 哲也
		(74) 代理人	100109380 弁理士 小西 恵
		(74) 代理人	100103850 弁理士 田中 秀▲てつ▼
		(72) 発明者	大井 卓也 神奈川県厚木市岡田3050番地 旭化成 エレクトロニクス株式会社内
		Fターム(参考)	5K020 DD02 DD11 DD13 EE02 EE03 EE04 HH11 HH13 KK08 MM12

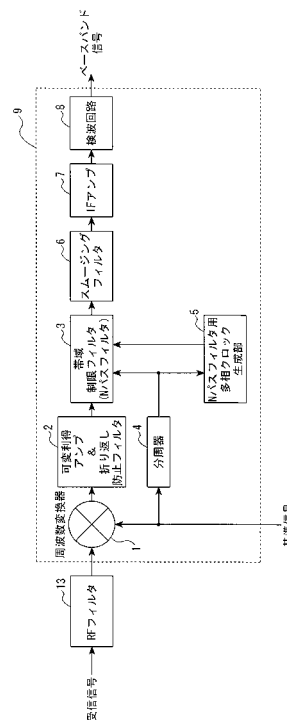
(54) 【発明の名称】 受信システム

(57) 【要約】

【課題】小面積、低消費電力、かつ低コストである受信システムを提供する

【解決手段】基準信号に基づいて、受信信号を中間周波数に周波数変換した後、この周波数変換された信号である中間周波数信号に対しNパスフィルタでチャンネル選択する。また、受信システムは、Nパスフィルタに供給される動作クロックを生成する分周器と、この動作クロックに基づいて、Nパスフィルタに供給される多相クロックを生成する多相クロック生成部と、を備えている。そして、分周器は、周波数変換器に入力される基準信号と同一の周波数の信号の入力を受け付け、この入力された信号に基づいて動作クロックを生成する。また、周波数変換器と分周器は、一つの発振器から出力される同一周波数の信号の入力を受け付ける。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基準信号に基づいて、受信信号を中間周波数に周波数変換する周波数変換器と、
前記周波数変換された信号である中間周波数信号に対しチャンネル選択するための N パス
フィルタで構成された帯域制限フィルタと、
前記 N パスフィルタに供給される動作クロックを生成する分周器と、
前記動作クロックに基づいて、前記 N パスフィルタに供給される多相クロックを生成す
る多相クロック生成部と、
を有する受信システムであって、
前記分周器は、前記周波数変換器に入力される前記基準信号と同一の周波数の信号の入
力を受け付け、この入力された信号に基づいて前記動作クロックを生成することを特徴と
する受信システム。

10

【請求項 2】

前記周波数変換器と前記分周器は、単一の発振器から出力される同一周波数の信号の入
力を受け付けることを特徴とする請求項 1 に記載の受信システム。

【請求項 3】

前記受信信号、前記基準信号、前記中間周波数信号、および前記動作クロックは、(式
1)、(式 2)、および(式 3)の条件を満たすことを特徴とする請求項 1 又は 2 に記載
の受信システム。

【数 1】

20

$$f_3 = f_2 - f_1 \quad \text{または} \quad f_3 = f_1 - f_2 \quad \dots \text{(式 1)}$$

$$f_2 = m * f_3 \quad (m : \text{整数}) \quad \dots \text{(式 2)}$$

$$f_4 = n * f_3 \quad (n : m \text{以下の整数}) \quad \dots \text{(式 3)}$$

((式 1) ~ (式 3)において、 f_1 は受信信号の周波数、 f_2 は基準信号の周波数、 f_3 は中間周波数信号の周波数、 f_4 は動作クロックの周波数)

【請求項 4】

前記周波数変換器と、前記帯域制限フィルタと、前記分周器と、前記多相クロック生成
部とは、同じ IC (Integrated Circuit) チップ上に形成され、
前記基準信号は前記 IC チップの外部から供給されることを特徴とする請求項 1 から 3
のいずれか一項に記載の受信システム。

30

【請求項 5】

前記帯域制限フィルタは多段に設けられていることを特徴とする請求項 1 から 4 のい
ずれか一項に記載の受信システム。

【請求項 6】

前記帯域制限フィルタの前段にプレフィルタを有することを特徴とする請求項 1 から 5
のいずれか一項に記載の受信システム。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、受信信号を周波数変換器で中間周波数に変換し、帯域制限フィルタを用いて
チャンネル選択を行う受信システムに関する。

【背景技術】

【0002】

図 5 に、セラミックフィルタを使用した従来のアナログ無線機における受信システムの
主な構成を示す。

図 5 に示される従来の受信システムはスーパーヘテロダイン構成がとられている。受信
システムに入力される受信信号は、周波数変換器 21 において、発振器 25 からの基準信
号により IF (Intermediate Frequency) 周波数の信号に周波数変換される。周波数変換
器 21 の出力信号は、帯域制限フィルタ 22 において不要な信号が除去され、所望の周波

50

数の信号のみが通過する。この帯域制限フィルタ 22 には、主として外部受動素子のセラミックフィルタが用いられる。帯域制限フィルタ 22 を通過した信号は I F アンプ 23 で増幅され、検波回路 24 でベースバンド信号として出力される。

【0003】

ここで、従来は帯域制限フィルタ 22 として、セラミックフィルタが使用されていたため、I C (Integrated Circuit) 化は破線 26 で囲まれる構成に留まっていた。このため、実装面積の削減が困難であり、セラミックフィルタは実装後も物理的な衝撃により剥がれるリスクが大きく、その予防措置のために樹脂でさらに固める等の措置が必須となっており、余分な工数が発生している。

【0004】

一方、外部受動素子のセラミックフィルタに代わる別のフィルタを用いて全体を I C 化する試みもなされている(例えば、特許文献 1)。

図 6 に、N パスフィルタを使用した従来のアナログ無線機における受信システムの主な構成を示す。図 6 に示される構成においては、帯域制限フィルタ 37 は、外部受動素子であるセラミックフィルタに代えて N パスフィルタで構成されている。

【0005】

入力される受信信号(R F (Radio Frequency) 信号)は、R F フィルタ 31 により不要な信号が除去され、所望の信号が取り出される。この R F フィルタ 31 を通過した信号は、R F アンプ 32 により増幅された後、イメージリジェクションミキサ 33 において発振器 341 からの信号とミキシングされることにより、I F 周波数に周波数変換される。

周波数変換された信号は、ポリフェーズフィルタ 35 および折り返し防止フィルタ 36 を通った後、帯域制限フィルタ 37 により不要な信号が除去され、かつ所望の信号のみが出力される。

【0006】

帯域制限フィルタ 37 は、N パスフィルタが使用されている。また、帯域制限フィルタ 37 は、発振器 342 からの信号が分周器 381 で分周された信号および N パスフィルタ用多相クロック生成部 382 で生成された N 相の信号とで動作する。ここで、発振器 341、342 は、それぞれ異なる周波数の信号を生成できる 2 つの信号源としているが、ひとつの発振器の内部に 2 つの信号源を含む場合もある。

帯域制限フィルタ 37 の出力は、高調波を除去するためにスムージングフィルタ 39 に入力され、スムージングフィルタ 39 の出力は I F アンプ 40 を通った後、検波回路 41 によりベースバンド信号に変換される。

【0007】

帯域制限フィルタ 37 を構成する N パスフィルタは、スイッチトキャパシタフィルタ(S C F)を用いた構成とすることができる。一般的に、L P F (Low Pass Filter) を周波数変換して B P F (Band Pass Filter) が構成されるが、これよりも、N パスフィルタを用いて B P F が構成される方が、同じ B P F 特性をより低い Q 値で実現することができる。その結果、スイッチトキャパシタの容量比が小さくなり、素子のばらつき、オペアンプの利得、寄生容量の影響等に対し、より鈍感になるため、狭帯域フィルタを高精度に I C 内部で実現することが可能となる。

【0008】

図 7 に、スイッチトキャパシタフィルタ(S C F)を用いた N パスフィルタ(N = 4 の場合)の基本構成の一例を示す。

本例においては、S C F 56 ~ 59 がそれぞれ切り換えスイッチ 52 ~ 55、60 ~ 63 を介して並列に接続されている。また、切り換えスイッチ 51 を介して折り返し防止フィルタ 36 からの入力信号 V i n が入力され、切り換えスイッチ 64 を介して出力信号 V o u t がスムージングフィルタ 39 に出力される。

【0009】

ここで、この入力信号 V i n の周波数および出力信号 V o u t の周波数を f_3 とする。また、分周器 381 から各切り換えスイッチにはクロック信号が供給されるが、切り換え

10

20

30

40

50

スイッチ 5 1、6 4 に供給されるクロック信号を、切り換えスイッチ 5 2、6 0 に供給されるクロック信号を 1、切り換えスイッチ 5 3、6 1 に供給されるクロック信号を 2、切り換えスイッチ 5 4、6 2 に供給されるクロック信号を 3、切り換えスイッチ 5 5、6 3 に供給されるクロック信号を 4 とする。

【0010】

図 8 は、各クロック信号、1 ~ 4 のタイミングを示す図である。ここで、クロックの周波数を $f_s (= f_4)$ とする。

一方、図 7 の回路を N パスフィルタとして機能させる場合は、クロック 1 ~ 4 の周波数を、入力信号 V_{in} の周波数および出力信号 V_{out} の周波数と同じ周波数である f_3 とする必要がある。

10

【0011】

ここで、N パスフィルタの原理について、以下説明する。N 個の各パスの S C F の伝達関数 $H(z)$ が等しいとすると、N 個の各パスの S C F の入力電圧および出力電圧を、それぞれ $V_{Xin}(z)$ 、 $V_{Xout}(z)$ ($X = 1, 2, \dots, N$) とし、以下の式が成り立つ。

$$\begin{aligned} H(z) &= V_{1out}(z) / V_{1in}(z) \\ &= V_{2out}(z) / V_{2in}(z) \\ &= \dots \\ &= V_{Nout}(z) / V_{Nin}(z) \end{aligned}$$

【0012】

20

したがって、全体の伝達関数 $H_{total}(z)$ は、N パスフィルタ全体の入力電圧および出力電圧を $V_{in}(z)$ 、 $V_{out}(z)$ とすると、以下の式が成り立つ。

$$\begin{aligned} H_{total}(z) &= V_{out}(z) / V_{in}(z) \\ &= \{ V_{1out}(z) + V_{2out}(z) + \dots + V_{Nout}(z) \} / \{ V_{1in}(z) + V_{2in}(z) + \dots + V_{Nin}(z) \} \\ &= \{ H(z) \cdot V_{1in}(z) + H(z) \cdot V_{2in}(z) + \dots + H(z) \cdot V_{Nin}(z) \} / \{ V_{1in}(z) + V_{2in}(z) + \dots + V_{Nin}(z) \} \\ &= H(z) \end{aligned}$$

ここで、各パスのサンプリングレートは、図 8 に示されるクロックの周期 $T (= 1 / f_s)$ を用いて、 $1 / NT = f_s / N$ と表される。また、この各パスのサンプリングレート f_s / N は、 f_3 と同じである。

30

【0013】

次に、S C F が L P F である場合を想定する。

各パスのサンプリングレートは f_s / N であるので、図 9 に示されるように、周波数が f_s / N 、 $2 f_s / N$ 、 $3 f_s / N$ 、 \dots の各点において周波数“0” ($f = 0$) における L P F のレプリカができ、各点で R e p l i c a t e d B a n d P a s s F i l t e r (R - B P F) が形成される。

【0014】

ここで、一つのパスのみ用いた場合を考えると、パスのナイキスト周波数 $f_s / (2 N)$ 以上の入力周波数は折り返しになるために、周波数 f_s / N における B P F はナイキストレンジ外になり、B P F として使うことができないことがわかる。

40

一方、N 個のパスを用いた場合を考えると、N パス全体としてのナイキスト周波数は $f_s / 2$ となるので、周波数 f_s / N における B P F はナイキストレンジに入っており、B P F として使用することが可能である。

【0015】

さらに、周波数が、0、 $2 \cdot f_s / N$ 、 $3 \cdot f_s / N$ 、 \dots における R - B P F が残っているので、図 10 に示されるように、別の B P F (例えばプレフィルタ) を用いて所望の入力周波数を除去することによって、所望の B P F 特性を得ることができる (非特許文献 1)。

このように、受動部品の帯域制限フィルタを I C 化する試みも行われ、特許文献 1 では

50

帯域制限フィルタ37としてNパスフィルタを用いている。これにより、同じ離散系フィルタのスイッチド・キャパシタ・フィルタに比べ、面積および消費電力を削減可能としている。

【先行技術文献】

【特許文献】

【0016】

【特許文献1】特開2006-324795号公報

【非特許文献】

【0017】

【非特許文献1】Roubik Gregorian 他1名 “ANALOG MOS INTEGRATED CIRCUITS FOR SIGNAL PROCESSING”、John Wiley & Sons、Inc.

10

【発明の概要】

【発明が解決しようとする課題】

【0018】

しかしながら、従来の受信システムでは、イメージリジェクションミキサ33と分周器381へ基準信号を供給するために、複数の信号源として発振器341、342をそれぞれ用意する必要があり、そのために回路内に別々の発振器やPLL（位相同期ループ）回路を備える必要がある等、部品コストや消費電力の面で課題があった。

図11は、従来の受信システムを構成するブロックのうち信号周波数が変化するブロックのみを抜き出したものである。なお、信号周波数に変化のないブロックに関しては、図11では表記を省略している。また、検波回路41に関しては信号を復調するためのブロックであるため、図11では表記を省略している。

20

【0019】

入力される受信信号（周波数 f_1' ）は、イメージリジェクションミキサ33において、発振器341から出力される基準信号（周波数 f_2' ）とミキシングされて、帯域通過IF信号（周波数 f_3' ）に変換される。

また、発振器341とは別の信号源である発振器342から出力された基準信号（周波数 f_6' ）は、分周器381により分周器出力信号（周波数 f_4' ）に変換され、帯域制限フィルタ37に供給される。

30

【0020】

これと同時に、分周器出力信号（周波数 f_4' ）はNパスフィルタ用多相クロック生成部382にも供給され、N相クロックが生成されて帯域制限フィルタ37に供給される。この時、このN相クロックの周波数はイメージリジェクションミキサ33からの帯域通過IF信号の周波数 f_3' と同じでなければならない。

帯域制限フィルタ37に入力された信号（周波数 f_3' ）は、帯域制限がなされて出力される。当然のことながら、この帯域制限されて出力された信号の周波数は f_3' である。

【0021】

ここで、上述したように、Nパスフィルタを機能させるためには、イメージリジェクションミキサ33からの帯域通過IF信号の周波数と、Nパスフィルタ用多相クロック生成部382からのクロック1～4の周波数とを、同じ周波数 f_3' とする必要がある。

40

したがって、帯域通過IF信号のもととなる発振器341から出力される基準信号と、クロック1～4のもととなる発振器342から出力されるもう一つの基準信号との両方の周波数が同じになるような基準信号を生成する発振器を、それぞれ用意する必要がある。発振器341や発振器342をIC内部に備える場合は、部品コストや消費電力の面で問題がある。

【0022】

また、発振器341や発振器342がIC内部に存在せず、外部から各基準信号を供給しなければならない場合、所望の各基準信号を確保できない可能性もある。特に、入力さ

50

れる受信信号の周波数 f_1 は、その受信システムの仕様により決まるものであるため、所望の各基準信号の選択の自由度は必ずしも高くはない。

これらの課題に鑑みて、本発明は、従来よりも小面積、低消費電力、かつ低コストの受信システムを提供することを目的とする。

【課題を解決するための手段】

【0023】

上記問題を解決するために、本発明は、基準信号に基づいて、受信信号を中間周波数に周波数変換する周波数変換器と、前記周波数変換された信号である中間周波数信号に対しチャネル選択するためのNパスフィルタで構成された帯域制限フィルタと、前記Nパスフィルタに供給される動作クロックを生成する分周器と、前記動作クロックに基づいて、前記Nパスフィルタに供給される多相クロックを生成する多相クロック生成部と、を有する受信システムであって、前記分周器は、前記周波数変換器に入力される前記基準信号と同一の周波数の信号の入力を受け付け、この入力された信号に基づいて前記動作クロックを生成することを特徴とする受信システムを提案する。

10

【0024】

すなわち、帯域制限フィルタをNパスフィルタで実現する際に、複数の基準信号を不要とし、一つの基準信号で帯域制限フィルタを実現する。

これにより、従来を受信システムに比べて、小面積、低消費電力、かつ低コストである受信システムが提供できる。

また、前記周波数変換器と前記分周器は、単一の発振器から出力される同一周波数の信号の入力を受け付けるようになっていてもよい。

20

この構成によれば、従来を受信システムに比べて、小面積、低消費電力、かつ低コストである受信システムが提供できる。

また、前記受信信号、前記基準信号、前記中間周波数信号、および前記動作クロックは、(式1)、(式2)、および(式3)の条件を満たすものであってもよい。

【0025】

【数1】

$$f_3 = f_2 - f_1 \quad \text{または} \quad f_3 = f_1 - f_2 \quad \dots \text{(式1)}$$

$$f_2 = m * f_3 \quad (m: \text{整数}) \quad \dots \text{(式2)}$$

$$f_4 = n * f_3 \quad (n: m \text{以下の整数}) \quad \dots \text{(式3)}$$

30

【0026】

((式1) ~ (式3) において、 f_1 は受信信号の周波数、 f_2 は基準信号の周波数、 f_3 は中間周波数信号の周波数、 f_4 は動作クロックの周波数)

この構成によれば、従来を受信システムに比べて、小面積、低消費電力、かつ低コストである受信システムが提供できる。

また、前記周波数変換器と、前記帯域制限フィルタと、前記分周器と、前記多相クロック生成部とは、同じIC (Integrated Circuit) チップ上に形成され、前記基準信号は前記ICチップの外部から供給されるようになっていてもよい。

この構成によれば、より小面積、低消費電力、かつ低コストである受信システムが提供できる。

40

【0027】

また、前記帯域制限フィルタは多段に設けられていてもよい。

この構成によれば、帯域制限フィルタが多段に設けられている場合であっても、従来を受信システムに比べて、小面積、低消費電力、かつ低コストである受信システムが提供できる。

また、受信システムは、前記帯域制限フィルタの前段にプレフィルタを有していてもよい。

この構成によれば、レプリカBPFを抑圧することが可能である。

【発明の効果】

50

【 0 0 2 8 】

本発明によれば、帯域制限フィルタをNパスフィルタで実現する際に、複数の基準信号を不要とし、一つの基準信号で帯域制限フィルタを実現する。

これにより、従来の受信システムに比べて、小面積、低消費電力、かつ低コストである受信システムが提供できる。

【 図面の簡単な説明 】

【 0 0 2 9 】

【 図 1 】 第 1 の実施形態に係る受信システムの構成例を示すブロック図である。

【 図 2 】 第 1 の実施形態に係る受信システムを構成するブロックのうち信号周波数が変化するブロックのみを抜き出して示した図である。

10

【 図 3 】 第 2 の実施形態に係る受信システムの構成例を示すブロック図である。

【 図 4 】 第 3 の実施形態に係る受信システムの構成例を示すブロック図である。

【 図 5 】 従来の受信システムの構成を示すブロック図である。

【 図 6 】 従来の受信システムの構成を示すブロック図である。

【 図 7 】 従来の受信システムに用いられるNパスフィルタの構成の一例を示す図である。

【 図 8 】 従来のNパスフィルタのクロックタイミングの一例を示す図である。

【 図 9 】 従来のNパスフィルタの周波数特性を示す図である。

【 図 1 0 】 従来のNパスフィルタの周波数特性を示す図である。

【 図 1 1 】 従来の受信システムを構成するブロックのうち信号周波数が変化するブロックのみを抜き出して示した図である。

20

【 発明を実施するための形態 】

【 0 0 3 0 】

以下、本発明に係る実施の形態について、図面を参照しながら説明する。以下の説明において参照する各図では、他の図と同等部分は同一符号によって示す。

(第 1 の実施形態)

図 1 は、本実施形態に係る受信システムの構成例を示すブロック図である。

図 1 に示される受信システムへ入力される受信信号は、RFフィルタ 1 3 で帯域制限された後、周波数変換器 1 に入力される。そして、周波数変換器 1 にて基準信号とミキシングされ、IF信号に変換される。

【 0 0 3 1 】

30

変換されたIF信号は可変利得アンプおよび折り返し防止フィルタ 2 を通り、帯域制限フィルタ 3 に入力される。この帯域制限フィルタ 3 の出力は、不要な信号が抑圧されて所望のチャンネルのIF信号のみが選択されたものとなる。

帯域制限フィルタ 3 はNパスフィルタで構成されており、離散系である。これを動作させるためのクロック信号およびその高調波を除去するため、帯域制限フィルタ 3 から出力される信号は、スムージングフィルタ 6 を経由する。そして、IFアンプ(リミッティングアンプ) 7 で増幅され、最後に検波回路 8 でベースバンド信号に変換される。

【 0 0 3 2 】

ここで、受信システムに入力される基準信号は周波数変換器 1 に入力され、これと同じ基準信号が分周器 4 にも同時に入力される点が、本実施形態に係る受信システムの特徴である。そして、このような構成は、後述するように、各信号の周波数の関係を所定の関係となるように選択することで実現されるものである。

40

分周器 4 で分周された信号は、帯域制限フィルタ 3 と、Nパスフィルタ用多相クロック生成部 5 との双方に供給される。また、Nパスフィルタ用多相クロック生成部 5 で生成された多相クロックは、帯域制限フィルタ 3 に供給される。なお、帯域制限フィルタ 3 およびNパスフィルタ用多相クロック生成部 5 は、図 7 ~ 図 1 0 に示される従来の構成と同様であるので、ここでは説明を省略する。

【 0 0 3 3 】

ここで、破線 9 で囲まれた各構成はセラミックフィルタを用いていないので、集積化することができる。図 2 は、図 1 の受信システムを構成するブロックのうち信号周波数が変

50

化するブロックのみを抜き出したものである。なお、図 2 においては、周波数に変化のないブロックに関しては表記を省略している。また、検波回路 8 は信号を復調するブロックであるため、図 2 では表記を省略している。

【 0 0 3 4 】

受信信号（周波数 f_1 ）は、周波数変換器 1 において基準信号（周波数 f_2 ）とミキシングされて帯域通過 I F 信号（周波数 f_3 ）に変換される。また、基準信号（周波数 f_2 ）は分周器 4 により分周器出力信号（周波数 f_4 ）となり、帯域制限フィルタ 3 に供給される。

また、これと同時に、分周器出力信号（周波数 f_4 ）は N パスフィルタ用多相クロック生成部 5 にも供給される。N パスフィルタ用多相クロック生成部 5 では N 相クロックが生成され、生成された N 相クロックは帯域制限フィルタ 3 に供給される。なお、この N 相クロックの周波数も f_3 と同じ周波数になる。

【 0 0 3 5 】

帯域制限フィルタ 3 に入力された信号（周波数 f_3 ）は、帯域制限された信号として出力される。当然のことながら、この帯域制限された信号の周波数は f_3 である。

この時、下記の式 1、式 2、式 3 が成り立つように、基準信号の周波数 f_2 、帯域通過 I F 信号の周波数 f_3 、分周器出力信号の周波数 f_4 を選択する。

【 0 0 3 6 】

【 数 2 】

$$f_3 = f_2 - f_1 \quad \text{または} \quad f_3 = f_1 - f_2 \quad \dots \text{(式 1)}$$

$$f_2 = m * f_3 \quad (m : \text{整数}) \quad \dots \text{(式 2)}$$

$$f_4 = n * f_3 \quad (n : m \text{ 以下の整数}) \quad \dots \text{(式 3)}$$

【 0 0 3 7 】

具体的には、例えば、周波数変換器 1 の入出力信号の周波数 f_1 、 f_2 との関係から、式 1 によって周波数 f_3 が決まる。また、周波数 f_3 と式 3 とによって、帯域制限フィルタ 3（N パスフィルタ）のサンプリングクロックの周波数 f_4 が決まる。さらに、周波数 f_2 と f_3 とが式 2 を満たすように設定されることで、一つのみの基準信号を用いた本実施形態の受信システムが実現可能である。

【 0 0 3 8 】

このように、上記式 1 ~ 式 3 に示される所定の関係となるように各信号の周波数を選択することで、周波数変換器 1 に入力される基準信号と分周器 4 に入力される基準信号とが一つになり、基準信号を共通化できるようになる。よって、基準信号を生成する発振器をそれぞれ別々に用意する必要がない。

なお、本実施形態においては、基準信号は IC の外部より供給されるようになっているが、IC 内部に単一の発振器が設けられ、この発振器において基準信号が生成されるようになっていてもよい。この場合、複数の発振器を IC 内部で用意することもないので、部品コストや消費電力が少なく済む。

【 0 0 3 9 】

より具体的には、例えば、本実施形態の受信システムの仕様としては、受信信号の周波数 $f_1 = 50.85 \text{ MHz}$ 、基準信号の周波数 $f_2 = 50.4 \text{ MHz}$ 、帯域通過 I F 信号の周波数 $f_3 = 450 \text{ kHz}$ 、分周器出力信号の周波数 $f_4 = 3.6 \text{ MHz}$ 、と選択することができる。

また、図 1 に示されるように、周波数変換器 1 の前段であって IC（破線 9 で囲まれる部分）の外部に R F フィルタ 1 3 が使用される場合には、所望する通過帯域外の不要な信号は R F フィルタ 1 3 で抑圧される。よって、N パスフィルタが帯域制限フィルタ 3 として使用される場合でも、さらなる IC のチップ面積低減や低消費電力化が可能となる。

【 0 0 4 0 】

（第 2 の実施形態）

図 3 は、本実施形態に係る受信システムの構成例を示すブロック図である。

10

20

30

40

50

基本的な構成は図 1 に示される構成と同様であるが、帯域制限フィルタを、帯域制限フィルタ 3 と帯域制限フィルタ 1 1 の 2 段に分け、これらの間にもう 1 段の可変利得アンプ 1 0 を入れている。また、第 1 の実施形態と同様に、本実施形態においても、式 1、式 2、式 3 の条件を満たすように、各信号の周波数を設定する。

このように可変利得アンプと帯域制限フィルタを多段に組むことで、所望する信号周波数以外の不要な信号を抑圧しながら、所望する信号周波数を増幅させることに、より適した受信 IF システムが構築可能となる。

【 0 0 4 1 】

なお、図 3 においては可変利得アンプが 2 段であり、帯域制限フィルタが 2 段となっているが、それぞれの段数はこれだけに限られない。式 1 ~ 式 3 の条件を充足すれば、可変利得アンプと帯域制限フィルタの段数は他の段数であってもよい。

10

本実施形態に係る受信システムによれば、帯域制限フィルタが多段に設けられている場合であっても、従来の受信システムに比べて、小面積、低消費電力、かつ低コストである受信システムが提供できる。

【 0 0 4 2 】

(第 3 の実施形態)

図 4 は、本実施形態に係る受信システムの構成例を示すブロック図である。

図 1 に示される第 1 の実施形態に係る受信システムのように、周波数変換器 1 の前段に RF フィルタ 1 3 を使用する場合には、所望する通過帯域外の不要な信号は RF フィルタ 1 3 で抑圧される。しかし、本実施形態においては、N パスフィルタ 3 の前段にプレフィルタ 1 2 が設けられている。これにより、レプリカ BPF (R - BPF) を抑圧することができる。

20

【 符号の説明 】

【 0 0 4 3 】

- 1 周波数変換器
- 2 可変利得アンプおよび折り返し防止フィルタ
- 3 帯域制限フィルタ (N パスフィルタ)
- 4 分周器
- 5 N パスフィルタ用多相クロック生成部
- 6 スムージングフィルタ
- 7 IF アンプ
- 8 検波回路
- 1 0 可変利得アンプ
- 1 1 帯域制限フィルタ (N パスフィルタ)
- 1 2 プレフィルタ
- 1 3 RF フィルタ
- 2 1 周波数変換器
- 2 2 帯域制限フィルタ
- 2 3 IF アンプ
- 2 4 検波回路
- 2 5 発振器
- 3 1 RF フィルタ
- 3 2 RF アンプ
- 3 3 イメージリジェクションミキサ
- 3 4 1 発振器
- 3 4 2 発振器
- 3 5 ポリフェーズフィルタ
- 3 6 折り返し防止フィルタ
- 3 7 帯域制限フィルタ (N パスフィルタ)
- 3 8 1 分周器

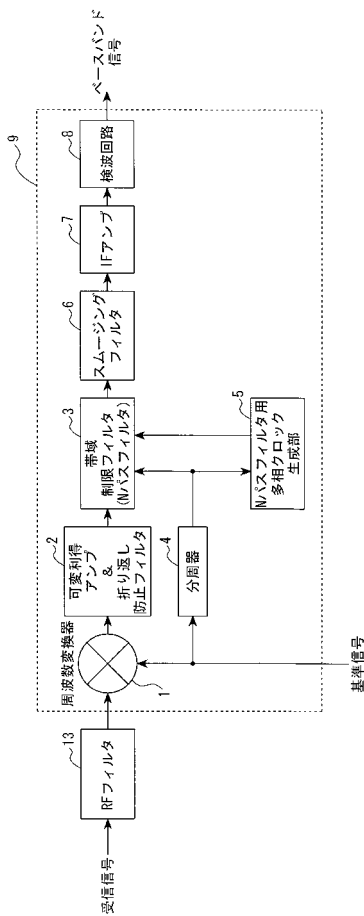
30

40

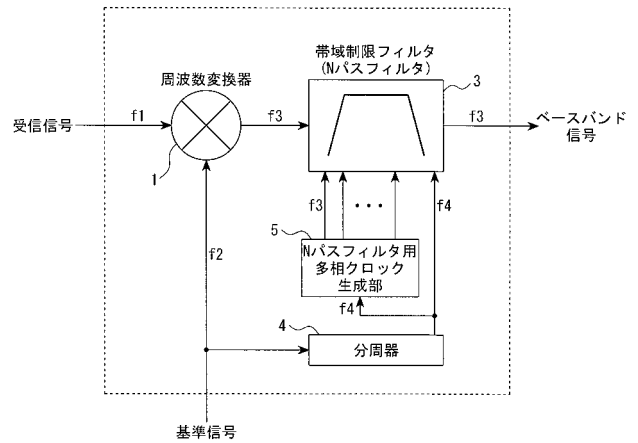
50

- 382 Nパスフィルタ用多層クロック生成部
- 39 スムージングフィルタ
- 40 IFアンプ
- 41 検波回路
- 51 ~ 55、60 ~ 64 スイッチ

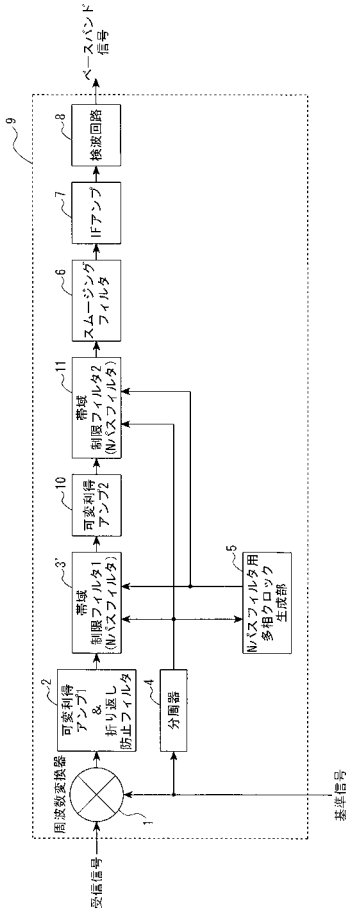
【 図 1 】



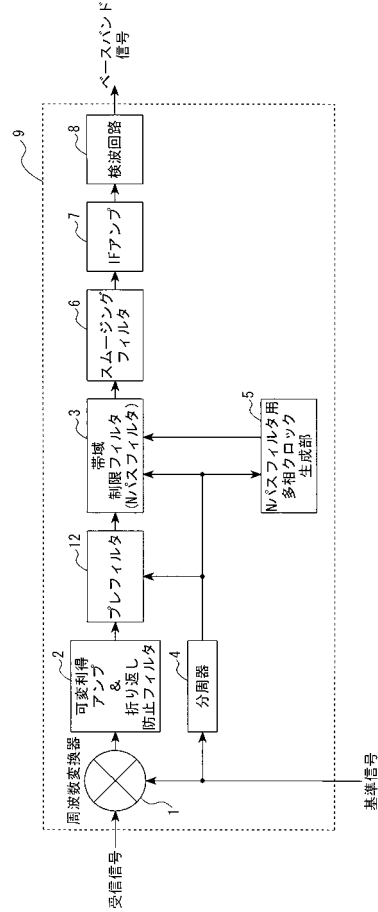
【 図 2 】



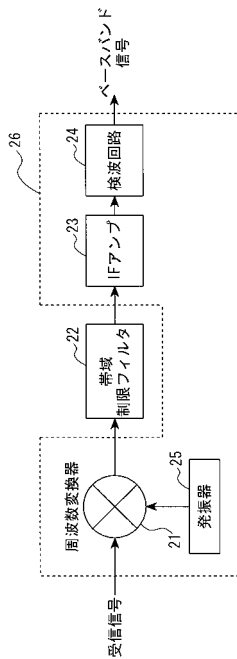
【図3】



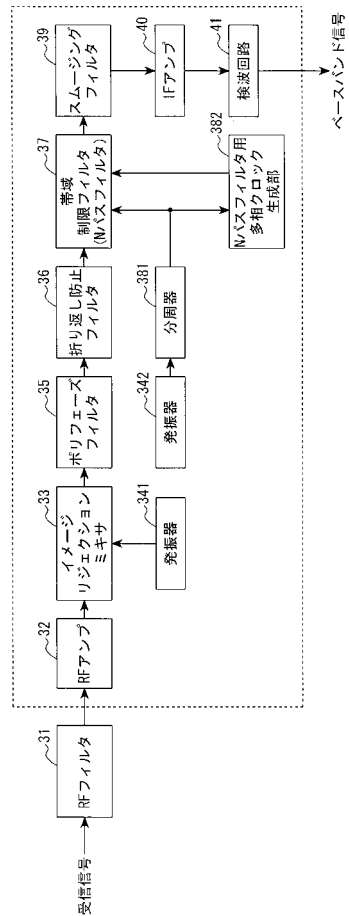
【図4】



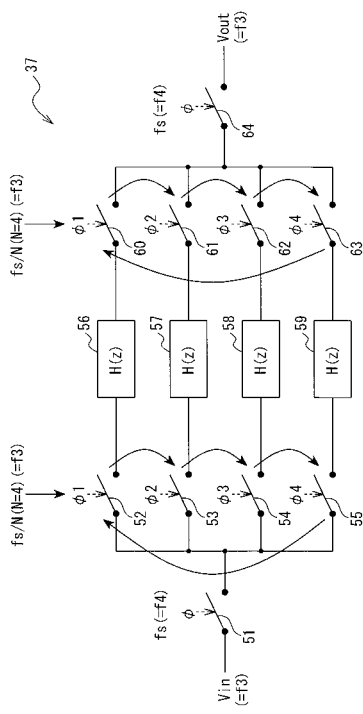
【図5】



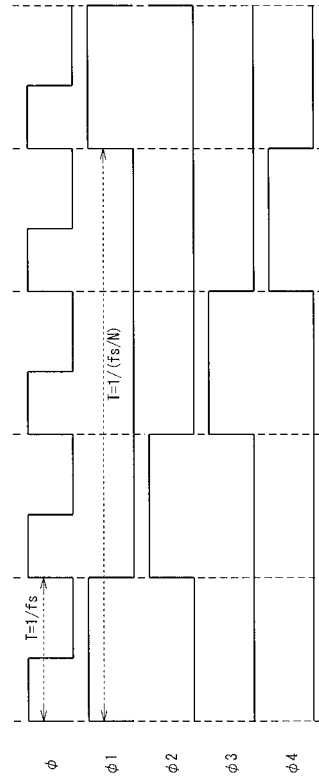
【図6】



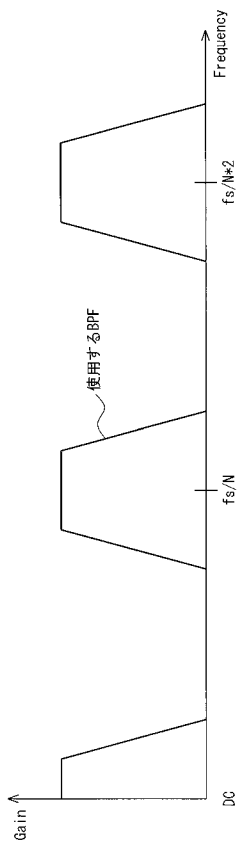
【 図 7 】



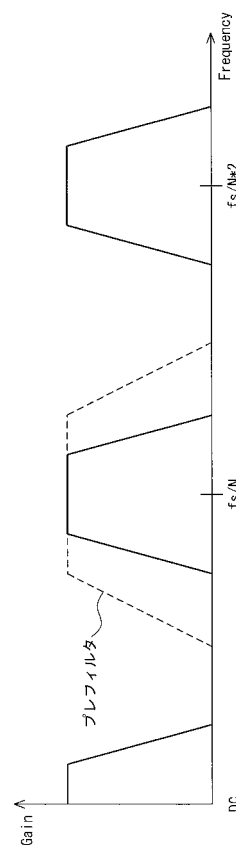
【 図 8 】



【 図 9 】



【 図 10 】



【 図 1 1 】

