

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成24年3月15日(2012.3.15)

【公表番号】特表2011-515786(P2011-515786A)

【公表日】平成23年5月19日(2011.5.19)

【年通号数】公開・登録公報2011-020

【出願番号】特願2011-500833(P2011-500833)

【国際特許分類】

G 11 C 16/02 (2006.01)

G 11 C 16/06 (2006.01)

【F I】

G 11 C 17/00 6 1 4

G 11 C 17/00 6 4 1

G 11 C 17/00 6 3 4 G

G 11 C 17/00 6 1 1 G

G 11 C 17/00 6 1 3

G 11 C 17/00 6 1 2 D

【手続補正書】

【提出日】平成24年1月26日(2012.1.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

アドレス可能なページのメモリセルを有するメモリアレイと複数のデータラッチとを備える不揮発性メモリを操作する方法であって、アドレス指定されているページの各メモリセルが、既定のビット数をラッチする容量を有する対応するデータラッチのセットを有する方法において、

前記対応するデータラッチのセットに保存された最初のデータセットを使用して、1つまたは複数のアドレス指定されているページの指定されたグループに対して最初の操作を実行するステップと、

前記メモリアレイ上で1つまたは複数の後続するメモリ操作に関連するデータと共に、前記対応するデータラッチのセットの幾つかを使用して、2番目の操作を求める要求を受け取るステップと、

最初の操作の間に、前記対応するデータラッチのそれぞれのセットの少なくとも1つのラッチが2番目の操作に利用可能であることを判断するステップと、

続いて、最初の操作の間に、2番目の操作を実行するための十分な数の対応するデータラッチのセットがあるかどうかを判断するステップと、

最初の操作の間に、2番目の操作を実行するための十分な数の対応するデータラッチのセットがないと判断したことに対応して、2番目の操作を遅らせるステップと、
を含む方法。

【請求項2】

請求項1記載の方法において、

十分な数のラッチが利用可能になると、続いて、最初の操作の間に、2番目の操作を実行するステップをさらに含む方法。

【請求項3】

請求項 1 記載の方法において、

最初の操作の間に、2番目の操作を実行するための十分な数の対応するデータラッチのセットがあると判断したことに対応して、最初の操作の間に、2番目の操作を実行するステップをさらに含む方法。

【請求項 4】

請求項 1 記載の方法において、

最初の操作が、消去操作のソフトプログラムフェーズである方法。

【請求項 5】

請求項 1 記載の方法において、

最初の操作が、プログラム操作である方法。

【請求項 6】

請求項 5 記載の方法において、

2番目の操作が、読み出し操作である方法。

【請求項 7】

請求項 6 記載の方法において、

読み出し操作が、プログラム操作における使用のためのルックアヘッド読み出し操作である方法。

【請求項 8】

請求項 1 記載の方法において、

最初の操作が交互プログラムとベリファイフェーズを有する書き込み操作であり、データの最初のセットがメモリセルの最初のグループに書き込まれるデータである方法。

【請求項 9】

請求項 1 記載の方法において、

前記メモリセルはNが1以上であるNビットのデータを保存する多値メモリセルであり、前記対応するデータラッチのそれぞれのセットはN個のデータラッチを含み、最初のデータセットはNビットデータである方法。

【請求項 10】

請求項 1 記載の方法において、

前記最初の操作を実行するステップの間に、2番目の操作を求める要求を受け取る方法。

【請求項 11】

請求項 1 記載の方法において、

前記最初の操作を実行するステップを始める前に、2番目の操作を求める要求がある方法。

【請求項 12】

請求項 1 記載の方法において、

前記対応するデータラッチのそれぞれのセットの少なくとも1つのラッチが2番目の操作に利用可能であることを判断するステップが、Ready / Busy信号に基づいている方法。

【請求項 13】

不揮発性メモリであって、

アドレス可能なページのメモリセルを含むメモリアレイと、

アドレス指定されているページの各メモリセルが既定のビット数をラッチする容量を有する対応するデータラッチのセットを有する複数のデータラッチと、を備え、

前記対応するデータラッチのセットに保存された最初のデータセットを使用する1つまたは複数のアドレス指定されているページの指定されたグループに対する最初の操作の間に、前記不揮発性メモリは、前記メモリアレイ上で1つまたは複数の後続するメモリ操作に関連するデータと共に、対応するデータラッチのセットの幾つかを使用して、前記対応するデータラッチのそれぞれのセットの少なくとも1つのラッチが2番目の要求された操作に利用可能であることを判断でき、続いて、最初の操作の間に、2番目の操作を実行す

るための十分な数の対応するデータラッチのセットがあるかどうかを判断し、最初の操作の間に、2番目の操作を実行するための十分な数の対応するデータラッチのセットがないと判断したことに対応して、2番目の操作を遅らせる不揮発性メモリ。

【請求項14】

請求項13記載の不揮発性メモリにおいて、
十分な数のラッチが利用可能になると、続いて、前記不揮発性メモリが、最初の操作の間に、2番目の操作を実行する不揮発性メモリ。

【請求項15】

請求項13記載の不揮発性メモリにおいて、
最初の操作の間に、2番目の操作を実行するための十分な数の対応するデータラッチのセットがあると判断したことに対応して、前記不揮発性メモリが、最初の操作の間に、2番目の操作を実行する不揮発性メモリ。

【請求項16】

請求項13記載の不揮発性メモリにおいて、
最初の操作が、消去操作のソフトプログラムフェーズである不揮発性メモリ。

【請求項17】

請求項13記載の不揮発性メモリにおいて、
最初の操作が、プログラム操作である不揮発性メモリ。

【請求項18】

請求項17記載の不揮発性メモリにおいて、
2番目の操作が、読み出し操作である不揮発性メモリ。

【請求項19】

請求項18記載の不揮発性メモリにおいて、
読み出し操作が、プログラム操作における使用のためのルックアヘッド読み出し操作である不揮発性メモリ。

【請求項20】

請求項13記載の不揮発性メモリにおいて、
最初の操作が交互プログラムとベリファイフェーズを有する書き込み操作であり、データの最初のセットがメモリセルの最初のグループに書き込まれるデータである不揮発性メモリ。

【請求項21】

請求項13記載の不揮発性メモリにおいて、
前記メモリセルはNが1以上であるNビットのデータを保存する多値メモリセルであり、前記対応するデータラッチのそれぞれのセットはN個のデータラッチを含み、最初のデータセットはNビットデータである不揮発性メモリ。

【請求項22】

請求項13記載の不揮発性メモリにおいて、
最初の操作を実行している間に、2番目の操作を求める要求を受け取る不揮発性メモリ。

【請求項23】

請求項13記載の不揮発性メモリにおいて、
最初の操作を実行し始める前に、2番目の操作を求める要求がある不揮発性メモリ。

【請求項24】

請求項13記載の不揮発性メモリにおいて、
前記対応するデータラッチのそれぞれのセットの少なくとも1つのラッチが2番目の要求された操作に利用可能であるという判断が、Ready / Busy信号に基づいている不揮発性メモリ。

【請求項25】

請求項13記載の不揮発性メモリにおいて、
前記対応するデータラッチのそれぞれのセットの少なくとも1つのラッチが2番目の要

求された操作に利用可能であるという判断と、最初の操作の間に、2番目の操作を実行するための十分な数の対応するデータラッチのセットがあるかどうかの判断と、2番目の操作を遅らせることとを実行するステートマシンをさらに備える不揮発性メモリ。