

(21) 申請案號：101120105

(22) 申請日：中華民國 101 (2012) 年 06 月 05 日

(51) Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(30) 優先權：2011/06/30 美國

13/173,327

(71) 申請人：英特爾公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：馬拉特卡 佩莫德 MALATKAR, PRAMOD (IN) ; 迪蘭伊 德烈 W DELANEY, DREW W. (US)

(74) 代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：20 項 圖式數：20 共 46 頁

(54) 名稱

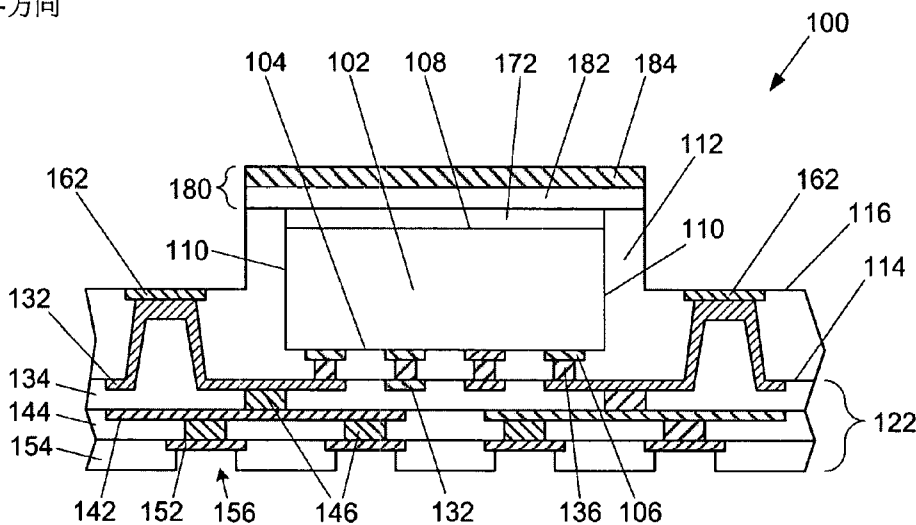
無凸塊增層式封裝體翹曲降低技術

BUMPLESS BUILD-UP LAYER PACKAGE WARPAGE REDUCTION

(57) 摘要

本發明係有關於製造微電子封裝體及其製造之領域，其中一微電子裝置可形成在一無凸塊增層式無核心(BBUL-C)微電子封裝體內且其中一翹曲控制結構可設置在該微電子裝置之一背面上。該翹曲控制結構可以是一層結構，且該層結構包含包括但不限於一填充環氧樹脂材料之至少一高熱膨脹係數材料層，及例如一金屬層之高彈性模數材料層。

↑ z-方向



100：微電子封裝體

102：微電子裝置

104：主動表面

106：接觸焊墊

108：背面

110：側

112：封裝材料

114：第一表面

116：第二表面

122：增層

132：第一層導電線路

134：第一增建介電層

136：線路至裝置導電通孔

142：第二層導電線路

144：第二增建介電層

146：線路至線路導電通孔

- 152：第三層導電線路
- 154：阻焊材料
- 156：開口
- 162：疊合式封裝  
(PoP)墊
- 172：晶粒背側薄膜
- 180：翹曲控制結構
- 182：高熱膨脹係數  
(CTE)材料層
- 184：高彈性模數材料  
層

(21)申請案號：101120105

(22)申請日：中華民國 101 (2012) 年 06 月 05 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2011/06/30 美國

13/173,327

(71)申請人：英特爾公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：馬拉特卡 佩莫德 MALATKAR, PRAMOD (IN) ; 迪蘭伊 德烈 W DELANEY, DREW W. (US)

(74)代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：20 項 圖式數：20 共 46 頁

(54)名稱

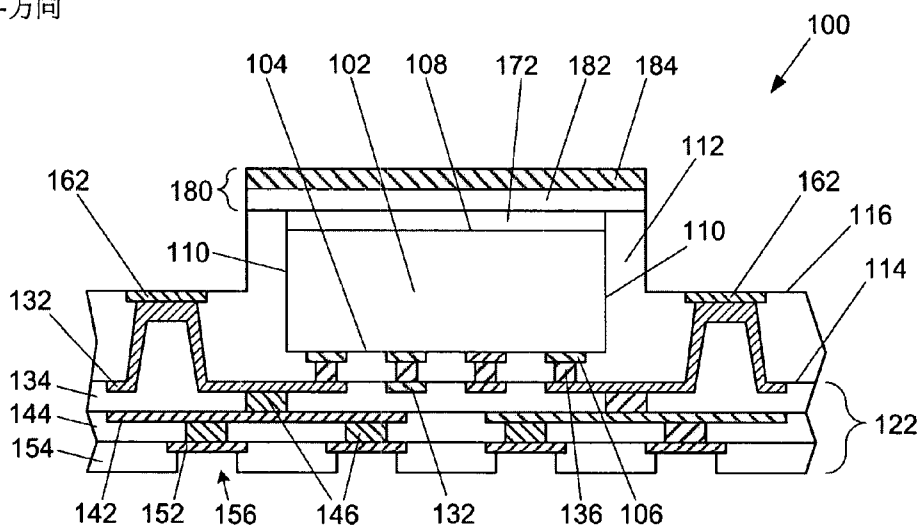
無凸塊增層式封裝體翹曲降低技術

BUMPLESS BUILD-UP LAYER PACKAGE WARPAGE REDUCTION

(57)摘要

本發明係有關於製造微電子封裝體及其製造之領域，其中一微電子裝置可形成在一無凸塊增層式無核心(BBUL-C)微電子封裝體內且其中一翹曲控制結構可設置在該微電子裝置之一背面上。該翹曲控制結構可以是一層結構，且該層結構包含包括但不限於一填充環氧樹脂材料之至少一高熱膨脹係數材料層，及例如一金屬層之高彈性模數材料層。

↑ z-方向



100：微電子封裝體

102：微電子裝置

104：主動表面

106：接觸焊墊

108：背面

110：側

112：封裝材料

114：第一表面

116：第二表面

122：增層

132：第一層導電線路

134：第一增建介電層

136：線路至裝置導電通孔

142：第二層導電線路

144：第二增建介電層

146：線路至線路導電通孔

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101120105

※ 申請日：

101.6.5

※IPC 分類：H01L 23/488(2006.01)

H01L 21/60(2006.01)

一、發明名稱：(中文/英文)

無凸塊增層式封裝體翹曲降低技術

BUMPLESS BUILD-UP LAYER PACKAGE WARPAGE REDUCTION

二、中文發明摘要：

本發明係有關於製造微電子封裝體及其製造之領域，其中一微電子裝置可形成在一無凸塊增層式無核心(BBUL-C)微電子封裝體內且其中一翹曲控制結構可設置在該微電子裝置之一背面上。該翹曲控制結構可以是一層結構，且該層結構包含包括但不限於一填充環氧樹脂材料之至少一高熱膨脹係數材料層，及例如一金屬層之高彈性模數材料層。

三、英文發明摘要：

The present disclosure relates to the field of fabricating microelectronic packages and the fabrication thereof, wherein a microelectronic device may be formed within a bumpless build-up layer coreless (BBUL-C) microelectronic package and wherein a warpage control structure may be disposed on a back surface of the microelectronic device. The warpage control structure may be a layered structure comprising at least one layer of high coefficient of thermal expansion material, including but not limited to a filled epoxy material, and at least one high elastic modulus material layer, such as a metal layer.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100...微電子封裝體	142...第二層導電線路
102...微電子裝置	144...第二增建介電層
104...主動表面	146...線路至線路導電通孔
106...接觸焊墊	152...第三層導電線路
108...背面	154...阻焊材料
110...側	156...開口
112...封裝材料	162...疊合式封裝(PoP)墊
114...第一表面	172...晶粒背側薄膜
116...第二表面	180...翹曲控制結構
122...增層	182...高熱膨脹係數(CTE)材料層
132...第一層導電線路	184...高彈性模數材料層
134...第一增建介電層	
136...線路至裝置導電通孔	
142...第二層導電線路	
144...第二增建介電層	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種無凸塊增層式封裝體翹曲降低技術。

### 【先前技術】

本發明之實施例係大致有關於微電子裝置封裝體設計且，更特別地，係有關於具有一無凸塊增層式(BBUL)設計之一微電子裝置封裝體。

### 【發明內容】

依據本發明之一實施例，係特地提出一種微電子封裝體，包含：一微電子裝置，其具有一主動表面，一相對背面，及至少一側；及一翹曲控制結構，其與該微電子裝置背面相鄰，其中該翹曲控制結構包括一高熱膨脹係數材料層及一高彈性模數材料層。

依據本發明之一實施例，係特地提出一種製造一微電子封裝體之方法，包含：形成一微電子裝置，且該微電子裝置具有一主動表面，一相對背面，及至少一側；及形成一與該微電子裝置背面相鄰之翹曲控制結構，其包含形成與一高彈性模數材料層相鄰之一高熱膨脹係數材料層。

依據本發明之一實施例，係特地提出一種製造一微電子封裝體之方法，包含：提供一載體；在該載體上形成一微電子裝置附接墊，其中該微電子裝置附接墊包括一高彈性模數材料層；附接具有一主動表面，一相對背面，及至少一側之一微電子裝置在該微電子裝置附接墊上，其中附

接該微電子裝置之步驟包括將一高熱膨脹係數材料層設置在該微電子裝置背面與該微電子裝置附接墊之間；將一封裝材料設置成與該微電子裝置主動表面之至少一部份及至少一微電子裝置側之至少一部份相鄰；及移除該載體。

#### 圖式簡單說明

本發明之標的物係在說明書之結論部份中特別指出且清楚地請求。本發明之前述及其他將可配合附圖，由以下說明及附加申請專利範圍更完整地了解。應了解的是該等附圖只顯示依據本發明之數個實施例且因此不應被視為限制其範圍。本揭露將透過利用附圖以另外之特性及細節說明，使得本發明之優點可以更輕易地確定，其中：

第1圖顯示依據本發明一實施例之一無凸塊增層式無核心微電子封裝體的側橫截面圖。

第2圖顯示依據本發明另一實施例之一無凸塊增層式無核心微電子封裝體的側橫截面圖。

第3-13圖顯示依據本發明一實施例之形成一凹孔型無凸塊增層式無核心微電子封裝體之一製程的橫截面圖。

第14-20圖顯示依據本發明一實施例之形成一埋入型無凸塊增層式無核心微電子封裝體之一製程的橫截面圖。

### 【實施方式】

#### 詳細說明

在以下詳細說明中，參照藉由舉例說明顯示可實施之請求標的物的特定實施例。這些實施例係充分詳細地說明以使所屬技術領域中具有通常知識者可實施該標的物。應

了解的是各種實施例雖然不同，但不一定是互相排他的。例如，在此關於一實施例所述之特定特徵、結構或特性可在不偏離所請求之標的物之精神及範疇之情形下，在其他實施例內實施。在這說明書內提及之“一個實施例”或“一實施例”表示關於該實施例所述之一特定特徵、結構或特性包含在本發明之至少一個實施例中。因此，使用該片語“在一個實施例中”或“在一實施例中”的出現不一定指的是相同實施例。此外，應了解的是在各揭露實施例內之個別元件之位置及配置可在不偏離該請求之標的物之情形下修改。因此，以下詳細說明不應一限制方式解釋，且該標的物之範疇係只由附加之申請專利範圍以及附加之申請專利範圍所賦予之等效物之全部範圍界定，及適當地判讀。在圖式中，類似符號表示在全部數個圖中相同或類似元件或功能性，且其中所示之元件不一定互相成比例，而是個別元件可放大或縮小以便更容易地了解在此說明之上下文中的元件。

本發明之實施例係有關於製造微電子封裝體及其製造之領域，其中一微電子裝置可在一無凸塊增層式無核心(BBUL-C)微電子封裝體內形成且其中一翹曲控制結構可設置在該微電子裝置之一背面上。該翹曲控制結構可以是一層結構，且該層結構包含包括但不限於一填二氧化矽環氧樹脂材料之至少一高熱膨脹係數材料層，及例如一金屬層之至少一高彈性模數材料層。這翹曲控制結構可以在室溫(大約攝氏25度)及在迴焊溫度(例如，大約攝氏260度)均



有效地減少該無凸塊增層式無核心微電子封裝體之翹曲。迴焊溫度係互連焊料結構被加熱到將該微電子封裝體附接在例如一母板之外部裝置上的溫度。

如所屬技術領域中具有通常知識者可了解地，減少翹曲可減少微電子裝置損壞之可能性及在將該微電子封裝體附接在外部裝置上時之連接問題。此外，由於因翹曲減少而減少在該等微電子裝置內之電晶體上的平面內壓力，因此可改善在該等微電子封裝體內之微電子裝置的效能。

第1圖顯示一凹孔型無凸塊增層式無核心(BBUL-C)微電子封裝體之一實施例的橫截面圖。如第1圖所示，一微電子封裝體100可包括實質被包封在一封裝材料112中之一微電子裝置102，其中該封裝材料112可抵靠該微電子裝置102之一主動表面104之至少一部份及該微電子裝置102之至少一側110。該微電子主動表面104可具有形成於其中及/或其上之至少一接觸焊墊106。該微電子裝置102可以是任何所需裝置，包括但不限於一微處理器(單核心或多核心)，一記憶體裝置，一晶片組，一繪圖裝置，一特殊應用積體電路等。該封裝材料112可以是一填二氧化矽環氧樹脂，例如由日本210-0801川崎市川崎區鈴木鎮1-2之Ajinomoto Fine-Techno公司(Ajinomoto ABF-GX13，Ajinomoto GX92等)取得之增層薄膜。

一增層122可形成在靠近該微電子裝置主動表面104之該封裝材料112之一第一表面114上。該增層122可包含多數介電層，且多數導電線路與各介電層相鄰地形成，並且多

數導電通孔延伸穿過各介電層以連接在不同層上之導電線路。請參閱第1圖，該增層122可包含至少一第一層導電線路132，且一第一增建介電層134與該第一層導電線路132及該封裝材料112相鄰地形成。至少一線路至裝置導電通孔136可延伸穿過該第一增建介電層134以連接至少一第一層導電線路132與至少一微電子裝置接觸焊墊106。至少一第二層導電線路142可與該第一增建介電層134相鄰地形成且一第二增建介電層144可與該第二層導電線路142及該第一增建介電層134相鄰地形成。至少一線路至線路導電通孔146可延伸穿過該第一增建介電層134以連接至少一第一層導電線路132與至少一第二層導電線路142。至少一第三層導電線路152可形成在該第二增建介電層144上且至少一線路至線路導電通孔146可延伸穿過該第二增建介電層144以連接至少一第二層導電線路142與第三層導電線路152。一阻焊材料154可在該第二增建介電層144及第三層導電線路152上圖案化，且具有至少一暴露該第三層導電線路152之一部份之開口156。應了解的是例如焊料球之多數互連結構(未顯示)可形成在該(等)第三層導電線路152穿過該(等)阻焊材料開口156。

至少一疊合式封裝(PoP)墊162可形成在該封裝材料112之一第二表面116(實質相對該封裝材料第一表面114)上及/或中。該疊合式封裝墊162可與至少一第一層導電線路132電連接。如所屬技術領域中具有通常知識者可了解地，該等疊合式封裝墊可用來在不需要貫穿矽通孔之情形下，

以一z方向在微電子裝置封裝體之間形成多數連接部以便堆疊(例如，所謂3D堆疊)。

如第1圖所示，例如由日本910-0381 Fukui Sakai Maruoka Funayose 110-1-1之Nitto Denko取得之Nitto NX2 DBF材料，可設置在該微電子裝置102之背面108上。一翹曲控制結構180可包含一設置在該晶粒背側薄膜172上之高熱膨脹係數(CTE)材料層182及一設置在該高CTE材料層182上之高彈性模數材料層184。該高CTE材料層182可包括，但不限於填充環氧樹脂，例如一填二氧化矽環氧樹脂，包括但不限於由日本210-0801川崎市川崎區鈴木鎮1-2之Ajinomoto Fine-Techno公司的Ajinomoto ABF-GX13，Ajinomoto GX92等。該高彈性模數材料層184可包括，但不限於一金屬層，例如銅、鎳、鋁及其合金等。在一實施例中，該高CTE材料層182及該高彈性模數材料層184可以與供該微電子封裝體100之其他區域使用之材料相同或類似，且實質上使該微電子封裝體100更對稱(例如，比較不會翹曲)。在一實施例中，該翹曲控制結構180包含一含有厚度在大約5 $\mu\text{m}$ 與50 $\mu\text{m}$ 之間，且厚度特別為30 $\mu\text{m}$ 之填二氧化矽環氧樹脂的該高CTE材料層182及含有厚度大約在大約5 $\mu\text{m}$ 與50 $\mu\text{m}$ 之間的該高彈性模數材料層184。

設置在一微電子裝置上之具有一高CTE材料層及一高彈性模數材料層兩者的一層結構應產生一較低封裝體翹曲。在一實施例中，該高CTE材料層182可大於大約25微米每米每攝氏度(“ppm/ $^{\circ}\text{C}$ ”)且該高彈性模數材料層184可大於

大約5京帕斯卡(GPa”)。在此應了解的是該必要之最小CTE及彈性模數值可隨著該微電子裝置之厚度、得到之微電子封裝體之厚度及/或該等材料層之厚度改變。該等最小CTE值係與所考慮之溫度有關，因為大部份環氧樹脂材料在它們的玻璃轉移溫度之前之CTE值(以 $CTE_1$ 表示)及在它們的玻璃轉移溫度之後之CTE值(以 $CTE_2$ 表示)會非常不同。如果必須控制之封裝體翹曲之溫度(例如，室溫或迴焊溫度)低於欲設置之材料之玻璃轉移溫度，則該最小CTE值將稱為 $CTE_1$ 之值，且如果高於該玻璃轉移溫度將稱為之 $CTE_2$ 之值。該最小彈性模數一直稱為在所考慮之溫度下之模數。

在本發明之一實施例中，該翹曲控制結構180可薄到足以嵌入在一堆疊封裝體構形(未顯示)中之一頂封裝體(未顯示)與一底封裝體(例如微電子封裝體100)之間的間隙內且因此，如所屬技術領域中具有通常知識者可了解地，不會增加該堆疊封裝體構形(未顯示)之整體z-高度。在另一實施例中，該高CTE材料層182及該高彈性模數材料層184可選擇成使得翹曲可在室溫(大約攝氏25度)及在迴焊溫度(例如，大約攝氏260度)都減少。

如第2圖所示，該晶粒背側薄膜(在第1圖中所示之元件172)可本身作為該高CTE材料層。在一實施例中，一翹曲控制結構190可直接設置在該微電子裝置背面108上，其中該翹曲控制結構180可包含設置在該微電子裝置背面108上之高CTE材料層182及一設置在該高CTE材料層182上之高彈性模數材料層184。該高CTE材料層182可包括，但不限於

晶粒背側薄膜或黏著材料，例如由日本910-0381 Fukui Sakai Maruoka Funayose 110-1-1之Nitto Denko取得之Nitto NX2 DBF材料，或由日本東京101-0021 Chiyoda區Sotokanda 4街14-1之日本鋼鐵化學公司取得之NEX系列材料(例如NEX-130CTX，NEX140DBF)。該高彈性模數材料層184可包括，但不限於一金屬層，例如銅、鎳、鋁及其合金。

第3-13圖顯示形成一凹孔型無凸塊增層式無核心(BBUL-C)微電子封裝體之一製程之一實施例的橫截面圖。如第3圖所示，可提供一載體200。所示之載體200可以是一銅積層基體，且該銅積層基體包含在兩相對銅釋放層(即一第一銅釋放層204與一第二銅釋放層204')之間的一心材206，並且兩相對銅層(即一第一銅層202及一第二銅層202')抵靠它們的各個銅釋放層(即一第一銅釋放層204與一第二銅釋放層204')且抵靠該心材206之一部份，其中該第一銅層202之外表面界定該載體200之一第一表面208且該第二銅層202'之外表面界定該載體200之一第二表面208'。該心材206可以是任何適當材料，包括但不限於一預浸滲複合纖維材料。應了解的是雖然與該心材206積層之該等層係特別指明為銅層(即該等銅層及該等銅釋放層)，本發明不限於此，因為該等層可以由任何適當材料構成。

如第4圖所示，一第一微電子裝置附接墊212可形成在該載體第一表面208上且一第二微電子裝置附接墊212'可形成該載體第二表面208'上。如第4圖進一步所示，該第一微

電子裝置附接墊212可以是例如一第一鎳層之一第一保護層214，及例如一第一銅層之一第一高彈性模數材料層216之層結構，且該第一保護層214抵靠該載體第一表面208並且該第一高彈性模數材料層216抵靠該第一保護層214。又，該第二微電子裝置附接墊212'亦可是例如一第二鎳層之一第二保護層214'，及例如一第二銅層之一第二高彈性模數材料層216'之層結構，且該第二保護層214'抵靠該載體第二表面208'並且該第二高彈性模數材料層216'抵靠該第二保護層214'。該第一保護層214及該第二保護層214'可被用來防止氧化物分別形成在該第一高彈性模數材料層216及該第二高彈性模數材料層216'上，且防止在將說明之後續製造程序時蝕刻該第一高彈性模數材料層216及該第二高彈性模數材料層216'。

如第5圖所示，例如一光阻材料之一第一犧牲材料層222可形成在該載體第一表面208上且在該第一微電子裝置附接墊212上；且例如一光阻材料之一第二犧牲材料層222'可形成在該載體第二表面208'上且在該第二微電子裝置附接墊212'上。該第一犧牲材料層222及該第二犧牲材料層222'可藉由在所屬技術領域中習知之任何技術形成，包括但不限於旋塗法、乾光膜積層法、及化學蒸氣沈積法。

如第6圖所示，一開口224可穿過該第一犧牲材料層222而形成以暴露該第一微電子裝置附接墊212及該載體第一表面208之一部份。一開口224'可同時穿過該第二犧牲材料層222'而形成以暴露該第二微電子裝置附接墊212'及該載

體第二表面208'之一部份。該第一犧牲材料層開口224及該第二犧牲材料層開口224'可藉由在所屬技術領域中習知之任何技術形成，包括但不限於光刻法及濕式或乾式蝕刻法。

如第7圖所示，多數疊合式封裝(PoP)墊可形成在第一犧牲材料層222及該第二犧牲材料層222'上。第7圖顯示一第一疊合式封裝墊228a及一形成在該第一犧牲材料層222上之第二疊合式封裝墊228b，以及一第三疊合式封裝墊228a'及一形成在該第二犧牲材料層222'上之第四疊合式封裝墊228b'。該等疊合式封裝墊(例如，元件228a、228b、228a'、228b')可以是層狀金屬結構，例如一金、鎳及銅層，且該層狀金屬結構可藉由包括但不限於鍍敷之在所屬技術領域中習知之任何技術圖案化。如所屬技術領域中具有通常知識者可了解地，該等疊合式封裝墊可用來在不需要貫穿矽通孔之情形下，以一z方向(請參見第1圖)在微電子裝置封裝體之間形成多數連接部以便堆疊(例如，所謂3D堆疊)。

如第8圖所示，一第一微電子裝置242可藉由其一背面250與一高CTE材料層244一起附接在該第一犧牲材料層開口224內之載體第一表面208上。該第一微電子裝置242可在其一主動表面248上具有至少一接觸焊墊(顯示為元件246a與246b)。一第二微電子裝置242'可藉由其一背面250'與一高CTE材料層244'一起附接在該第二犧牲材料層開口224'內之載體第二表面208'上。該第二微電子裝置242'可在其一主動表面248'上具有至少一接觸焊墊(顯示為元件246a'與246b')。該第一微電子裝置242及該第二微電子裝置242'可

以是任何所需裝置，包括但不限於一微處理器(單核心或多核心)，一記憶體裝置，一晶片組，一繪圖裝置，一特殊應用積體電路等。該等高CTE材料層244與244'可為任何適當材料，包括但不限於晶粒背側薄膜材料。

如第9圖所示，一第一封裝層252可形成在該第一微電子裝置242，該第一犧牲材料層開口224，該第一疊合式封裝墊228a，及該第二疊合式封裝墊228b上。一第二封裝層252'可同時形成在該第二微電子裝置242'，該第二犧牲材料層開口224'，該第三疊合式封裝墊228a'，及該第四疊合式封裝墊228b'上。在一實施例中，該第一封裝層252及該第二封裝層252'可包含填二氧化矽環氧樹脂。

如第10圖所示，一第一增層262可形成在該第一封裝層252上。該第一增層262可包含多數介電層，且多數導電線路與各介電層相鄰地形成並且多數導電通孔延伸穿過各介電層以連接在不同層上之導電線路。請參閱第10圖，該第一增層262可包含至少一第一層導電線路272，且一第一增建介電層274與該第一層導電線路272及該第一封裝層252相鄰地形成。至少一線路至裝置導電通孔276可延伸穿過該第一增建介電層274以連接至少一第一層導電線路272與至少一微電子裝置接觸焊墊(例如元件246a與246b)。至少一線路至墊導電通孔278可延伸穿過該第一增建介電層274以連接至少一第一層導電線路272與至少一疊合式封裝墊(例如，元件228a與228b)。至少一第二層導電線路282可與該第一增建介電層274相鄰地形成且一第二增建介電層284可



與該第二層導電線路282及該第一增建介電層274相鄰地形成。至少一線路至線路導電通孔286可延伸穿過該第一增建介電層274以連接至少一第一層導電線路272與至少一第二層導電線路282。至少一第三層導電線路292可形成在該第二增建介電層284上且至少一線路至線路導電通孔286可延伸穿過該第二增建介電層284以連接至少一第二層導電線路282與至少一第三層導電線路292。一阻焊材料294可在該第二增建介電層284及該第三層導電線路292上圖案化且具有至少一暴露該第三層導電線路292之至少一部份的開口296。應了解的是例如焊料球之多數互連結構(未顯示)可形成在該(等)第三層導電線路292上穿過該(等)阻焊材料開口296。

如第10圖進一步所示，一第二增層262'可形成在該第二封裝層252'上。該第二增層262'可包含多數介電層，且多數導電線路與各介電層相鄰地形成並且多數導電通孔延伸穿過各介電層以連接在不同層上之導電線路。請參閱第10圖，該第二增層262'可包含至少一第一層導電線路272'，且一第一增建介電層274'與該第一層導電線路272'及該第二封裝層252'相鄰地形成。至少一線路至裝置導電通孔276'可延伸穿過該第一增建介電層274'以連接至少一第一層導電線路272'與至少一微電子裝置接觸焊墊(例如元件246a'與246b')。至少一線路至墊導電通孔278'可延伸穿過該第一增建介電層274'以連接至少一第一層導電線路272'與至少一疊合式封裝墊(例如，元件228a'與228b')。至少一第二層導

電線路282'可與該第一增建介電層274'相鄰地形成且一第二增建介電層284'可與該第二層導電線路282'及該第一增建介電層274'相鄰地形成。至少一線路至線路導電通孔286'可延伸穿過該第一增建介電層274'以連接至少一第一層導電線路272'與至少一第二層導電線路282'。至少一第三層導電線路292'可形成在該第二增建介電層284'上且至少一線路至線路導電通孔286'可延伸穿過該第二增建介電層284'以連接至少一第二層導電線路282'與至少一第三層導電線路292'。一阻焊材料294'可在該第二增建介電層284'及該第三層導電線路292'上圖案化且具有至少一暴露該第三層導電線路292'之至少一部份的開口296'。應了解的是例如焊料球之多數互連結構(未顯示)可形成在該(等)第三層導電線路292'上穿過該(等)阻焊材料開口296'。

該等線路(例如元件272、272'、282、282'、292及292')可以是包括但不限於銅、鋁、銀、金及其合金之任何適當導電材料，且可由包括但不限於光刻法及鍍敷法之在所屬技術領域中習知之任何技術製成。該等導電通孔(例如元件276、276'、278、278'、286及286')可以是包括但不限於銅、鋁、銀、金及其合金之任何適當導電材料，且可由包括但不限於雷射鑽孔法、離子鑽孔、光刻法、鍍敷法及沈積法之在所屬技術領域中習知之任何技術製成。

應了解的是可增建另外之介電層、導電通孔及導電線路以形成所需數目之增層。

如此形成在該載體第一表面208上及在該載體第二表

面208'上之結構可以如在所屬技術領域中習知地利用一分板程序互相分開。第11圖顯示在分板後形成在該載體第一表面208上之結構。如第12圖所示，可例如，藉由蝕刻程序由該載體200移除在分板後留下之銅層202。如第13圖所示，如所屬技術領域中具有通常知識者可了解地，可例如，藉由電漿拋光、噴砂或溶劑脫離移除該第一犧牲材料層222以形成一微電子裝置封裝體290。因此，第3-13圖之製程形成一包含至少該高CTE材料層244及該第一高彈性模數材料層216之翹曲控制結構295。

如所屬技術領域中具有通常知識者可了解地，可進行另外之加工步驟，包括但不限於分割、堆疊及封裝。

第14-25圖顯示形成一埋入型無凸塊增層式無核心(BBUL-C)微電子封裝體之一製程之另一實施例的橫截面圖。如第14圖所示，可提供一載體，例如第3圖之載體200，且可在該載體上形成至少一支座。如圖所示，一第一微電子裝置附接墊312可形成在該載體第一表面208上且一第二微電子裝置附接墊312'可形成該載體第二表面208'上。如第14圖進一步所示，該第一微電子裝置附接墊312可以是例如一鎳層之一第一保護層314，及例如一銅層之一第一高彈性模數材料層316之層結構，且該第一保護層314抵靠該載體第一表面208並且該第一高彈性模數材料層316抵靠該第一保護層314。又，該第二微電子裝置附接墊312'亦可是例如一鎳層之一第二保護層314'，及例如一銅層之一第二高彈性模數材料層316'之層結構，且該第二保護層314'抵靠該載體

第二表面208'並且該第二高彈性模數材料層316'抵靠該第二保護層314'。

如第15圖所示，多數疊合式封裝(PoP)墊可形成在該載體第一表面208上及在該載體第二表面208'上。第15圖顯示一第一疊合式封裝墊328a及一形成在該載體第一表面208上之第二疊合式封裝墊328b，以及一第三疊合式封裝墊328a'及一形成在該載體第二表面208'上之第四疊合式封裝墊328b'。該等疊合式封裝墊(例如，元件328a、328b、328a'、328b')可以是層狀金屬結構，例如一金、鎳及銅層，且該層狀金屬結構可藉由包括但不限於鍍敷之在所屬技術領域中習知之任何技術圖案化。

如第16圖所示，一第一微電子裝置342可藉由其一背面350與一高CTE材料344一起附接在該第一微電子裝置附接墊312上。該第一微電子裝置342可在其一主動表面348上具有至少一接觸焊墊(顯示為元件346a與346b)。一第二微電子裝置342'可藉由其一背面350'與一高CTE材料344'一起附接在該第二微電子裝置附接墊312'上。該第二微電子裝置342'可在其一主動表面348'上具有至少一接觸焊墊(顯示為元件346a'與346b')。該第一微電子裝置342及該第二微電子裝置342'可以是任何所需裝置，包括但不限於一微處理器(單核心或多核心)，一記憶體裝置，一晶片組，一繪圖裝置，一特殊應用積體電路等。該等高CTE材料344與244'可為任何適當材料，包括但不限於晶粒背側薄膜材料。

如第17圖所示，一第一封裝層352可形成在該第一微電

子裝置342，該載體第一表面208，該第一疊合式封裝墊328a，及該第二疊合式封裝墊328b上。一第二封裝層352'可同時形成在該第二微電子裝置342'，該第三疊合式封裝墊328a'，及該第四疊合式封裝墊328b'上。在一實施例中，該第一封裝層352及該第二封裝層352'可包含填二氧化矽環氧樹脂。

如第18圖所示，一第一增層362可形成在該第一封裝層352上。該第一增層362可包含多數介電層，且多數導電線路與各介電層相鄰地形成並且多數導電通孔延伸穿過各介電層以連接在不同層上之導電線路。請參閱第18圖，該第一增層362可包含至少一第一層導電線路372，且一第一增建介電層374與該第一層導電線路372及該第一封裝層352相鄰地形成。至少一線路至裝置導電通孔376可延伸穿過該第一增建介電層374以連接至少一第一層導電線路372與至少一微電子裝置接觸焊墊(例如元件346a與346b)。至少一線路至墊導電通孔378可延伸穿過該第一增建介電層374以連接至少一第一層導電線路372與至少一疊合式封裝墊(例如，元件328a與328b)。至少一第二層導電線路382可與該第一增建介電層374相鄰地形成且一第二增建介電層384可與該第二層導電線路382及該第一增建介電層374相鄰地形成。至少一線路至線路導電通孔386可延伸穿過該第一增建介電層374以連接至少一第一層導電線路372與至少一第二層導電線路382。至少一第三層導電線路392可形成在該第二增建介電層384上且至少一線路至線路導電通孔386可延

伸穿過該第二增建介電層384以連接至少一第二層導電線路382與至少一第三層導電線路392。一阻焊材料394可在該第二增建介電層384及該第三層導電線路392上圖案化且具有至少一暴露該第三層導電線路392之至少一部份的開口396。應了解的是例如焊料球之多數互連結構(未顯示)可形成在該(等)第三層導電線路392上穿過該(等)阻焊材料開口396。

如第18圖進一步所示，一第二增層362'可形成在該第二封裝層352'上。該第二增層362'可包含多數介電層，且多數導電線路與各介電層相鄰地形成並且多數導電通孔延伸穿過各介電層以連接在不同層上之導電線路。請參閱第18圖，該第二增層362'可包含至少一第一層導電線路372'，且一第一增建介電層374'與該第一層導電線路372'及該第二封裝層352'相鄰地形成。至少一線路至裝置導電通孔376'可延伸穿過該第一增建介電層374'以連接至少一第一層導電線路372'與至少一微電子裝置接觸焊墊(例如元件346a'與346b')。至少一線路至墊導電通孔378'可延伸穿過該第一增建介電層374'以連接至少一第一層導電線路372'與至少一疊合式封裝墊(例如，元件328a'與328b')。至少一第二層導電線路382'可與該第一增建介電層374'相鄰地形成且一第二增建介電層384'可與該第二層導電線路382'及該第一增建介電層374'相鄰地形成。至少一線路至線路導電通孔386'可延伸穿過該第一增建介電層374'以連接至少一第一層導電線路372'與至少一第二層導電線路382'。至少一第三層導

電線路392'可形成在該第二增建介電層384'上且至少一線路至線路導電通孔386'可延伸穿過該第二增建介電層384'以連接至少一第二層導電線路382'與至少一第三層導電線路392'。一阻焊材料394'可在該第二增建介電層384'及該第三層導電線路392'上圖案化且具有至少一暴露該第三層導電線路392'之至少一部份的開口396'。應了解的是例如焊料球之多數互連結構(未顯示)可形成在該(等)第三層導電線路392'上穿過該(等)阻焊材料開口396'。

該等線路(例如元件372、372'、382、382'、392及392')可以是包括但不限於銅、鋁、銀、金及其合金之任何適當導電材料，且可由包括但不限於光刻法及鍍敷法之在所屬技術領域中習知之任何技術製成。該等導電通孔(例如元件376、376'、378、378'、386及386')可以是包括但不限於銅、鋁、銀、金及其合金之任何適當導電材料，且可由包括但不限於雷射鑽孔法、離子鑽孔、光刻法、鍍敷法及沈積法之在所屬技術領域中習知之任何技術製成。

應了解的是可增建另外之介電層、導電通孔及導電線路以形成所需數目之增層。

如此形成在該載體第一表面208上及在該載體第二表面208'上之結構可以如在所屬技術領域中習知地利用一分板程序互相分開。第19圖顯示在分板後形成在該載體第一表面208上之結構。如第20圖所示，可例如，藉由蝕刻程序由該載體200移除在分板後留下之銅層202，以形成一微電子裝置封裝體390。因此，第14-20圖之製程形成一包含至

少該高CTE材料層344及該高彈性模數材料層316之翹曲控制結構395。

如所屬技術領域中具有通常知識者可了解地，可進行另外之加工步驟，包括但不限於分割、堆疊及封裝。

在此應了解的是本發明之標的物不一定限定於第1-20圖所示之特定應用。該標的物可應用於包括會與翹曲有關之其他無核心及薄核心封裝體的其他微電子裝置封裝應用。此外，包括但不限於玻璃布積層、模製等在所屬技術領域中習知之其他翹曲減少技術可與本發明之標的物組合。另外，如所屬技術領域中具有通常知識者可了解地，本發明之標的物可以是一更大之無凸塊增層式封裝體之一部份，它可包括多數堆疊微電子晶粒，它可以一晶圓級，或任何次數之適當變化形成。又，該標的物亦可被使用在該微電子裝置製造領域以外之任何適當應用中。

已如此詳細說明了本發明之實施例，應了解的是由於在不偏離本發明之精神或範疇之情形下可有許多其顯而易見之變化，因此由附加申請專利範圍界定之發明不受限於在在以上說明中提出之特定細節。

### **【圖式簡單說明】**

第1圖顯示依據本發明一實施例之一無凸塊增層式無核心微電子封裝體的側橫截面圖。

第2圖顯示依據本發明另一實施例之一無凸塊增層式無核心微電子封裝體的側橫截面圖。

第3-13圖顯示依據本發明一實施例之形成一凹孔型無



凸塊增層式無核心微電子封裝體之一製程的橫截面圖。

第14-20圖顯示依據本發明一實施例之形成一埋入型無凸塊增層式無核心微電子封裝體之一製程的橫截面圖。

**【主要元件符號說明】**

100...微電子封裝體	172...晶粒背側薄膜
102...微電子裝置	180...翹曲控制結構
104...主動表面	182...高熱膨脹係數(CTE)材料層
106...接觸焊墊	184...高彈性模數材料層
108...背面	190...翹曲控制結構
110...側	200...載體
112...封裝材料	202...第一銅層
114...第一表面	202'...第二銅層
116...第二表面	204...第一銅釋放層
122...增層	204'...第二銅釋放層
132...第一層導電線路	206...心材
134...第一增建介電層	208...第一表面
136...線路至裝置導電通孔	208'...第二表面
142...第二層導電線路	212...第一微電子裝置附接墊
144...第二增建介電層	212'...第二微電子裝置附接墊
146...線路至線路導電通孔	214...第一保護層
152...第三層導電線路	214'...第二保護層
154...阻焊材料	216...第一高彈性模數材料層
156...開口	216'...第二高彈性模數材料層
162...疊合式封裝(PoP)墊	222...第一犧牲材料層

- 222'...第二犧牲材料層
- 224,224'...開口
- 228a...第一疊合式封裝墊
- 228b...第二疊合式封裝墊
- 228a'...第三疊合式封裝墊
- 228b'...第四疊合式封裝墊
- 242...第一微電子裝置
- 242'...第二微電子裝置
- 244,244'...高CTE材料層
- 246a,246b...接觸焊墊
- 246a',246b'...接觸焊墊
- 248,248'...主動表面
- 250,250'...背面
- 252...第一封裝層
- 252'...第二封裝層
- 262...第一增層
- 262'...第二增層
- 272,272'...第一層導電線路
- 274,274'...第一增建介電層
- 276,276'...線路至裝置導電通孔
- 278,278'...線路至墊導電通孔
- 282,282'...第二層導電線路
- 284,284'...第二增建介電層
- 286,286'...線路至線路導電通孔
- 290...微電子裝置封裝體
- 292,292'...第三層導電線路
- 294,294'...阻焊材料
- 295...翹曲控制結構
- 296,296'...開口
- 312...第一微電子裝置附接墊
- 312'...第二微電子裝置附接墊
- 314...第一保護層
- 314'...第二保護層
- 316...第一高彈性模數材料層
- 316'...第二高彈性模數材料層
- 328a...第一疊合式封裝墊
- 328b...第二疊合式封裝墊
- 328a'...第三疊合式封裝墊
- 328b'...第四疊合式封裝墊
- 342...第一微電子裝置
- 342'...第二微電子裝置
- 344,344'...高CTE材料
- 346a,346b...接觸焊墊
- 346a',346b'...接觸焊墊
- 348,348'...主動表面
- 350,350'...背面
- 352...第一封裝層
- 352'...第二封裝層

362...第一增層	384,384'...第二增建介電層
362'...第二增層	386,386'...線路至線路導電通孔
372,372'...第一層導電線路	390...微電子裝置封裝體
374,374'...第一增建介電層	392,392'...第三層導電線路
376,376'...線路至裝置導電通孔	394,394'...阻焊材料
378,378'...線路至墊導電通孔	395...翹曲控制結構
382,382'...第二層導電線路	396,396'...開口

## 七、申請專利範圍：

1. 一種微電子封裝體，包含：
  - 一微電子裝置，其具有一主動表面、一相對的背面、及至少一側；及
  - 一翹曲控制結構，其與該微電子裝置背面相鄰，其中該翹曲控制結構包括一高熱膨脹係數材料層及一高彈性模數材料層。
2. 如申請專利範圍第1項之微電子封裝體，其中該高熱膨脹係數材料層包含一材料，且該材料具有一大於約25ppm/°C之熱膨脹係數。
3. 如申請專利範圍第1項之微電子封裝體，其中該高熱膨脹係數材料層包含一填充環氧樹脂材料層。
4. 如申請專利範圍第1項之微電子封裝體，其中該高彈性模數材料層包含一材料層，且該材料層具有一大於約50GPa之模數。
5. 如申請專利範圍第1項之微電子封裝體，其中高彈性模數材料層包含一金屬層。
6. 如申請專利範圍第1項之微電子封裝體，更包括一封裝材料，且該封裝材料係相鄰該微電子裝置主動表面之至少一部份及至少一微電子裝置側之至少一部份而設置。
7. 如申請專利範圍第6項之微電子封裝體，更包括一增層，且該增層係形成在靠近該微電子裝置主動表面之該封裝材料之一第一表面上。
8. 一種製造一微電子封裝體之方法，其包含下列步驟：

形成一微電子裝置，且該微電子裝置具有一主動表面、一相對的背面、及至少一側；及

形成一與該微電子裝置背面相鄰之翹曲控制結構，其包含形成與一高彈性模數材料層相鄰之一高熱膨脹係數材料層。

9. 如申請專利範圍第8項之方法，其中形成該高熱膨脹係數材料層之步驟包含在該微電子裝置背面上形成該高熱膨脹係數材料層。
10. 如申請專利範圍第8項之方法，其中形成該高熱膨脹係數材料層之步驟包含形成具有一大於約25ppm/°C之熱膨脹係數之一材料層。
11. 如申請專利範圍第8項之方法，其中形成該高熱膨脹係數材料層之步驟包含形成一填充環氧樹脂材料層。
12. 如申請專利範圍第8項之方法，其中形成該高彈性模數材料層之步驟包含形成具有一大於約50GPa之模數之一材料層。
13. 如申請專利範圍第8項之方法，更包括相鄰該微電子裝置主動表面之至少一部份及至少一微電子裝置側之至少一部份設置一封裝材料。
14. 如申請專利範圍第8項之方法，更包括在靠近該微電子裝置主動表面之該封裝材料之一第一表面上形成一增層。
15. 一種製造一微電子封裝體之方法，其包含下列步驟：  
提供一載體；

在該載體上形成一微電子裝置附接墊，其中該微電子裝置附接墊包括一高彈性模數材料層；

附接具有一主動表面、一相對的背面、及至少一側之一微電子裝置在該微電子裝置附接墊上，其中附接該微電子裝置之步驟包括將一高熱膨脹係數材料層設置在該微電子裝置背面與該微電子裝置附接墊之間；

相鄰該微電子裝置主動表面之至少一部份及至少一微電子裝置側之至少一部份相鄰設置一封裝材料；及  
移除該載體。

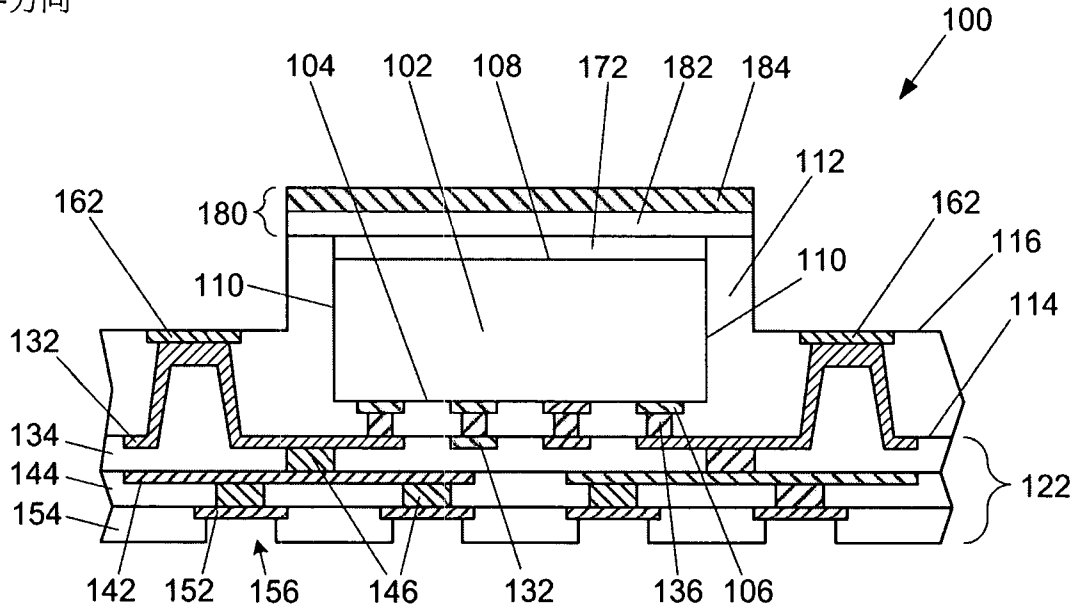
16. 如申請專利範圍第15項之方法，其中將一高熱膨脹係數材料層設置在該微電子裝置背面與該微電子裝置附接墊之間的步驟包含將具有一大於約 $25\text{ppm}/^{\circ}\text{C}$ 之熱膨脹係數之一材料層設置在該微電子裝置背面與該微電子裝置附接墊之間。
17. 如申請專利範圍第15項之方法，其中將一高熱膨脹係數材料層設置在該微電子裝置背面與該微電子裝置附接墊之間的步驟包含將一填充環氧樹脂材料層設置在該微電子裝置背面與該微電子裝置附接墊之間。
18. 如申請專利範圍第15項之方法，其中在該載體上形成一微電子裝置附接墊之步驟包含在該載體上形成一微電子裝置附接墊，其中該微電子裝置附接墊包括具有一大於約 $50\text{GPa}$ 之模數之一高彈性模數材料層。
19. 如申請專利範圍第15項之方法，其中設置該封裝材料之步驟包含相鄰該微電子裝置主動表面之至少一部份及

至少一微電子裝置側之至少一部份設置一填充環氧樹脂材料。

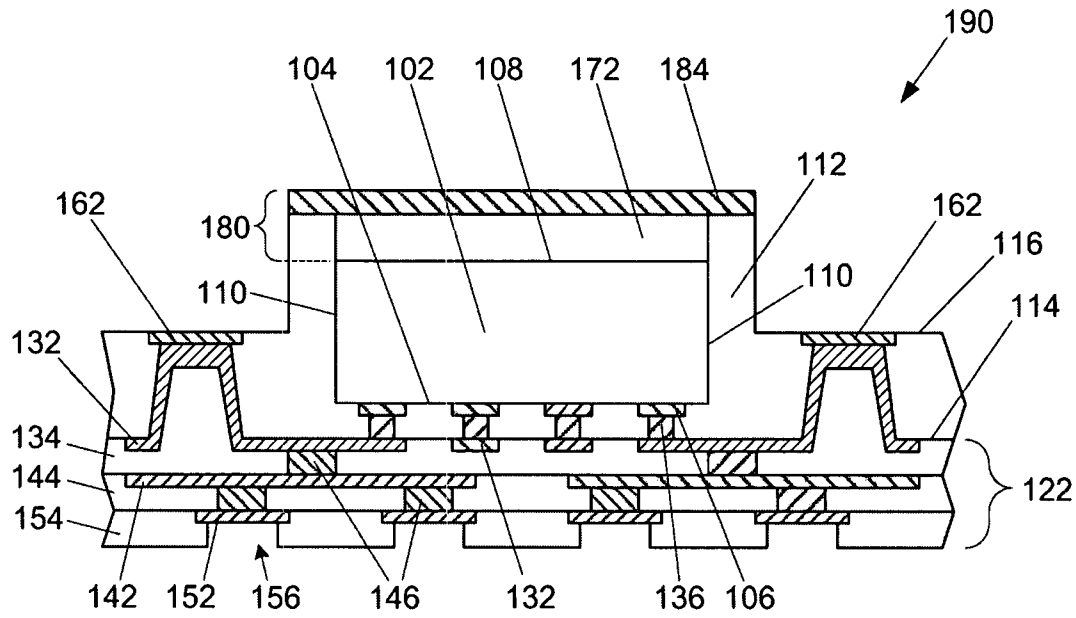
20. 如申請專利範圍第15項之方法，更包括在靠近該微電子裝置主動表面之該封裝材料之一第一表面上形成一增層。

+

↑ z-方向



第 1 圖

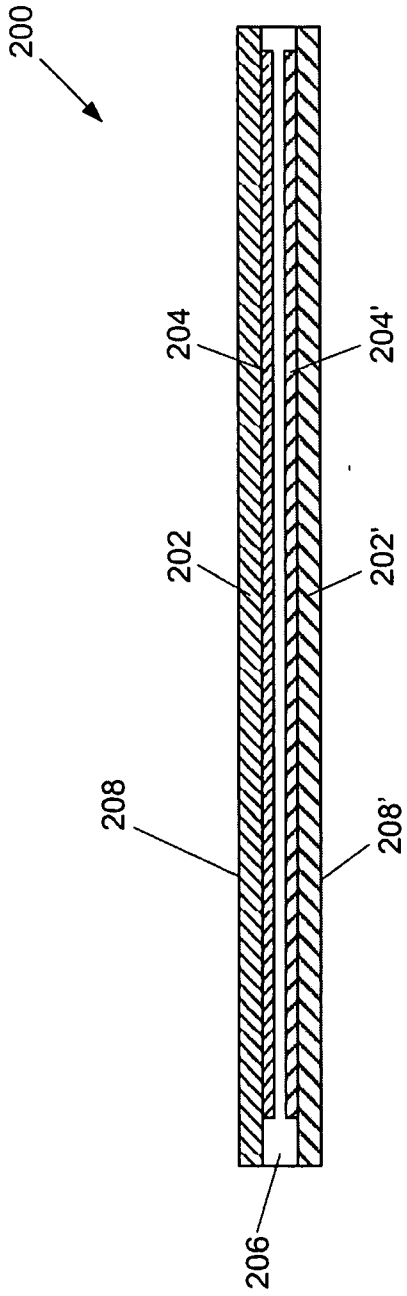


第 2 圖

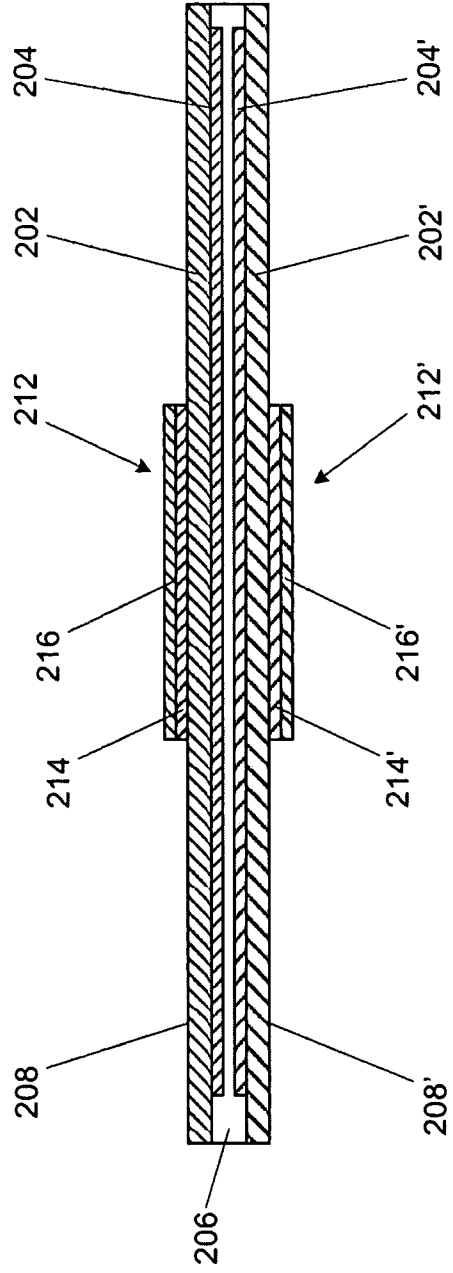
+



+



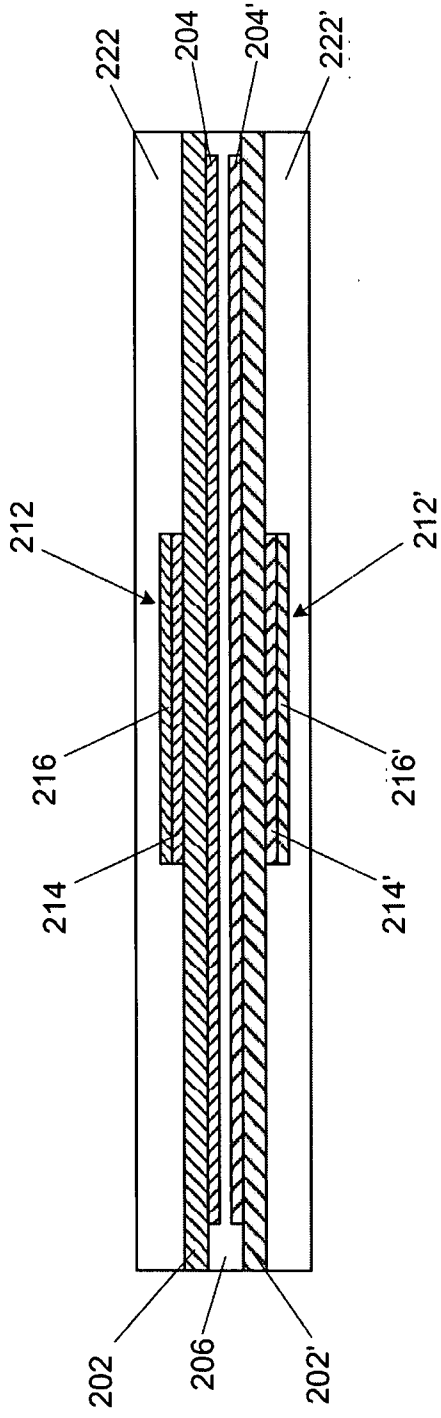
第 3 圖



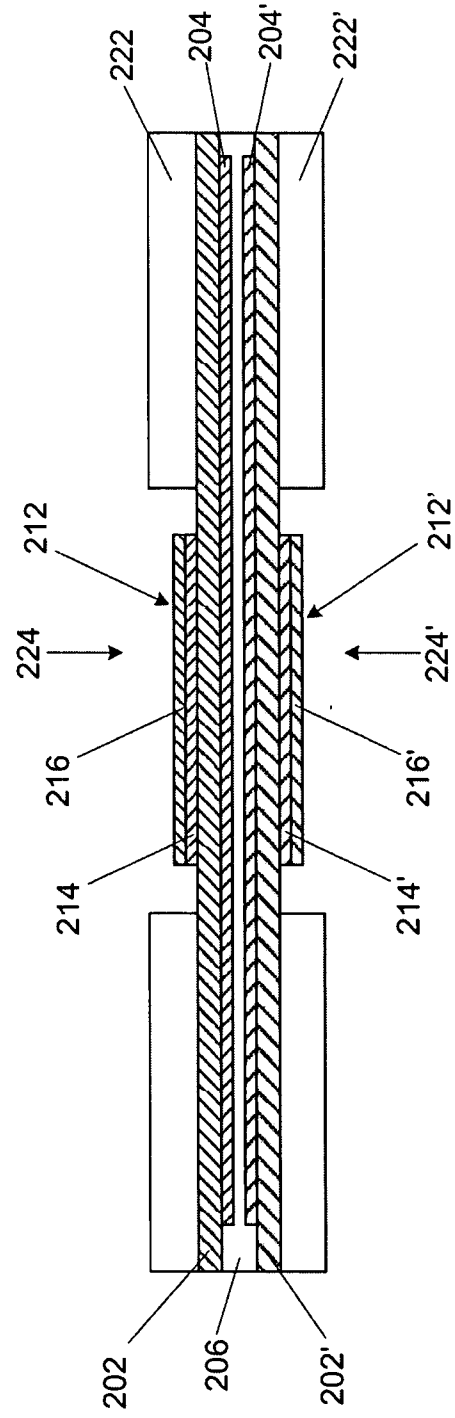
第 4 圖

+

+



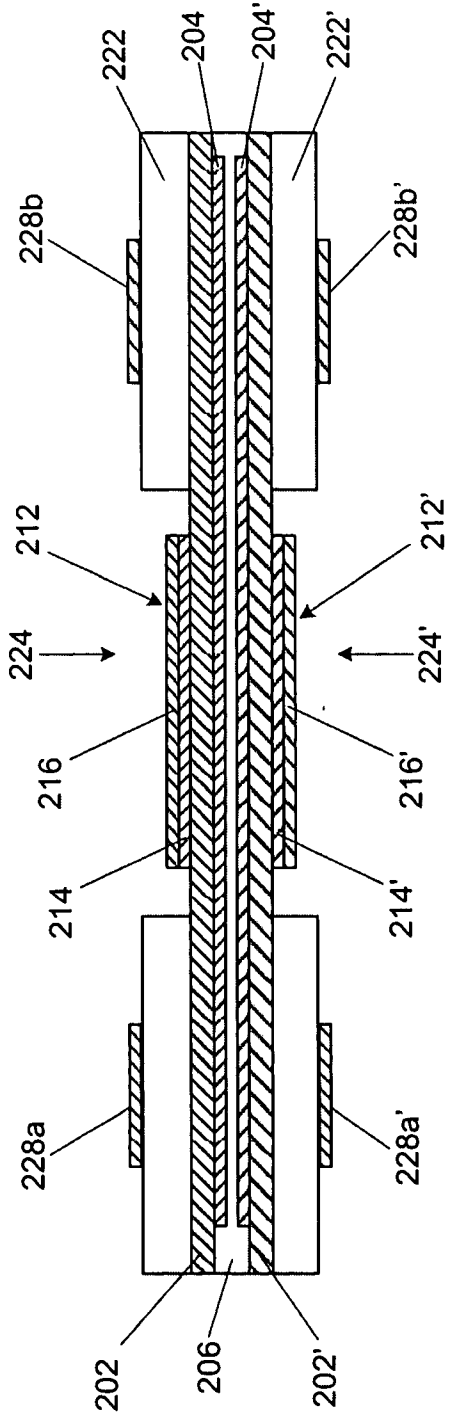
第 5 圖



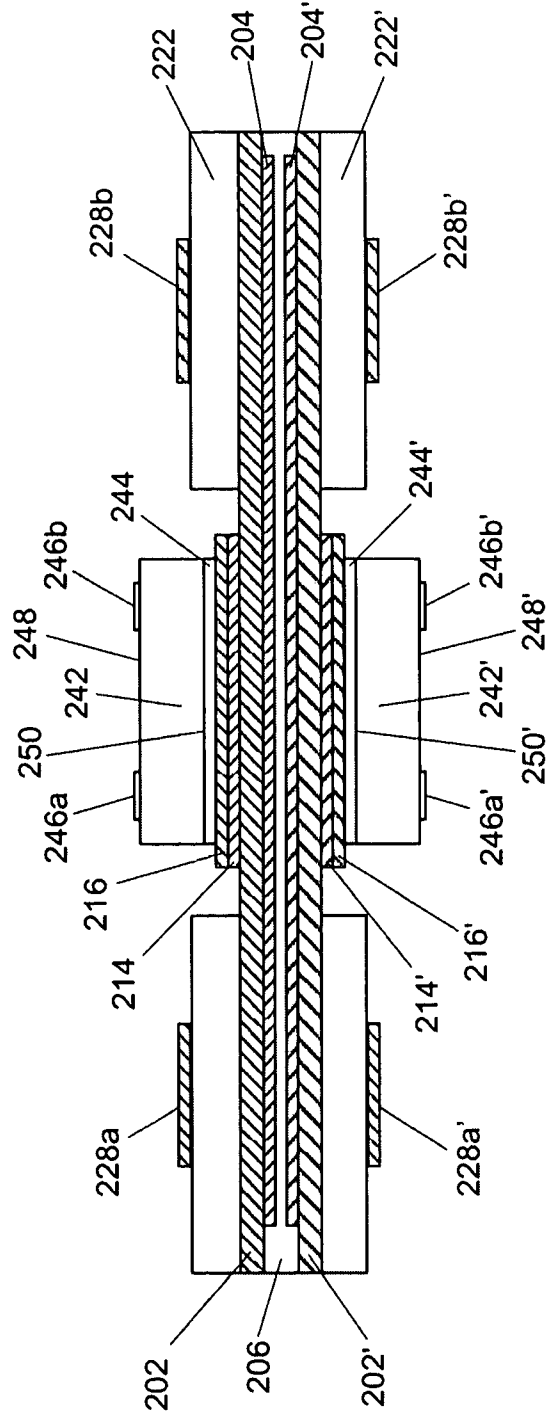
第 6 圖

+

+

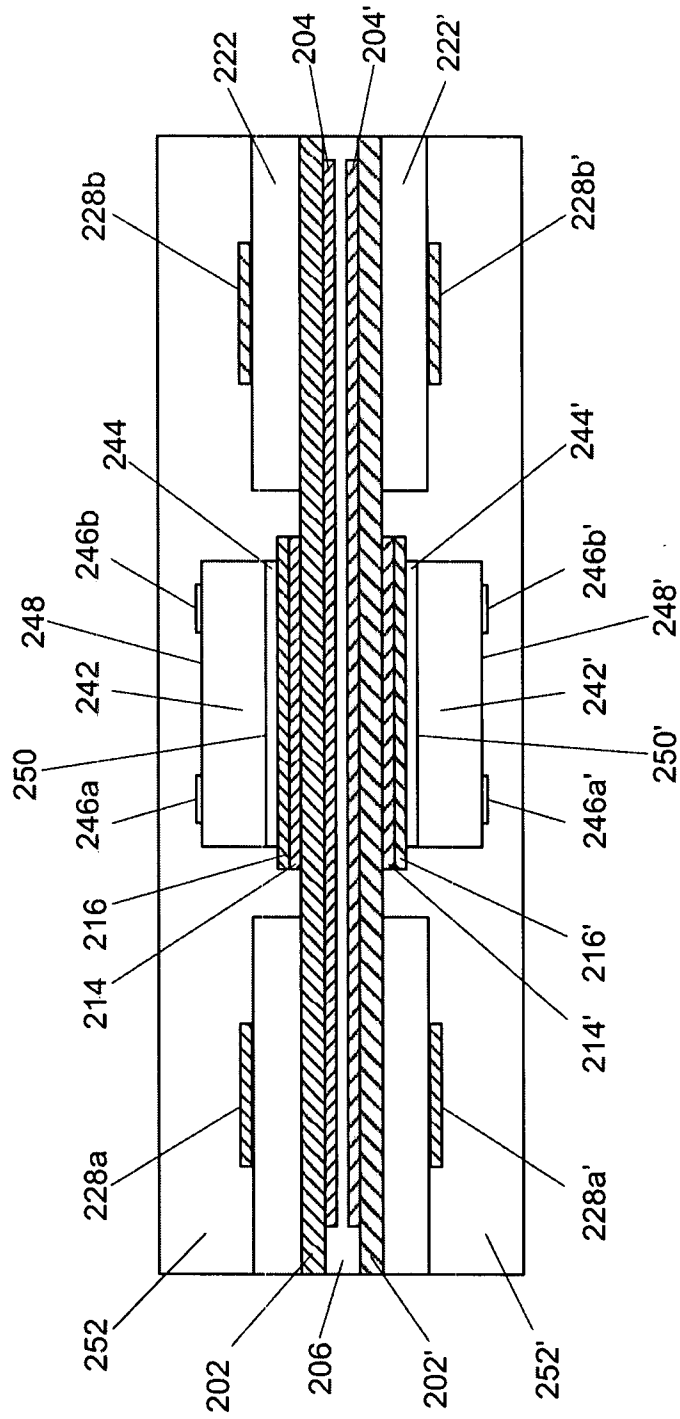


第 7 圖



第 8 圖

+

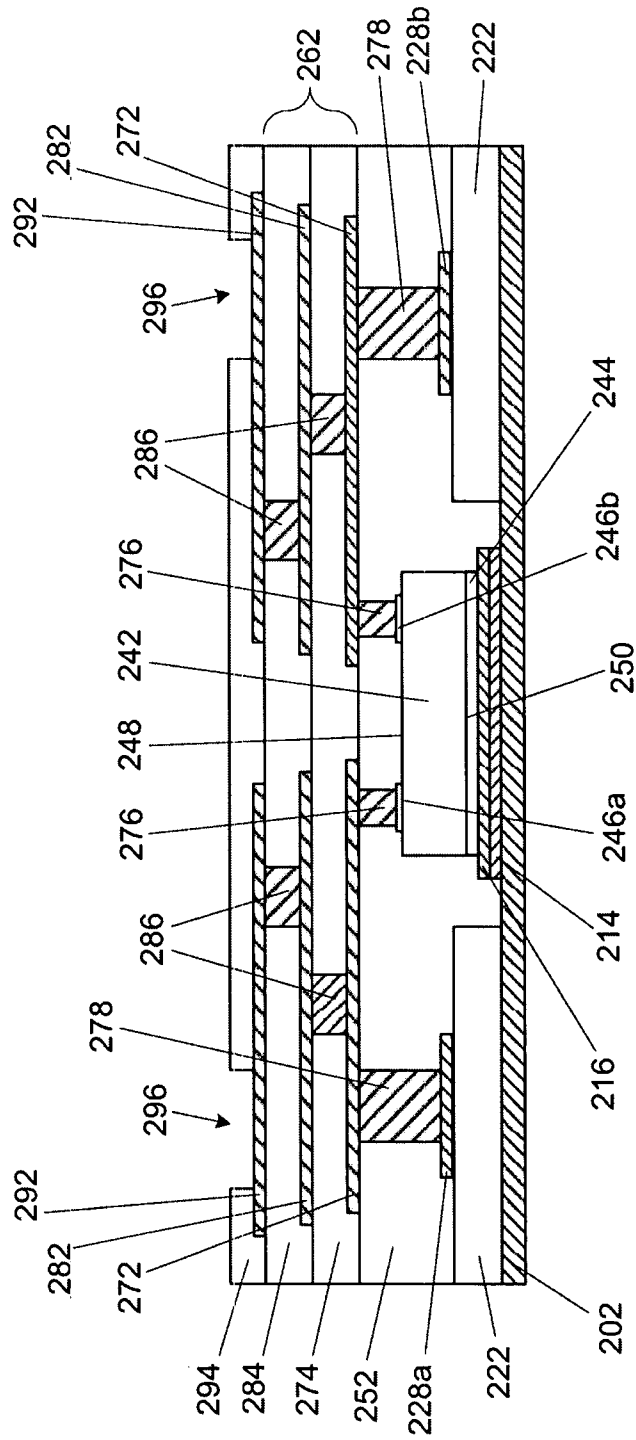


第9圖

+

+



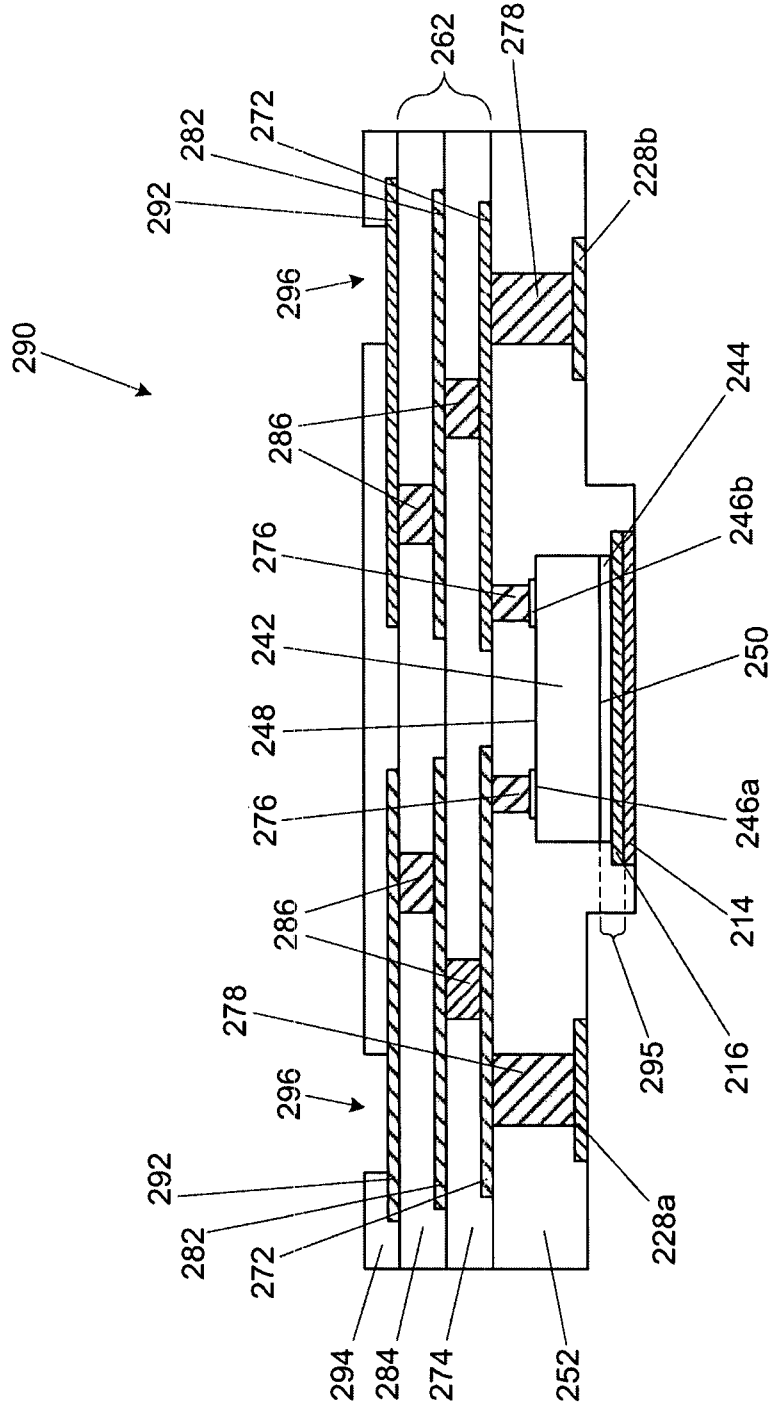


第 11 圖

+

+





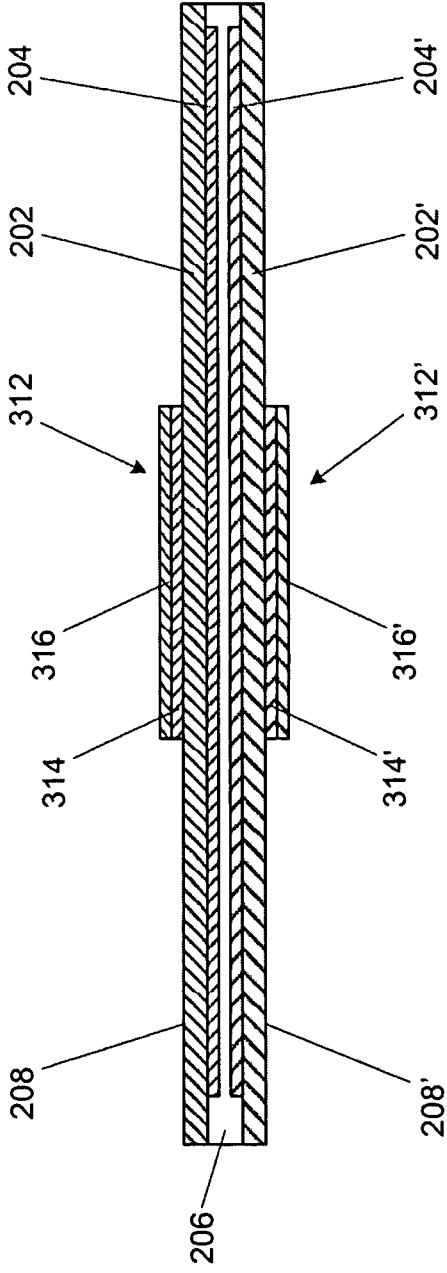
第13圖

+

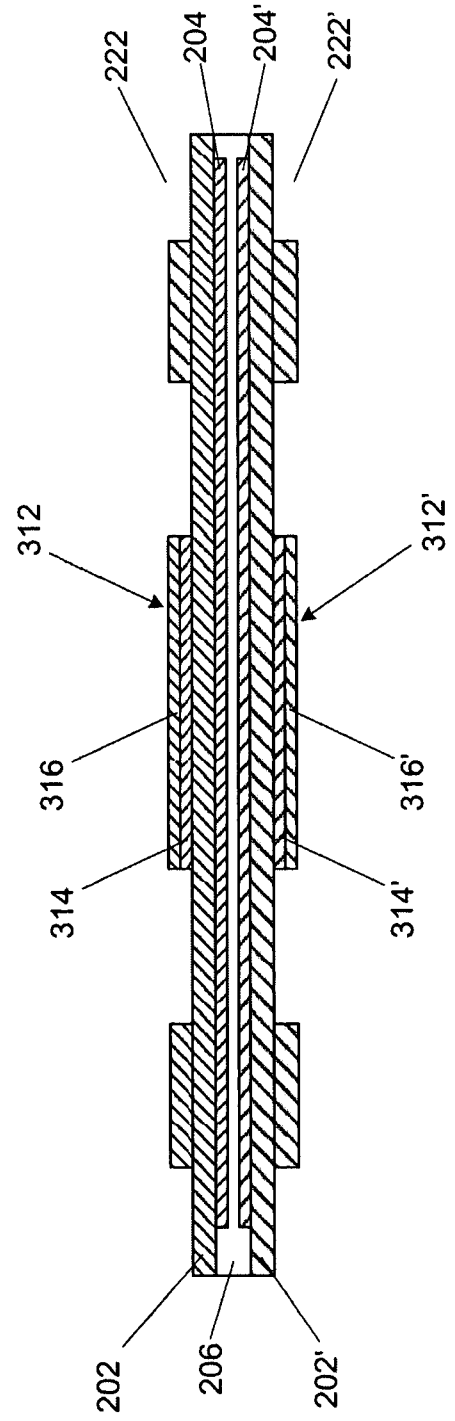
+



+

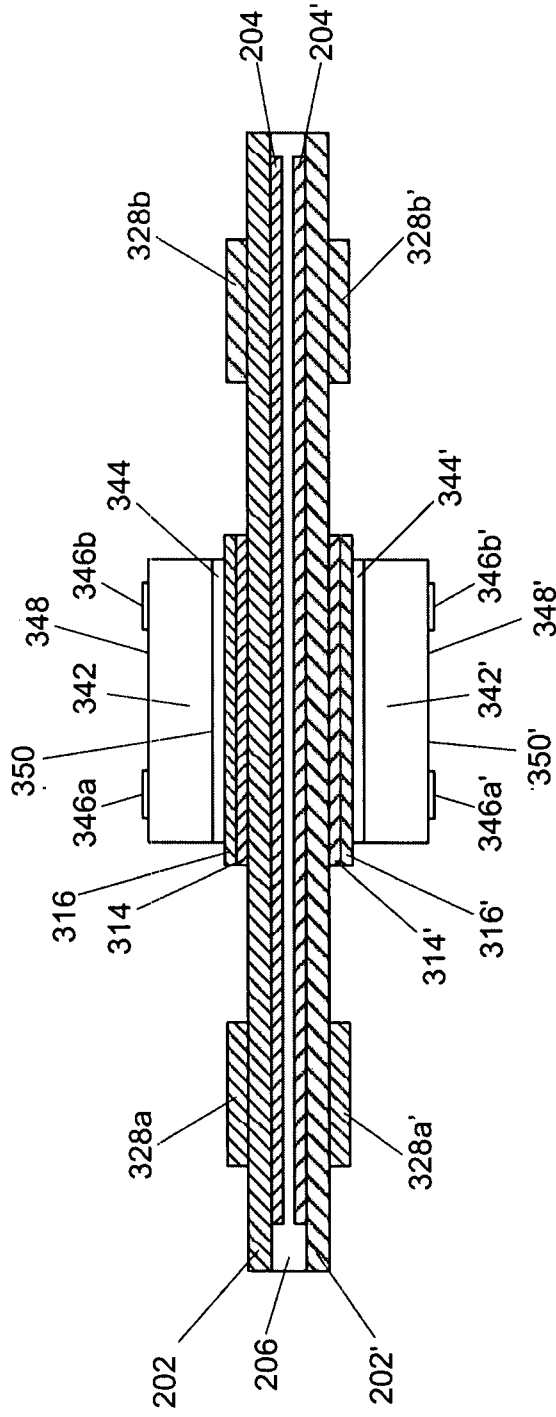


第 14 圖



第 15 圖

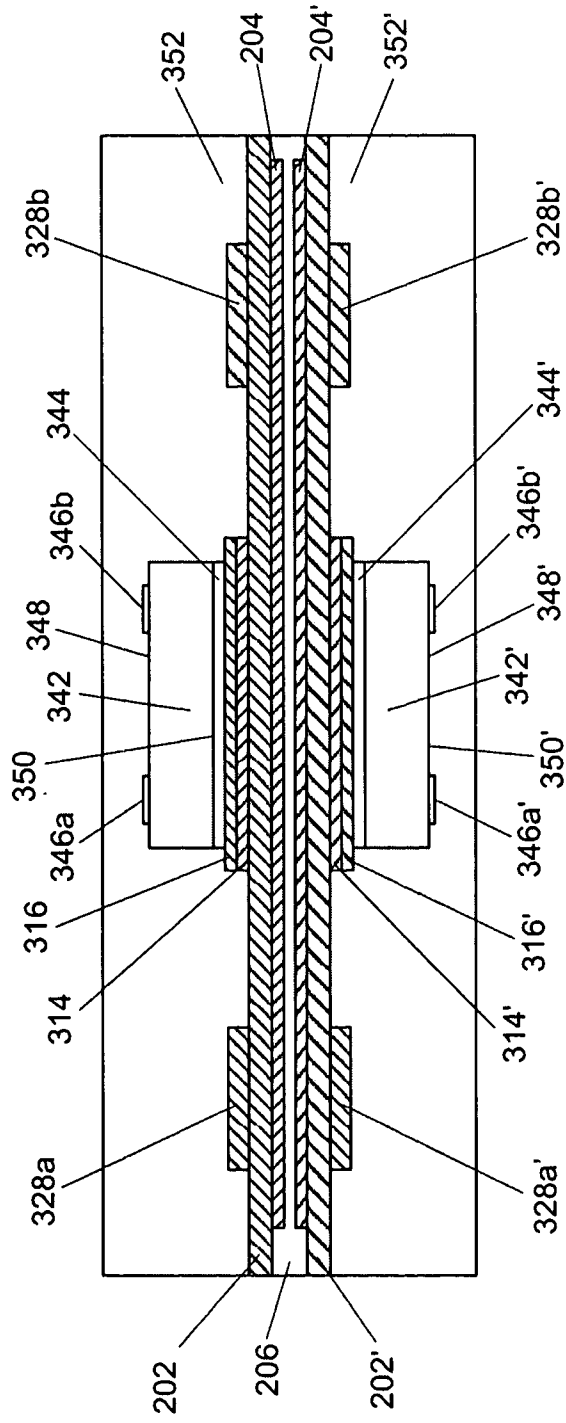
+



第 16 圖

+

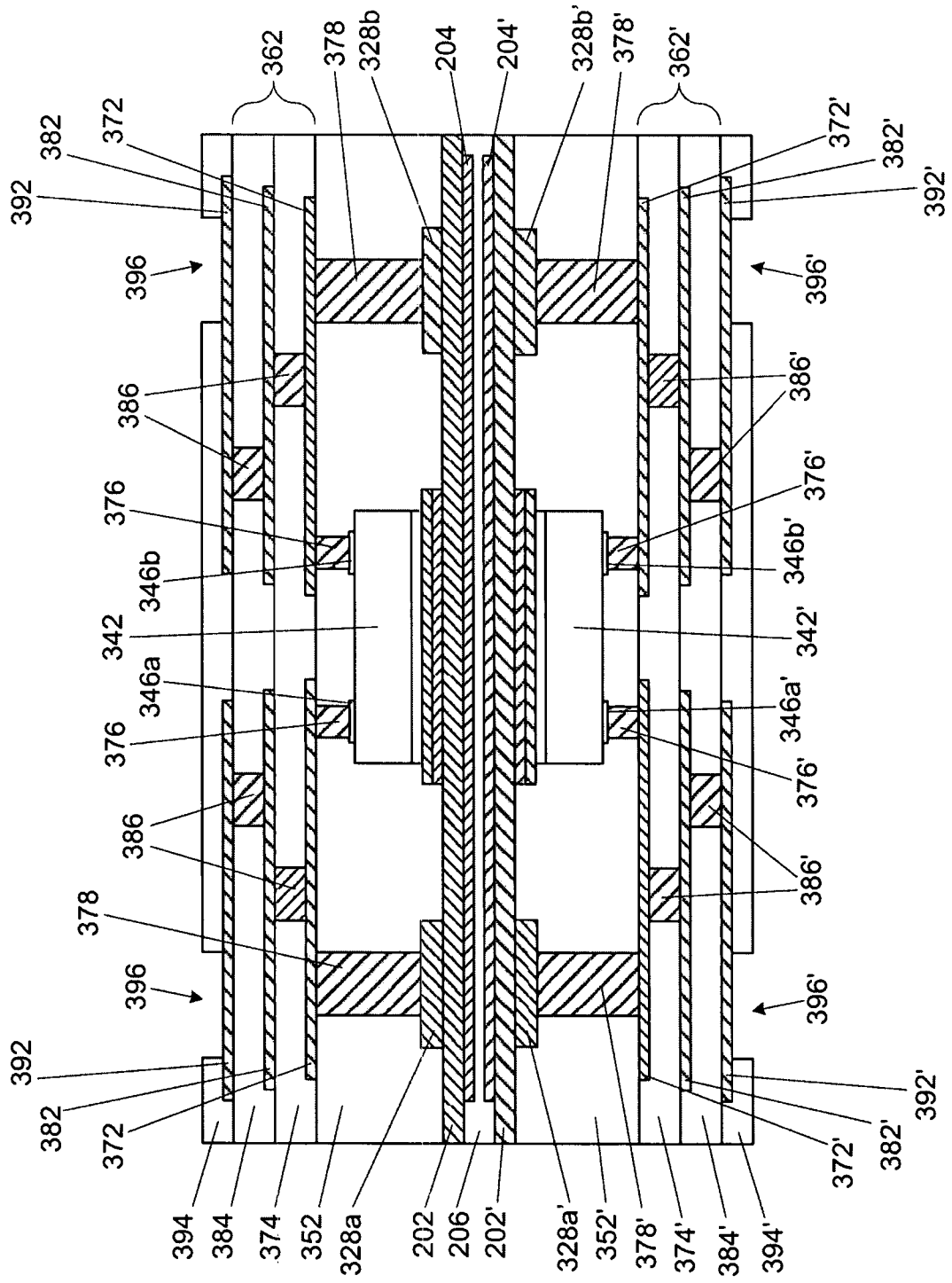
+



第 17 圖

+

+

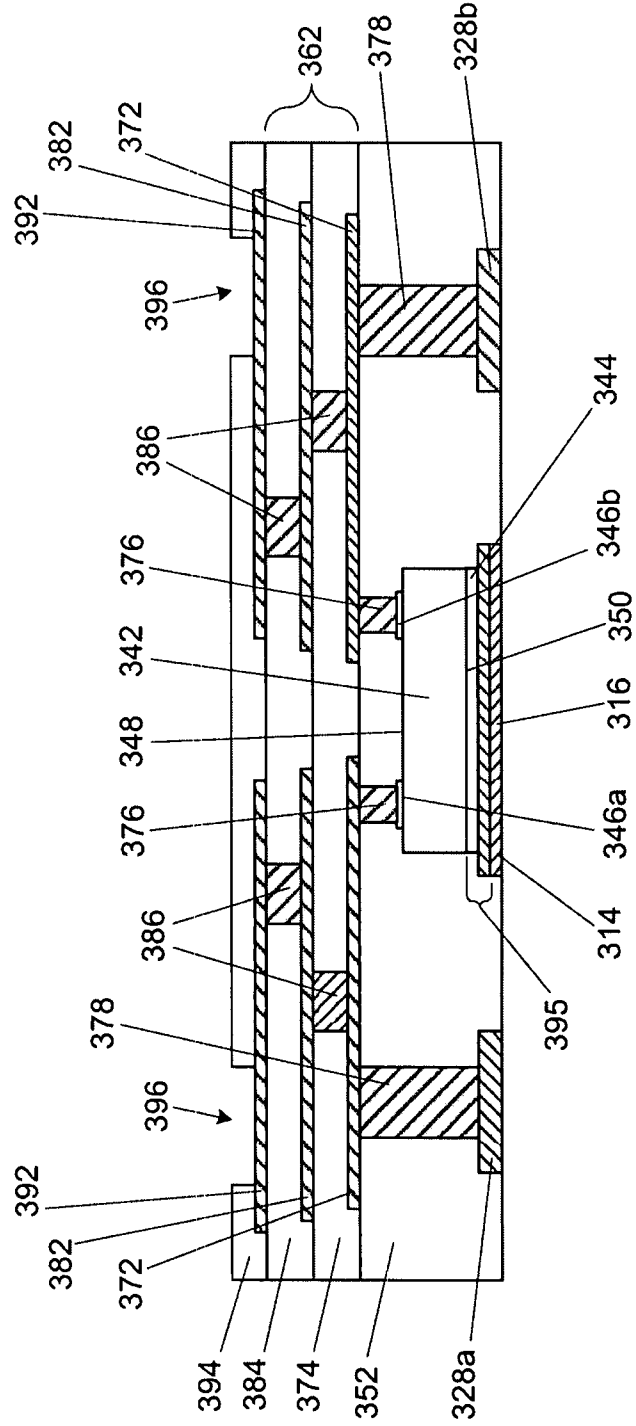


第 18 圖

+

+





第 20 圖

+

+