



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 11 2005 000 745 T5** 2007.02.22

(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2005/098868**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2005 000 745.6**
(86) PCT-Aktenzeichen: **PCT/JP2005/005547**
(86) PCT-Anmeldetag: **25.03.2005**
(87) PCT-Veröffentlichungstag: **20.10.2005**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **22.02.2007**

(51) Int Cl.⁸: **G11C 29/00** (2006.01)
G01R 31/28 (2006.01)

(30) Unionspriorität:
2004-111494 05.04.2004 JP
(71) Anmelder:
Advantest Corporation, Tokio/Tokyo, JP

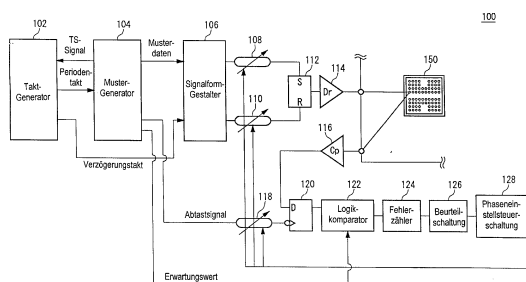
(74) Vertreter:
**RA u. PA Volkmar Tetzner; PA Michael Tetzner; RA
Thomas Tetzner, 81479 München**

(72) Erfinder:
Sato, Shinya, Tokio/Tokyo, JP

(54) Bezeichnung: **Testgerät, Phaseneinstellverfahren und Speichersteuerung**

(57) Hauptanspruch: Testgerät zum Testen von Speicherprüflingen, umfassend:

einen Taktkomparator zum Erlangen eines Ausgabewerts eines Ausgabesignals, das vom Speicherprüfling ausgegeben wird, mit dem Takt eines Abtastsignals;
einen Logikkomparator zum Vergleichen des Ausgabewerts, der durch den Taktkomparator erlangt wird, mit einem Erwartungswert, der im Vorhinein erzeugt wird, und zum Ausgeben des Vergleichsergebnisses; und
eine Phaseneinstellsteuerschaltung zum Einstellen des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird.



Beschreibung

Technisches Gebiet

[0001] Die vorliegende Erfindung betrifft ein Testgerät, ein Phaseneinstellverfahren und eine Speichersteuerung. Um genau zu sein, die vorliegende Erfindung betrifft ein Testgerät zum Testen eines Speicherprüflings, ein Phaseneinstellverfahren zum Einstellen einer Einstellzeit eines Ausgabesignals, das vom Speicherprüfling ausgegeben wird, und eines Abtastsignals und eine Speichersteuerung zum Steuern des Schreibens/Lesens von Daten in den/aus dem Speicher. Der Inhalt der unten angegebenen Patentanmeldung wird hierin, wenn anwendbar, durch Inbezugnahme übernommen: Japanische Patentanmeldung Nr. 2004-111494, eingereicht am 5. April 2004.

Technischer Hintergrund

[0002] [Fig. 12](#) zeigt eine Konfiguration eines herkömmlichen Testgeräts **10**. Das Testgerät **10** ist mit variablen Verzögerungsschaltungen **12**, **14**, **22**, **24**, **32** und **42**, SR-Auffangregister **16** und **26**, Treiber **18** und **28**, Pegelkomparator **30** und **40** und Taktkomparatoren **34** und **44**.

[0003] Das SR-Auffangregister **16** erzeugt auf der Grundlage eines Einstellsignals, das durch die variable Verzögerungsschaltung **12** wird, und eines Rückstellsignals, das durch die variable Verzögerungsschaltung **14** verzögert wird, ein Testmuster und gibt es aus und führt das Signal über den Treiber **18** einem Speicherprüfling **50** zu. Das SR-Auffangregister **26** erzeugt auf der Grundlage eines Einstellsignals, das durch die variable Verzögerungsschaltung **22** wird, und eines Rückstellsignals, das durch die variable Verzögerungsschaltung **24** verzögert wird, ein Testmuster und gibt es aus und führt das Signal über den Treiber **28** dem Speicherprüfling **50** zu. Der Taktkomparator **34** empfängt vom Speicherprüfling **50** über den Pegelkomparator **30** ein Ausgabesignal und tastet einen Ausgabewert auf der Grundlage eines Abtastsignals ab, das durch die variable Verzögerungsschaltung **32** verzögert wird. Der Taktkomparator **44** empfängt vom Speicherprüfling **50** über den Pegelkomparator **40** ein Ausgabesignal und tastet einen Ausgabewert auf der Grundlage eines Abtastsignals ab, das durch die variable Verzögerungsschaltung **42** verzögert wird.

[0004] Dann vergleicht ein Logikkomparator die Ausgabewerte, die durch die Taktkomparatoren **34** und **44** abgetastet werden, mit einem Erwartungswert, der im Vorhinein erzeugt wird. Das Testgerät **10** beurteilt die Eignung des Speicherprüflings **50** auf der Grundlage des Vergleichsergebnisses des Logikkomparators.

[0005] Vor dem Ausführen des Tests des Speicherprüflings **50** wird im Testgerät **10** die folgende Phaseneinstellung durchgeführt. Zuerst werden die Verzögerungen der variablen Verzögerungsschaltungen **12** und **14** so eingestellt, dass Phasen der Testmustersignale, die von den Treibern **18** und **28** ausgegeben werden, an Anschlüssen des Speicherprüflings aufeinander abgestimmt werden. Noch weiter werden die Verzögerungen der variablen Verzögerungsschaltungen **32** und **42** so eingestellt, dass die Ausgabesignale, die vom Speicherprüfling **50** in der gleichen Phase ausgegeben werden, durch die Taktkomparatoren **34** und **44** akkurat abgetastet werden.

[0006] Da der Anmelder der Erfindung derzeit keine Kenntnis über die Existenz irgendeines Dokuments betreffend den Stand der Technik besitzt, wird hier die Beschreibung betreffend das Dokument zum Stand der Technik weggelassen.

Offenbarung der Erfindung

Durch die Erfindung zu lösende Probleme

[0007] Bei der Phaseneinstellung im herkömmlichen Testgerät **10** werden die Verzögerungen der variablen Verzögerungsschaltungen **12** und **14** so eingestellt, dass die Phasen der Testmustersignale, die von den Treibern **18** und **28** ausgegeben werden, an den Anschlüssen des Speicherprüflings **50** aufeinander abgestimmt. Deshalb wird es beim Testen des Speicherprüflings **50**, der bei sehr hohen Frequenzen arbeitet, infolge der Dispersion des Ausgabetakts des Ausgabesignals des Speicherprüflings **50** und der Dispersion des Takts der Taktkomparatoren **34** und **44** zum Empfangen des Abtastsignals schwierig, gleichzeitig das Ausgabesignal korrekt abzutasten, das aus dem Speicherprüfling **50** ausgegeben wird. Noch mehr wird eine enorme Zeitdauer benötigt, womit der Durchsatz des Tests abfällt, wenn die Phaseneinstellung des Abtastsignals jedes Mal gemacht werden muss, wenn der Speicherprüfling **50** montiert wird, um die Dispersion des Takts der Taktkomparatoren **34** und **44** zum Empfangen des Abtastsignals zu unterdrücken.

[0008] Demgemäß ist es eine Aufgabe der Erfindung, ein Testgerät bereitzustellen, das in der Lage ist, die obigen Probleme zu lösen. Diese Aufgabe kann durch die Kombination der Merkmale gelöst werden, die in den unabhängigen Ansprüchen der Erfindung beschrieben werden. Abhängige Ansprüche davon geben bevorzugte Ausführungsbeispiele der Erfindung an.

Mittel zur Lösung der Probleme

[0009] Das heißt, gemäß einem ersten Gesichtspunkt der Erfindung umfasst ein Testgerät zum Testen von Speicherprüflingen, einen Taktkomparator

zum Erlangen eines Ausgabewerts eines Ausgabesignals, das vom Speicherprüfling ausgegeben wird, mit dem Takt eines Abtastsignals, ferner einen Logikkomparator zum Vergleichen des Ausgabewerts, der durch den Taktkomparator erlangt wird, mit einem Erwartungswert, der im Vorhinein erzeugt wird, und zum Ausgeben des Vergleichsergebnisses, und ferner eine Phaseneinstellsteuerschaltung zum Einstellen des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird.

[0010] Das Testgerät kann darüber hinaus eine erste variable Verzögerungsschaltung zum Verzögern des Abtastsignals und zum Zuführen des Signals zum Taktkomparator umfassen und die Phaseneinstellsteuerschaltung kann die Verzögerung, die durch die erste variable Verzögerungsschaltung bewirkt wird, auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird, einstellen.

[0011] Das Testgerät kann darüber hinaus einen Fehlerzähler zum Zählen einer Zahl von Fehlerdaten, die vom Logikkomparator als das Vergleichsergebnis ausgegeben werden, und zum Indizieren, dass der Ausgabewert nicht mit dem Erwartungswert übereinstimmt, und ferner eine Beurteilungsschaltung zum Vergleichen der Zahl von Fehlerdaten, die durch den Fehlerzähler gezählt werden, mit einem Beurteilungswert, der im Vorhinein eingestellt wird, und zum Ausgeben eines Beurteilungsergebnisses, umfassen. und die Phaseneinstellsteuerschaltung kann die Verzögerung, die durch die erste variable Verzögerungsschaltung bewirkt wird, auf der Grundlage des Beurteilungsergebnisses einstellen, welches von der Beurteilungsschaltung ausgegeben wird.

[0012] Die Phaseneinstellsteuerschaltung kann die Verzögerung bestimmen, die durch die erste variable Verzögerungsschaltung bewirkt und durch Binärdaten der Reihe nach ab dem oberen Bit repräsentiert wird, durch Binärsuche auf der Grundlage des Beurteilungsergebnisses, das von der Beurteilungsschaltung ausgegeben wird.

[0013] Das Testgerät kann darüber hinaus ein SR-Auffangregister, um ein Testmustersignal mit dem Takt eines Einstellsignals ansteigen zu lassen und das Testmustersignal mit dem Takt eines Rückstellsignals abfallen zu lassen und um das Testmustersignal dem Speicherprüfling zuzuführen, ferner eine zweite variable Verzögerungsschaltung zum Verzögern und Zuführen des Einstellsignals zum SR-Auffangregister, ferner eine dritte variable Verzögerungsschaltung zum Verzögern und Zuführen des Rückstellsignals zum SR-Auffangregister umfassen und der Taktkomparator kann den Ausgabewert des Ausgabesignals, das vom Speicherprüfling entsprechend

dem Testmustersignal wird, mit dem Takt des Abtastsignals erlangen, das mit dem internen Takt des Speicherprüflings synchronisiert ist, der Logikkomparator kann den Ausgabewert, der durch den Taktkomparator erhalten wird, mit dem Erwartungswert vergleichen und das Vergleichsergebnis ausgeben, und die Phaseneinstellsteuerschaltung kann die Verzögerung, die durch die zweite und dritte variable Verzögerungsschaltung bewirkt wird, auf der Grundlage des Vergleichsergebnisses einstellen, welches vom Logikkomparator ausgegeben wird.

[0014] Das Testgerät kann darüber hinaus einen Temperaturerfassungsabschnitt zum Erfassen von Änderungen der Temperatur des Speicherprüflings oder Änderungen der Temperatur um den Speicherprüfling und einen Rekalibrierungssteuerabschnitt umfassen, zum wiederholten Einstellen des Takts des Abtastsignals, wenn die durch den Temperaturerfassungsabschnitt erfasste Änderung der Temperatur eine Temperaturänderung überschreitet, die im Vorhinein eingestellt wird.

[0015] Das Testgerät kann darüber hinaus einen Rekalibrierungsintervallsteuerabschnitt zum Messen eines Zeitintervall umfassen, während dessen der Takt des Abtastsignals wiederholt auf der Grundlage Vergleichsergebnisses eingestellt werden sollte, das vom Logikkomparator pro verstrichener Zeit ausgegeben wird, wenn Daten kontinuierlich in den/aus dem Speicherprüfling geschrieben/ausgelesen werden.

[0016] Gemäß einem zweiten Gesichtspunkt der Erfindung umfasst ein Phaseneinstellverfahren zum Einstellen des Takts eines Ausgabesignals, das von einem Speicherprüfling ausgegeben wird, und eines Abtastsignals, einen Schritt zur Erlangung eines Ausgabewerts des Ausgabesignals, das vom Speicherprüfling ausgegeben wird, mit dem Takt des Abtastsignals, ferner einen Schritt des Vergleichens des erlangten Ausgabewerts mit einem Erwartungswert, der im Vorhinein eingestellt wird, und des Ausgebens des Vergleichsergebnisses, und ferner einen Schritt des Einstellens des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses.

[0017] Das Phaseneinstellverfahren kann darüber hinaus einen Langsamschreibeschritt des Schreibens eines Testmustersignals in den Speicherprüfling mit geringer Geschwindigkeit beinhalten, ferner einen ersten Schnellleseschritt des Lesens des Ausgabesignals entsprechend dem Testmustersignal aus dem Speicherprüfling mit hoher Geschwindigkeit, und der Schritt zur Erlangung des Ausgabewerts kann einen Schritt des Erlangens des Ausgabewerts des Ausgabesignals, das im ersten Schnellleseschritt ausgelesen wird, mit dem Takt des Abtastsignals beinhalten.

[0018] Der Langsamschreibeschritt kann einen Schritt des Schreibens des Testmustersignals über Abtast-Eingabe-/Ausgabeanschlüsse des Speicherprüflings beinhalten und der erste Schnellleseschritt kann einen Schritt des Lesens des Testmustersignals aus Dateneingabe-/ausgabeanschlüssen des Speicherprüflings beinhalten.

[0019] Das Phaseneinstellverfahren kann darüber hinaus einen Schnellschreibeschritt des Steigerns eines Testmustersignals mit dem Takt eines Einstellsignals, des Abfallens des Testmustersignals mit dem Takt eines Rückstellsignals und des Schreibens des Testmustersignals in den Speicherprüfling mit hoher Geschwindigkeit, ferner einen zweiten Schnellleseschritt des Lesens des Ausgabesignals entsprechend dem Testmustersignal aus dem Speicherprüfling mit hoher Geschwindigkeit, ferner einen Schritt des Erlangens des Ausgabewerts des Ausgabesignals, das im zweiten Schnellleseschritt ausgelesen wird, mit dem Takt des Abtastsignals, ferner einen Schritt des Vergleichens des erhaltenen Ausgabewerts mit dem Erwartungswert, der im Vorhinein eingestellt wird, und des Ausgebens des Vergleichsergebnisses und ferner einen Schritt des Einstellens des Takts des Einstell- und des Rückstellsignals auf der Grundlage des Vergleichsergebnisses umfassen.

[0020] Der Schnellschreibeschritt kann einen Schritt des Schreibens des Testmustersignals aus den Dateneingabe-/ausgabeanschlüssen des Speicherprüflings beinhalten und der zweite Schnellleseschritt kann einen Schritt des Lesens des Testmustersignals aus den Dateneingabe-/ausgabeanschlüssen des Speicherprüflings beinhalten.

[0021] Gemäß einem dritten Gesichtspunkt der Erfindung umfasst eine Speichersteuerung zum Steuern von Datenschreib- und -leseoperationen eines Speichers einen Taktkomparator zum Erlangen eines Ausgabewerts eines Ausgabesignals, das vom Speicher ausgegeben wird, mit dem Takt eines Abtastsignals, ferner einen Logikkomparator zum Vergleichen des Ausgabewerts, der durch den Taktkomparator erlangt wird, mit einem Erwartungswert, der im Vorhinein eingestellt wird, und zum Ausgeben eines Vergleichsergebnisses, ferner eine Phaseneinstellsteuerschaltung zum Einstellen des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird, ferner einen Temperaturerfassungsabschnitt zum Erfassen der Temperatur des Speicherprüflings oder Änderungen der Temperatur um den Speicherprüfling und ferner einen Rekalibrierungssteuerabschnitt zum wiederholten Einstellen des Takts des Abtastsignals, wenn die durch den Temperaturerfassungsabschnitt erfasste Änderung der Temperatur eine Temperaturänderung überschreitet, die im Vorhinein eingestellt wird.

[0022] Gemäß einem vierten Gesichtspunkt der Erfindung umfasst die Speichersteuerung zum Steuern von Datenschreib- und -leseoperationen eines Speichers einen Taktkomparator zum Erlangen eines Ausgabewerts eines Ausgabesignals, das vom Speicher ausgegeben wird, mit dem Takt eines Abtastsignals, ferner einen Logikkomparator zum Vergleichen des Ausgabewerts, der durch den Taktkomparator erlangt wird, mit einem Erwartungswert, der im Vorhinein eingestellt wird, und zum Ausgeben eines Vergleichsergebnisses, ferner eine Phaseneinstellsteuerschaltung zum Einstellen des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird, und ferner einen Rekalibrierungsintervallsteuerabschnitt zum Messen eines Zeitintervall umfasst, während dessen der Takt des Abtastsignals wiederholt auf der Grundlage Vergleichsergebnisses eingestellt werden sollte, das vom Logikkomparator pro verstrichener Zeit ausgegeben wird, wenn Daten kontinuierlich in den/aus dem Speicher geschrieben oder ausgelesen werden.

[0023] Es wird darauf hingewiesen, dass die oben beschriebene Kurzfassung der Erfindung nicht unbedingt alle notwendigen Merkmale der Erfindung beschreibt.

Wirkung der Erfindung

[0024] Der Speicherprüfling, der Daten mit hoher Geschwindigkeit sendet/empfängt, kann durch das erfinderische Testgerät akkurat getestet werden.

Kurze Beschreibung der Zeichnung

[0025] [Fig. 1](#) ist eine Darstellung, die eine exemplarische Konfiguration eines Testgeräts **100** zeigt.

[0026] [Fig. 2](#) ist eine Darstellung, die eine exemplarische Konfiguration einer Beurteilungsschaltung **126** zeigt.

[0027] [Fig. 3](#) ist eine Darstellung, die eine exemplarische Konfiguration einer Phaseneinstellsteuerschaltung **128** zeigt.

[0028] [Fig. 4](#) ist eine Darstellung, die eine exemplarische Operation der Phaseneinstellsteuerschaltung **128** zeigt.

[0029] [Fig. 5](#) ist ein Schaubild, das einen exemplarischen Ablauf eines Testverfahrens zeigt.

[0030] [Fig. 6](#) ist ein Schaubild, das einen exemplarischen Ablauf eines Verfahrens zur Phaseneinstellung zeigt.

[0031] [Fig. 7](#) ist eine Darstellung, die ein Beispiel eines Treibers **114** zeigt.

[0032] **Fig. 8** ist eine Darstellung, die ein Beispiel des Treibers **114** zeigt.

[0033] **Fig. 9** ist eine Darstellung, die eine exemplarische Variation der Konfiguration eines Phaseneinstellregisters zeigt.

[0034] **Fig. 10** ist eine Darstellung, die eine exemplarische Konfiguration eines Speichersteuersystems **1000** zeigt.

[0035] **Fig. 11** ist eine Darstellung, die eine Konfiguration eines herkömmlichen Testgeräts **10** zeigt.

Bester Modus zur Ausführung der Erfindung

[0036] Es werden Ausführungsbeispiele der Erfindung beschrieben, die nicht dazu gedacht sind, den Umfang der Erfindung einzuschränken, sondern die Erfindung zu beispielhaft darzulegen. Alle in den Ausführungsbeispielen beschriebenen Merkmale und Kombinationen davon sind nicht unbedingt notwendig für die Erfindung.

[0037] **Fig. 1** ist eine Darstellung, die eine exemplarische Konfiguration eines Testgeräts **100** zeigt. Das Testgerät **100** ist mit einem Taktgenerator **102**, einem Mustergenerator **104**, einem Signalformgestalter **106**, einer variablen Verzögerungsschaltung **108**, einer variablen Verzögerungsschaltung **110**, einem SR-Auffangregister **112**, einem Treiber **114**, einem Pegelkomparator **116**, einer variablen Verzögerungsschaltung **118**, einem Taktkomparator **120**, einem Logikkomparator **122**, einem Fehlerzähler **124**, einer Beurteilungsschaltung **126** und einer Phaseneinstellungssteuerschaltung **128** ausgestattet.

[0038] Das Testgerät **100** des vorliegenden Ausführungsbeispiels bezweckt die Realisierung einer Datenübertragung/eines Datenempfangs mit hoher Geschwindigkeit zwischen dem Testgerät **100** und einem Speicherprüfling **150** durch Einstellen der Phase eines Testdatensignals, das an den Speicherprüfling **150** anzulegen ist, und der Phase eines Abtastsignals zum Erhalten eines Ausgabewerts eines Ausgabesignals, das aus dem Speicherprüfling **150** pro Anschluss des Speicherprüflings **150** ausgegeben wird.

[0039] Zuerst wird eine Operation des Testgeräts **100** zum Testen des Speicherprüflings **150** beschrieben werden. Der Mustergenerator **104** gibt ein Takteinstellsignal (im Folgenden als „TS-Signal“ bezeichnet) aus und führt es dem Taktgenerator **102** zu. Auf der Grundlage von Taktdaten, die durch das TS-Signal spezifiziert werden, erzeugt der Taktgenerator **102** Perioden- und Verzögerungstakte und führt den Periodentakt dem Mustergenerator **104** und den Verzögerungstakt dem Signalformgestalter **106** zu. Dann erzeugt der Mustergenerator **104** auf der Grundlage des vom Taktgenerator **102** zugeführten

Periodentakts Musterdaten, die dem Speicherprüfling **150** zuzuführen sind, und führt die Daten dem Signalformgestalter **106** zu.

[0040] Auf der Grundlage des vom Taktgenerator **102** zugeführten Verzögerungstakts gibt der Signalformgestalter **106** Einstell- und Rückstellsignale aus, um ein Testmustersignal, das durch die Musterdaten spezifiziert wird, die durch den Mustergenerator **104** erzeugt wird, in eine Signalform mit erforderlichem Takt zu formen. Die variable Verzögerungsschaltung **108** verzögert das Einstellsignal, das vom Signalformgestalter **106** ausgegeben wird, um eine Verzögerung, die im Vorhinein durch die Phaseneinstellsteuerschaltung **128** eingestellt wird, und führt das Signal dem SR-Auffangregister **112** zu. Des Weiteren verzögert die variable Verzögerungsschaltung **110** das Rückstellsignal, das vom Signalformgestalter **106** ausgegeben wird, um eine Verzögerung, die im Vorhinein durch die Phaseneinstellsteuerschaltung **128** eingestellt wird, und führt das Signal dem SR-Auffangregister **112** zu. Dann lässt das SR-Auffangregister **112** das Testmustersignal mit dem Takt des von der variablen Verzögerungsschaltung **108** zugeführten Einstellsignals ansteigen und lässt das Testmustersignal mit dem Takt des von der variablen Verzögerungsschaltung **110** zugeführten Rückstellsignals abfallen und führt das Signal über den Treiber **114** zu.

[0041] Der Mustergenerator **104** erzeugt zudem ein Abtastsignal zum Spezifizieren des Takts des Taktkomparators **120** zum Abtasten des Ausgabesignals, das vom Speicherprüfling **150** ausgegeben wird. Die variable Verzögerungsschaltung **118** verzögert das vom Mustergenerator **104** erzeugte Abtastsignal um eine Verzögerung, die im Vorhinein durch die Phaseneinstellsteuerschaltung **128** eingestellt wird, und führt das Signal dem Taktkomparator **120** zu. Der Taktkomparator **120** empfängt einen Ausgabewert des Ausgabesignals des Speicherprüflings **150**, das aus dem Speicherprüfling **150** ausgegeben und durch den Pegelkomparator **116** in Binärdaten konvertiert wird, mit dem Takt des Abtastsignals, das von der variablen Verzögerungsschaltung **118** zugeführt wird.

[0042] Darüber hinaus erzeugt der Mustergenerator **104** einen Erwartungswert, der ein Ausgabewert des Ausgabesignals ist, das vom Speicherprüfling **150** gemäß dem Testmustersignal auszugeben ist, und führt den Wert dem Logikkomparator **122** zu. Dann vergleicht der Logikkomparator **122** den Ausgabewert, der durch den Taktkomparator **120** erhalten wird, mit dem Erwartungswert, der im Vorhinein durch den Mustergenerator **104** erzeugt wird, und gibt das Vergleichsergebnis aus. Die Eignung des Speicherprüflings **150** wird auf der Grundlage des vom Logikkomparator **122** ausgegebenen Vergleichsergebnisses beurteilt.

[0043] Als nächstes wird eine Operation des Testgeräts **100** zur Einstellung der Phasen des Datensignals und des Abtastsignals erläutert werden. Ähnlich zur oben beschriebenen Testoperation erhält der Taktkomparator **120** den Ausgabewert des Ausgabesignals, das vom Speicherprüfling **150** ausgegeben wird, mit dem Takt des Abtastsignals, das von der variablen Verzögerungsschaltung **118** zugeführt wird. Dann vergleicht der Logikkomparator **122** den vom Taktkomparator **120** erhaltenen Ausgabewert mit dem Erwartungswert und gibt das Vergleichsergebnis aus. Um genau zu sein, der Logikkomparator **122** gibt Fehlerdaten aus, wenn der Ausgabewert mit dem Erwartungswert übereinstimmt und führt die Daten dem Fehlerzähler **124** zu. Dann zählt der Fehlerzähler **124** eine Zahl von Fehlerdaten, die vom Logikkomparator **122** als Vergleichsergebnis ausgegeben werden und indizieren, dass der Ausgabewert nicht mit dem Erwartungswert übereinstimmt. Die Beurteilungsschaltung **126** vergleicht die Zahl von Fehlerdaten, die durch den Fehlerzähler gezählt wird, mit einem Beurteilungswert, der im Vorhinein eingestellt wird, und gibt das Beurteilungsergebnis aus. Auf der Grundlage des Beurteilungsergebnisses, das von der Beurteilungsschaltung **126** ausgegeben wird, stellt die Phaseneinstellsteuerschaltung **128** die durch die variable Verzögerungsschaltung **118** bewirkte Verzögerung ein. Das heißt, die Phaseneinstellsteuerschaltung **128** stellt den Takt des Abtastsignals, das dem Taktkomparator **120** zugeführt wird, durch Einstellen der durch die variable Verzögerungsschaltung **118** bewirkte Verzögerung auf der Grundlage des vom Vergleichsergebnisses ein, das vom Logikkomparator **122** ausgegeben wird. Um genau zu sein, die Phaseneinstellsteuerschaltung **128** stellt einen Einstellwert eines Phaseneinstellregisters der variablen Verzögerungsschaltung **118** ein.

[0044] Der Taktkomparator **120** erhält zudem den Ausgabewert des Ausgabesignals, das vom Speicherprüfling **150** entsprechend dem Testmustersignal ausgegeben wird, mit dem Takt des Abtastsignals, das mit einem internen Takt des Speicherprüflings **150** synchronisiert ist. Dann vergleicht der Logikkomparator **122** den vom Taktkomparator **120** erhaltenen Ausgabewert mit dem Erwartungswert und gibt das Vergleichsergebnis aus. Um genau zu sein, der Logikkomparator **122** gibt Fehlerdaten aus, wenn der Ausgabewert mit dem Erwartungswert übereinstimmt und führt die Daten dem Fehlerzähler **124** zu. Dann zählt der Fehlerzähler **124** eine Zahl von Fehlerdaten, die vom Logikkomparator **122** als Vergleichsergebnis ausgegeben werden und indizieren, dass der Ausgabewert nicht mit dem Erwartungswert übereinstimmt. Die Beurteilungsschaltung **126** vergleicht die Zahl von Fehlerdaten, die durch den Fehlerzähler gezählt wird, mit einem Beurteilungswert, der im Vorhinein eingestellt wird, und gibt das Beurteilungsergebnis aus. Auf der Grundlage des Beurteilungsergebnisses, das von der Beurteilungsschaltung **126**

ausgegeben wird, stellt die Phaseneinstellsteuerschaltung **128** die durch die variablen Verzögerungsschaltungen **108** und **110** bewirkte Verzögerung ein. Das heißt, auf der Grundlage des vom Logikkomparator **122** ausgegebenen Vergleichsergebnisses stellt die Phaseneinstellsteuerschaltung **128** den Takt des Einstell- und des Rückstellsignals, die dem SR-Aufgangregister **112** zuzuführen sind, durch Einstellen der durch die variablen Verzögerungsschaltungen **108** und **110** bewirkte Verzögerung ein. Um genau zu sein, die Phaseneinstellsteuerschaltung **128** stellt Einstellwerte der Phaseneinstellregister der variablen Verzögerungsschaltungen **108** und **110** ein.

[0045] Wie es oben beschrieben wurde, kann der Ausgabewert des Ausgabesignals, das vom Speicherprüfling **150** ausgegeben wird, akkurat in der Teststufe durch Einstellen der Phasen des Abtastsignals sowie der Einstell- und Rückstellsignale durch Nutzung des tatsächlich aus dem Speicherprüfling **150** in der Phaseneinstellstufe ausgegeben Ausgabesignals abgetastet werden. Demgemäß kann der Speicherprüfling **150**, der Daten mit hoher Geschwindigkeit überträgt/empfängt, akkurat getestet werden.

[0046] [Fig. 2](#) ist eine Darstellung, die eine exemplarische Konfiguration der Beurteilungsschaltung **126** des ersten Ausführungsbeispiels. Die Beurteilungsschaltung **126** weist ein Beurteilungswertregister **200** und einen Zählwertkomparator **202** auf. Das Beurteilungswertregister **200** speichert Werte im Vorhinein und führt den Wert dem Zählwertkomparator **202** zu. Der Beurteilungswert ist beispielsweise die Hälfte einer Häufigkeit von Vergleichen, die durch den Logikkomparator **122** in der Phaseneinstellstufe ausgeführt werden. Der Zählwertkomparator **202** erhält den Zählwert, der die Zahl der Fehlerdaten ist, die durch den Fehlerzähler **124** gezählt werden, aus dem Fehlerzähler **124** und vergleicht, ob er größer oder kleiner als der Beurteilungswert ist, der vom Beurteilungswertregister **200** zugeführt wird. Dann gibt der Zählwertkomparator **202** als Beurteilungsergebnis ein Bestehens-Versagens-Signal aus und führt das Signal der Phaseneinstellsteuerschaltung **128** zu. Beispielsweise gibt der Zählwertkomparator **202** „1“ als Bestehensdaten aus, wenn der Zählwert kleiner als der Beurteilungswert ist, und gibt „0“ als Versagensdaten aus, wenn der Zählwert größer als der Beurteilungswert ist. Es wird darauf hingewiesen, dass der Zählwertkomparator **202** „0“ als Bestehensdaten ausgeben kann, wenn der Zählwert kleiner als der Beurteilungswert ist, und „1“ als Versagensdaten ausgeben kann, wenn der Zählwert größer als der Beurteilungswert ist.

[0047] [Fig. 3](#) zeigt eine exemplarische Konfiguration der Phaseneinstellsteuerschaltung **128**. Es wird darauf hingewiesen, dass in [Fig. 3](#) ein Fall erläutert werden wird, bei dem die Phaseneinstellregister der variablen Verzögerungsschaltungen **108**, **110** und

118 solche von vier Bit sind. Darüber hinaus weist die Phaseneinstellsteuerschaltung **128** die in [Fig. 3](#) gezeigten Komponenten entsprechend einer jeden der variablen Verzögerungsschaltungen **108**, **110** und **118** auf. Obwohl beim vorliegenden Ausführungsbeispiel ein Fall des Realisierens der Phaseneinstellsteuerschaltung **128** durch eine Hardwareschaltung erläutert werden wird, können die gleichen Funktionen durch eine Software realisiert werden.

[0048] Die Phaseneinstellsteuerschaltung **128** weist Bitwahlregister **300**, **302**, **304**, **306** und **308**, UND-Schaltungen **310**, **312**, **314**, **316**, **318**, **320**, **322**, **324**, **326**, **328**, **330**, **332**, **334**, **336**, **338**, **340**, **342**, und **344**, ODER-Schaltungen **350**, **352**, **354**, **356**, **358** und **360** und Phaseneinstellregister **370**, **372**, **374** und **376** auf.

[0049] Die Bitwahlregister **300**, **302**, **304**, **306** und **308** sowie die Phaseneinstellregister **370**, **372**, **374** und **376** halten Anfangseinstellwerte fest. Um genau zu sein, die Bitwahlregister **300** und **302** halten „1“ fest. Die Bitwahlregister **304**, **306** und **308** halten „0“ fest. Darüber hinaus hält das Phaseneinstellregister **370** „1“ fest. Die Phaseneinstellregister **372**, **374** und **376** halten „0“ fest.

[0050] Auf der Grundlage eines Kalibrierungseinstellsignals führt das Bitwahlregister **300** den UND-Schaltungen **310** und **312** sowie dem Bitwahlregister **302** festgehaltene Bitdaten zu. Auf der Grundlage des Kalibrierungseinstellsignals führt das Bitwahlregister **302** den UND-Schaltungen **310**, **312**, **314** und **316** sowie dem Bitwahlregister **304** festgehaltene Bitdaten zu. Auf der Grundlage des Kalibrierungseinstellsignals führt das Bitwahlregister **304** den UND-Schaltungen **314**, **316**, **318** und **320** sowie dem Bitwahlregister **306** festgehaltene Bitdaten zu. Auf der Grundlage des Kalibrierungseinstellsignals führt das Bitwahlregister **306** den UND-Schaltungen **318**, **320** und **322** sowie dem Bitwahlregister **308** festgehaltene Bitdaten zu. Auf der Grundlage des Kalibrierungseinstellsignals führt das Bitwahlregister **308** der UND-Schaltung **322** sowie dem Bitwahlregister **308** festgehaltene Bitdaten zu.

[0051] Die Bitwahlregister **300**, **302**, **304**, **306** und **308** verschieben der Reihe nach die festgehaltenen Bitdaten und halten sie fest, jedes Mal, wenn das Kalibrierungseinstellsignal zugeführt wird. Das heißt, die Bitwahlregister **300**, **302**, **304**, **306** und **308** halten jeweils „1“, „1“, „0“, „0“ und „0“ in der Anfangseinstellung fest und halten jeweils „0“, „1“, „1“, „1“ und „0“ fest, wenn das Kalibrierungseinstellsignal zugeführt wird. Wenn das Kalibrierungseinstellsignal weiterhin zugeführt wird, halten sie jeweils „0“, „0“, „1“, „1“ und „0“ fest, und wenn das Kalibrierungseinstellsignal immer noch zugeführt wird, halten sie jeweils „0“, „0“, „0“, „1“ und „1“ fest. Die Phaseneinstellregister **370**, **372**, **374** werden der Reihe nach ausgewählt, um

Einstellwerte durch Verschieben der Bitdaten zu bestimmen, die durch die Bitwahlregister **300**, **302**, **304**, **306** und **308** festgehalten werden.

[0052] Die UND-Schaltung **310** führt eine UND-Operation an den Bitdaten, die aus dem Bitwahlregister **300** zugeführt werden, und an den Bitdaten, die aus dem Bitwahlregister **302** ausgegeben werden, aus und führt das Operationsergebnis den UND-Schaltungen **332** und **324** zu. Die UND-Schaltung **312** führt eine UND-Operation an den Bitdaten, die aus dem Bitwahlregister **300** zugeführt werden, und an den Bitdaten, die aus dem Bitwahlregister **302** ausgegeben werden, aus und führt das Operationsergebnis den UND-Schaltungen **334** und **350** zu. Die UND-Schaltung **314** führt eine UND-Operation an den Bitdaten, die aus dem Bitwahlregister **302** zugeführt werden, und an den Bitdaten, die aus dem Bitwahlregister **304** ausgegeben werden, aus und führt das Operationsergebnis der UND-Schaltung **336** und der ODER-Schaltung **350** zu. Die UND-Schaltung **316** führt eine UND-Operation an den Bitdaten, die aus dem Bitwahlregister **302** zugeführt werden, und an den Bitdaten, die aus dem Bitwahlregister **304** ausgegeben werden, aus und führt das Operationsergebnis der UND-Schaltung **338** und der ODER-Schaltung **352** zu.

[0053] Die UND-Schaltung **318** führt eine UND-Operation an den Bitdaten, die aus dem Bitwahlregister **304** zugeführt werden, und an den Bitdaten, die aus dem Bitwahlregister **306** ausgegeben werden, aus und führt das Operationsergebnis der UND-Schaltung **340** und der ODER-Schaltung **352** zu. Die UND-Schaltung **320** führt eine UND-Operation an den Bitdaten, die aus dem Bitwahlregister **304** zugeführt werden, und an den Bitdaten, die aus dem Bitwahlregister **306** ausgegeben werden, aus und führt das Operationsergebnis der UND-Schaltung **342** und der ODER-Schaltung **354** zu. Die UND-Schaltung **322** führt eine UND-Operation an den Bitdaten, die aus dem Bitwahlregister **306** zugeführt werden, und an den Bitdaten, die aus dem Bitwahlregister **308** ausgegeben werden, aus und führt das Operationsergebnis der UND-Schaltung **344** und der ODER-Schaltung **354** zu.

[0054] Die ODER-Schaltung **350** führt eine ODER-Operation an der Ausgabe der UND-Schaltung **312** und der Ausgabe der UND-Schaltung **314** aus und gibt das Operationsergebnis an die UND-Schaltung **326** aus. Die ODER-Schaltung **352** führt eine ODER-Operation an der Ausgabe der UND-Schaltung **316** und der Ausgabe der UND-Schaltung **318** aus und gibt das Operationsergebnis an die UND-Schaltung **328** aus. Die ODER-Schaltung **354** führt eine ODER-Operation an der Ausgabe der UND-Schaltung **320** und der Ausgabe der UND-Schaltung **322** aus und gibt das Operationsergebnis an die UND-Schaltung **330** aus.

[0055] Die UND-Schaltung **324** führt eine UND-Operation an der Ausgabe der UND-Schaltung **310** und am Kalibrierungseinstellsignal aus und gibt das Operationsergebnis an das Phaseneinstellregister **370** aus. Die UND-Schaltung **326** führt eine UND-Operation an der Ausgabe der ODER-Schaltung **350** und am Kalibrierungseinstellsignal aus und gibt das Operationsergebnis an das Phaseneinstellregister **372** aus. Die UND-Schaltung **328** führt eine UND-Operation an der Ausgabe der ODER-Schaltung **352** und am Kalibrierungseinstellsignal aus und gibt das Operationsergebnis an das Phaseneinstellregister **374** aus. Die UND-Schaltung **330** führt eine UND-Operation an der Ausgabe der ODER-Schaltung **354** und am Kalibrierungseinstellsignal aus und gibt das Operationsergebnis an das Phaseneinstellregister **376** aus. Das heißt, wenn das Kalibrierungseinstellsignal auf „1“ eingestellt ist, führen die UND-Schaltungen **324**, **326**, **328** und **330** das Taktsignal den Phaseneinstellregistern **370**, **372**, **374** oder **376** zu, die durch die Bitwahlregister **300**, **302**, **304**, **306** und **308** ausgewählt werden.

[0056] Die UND-Schaltung **332** führt eine UND-Operation am Bestehens-Versagens-Signal, das von der Beurteilungsschaltung **126** zugeführt wird, und an der Ausgabe der UND-Schaltung **310** aus und gibt das Operationsergebnis an das Phaseneinstellregister **370** aus. Dann gibt das Phaseneinstellregister **370** auf der Grundlage der Ausgabe der UND-Schaltung **324** die festgehaltenen Bitdaten aus und hält die Ausgabe der UND-Schaltung **332** fest.

[0057] Die UND-Schaltung **334** führt eine UND-Operation am Bestehens-Versagens-Signal, das von der Beurteilungsschaltung **126** zugeführt wird, und an den Bitdaten, die durch das Phaseneinstellregister **370** festgehalten werden, aus und gibt das Operationsergebnis an die ODER-Schaltung **356** aus. Die UND-Schaltung **332** führt eine UND-Operation am Bestehens-Versagens-Signal, das von der Beurteilungsschaltung **126** zugeführt wird, und an der Ausgabe der UND-Schaltung **314** aus und gibt das Operationsergebnis an die ODER-Schaltung **356** aus. Die ODER-Schaltung **356** führt eine ODER-Operation an der Ausgabe der UND-Schaltung **334** und an der Ausgabe der UND-Schaltung **336** aus und gibt das Operationsergebnis an das Phaseneinstellregister **372** aus. Dann gibt das Phaseneinstellregister **372** auf der Grundlage der Ausgabe der UND-Schaltung **326** die festgehaltenen Bitdaten aus und hält die Ausgabe der ODER-Schaltung **356** fest.

[0058] Die UND-Schaltung **338** führt eine UND-Operation am Bestehens-Versagens-Signal, das von der Beurteilungsschaltung **126** zugeführt wird, und an den Bitdaten, die durch das Phaseneinstellregister **372** festgehalten werden, aus und gibt das Operationsergebnis an die ODER-Schaltung **358**

aus. Die UND-Schaltung **340** führt eine UND-Operation am Bestehens-Versagens-Signal, das von der Beurteilungsschaltung **126** zugeführt wird, und an der Ausgabe der UND-Schaltung **318** aus und gibt das Operationsergebnis an die ODER-Schaltung **358** aus. Die ODER-Schaltung **358** führt eine ODER-Operation an der Ausgabe der UND-Schaltung **338** und an der Ausgabe der UND-Schaltung **340** aus und gibt das Operationsergebnis an das Phaseneinstellregister **374** aus. Dann gibt das Phaseneinstellregister **374** auf der Grundlage der Ausgabe der UND-Schaltung **328** die festgehaltenen Bitdaten aus und hält die Ausgabe der ODER-Schaltung **358** fest.

[0059] Die UND-Schaltung **342** führt eine UND-Operation am Bestehens-Versagens-Signal, das von der Beurteilungsschaltung **126** zugeführt wird, und an den Bitdaten, die durch das Phaseneinstellregister **374** festgehalten werden, aus und gibt das Operationsergebnis an die ODER-Schaltung **360** aus. Die UND-Schaltung **344** führt eine UND-Operation am Bestehens-Versagens-Signal, das von der Beurteilungsschaltung **126** zugeführt wird, und an der Ausgabe der UND-Schaltung **322** aus und gibt das Operationsergebnis an die ODER-Schaltung **360** aus. Die ODER-Schaltung **360** führt eine ODER-Operation an der Ausgabe der UND-Schaltung **342** und an der Ausgabe der UND-Schaltung **344** aus und gibt das Operationsergebnis an das Phaseneinstellregister **376** aus. Dann gibt das Phaseneinstellregister **376** auf der Grundlage der Ausgabe der UND-Schaltung **330** die festgehaltenen Bitdaten aus und hält die Ausgabe der ODER-Schaltung **358** fest.

[0060] Auf der Grundlage des Bestehens-Versagens-Signals und des Kalibrierungseinstellsignals, das von der Beurteilungsschaltung **126** zugeführt wird, halten die Phaseneinstellregister **370**, **372**, **374** und **376** in der Phaseneinstellstufe jeweils den Einstellwert von 1 Bit fest, wie es oben beschrieben wurde. Dann wird in der Stufe zum Testen des Speicherprüflings **150** die Verzögerung des Abtastsignals, die durch die variable Verzögerungsschaltung **108**, **110** oder **118** bewirkt wird, durch Zuführen des Einstellwerts an die variable Verzögerungsschaltung **108**, **110** oder **118** eingestellt.

[0061] [Fig. 4](#) zeigt eine exemplarische Operation der Phaseneinstellsteuerschaltung **128** des ersten Ausführungsbeispiels. [Fig. 4](#) erläutert ein exemplarisches Verfahren zum Einstellen der Phase des Testmustersignals durch Einstellen der Verzögerung der variablen Verzögerungsschaltung **108** und **110** durch die Beurteilungsschaltung **126**, die in [Fig. 2](#) gezeigt ist, und die Phaseneinstellsteuerschaltung **128**, die in [Fig. 3](#) gezeigt ist.

[0062] Zuerst, wenn das Testmustersignal das erste

Mal an den Speicherprüfling **150** angelegt wird, vergleicht der Logikkomparator **122** den Ausgabewert mehrere Male mit dem Erwartungswert und der Fehlerzähler **124** zählt die Zahl der Fehler. Dann, wenn der durch den Fehlerzähler **124** gezählte Zählwert kleiner ist als der Beurteilungswert, d. h. wenn das Bestehens-Versagens-Signal „1“ als Bestehensdaten ausgibt, verzögert die Phaseinstellsteuerschaltung **128** die Phase des Testmustersignals durch Steigerung der Verzögerung der variablen Verzögerungsschaltungen **108** und **110**.

[0063] Als nächstes, wenn das Testmustersignal das zweite Mal an den Speicherprüfling **150** angelegt wird, vergleicht der Logikkomparator **122** den Ausgabewert mehrere Male mit dem Erwartungswert und der Fehlerzähler **124** zählt die Zahl der Fehlerdaten. Dann, wenn der durch den Fehlerzähler **124** gezählte Zählwert größer ist als der Beurteilungswert, d. h. wenn das Bestehens-Versagens-Signal „0“ als Versagensdaten ausgibt, beschleunigt die Phaseinstellsteuerschaltung **128** die Phase des Testmustersignals durch Verminderung der Verzögerung der variablen Verzögerungsschaltungen **108** und **110**.

[0064] Dann, wenn das Testmustersignal das dritte Mal an den Speicherprüfling **150** angelegt wird, vergleicht der Logikkomparator **122** den Ausgabewert mehrere Male mit dem Erwartungswert und der Fehlerzähler **124** zählt die Zahl der Fehlerdaten. Wenn der durch den Fehlerzähler **124** gezählte Zählwert kleiner ist als der Beurteilungswert, d. h. wenn das Bestehens-Versagens-Signal „1“ als Bestehensdaten ausgibt, verzögert die Phaseinstellsteuerschaltung **128** die Phase des Testmustersignals durch Steigerung der Verzögerung der variablen Verzögerungsschaltungen **108** und **110**.

[0065] Dann, wenn das Testmustersignal das vierte Mal an den Speicherprüfling **150** angelegt wird, vergleicht der Logikkomparator **122** den Ausgabewert mehrere Male mit dem Erwartungswert und der Fehlerzähler **124** zählt die Zahl der Fehlerdaten. Dann ist der Zählwert des Fehlerzählers **124** fast ausgeglichen mit dem Beurteilungswert, der durch das Beurteilungswertregister **200** festgehalten wird, womit die Phaseinstellung beendet wird, die durch die Phaseinstellungssteuerschaltung **128** ausgeführt wird.

[0066] Das heißt, gemäß dem vorliegenden Ausführungsbeispiel bestimmt die Phaseinstellsteuerschaltung **128** die Verzögerung, die durch die variable Verzögerungsschaltung **108**, **110** oder **118** bewirkt wird, die durch Binärdaten angegeben wird, durch Suche der Reihe nach vom oberen Bit durch Binärsuche auf der Grundlage des Beurteilungsergebnisses, das von der Beurteilungsschaltung **126** ausgegeben wird. Gemäß einem anderen Ausführungsbeispiel kann die Phaseinstellsteuerschaltung **128** eine adäquate Verzögerung suchen, die durch die variablen

Verzögerungsschaltungen **108**, **110** und **118** bewirkt wird, durch Suche der Reihe nach, oder kann eine adäquate Verzögerung der variablen Verzögerungsschaltungen **108**, **110** und **118** durch Kombinieren einer Binärsuche und einer sequentiellen Suche ermitteln.

[0067] [Fig. 5](#) zeigt einen exemplarischen Ablauf des Testverfahrens des ersten Ausführungsbeispiels. Die Phaseinstellung des vorliegenden Ausführungsbeispiels wird ausgeführt, während der Speicherprüfling **150** in einem Sockel des Testgeräts **100** montiert wird. Die Phaseinstellung wird für alle Anschlüsse des Speicherprüflings **150** über eine erste Kalibrierung (S502) ausgeführt und wird für Anschlüsse für Hochgeschwindigkeitsdatenübertragungen über eine zweite Kalibrierung (S506) ausgeführt.

[0068] Zuerst wird beurteilt, ob eine Initialisierung zur Initialisierung des Taktgenerators **102**, eines Spannungs-Strom-Generators, eines Spannungs-Strom-Messgerät und anderem ausgeführt worden ist oder nicht (S500). Wenn die Initialisierung ausgeführt worden ist (S500 – Ja), wird die erste Kalibrierung pro Testbedingung ausgeführt (S502). Um eine Phasenverschiebung einzustellen, die im Signal zu jedem Anschluss bei der Initialisierung durch die variablen Verzögerungsschaltungen **108** und **110** aufgetreten ist, werden die Einstellwerte der variablen Verzögerungsschaltungen **108** und **110** bei der ersten Kalibrierung (S502) als Kalibrierungsdatei abgelegt und gespeichert. Wenn keine Initialisierung ausgeführt wird (S500 – Nein), wird die erste Kalibrierung nicht ausgeführt.

[0069] Als nächstes wird die Kalibrierungsdatei entsprechend der Testbedingung an die Phaseinstellregister der variablen Verzögerungsschaltungen **108** und **110** übertragen (S504), um eine zweite Kalibrierung auszuführen (S506). Bei der zweiten Kalibrierung (S506) wird die Phaseinstellung unter den Anschlüssen des Speicherprüflings **150** nur an Dateneingabe-/ausgabeanschlüssen und dergleichen ausgeführt, die mit Hochgeschwindigkeit arbeiten. Wenn der Speicherprüfling **150** beispielsweise ein XDR-DRAM ist, wird nur die erste Kalibrierung (S502) an den Anschlüssen wie etwa RQ 0 bis 11, CFM/CFMN, RST, CMD, SCK, SDI und SDO ausgeführt und die zweite Kalibrierung (S506) wird zusätzlich zur ersten Kalibrierung (S502) an den Anschlüssen DQ/DQN 0 bis 15 ausgeführt.

[0070] Wenn die zweite Kalibrierung (S506) beendet ist, wird der Test des Speicherprüflings **150** ausgeführt (S508). Dann wird beurteilt, ob am gleichen Speicherprüfling **150** ein anderer Test ausgeführt wird oder nicht (S510).

[0071] Wenn weiterhin der andere Test am gleichen Speicherprüfling **150** ausgeführt wird (S510 – Ja),

wird beurteilt, ob die Testbedingung geändert wird oder nicht (S512). Wenn die Testbedingung nicht geändert wird (S512 – Nein) wird in Folge der Test des Speicherprüflings **150** ausgeführt (S508). Wenn die Testbedingung geändert wird (S512 – Ja), wird die Kalibrierungsdatei entsprechend der Testbedingung an die Phaseneinstellregister der variablen Verzögerungsschaltungen **108** und **110** übertragen (S504), um die zweite Kalibrierung (S506) auszuführen.

[0072] Wenn weiter kein anderer Test am gleichen Speicherprüfling **150** ausgeführt wird (S510 – Nein), wird beurteilt, ob ein nächster Speicherprüfling **150** getestet werden soll oder nicht (S514). Wenn der nächste Speicherprüfling **150** getestet werden soll (S514 – Ja), wird die zweite Kalibrierung ausgeführt (S506). Dann, wenn die zweite Kalibrierung (S506) beendet ist, wird der Test des nächsten Speicherprüflings ausgeführt (S508). Wenn kein nächster Speicherprüfling **150** getestet werden soll (S514 – Nein), endet der Ablauf dieses Tests.

[0073] [Fig. 6](#) zeigt einen exemplarischen Ablauf des Verfahrens zur Phaseneinstellung des ersten Ausführungsbeispiels. [Fig. 6](#) erläutert den Ablauf des Verfahrens zur Phaseneinstellung bei der zweiten Kalibrierung (S506). Zuerst wird das Testmastersignal bei einer Langsamschreibestufe mit geringer Geschwindigkeit in den Speicherprüfling **150** geschrieben (S506). Bei der Langsamschreibestufe (S600) wird aus Abtast-Eingabe-/Ausgabeanschlüssen des Speicherprüflings **150** ein Testmastersignal über einen seriellen Bus geschrieben.

[0074] Als nächstes wird bei der Schnelldesestufe ein Ausgabesignal entsprechend dem Testmastersignal mit hoher Geschwindigkeit gelesen (S602). Bei der Schnelldesestufe (S602) wird aus Abtast-Eingabe-/Ausgabeanschlüssen des Speicherprüflings **150** das Testmastersignal gelesen.

[0075] Als nächstes erhält der Taktkomparator **120** bei einer Abtastsignalphaseneinstellungsstufe den Ausgabewert des Ausgabesignals, das in der Schnelldesestufe (S602) aus dem Speicherprüfling **150** ausgelesen wird, mit dem Takt des Abtastsignals. Der Logikkomparator **122** vergleicht den Ausgabewert mit dem Erwartungswert, der im Vorhinein erzeugt wurde, und gibt das Vergleichsergebnis aus. Dann, wie es in den [Fig. 1](#) bis [Fig. 4](#) erläutert wurde, stellt die Phaseneinstellsteuerschaltung **128** das Phaseneinstellregister der variablen Verzögerungsschaltung **118** auf der Grundlage des Vergleichsergebnisses des Logikkomparators **122** ein und stellt den Takt des Abtastsignals ein, das vom Taktkomparator **120** zugeführt wird, um den Takt des Taktkomparators **120** zum Abtasten des Ausgabesignals einzustellen.

[0076] Als nächstes, in einer Schnellschreibestufe

(S606), lässt das SR-Auffangregister **112** das Testmastersignal mit dem Takt des Einstellsignals ansteigen, das von der variablen Verzögerungsschaltung **108** zugeführt wird, und lässt das Testmastersignal mit dem Takt des Rückstellsignals abfallen, das von der variablen Verzögerungsschaltung **110** zugeführt wird, um das Testmastersignal mit hoher Geschwindigkeit in den Speicherprüfling **150** zu schreiben. Bei der Schnellschreibestufe (S606) wird das Testmastersignal aus den Dateneingabe-/ausgabeanschlüssen des Speicherprüflings **150** geschrieben.

[0077] Als nächstes wird bei einer Schnelldesestufe (S608) das Ausgabesignal entsprechend dem Testmastersignal mit hoher Geschwindigkeit aus dem Speicherprüfling **150** gelesen. Bei der Schnelldesestufe (S608) wird das Testmastersignal aus den Dateneingabe-/ausgabeanschlüssen des Speicherprüflings **150** ausgelesen.

[0078] Als nächstes, bei einer Testmastersignalphaseneinstellstufe (S610), erhält der Taktkomparator **120** den Ausgabewert des Ausgabesignals, das aus dem Speicherprüfling **150** in der Schnelldesestufe (S608) ausgelesen wird, mit dem Takt des Abtastsignals. Dann vergleicht der Logikkomparator **122** den Ausgabewert mit dem im Vorhinein erzeugten Erwartungswert und gibt das Vergleichsergebnis aus. Dann, wie es in den [Fig. 1](#) bis [Fig. 4](#) gezeigt ist, stellt die Phaseneinstellsteuerschaltung **128** die Phaseneinstellregister der variablen Verzögerungsschaltungen **108** und **110** auf der Grundlage des Vergleichsergebnisses des Logikkomparators **122** ein und stellt den Takt des Einstell- und Rückstellsignals ein, das dem SR-Auffangregister **112** zugeführt wird, um den Takt des Testmastersignals einzustellen, das dem Speicherprüfling **150** zugeführt wird.

[0079] Die Verzögerung des Abtastsignals, das dem Taktkomparator **120** zugeführt wird, kann in der Abtastsignalphaseneinstellungsstufe (S604) durch Schreiben des Testmastersignals in den Speicherprüfling **150** mit geringer Geschwindigkeit in der Langsamschreibestufe (S600) akkurat eingestellt werden, so dass der Speicherprüfling **150** das Testmastersignal akkurat festhält. Darüber hinaus kann die Verzögerung des Einstell- und Rückstellsignals in der Testmastersignalphaseneinstellstufe (S610) durch Ausführen der Testmastersignalphaseneinstellstufe (S610) nach der Abtastsignalphaseneinstellungsstufe (S604) akkurat eingestellt werden.

[0080] Die [Fig. 7](#) und [Fig. 8](#) zeigen ein Beispiel des Treibers **114** des ersten Ausführungsbeispiels. [Fig. 9](#) zeigt eine exemplarische Variation der Konfiguration des Phaseneinstellregisters des ersten Ausführungsbeispiels. Der Treiber **114** ist ein Differentialtreiber und, wie es in [Fig. 7](#) gezeigt ist, wird vorausgesetzt, dass sich Differentialsignale an Differentialanschlüssen des Speicherprüflings **150** korrekt überkreuzen

und dass die Längen von Leitungen der Differentialsignale gleich sind. Der Treiber ist jedoch tatsächlich nicht auf der Grundlage einer derartigen Voraussetzung konfiguriert und Phasen der Differentialsignale werden unter Verwendung einzelner Treiber **114a** und **114b** eingestellt, wie es in [Fig. 8](#) gezeigt ist.

[0081] Das heißt, das Testgerät **100** ist, wie es in [Fig. 8](#) gezeigt ist, mit variablen Verzögerungsschaltungen **108a**, **108b**, **110a** und **110b** anstelle der variablen Verzögerungsschaltungen **108** und **110**, mit SR-Auffangregistern **112a** und **112b** anstelle des SR-Auffangregisters **112** und mit Treibern **114a** und **114b** anstelle des Treibers **114** ausgestattet. Das Testgerät **100** ist zudem mit einem Kreuzungspunkteinstellregister **900** und einem Addierer **904** zusätzlich zu den Phaseinstellregistern **370**, **372**, **374** und **376** ausgestattet, wie es in [Fig. 9](#) gezeigt ist.

[0082] Das SR-Auffangregister **112a** lässt das Testmustersignal durch das Einstellsignal ansteigen, das durch die variable Verzögerungsschaltung **108a** verzögert wird, lässt das Testmustersignal durch das Rückstellsignal abfallen, das durch die variable Verzögerungsschaltung **110a** verzögert wird, und führt das Signal dem Speicherprüfling **150** über den Treiber **114a** zu. Das SR-Auffangregister **112b** lässt das Testmustersignal durch das Einstellsignal ansteigen, das durch die variable Verzögerungsschaltung **108b** verzögert wird, lässt das Testmustersignal durch das Rückstellsignal abfallen, das durch die variable Verzögerungsschaltung **110b** verzögert wird, und führt das Signal dem Speicherprüfling **150** über den Treiber **114b** zu.

[0083] Bei der ersten Kalibrierung (S502) wird die Einstellung so vorgenommen, dass der Kreuzungspunkt der Differentialsignale an der Mitte von hohem und niedrigem Pegel in den Differentialanschlüssen des Speicherprüflings **150** angelangt. Dann wird der eingestellte Einstellwert im Kreuzungspunkteinstellregister **900** gespeichert. Als nächstes, in der zweiten Kalibrierung (S506), werden die Phasen der variablen Verzögerungsschaltungen **108a** und **110b** in der gleichen Zeit eingestellt und die Phasen der variablen Verzögerungsschaltungen **108b** und **110a** in der gleichen Zeit eingestellt, so dass der Kreuzungspunkt nicht von der Mitte abweicht. Dann werden die eingestellten Einstellwerte in den Phaseinstellregistern **370**, **372**, **374** und **376** gespeichert. Als nächstes addiert der Addierer **904** den Einstellwert, der im Kreuzungspunkteinstellregister **900** eingestellt wird, mit den Einstellwerten, die in den Phaseinstellregistern **370**, **372**, **374** und **376** eingestellt werden, und führt das Ergebnis der variablen Verzögerungsschaltung **108a**, **108b**, **110a** oder **110b** zu. Dadurch kann die Einstellung des Kreuzungspunkts der Differentialsignale und die Einstellung der Phase des Testmustersignals in der gleichen Zeit durchgeführt werden.

[0084] [Fig. 10](#) zeigt eine exemplarische Konfiguration eines Speichersteuersystems **1000** eines zweiten Ausführungsbeispiels. Das Speichersteuersystem **1000** ist mit einer Speichersteuerung **1002** und einer Vielzahl von Speichern **1004** ausgestattet. Das Speichersteuersystem **1000** bildet eine Kleinamplitudensignalschnittstelle in Signalleitungen zur Übertragung von Daten, um die Vielzahl von Speicherungen **1004** mit der Speichersteuerung **1002** ein zu eins zu verbinden. Darüber hinaus wird eine Funktion zur Einstellung der Phase von Eingabe-/Ausgabesignalen pro jedem Dateneingabe-/ausgabeanschluss der Speichersteuerung **1002** aufgebaut.

[0085] [Fig. 11](#) zeigt eine exemplarische Konfiguration der Speichersteuerung **1002** des zweiten Ausführungsbeispiels. Die Speichersteuerung **1002** ist mit einem Sende-/Empfangssteuerabschnitt **1100**, einem Temperaturerfassungsabschnitt **1130**, einem Rekalibrierungssteuerabschnitt **1132** und einem Rekalibrierungsintervallsteuerabschnitt **1134** ausgestattet. Der Sende-/Empfangssteuerabschnitt **1100** weist einen Abtastsignalgenerator **1104**, einen Pegelkomparator **1116**, eine variable Verzögerungsschaltung **1118**, einen Taktkomparator **1120**, einen Logikkomparator **1122**, einen Fehlerzähler **1124**, eine Beurteilungsschaltung **1126** und einen Phaseinstellsteuerabschnitt **1128** auf.

[0086] Der Abtastsignalgenerator **1104** erzeugt ein Abtastsignal zum Spezifizieren eines Takts des Taktkomparators **1120** zum Abtasten eines Ausgabesignals, das vom Speicherprüfling **150** ausgegeben wird. Die variable Verzögerungsschaltung **1118** verzögert das Abtastsignal, das durch den Abtastsignalgenerator **1104** erzeugt wird, um eine Verzögerung, die im Vorhinein durch den Phaseinstellsteuerabschnitt **1128** eingestellt wird, und führt das Signal dem Taktkomparator **1120** zu. Der Pegelkomparator **1116**, die variable Verzögerungsschaltung **1118**, der Taktkomparator **1120**, der Logikkomparator **1122**, der Fehlerzähler **1124**, die Beurteilungsschaltung **1126** und der Phaseinstellsteuerabschnitt **1128** weisen jeweils die gleiche Funktion auf, wie jeweils der Pegelkomparator **116**, die variable Verzögerungsschaltung **118**, der Taktkomparator **120**, der Logikkomparator **122**, der Fehlerzähler **124**, die Beurteilungsschaltung **126** und die Phaseinstellsteuerschaltung **128** des Testgeräts **100**, da in [Fig. 1](#) gezeigt ist, so dass ihre Erklärung hier weggelassen werden wird. Die Speichersteuerung **1002** kann auch die anderen Komponenten aufweisen, die im Testgerät **100** vorgesehen sind, das in [Fig. 1](#) gezeigt ist.

[0087] Der Temperaturerfassungsabschnitt **1130** erfasst Änderungen der Temperatur des Speichers **1004** oder die um den Speicher **1004**. Wenn die durch den Temperaturerfassungsabschnitt **1130** erfasste Änderung der Temperatur eine Temperaturän-

derung übersteigt, die im Vorhinein festgelegt wird, veranlasst der Rekalibrierungssteuerabschnitt **1132** den Sende-/Empfangssteuerabschnitt **1100**, den Takt des dem Taktkomparator **1120** zuzuführenden Abtastsignals erneut durch erneutes Einstellen der Verzögerung, die durch die variable Verzögerungsschaltung **118** eingestellt wird, einzustellen. Das heißt, er ermöglicht es, dass die Phase des Abtastsignals Änderungen der Phase des Ausgabesignals folgt, die durch die Änderung der Temperatur des Speichers **1004** verursacht wird. Deshalb kann, auch wenn die Temperatur zunimmt, sowie der Speicher **1004** arbeitet, Datenkommunikation zwischen dem Speicher **1004** und der Speichersteuerung **1002** akkurat durchgeführt werden.

[0088] Der Rekalibrierungsintervallsteuerabschnitt **1134** misst ein Zeitintervall, während der der Takt des Abtastsignals, das dem Taktkomparator **1120** zugeführt wird, wiederum eingestellt werden sollte, auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator **1122** pro verstrichener Zeit ausgegeben wird, wenn Daten kontinuierlich in den/aus dem Speicher **1004** geschrieben oder gelesen werden. Um genau zu sein, der Fehlerzähler **1124** zählt eine Zahl von Fehlerdaten, die aus dem Logikkomparator **1122** pro Zeiteinheit ausgegeben werden. Dann vergleicht die Beurteilungsschaltung **1126**, ob ein Beurteilungswert, der im Vorhinein eingestellt wird, größer oder kleiner ist als der Zählwert, der durch den Fehlerzähler **1124** gezählt wird. Dadurch misst der Rekalibrierungsintervallsteuerabschnitt **1134** eine Zeit, wenn der Zählwert größer wird als der Beurteilungswert. Das heißt, der Rekalibrierungsintervallsteuerabschnitt **1134** misst die Zeit, wenn die Datenkommunikation zwischen der Speichersteuerung **1002** und dem Speicher **1004** infolge der Änderungen der Phase des Ausgangssignals, die durch die Änderung der Temperatur des Speichers **1004** verursacht wird, nicht durchgeführt werden kann, durch kontinuierliches Schreiben oder Lesen von Daten in den/aus dem Speicher **1004**. Dann veranlasst der Rekalibrierungsintervallsteuerabschnitt **1134** den Sende-/Empfangssteuerabschnitt **1100**, wiederum den Takt des Abtastsignals, das dem Taktkomparator **1120** zugeführt wird, pro gemessenem Zeitintervall einzustellen. Dadurch kann, auch wenn die Temperatur des Speichers **1004** zunimmt, sowie er arbeitet, die Datenkommunikation zwischen dem Speicher **1004** und der Speichersteuerung **1002** immer akkurat ausgeführt werden.

[0089] Es wird darauf hingewiesen, dass das Testgerät **100** darüber hinaus den Temperaturerfassungsabschnitt **1130**, den Rekalibrierungssteuerabschnitt **1132** und den Rekalibrierungsintervallsteuerabschnitt **1134**, die in der Speichersteuerung **1002** vorgesehen sind, die in [Fig. 11](#) gezeigt ist, enthalten kann. Noch mehr kann der Takt des Abtastsignals, das dem Taktkomparator **120** zugeführt wird, dem

Temperaturanstieg des Speicherprüflings **150** folgend eingestellt werden. Noch weiter kann das Zeitintervall, während dessen der Takt des Abtastsignals, das dem Taktkomparator **120** zugeführt wird, eingestellt werden sollte, gemessen und in den Speicher **1004** geschrieben werden. Die Speichersteuerung **1002** ermöglicht es, dass die Datenkommunikation zwischen dem Speicher **1004** und der Speichersteuerung **1002** immer akkurat ausgeführt werden kann, durch erneutes Einstellen des Takts des Abtastsignals gemäß dem Zeitintervall, das durch das Testgerät **100** geschrieben wird.

[0090] Obwohl die Erfindung mittels der exemplarischen Ausführungsbeispiele beschrieben worden ist, sollte es sich von selbst verstehen, dass Jene, die im Fachgebiet bewandert sind, viele Veränderungen und Substitutionen vornehmen könnten, ohne von der Wesensart und vom Umfang der Erfindung abzuweichen. Es ist aus der Definition der beigefügten Ansprüche offensichtlich, dass die Ausführungsbeispiele mit solchen Modifikationen ebenso dem Umfang der Erfindung angehören.

Industrielle Anwendbarkeit

[0091] Wie aus der obigen Beschreibung ersichtlich ist, ermöglicht es die Erfindung, dass der Speicherprüfling, der Daten mit hoher Geschwindigkeit sendet/empfängt, akkurat getestet wird.

Zusammenfassung:

[0092] Ein erfinderisches Testgerät weist einen Taktkomparator zum Erlangen eines Ausgabewerts eines Ausgabesignals, das vom Speicherprüfling ausgegeben wird, mit dem Takt eines Abtastsignals, ferner einen Logikkomparator zum Vergleichen des Ausgabewerts, der durch den Taktkomparator erlangt wird, mit einem Erwartungswert, der im Vorhinein erzeugt wird, und zum Ausgeben des Vergleichsergebnisses, und ferner eine Phaseneinstellsteuerschaltung zum Einstellen des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird, auf. Das erfinderische Testgerät beinhaltet darüber hinaus eine erste variable Verzögerungsschaltung zum Verzögern des Abtastsignals und zum Zuführen des Signals zum Taktkomparator und die Phaseneinstellsteuerschaltung stellt die Verzögerung, die durch die erste variable Verzögerungsschaltung bewirkt wird, auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird, ein.

Patentansprüche

1. Testgerät zum Testen von Speicherprüflingen, umfassend:
einen Taktkomparator zum Erlangen eines Ausgabewerts eines Ausgabesignals, das vom Speicherprüf-

ling ausgegeben wird, mit dem Takt eines Abtastsignals;
 einen Logikkomparator zum Vergleichen des Ausgabewerts, der durch den Taktkomparator erlangt wird, mit einem Erwartungswert, der im Vorhinein erzeugt wird, und zum Ausgeben des Vergleichsergebnisses;
 und
 eine Phaseneinstellsteuerschaltung zum Einstellen des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird.

2. Testgerät nach Anspruch 1, das darüber hinaus eine erste variable Verzögerungsschaltung zum Verzögern des Abtastsignals und zum Zuführen des Signals zum Taktkomparator umfasst, wobei die Phaseneinstellsteuerschaltung die Verzögerung, die durch die erste variable Verzögerungsschaltung bewirkt wird, auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird, eingestellt wird.

3. Testgerät nach Anspruch 2, das darüber hinaus folgendes umfasst:
 einen Fehlerzähler zum Zählen einer Zahl von Fehlerdaten, die vom Logikkomparator als das Vergleichsergebnis ausgegeben werden, und zum Indizieren, dass der Ausgabewert nicht mit dem Erwartungswert übereinstimmt; und
 eine Beurteilungsschaltung zum Vergleichen der Zahl von Fehlerdaten, die durch den Fehlerzähler gezählt werden, mit einem Beurteilungswert, der im Vorhinein eingestellt wird, und zum Ausgeben eines Beurteilungsergebnisses, wobei
 die Phaseneinstellungssteuerschaltung die Verzögerung, die durch die erste variable Verzögerungsschaltung bewirkt wird, auf der Grundlage des Beurteilungsergebnisses einstellt, welches von der Beurteilungsschaltung ausgegeben wird.

4. Testgerät nach Anspruch 3, wobei die Phaseneinstellungssteuerschaltung die Verzögerung bestimmt, die durch die erste variable Verzögerungsschaltung bewirkt und durch Binärdaten der Reihe nach ab dem oberen Bit repräsentiert wird, durch Binärsuche auf der Grundlage des Beurteilungsergebnisses, das von der Beurteilungsschaltung ausgegeben wird.

5. Testgerät nach Anspruch 1, das darüber hinaus folgendes umfasst:
 ein SR-Auffangregister, um ein Testmustersignal mit dem Takt eines Einstellsignals ansteigen zu lassen und das Testmustersignal mit dem Takt eines Rückstellsignals abfallen zu lassen und um das Testmustersignal dem Speicherprüfling zuzuführen;
 eine zweite variable Verzögerungsschaltung zum Verzögern und Zuführen des Einstellsignals zum SR-Auffangregister;
 eine dritte variable Verzögerungsschaltung zum Ver-

zögern und Zuführen des Rückstellsignals zum SR-Auffangregister, wobei
 der Taktkomparator den Ausgabewert des Ausgabesignals, das vom Speicherprüfling entsprechend dem Testmustersignal wird, mit dem Takt des Abtastsignals erlangt, das mit dem internen Takt des Speicherprüflings synchronisiert ist;
 der Logikkomparator den Ausgabewert, der durch den Taktkomparator erhalten wird, mit dem Erwartungswert vergleicht und das Vergleichsergebnis ausgibt; und
 die Phaseneinstellsteuerschaltung die Verzögerung, die durch die zweite und dritte variable Verzögerungsschaltung bewirkt wird, auf der Grundlage des Vergleichsergebnisses einstellt, welches vom Logikkomparator ausgegeben wird.

6. Testgerät nach Anspruch 1, das darüber hinaus folgendes umfasst:
 einen Temperaturerfassungsabschnitt zum Erfassen von Änderungen der Temperatur des Speicherprüflings oder Änderungen der Temperatur um den Speicherprüfling; und
 einen Rekalibrierungssteuerabschnitt zum wiederholten Einstellen des Takts des Abtastsignals, wenn die durch den Temperaturerfassungsabschnitt erfasste Änderung der Temperatur eine Temperaturänderung überschreitet, die im Vorhinein eingestellt wird.

7. Testgerät nach Anspruch 1, das darüber hinaus einen Rekalibrierungsintervallsteuerabschnitt zum Messen eines Zeitintervall umfasst, während dessen der Takt des Abtastsignals wiederholt auf der Grundlage Vergleichsergebnisses eingestellt werden sollte, das vom Logikkomparator pro verstrichener Zeit ausgegeben wird, wenn Daten kontinuierlich in den/aus dem Speicherprüfling geschrieben ausgelesen werden.

8. Phaseneinstellverfahren zum Einstellen des Takts eines Ausgabesignals, das von einem Speicherprüfling ausgegeben wird, und eines Abtastsignals, umfassend:
 einen Schritt zur Erlangung eines Ausgabewerts zur Erlangung eines Ausgabewerts des Ausgabesignals, das vom Speicherprüfling ausgegeben wird, mit dem Takt des Abtastsignals;
 einen Schritt des Vergleichens des erlangten Ausgabewerts mit einem Erwartungswert, der im Vorhinein eingestellt wird, und des Ausgebens des Vergleichsergebnisses; und
 einen Schritt des Einstellens des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses.

9. Phaseneinstellverfahren nach Anspruch 8, das darüber hinaus folgendes umfasst:
 einen Langsam Schreibschritt des Schreibens eines Testmustersignals in den Speicherprüfling mit geringer Geschwindigkeit;

einen ersten Schnellleseschritt des Lesens des Ausgabesignals entsprechend dem Testmustersignal aus dem Speicherprüfling mit hoher Geschwindigkeit; wobei

der Schritt zur Erlangung des Ausgabewerts einen Schritt des Erlangens des Ausgabewerts des Ausgabesignals, das im ersten Schnellleseschritt ausgelesen wird, mit dem Takt des Abtastsignals beinhaltet.

10. Phaseneinstellverfahren nach Anspruch 9, wobei der Langsam Schreibschritt einen Schritt des Schreibens des Testmustersignals über Abtast-Eingabe-/Ausgabeanschlüsse des Speicherprüflings beinhaltet; und der erste Schnellleseschritt einen Schritt des Lesens des Testmustersignals aus Dateneingabe-/Ausgabeanschlüssen des Speicherprüflings beinhaltet.

11. Phaseneinstellverfahren nach Anspruch 8, umfassend:

einen Schnellschreibschritt des Steigerns eines Testmustersignals mit dem Takt eines Einstellsignals, des Abfallens des Testmustersignals mit dem Takt eines Rückstellsignals und des Schreibens des Testmustersignals in den Speicherprüfling mit hoher Geschwindigkeit;

einen zweiten Schnellleseschritt des Lesens des Ausgabesignals entsprechend dem Testmustersignal aus dem Speicherprüfling mit hoher Geschwindigkeit;

einen Schritt des Erlangens des Ausgabewerts des Ausgabesignals, das im zweiten Schnellleseschritt ausgelesen wird, mit dem Takt des Abtastsignals;

einen Schritt des Vergleichens des erhaltenen Ausgabewerts mit dem Erwartungswert, der im Vorhinein eingestellt wird, und des Ausgebens des Vergleichsergebnisses; und

einen Schritt des Einstellens des Takts des Einstell- und des Rückstellsignals auf der Grundlage des Vergleichsergebnisses.

12. Phaseneinstellverfahren nach Anspruch 11, wobei der Schnellschreibschritt einen Schritt des Schreibens des Testmustersignals aus den Dateneingabe-/Ausgabeanschlüssen des Speicherprüflings beinhaltet; und der zweite Schnellleseschritt einen Schritt des Lesens des Testmustersignals aus den Dateneingabe-/Ausgabeanschlüssen des Speicherprüflings beinhaltet.

13. Speichersteuerung zum Steuern von Datenschreib- und -leseoperationen eines Speichers, umfassend:

einen Taktkomparator zum Erlangen eines Ausgabewerts eines Ausgabesignals, das vom Speicher ausgegeben wird, mit dem Takt eines Abtastsignals;

einen Logikkomparator zum Vergleichen des Ausgabewerts, der durch den Taktkomparator erlangt wird, mit einem Erwartungswert, der im Vorhinein eingestellt wird, und zum Ausgeben eines Vergleichser-

gebnisses;

eine Phaseneinstellsteuerschaltung zum Einstellen des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird;

einen Temperaturerfassungsabschnitt zum Erfassen der Temperatur des Speicherprüflings oder Änderungen der Temperatur um den Speicherprüfling; und einen Rekalibrierungssteuerabschnitt zum wiederholten Einstellen des Takts des Abtastsignals, wenn die durch den Temperaturerfassungsabschnitt erfasste Änderung der Temperatur eine Temperaturänderung überschreitet, die im Vorhinein eingestellt wird.

14. Speichersteuerung zum Steuern von Datenschreib- und -leseoperationen eines Speichers, umfassend:

einen Taktkomparator zum Erlangen eines Ausgabewerts eines Ausgabesignals, das vom Speicher ausgegeben wird, mit dem Takt eines Abtastsignals;

einen Logikkomparator zum Vergleichen des Ausgabewerts, der durch den Taktkomparator erlangt wird, mit einem Erwartungswert, der im Vorhinein eingestellt wird, und zum Ausgeben eines Vergleichsergebnisses;

eine Phaseneinstellsteuerschaltung zum Einstellen des Takts des Abtastsignals auf der Grundlage des Vergleichsergebnisses, das vom Logikkomparator ausgegeben wird; und

einen Rekalibrierungsintervallsteuerabschnitt zum Messen eines Zeitintervall umfasst, während dessen der Takt des Abtastsignals wiederholt auf der Grundlage Vergleichsergebnisses eingestellt werden sollte, das vom Logikkomparator pro verstrichener Zeit ausgegeben wird, wenn Daten kontinuierlich in den/aus dem Speicher geschrieben oder ausgelesen werden.

Es folgen 12 Blatt Zeichnungen

Anhängende Zeichnungen

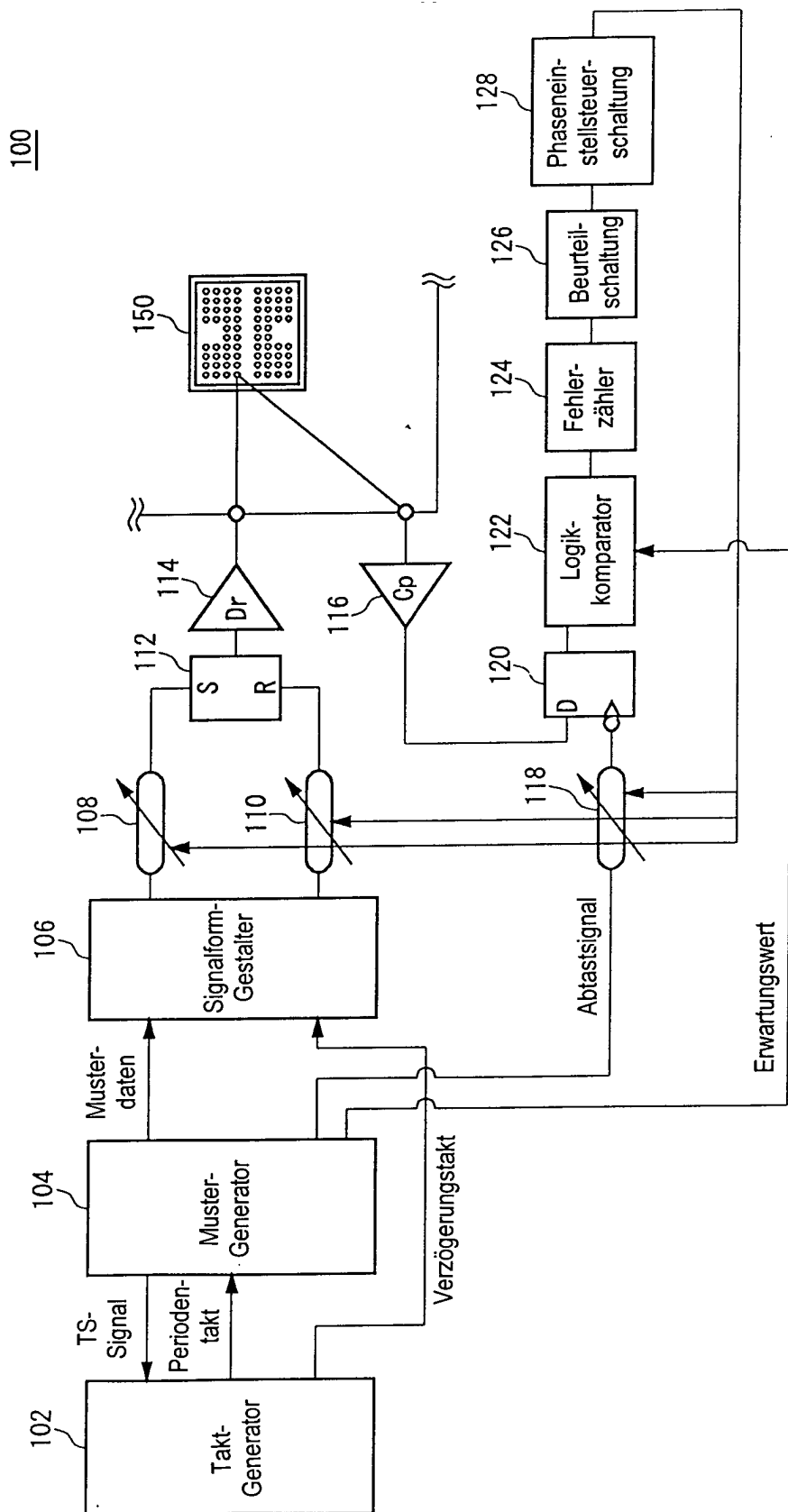


FIG. 1

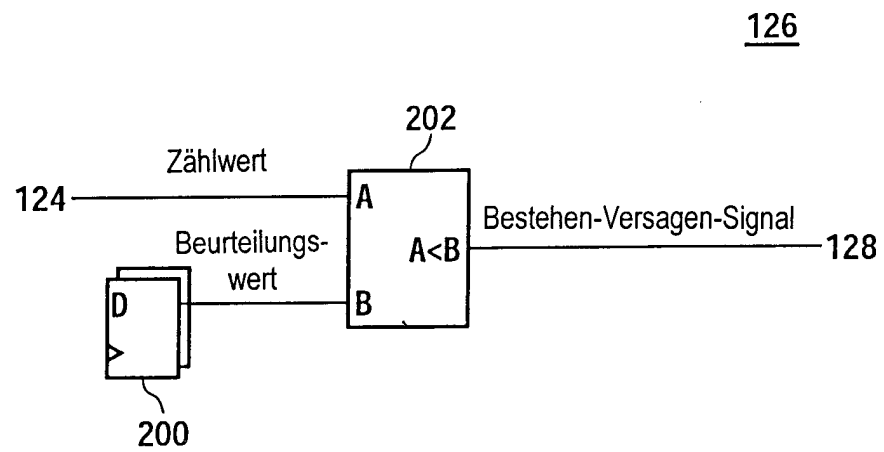


FIG. 2

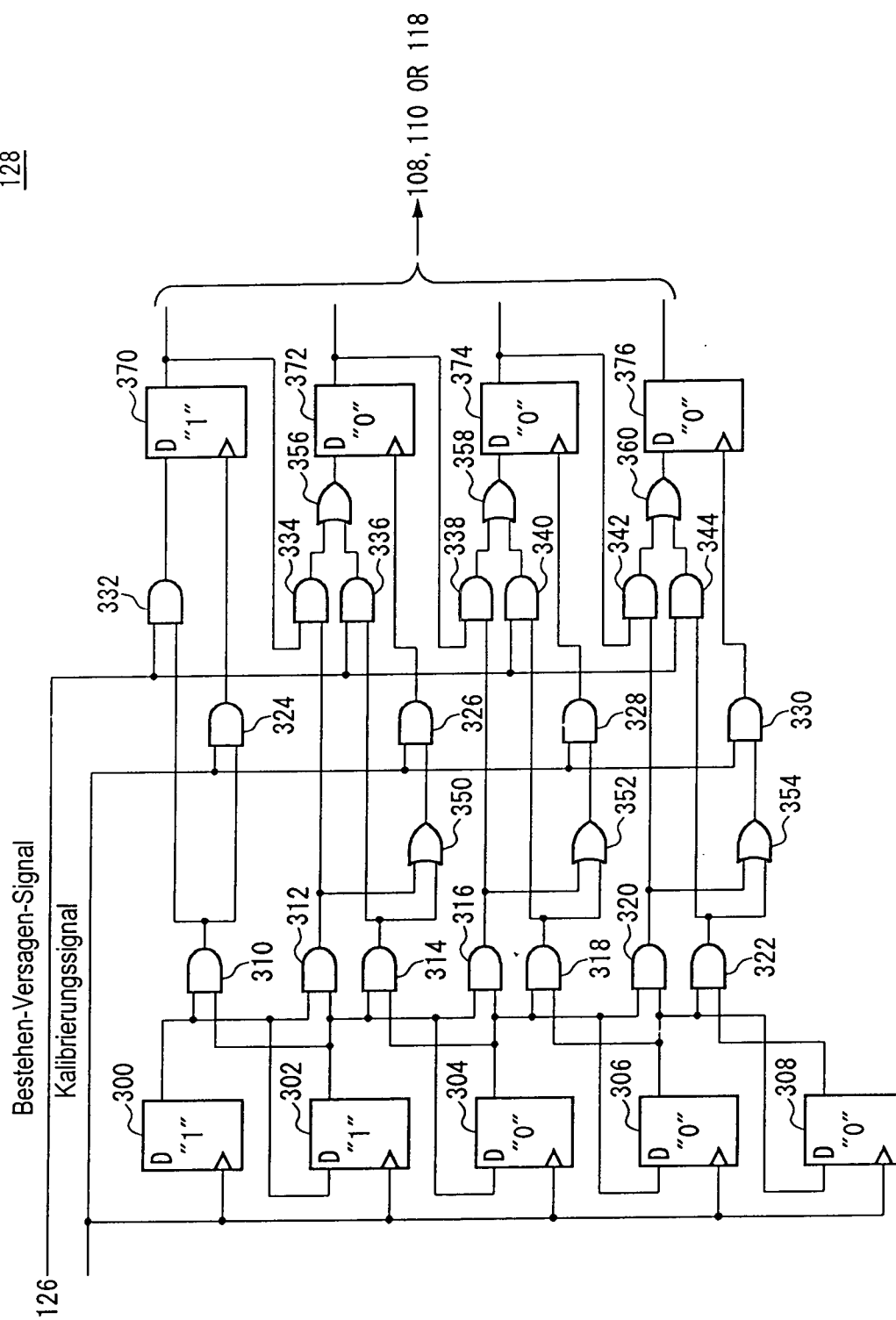


FIG. 3

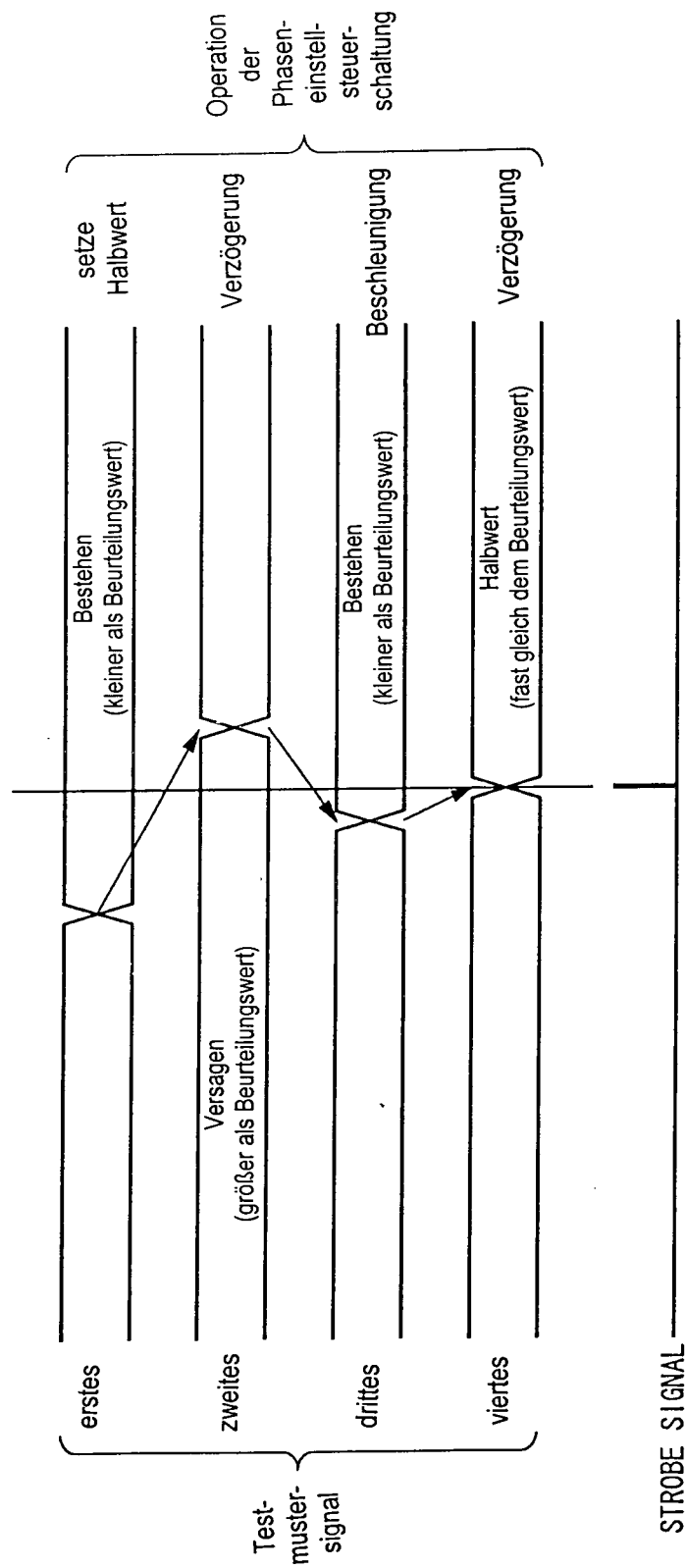


FIG. 4

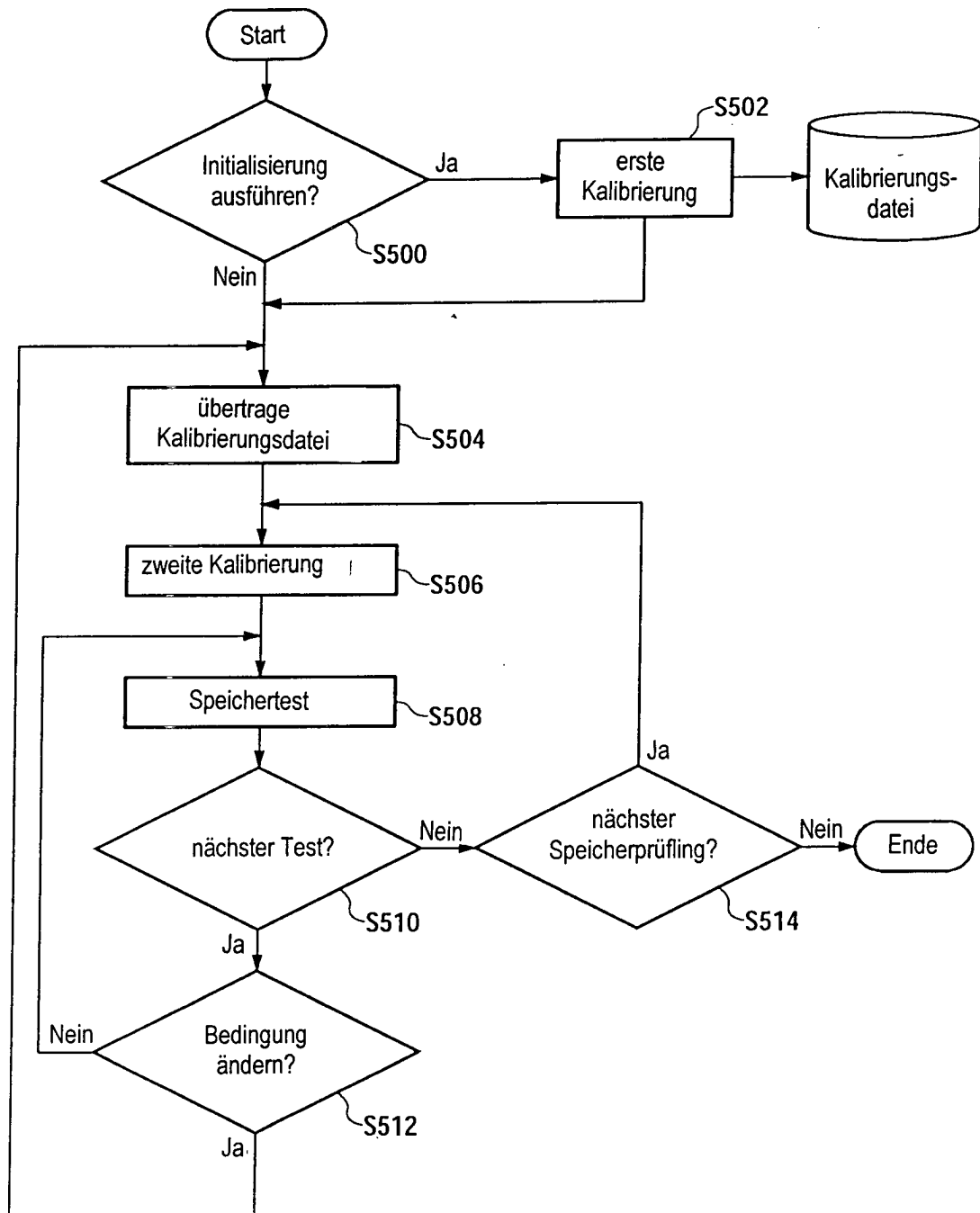


FIG. 5

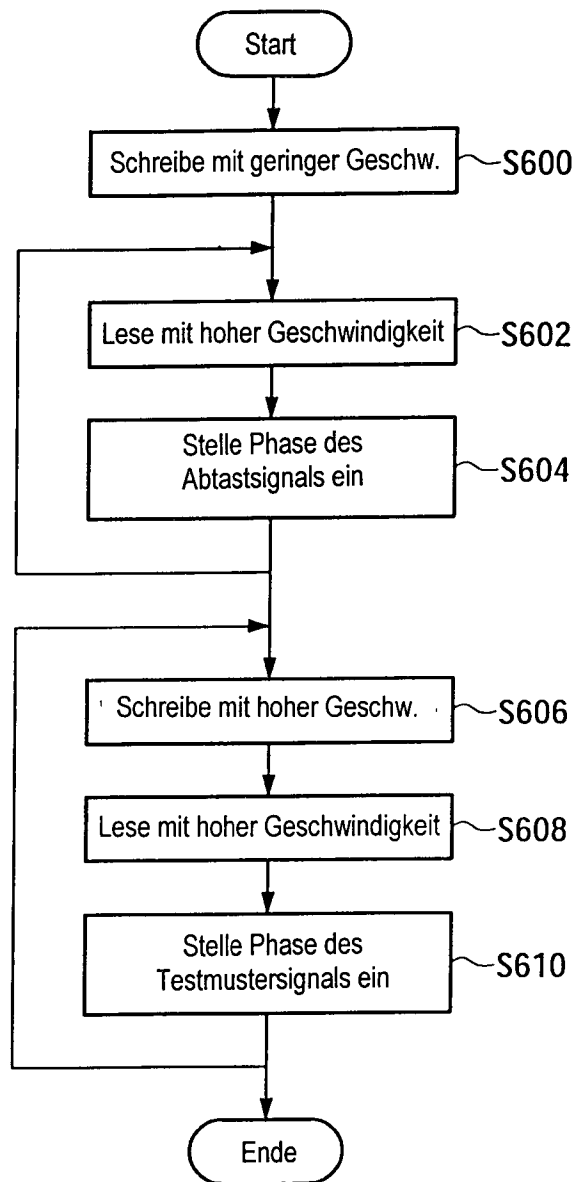
S506

FIG. 6

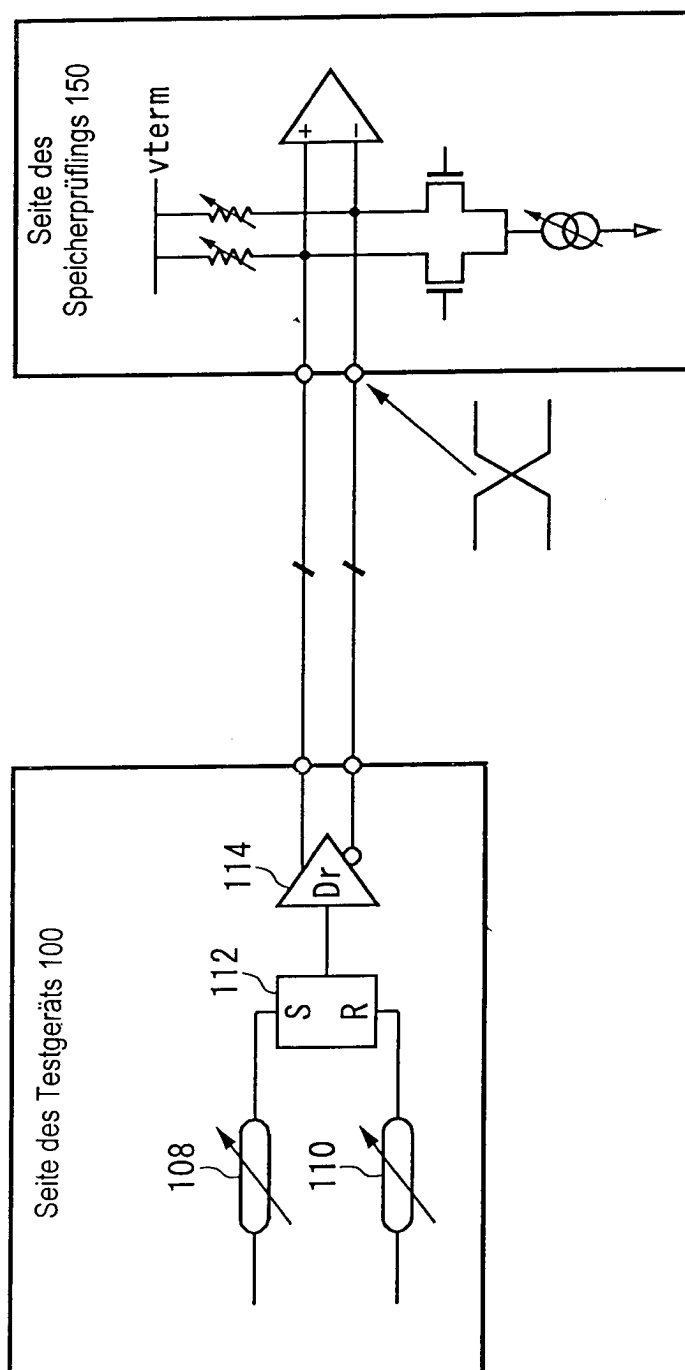


FIG. 7

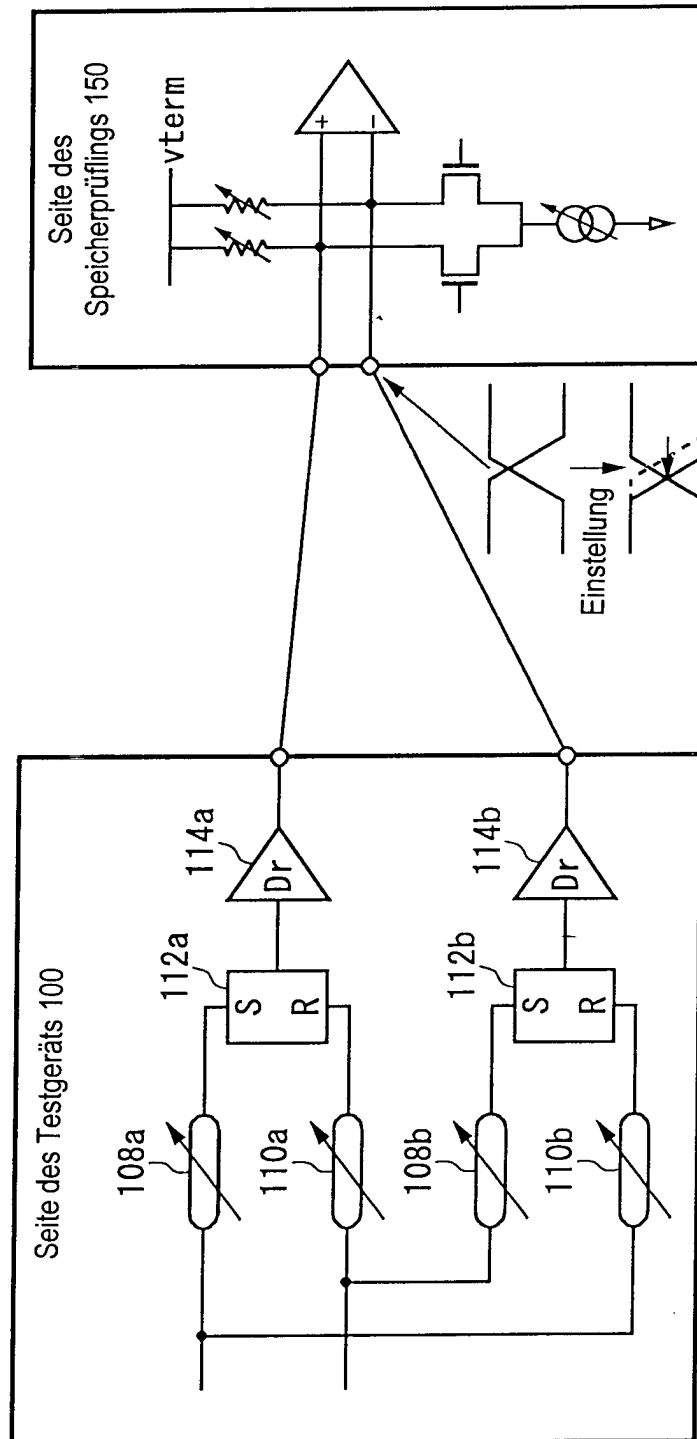


FIG. 8

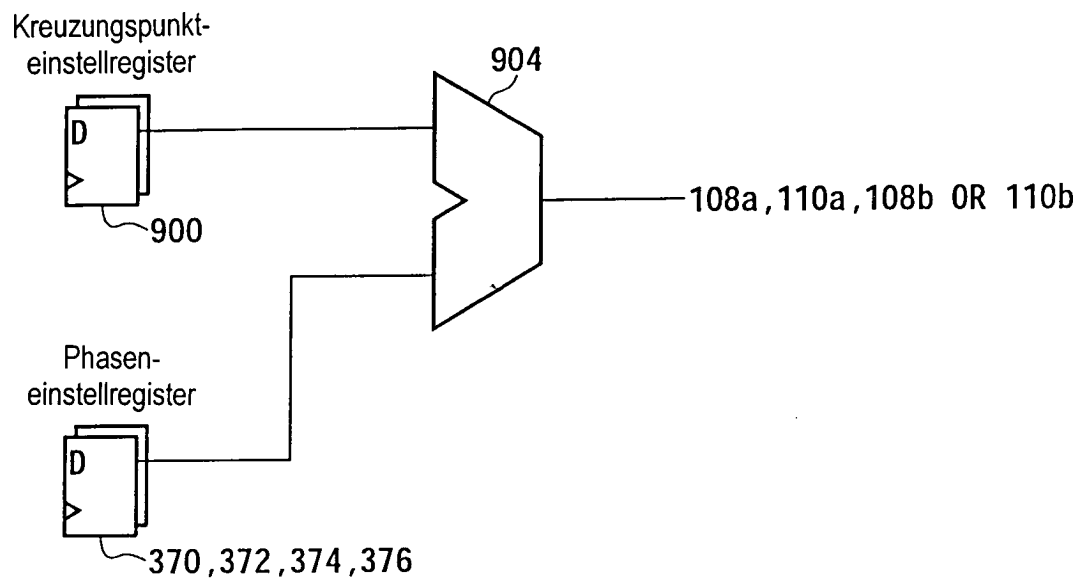


FIG. 9

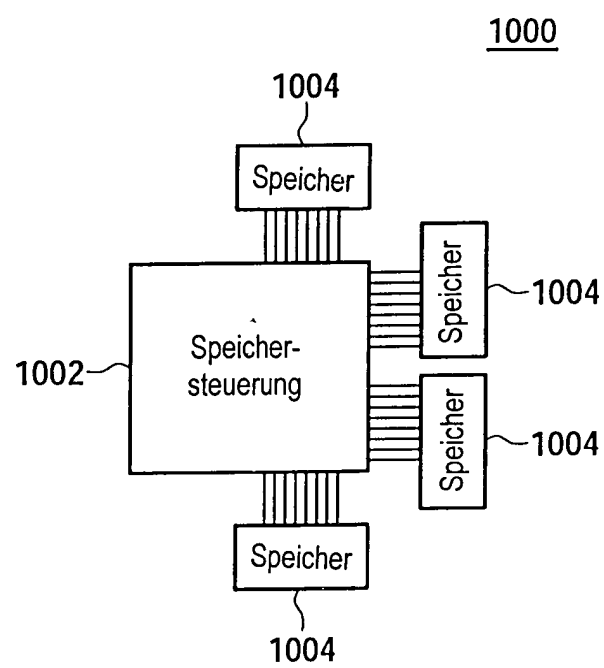


FIG. 10

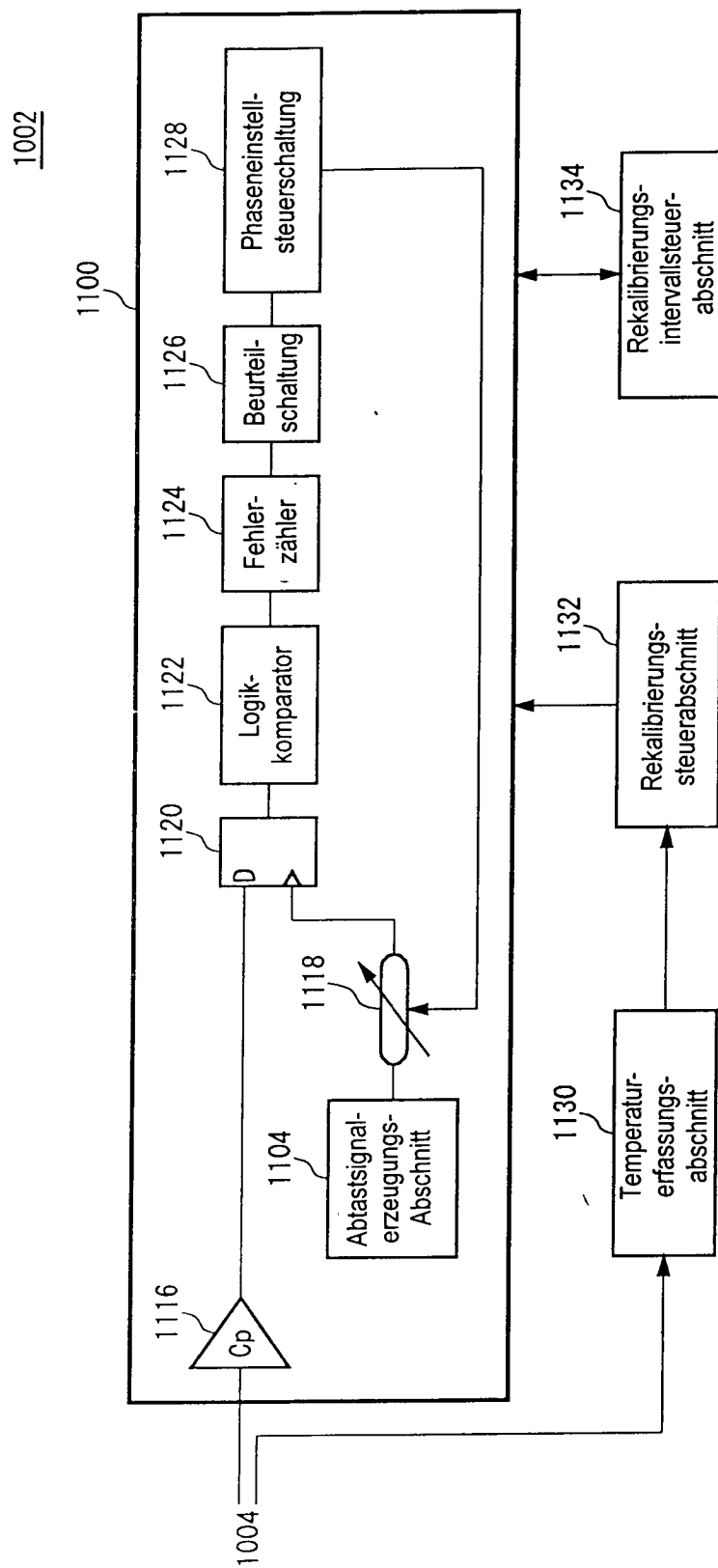


FIG. 11

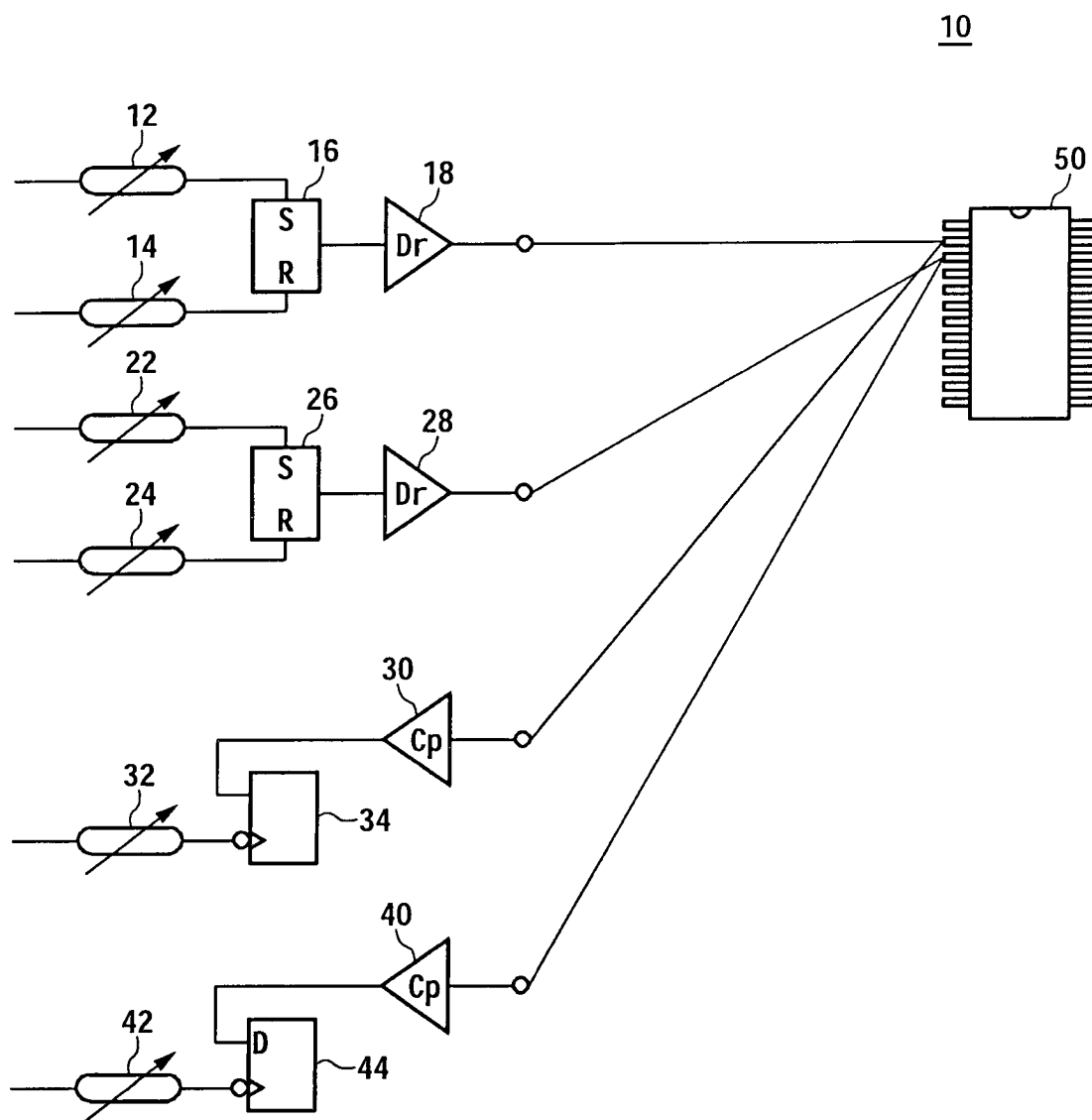


FIG. 12