

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 28 年 4 月 14 日 (2016.4.14)

【公開番号】特開 2015-56692 (P2015-56692A)

【公開日】平成 27 年 3 月 23 日 (2015.3.23)

【年通号数】公開・登録公報 2015-019

【出願番号】特願 2013-187544 (P2013-187544)

【国際特許分類】

H 0 3 K 4/06 (2006.01)

H 0 3 K 3/0231 (2006.01)

G 0 1 C 19/5776 (2012.01)

【F I】

H 0 3 K 4/06 G

H 0 3 K 3/023 A

G 0 1 C 19/56 2 7 6

【手続補正書】

【提出日】平成 28 年 2 月 29 日 (2016.2.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電流によって充電駆動され、その端子電圧が第 1 の方向に直線的に変化する第 1 のコンデンサと、

第 1 のコンデンサの充電駆動とともに電流によって放電駆動され、その端子電圧が前記第 1 の方向とは逆方向の第 2 の方向に直線的に変化する第 2 のコンデンサと、

を具備し、

前記第 1 および第 2 のコンデンサの各端子電圧が交差する第 1 のタイミングに基づいて発振周期を形成するようにされる発振回路。

【請求項 2】

請求項 1 において、

前記第 1 のタイミングに基づいて、前記第 1 のコンデンサの端子電圧を前記第 2 の方向にプルダウンまたはプルアップし、前記第 2 のコンデンサの端子電圧を前記第 1 の方向にプルアップまたはプルダウンする発振回路。

【請求項 3】

請求項 2 において、

電流によって充電駆動されその端子電圧が前記第 1 の方向に直線的に変化する第 3 のコンデンサと、

第 3 のコンデンサの充電駆動とともに電流によって放電駆動され、その端子電圧が前記第 2 の方向に直線的に変化する第 4 のコンデンサと、

を具備し、

前記第 3 および第 4 のコンデンサの各端子電圧が交差する第 2 のタイミングに基づいて発振出力を反転する発振回路。

【請求項 4】

請求項 3 において、

前記第 2 のタイミングに基づいて、前記第 3 のコンデンサの端子電圧を前記第 2 の方向

にプルダウンまたはプルアップし、前記第 4 のコンデンサの端子電圧を前記第 1 の方向にプルアップまたはプルダウンする発振回路。

【請求項 5】

請求項 4 において、

前記第 1 の方向は第 1 の電源端子の電位の方向であり、前記第 2 の方向は基準電位の方向であり、

前記第 1 の電源端子の電圧値を調整する第 1 のトリミング回路と、

前記第 1 および第 3 のコンデンサの端子を充電駆動する電流の電流値と、前記第 2 および第 4 のコンデンサの端子を放電駆動する電流の電流値と、を調整する第 2 のトリミング回路と、

を具備する発振回路。

【請求項 6】

請求項 5 の発振回路と、

前記第 1 および第 2 のトリミング回路のトリミングデータを格納する不揮発性メモリモジュールと、

前記発振回路の発振出力パルスから生成したシステムクロックによって制御される論理回路と、

を具備する半導体集積回路装置。

【請求項 7】

請求項 1 から 5 のいずれか 1 項の発振回路と、

前記発振回路の発振出力パルスクロックによって制御されるサーボと、

前記サーボから駆動信号を受ける角速度検出素子と、

を具備する回転角検出装置。

【請求項 8】

第一の電源端子と、

第一、第二の端子を有し、該第一の端子を基準電位に接続した第一のコンデンサと、

前記第一のコンデンサの第二の端子と前記第一の電源端子との間に設けられた第一の定電流源と、

第一の制御信号に基づいて前記第一のコンデンサの第二の端子と前記基準電位との間を短絡する第一の短絡回路と、

第一、第二の端子を有し、該第一の端子を前記基準電位に接続した第二のコンデンサと

、

前記第二のコンデンサの第二の端子と前記基準電位との間に設けられた第二の定電流源と、

前記第一の制御信号に対して反転した極性を有する第二の制御信号に基づいて前記第二のコンデンサの第二の端子と前記第一の電源端子との間を短絡する第二の短絡回路と、

第一、第二の端子を有し、該第一の端子を前記基準電位に接続した第三のコンデンサと

、

前記第三のコンデンサの第二の端子と前記第一の電源端子との間に設けられた第三の定電流源と、

前記第二の制御信号に基づいて前記第三のコンデンサの第二の端子と前記基準電位との間を短絡する第三の短絡回路と、

第一、第二の端子を有し、該第一の端子を前記基準電位に接続した第四のコンデンサと

、

前記第四のコンデンサの第二の端子と前記基準電位との間に設けられた第四の定電流源と、

前記第一の制御信号に基づいて前記第四のコンデンサの第二の端子と前記第一の電源端子との間を短絡する第四の短絡回路と、

前記第一のコンデンサの第二の端子電位と前記第二のコンデンサの第二の端子電位とを比較する第一のコンパレータと、

前記第三のコンデンサの第二の端子電位と前記第四のコンデンサの第二の端子電位とを比較する第二のコンパレータと、

前記第一のコンパレータの比較出力と第二のコンパレータの比較出力とに基づき前記第一の制御信号および第二の制御信号を生成する論理回路と、
を具備し、

前記論理回路は、

前記第一のコンパレータが前記第一のコンデンサの第二の端子電位と前記第二のコンデンサの第二の端子電位との交差を検知して成した比較出力反転から前記第二のコンパレータが前記第三のコンデンサの第二の端子電位と前記第四のコンデンサの第二の端子電位との交差を検知して成した比較出力反転までの期間内は、前記第一の制御信号を第一の極性で、また前記第二の制御信号を第二の極性でそれぞれ出力し、

前記第二のコンパレータが前記第三のコンデンサの第二の端子電位と前記第四のコンデンサの第二の端子電位との交差を検知して成した比較出力反転から前記第一のコンパレータが前記第一のコンデンサの第二の端子電位と前記第二のコンデンサの第二の端子電位との交差を検知して成した比較出力反転までの期間内は、前記第一の制御信号を第二の極性で、また前記第二の制御信号を第一の極性でそれぞれ出力するように構成し、

前記第一の短絡回路は前記第一の制御信号の第一の極性で活性化し、

前記第二の短絡回路は前記第二の制御信号の第二の極性で活性化し、

前記第三の短絡回路は前記第二の制御信号の第一の極性で活性化し、

前記第四の短絡回路は前記第一の制御信号の第二の極性で活性化するように構成するとともに、前記第一または第二の制御信号を発振出力として利用する発振回路。

【請求項 9】

請求項 8 において、

さらに第二の電源端子を具備し、

前記第一および第二のコンパレータ、および前記論理回路は、前記第二の電源端子から電源供給される発振回路。

【請求項 10】

請求項 8 または請求項 9 において、

前記第一の電源端子へ印加する電圧は、前記第一、第二、第三、および第四の定電流源の電流値と比例関係を有する発振回路。

【請求項 11】

請求項 8 または請求項 9 において、

反転入力端子、非反転入力端子と出力端子を有し、前記第一または第二の電源端子とは別の第三の電源端子と基準電位との間で作動する差動増幅器と、

ソース端子を第三の電源端子へ接続し、そのゲート端子は前記差動増幅器の出力端子によって直接または間接的に制御される第一導電形の第一の MOS トランジスタと、

複数の抵抗を直列接続し、一端を基準電位へ、他端を第一の MOS トランジスタのドレイン端子へ接続し、任意の抵抗接続点を前記差動増幅器の非反転入力端子へ接続した分圧回路と、

前記第一の MOS トランジスタとゲート端子及びソース端子を各々共通接続した第一導電形の第二の MOS トランジスタと、

ドレイン端子を前記第二の MOS トランジスタのドレイン端子へ、ソース端子を基準電位へそれぞれ接続し、ゲート端子をドレイン端子へ短絡接続した第二導電形の第三の MOS トランジスタと、

前記第三の MOS トランジスタとソース端子、ゲート端子を各々共通接続した第二導電形の第四の MOS トランジスタと、

ドレイン端子を前記第四の MOS トランジスタのドレイン端子へ、ソース端子を第一の電源端子へそれぞれ接続し、ゲート端子をドレイン端子へ短絡接続した第一導電形の第五の MOS トランジスタと、

を具備し、

前記第五のM O Sトランジスタとソース端子、ゲート端子を各々共通接続した第一導電形の第六、および第七のM O Sトランジスタによってそれぞれ前記第一の定電流源並びに前記第三の定電流源を構成し、

前記第六のM O Sトランジスタとソース端子、ゲート端子を各々共通接続した第二導電形の第八、および第九のM O Sトランジスタによってそれぞれ第二の定電流源並びに第四の定電流源を構成し、

前記第一の電源端子へ印加する電圧は、前記分圧回路の任意の抵抗接続点から取り出した電圧を基に生成する発振回路。

【請求項 1 2】

請求項 1 1 において、

複数ビットからなるトリミング制御入力信号端子と、

複数のアナログスイッチから成り、各アナログスイッチの一端は前記分圧回路の複数の抵抗接続点に接続し、各アナログスイッチの他端を共通接続して出力端子としたアナログスイッチ回路と、

前記トリミング制御入力信号端子からの信号に基づき前記アナログスイッチ回路の各アナログスイッチを選択的にオン制御するデコーダー回路と、
を具備し、

前記第一の電源端子へ供給する電圧は、前記アナログスイッチ回路の出力端子から取り出した電圧を基に生成されるとともに、前記トリミング制御入力信号端子への入力信号に基づいてその電圧が調整される発振回路。

【請求項 1 3】

請求項 8 または請求項 9 において、

前記第一の電源端子の電圧値を調整する第一のトリミング回路と、

前記第一、第二、第三、および第四の定電流値を調整する第二のトリミング回路と、
を具備する発振回路。

【請求項 1 4】

請求項 8 から請求項 1 3 のいずれか 1 項の発振回路と、

前記発振回路の発振周波数トリミングデータを格納する不揮発性メモリモジュールと、

前記発振回路の発振出力パルスから生成したシステムクロックによって制御される論理回路と、
を具備する半導体集積回路装置。

【請求項 1 5】

請求項 8 から請求項 1 3 のいずれか 1 項の発振回路と、

前記発振回路の発振出力パルスクロックによって制御されるサーボと、

前記サーボから駆動信号を受ける角速度検出素子と、
を具備する回転角検出装置。