

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-172108

(P2013-172108A)

(43) 公開日 平成25年9月2日(2013.9.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/337 (2006.01)	HO 1 L 29/80 V	4M104
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5F102
HO 1 L 29/808 (2006.01)	HO 1 L 29/78 652T	
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 652J	
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 652M	

審査請求 未請求 請求項の数 7 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2012-36783 (P2012-36783)
 (22) 出願日 平成24年2月22日 (2012.2.22)

(71) 出願人 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 110000693
 特許業務法人ハートクラスタ
 (74) 代理人 100111936
 弁理士 渡辺 征一
 (72) 発明者 岡田 政也
 大阪府大阪市此花区島屋一丁目1番3号
 住友電気工業株式会社大阪製作所内
 (72) 発明者 木山 誠
 兵庫県伊丹市昆陽北一丁目1番1号 住友
 電気工業株式会社伊丹製作所内

最終頁に続く

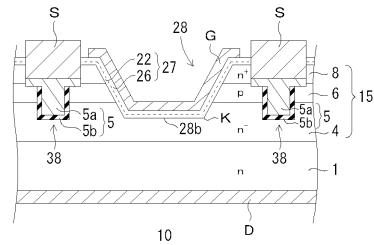
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 耐压性能を向上させた、縦型 GaN 系の半導体装置およびその製造方法を提供する。

【解決手段】 開口部 28 の壁面のチャンネルが形成される再成長層 27 と、ゲート電極 G と、開口部の両側、または該開口部の周囲、に位置して、n 型 GaN 系ドリフト層 4 内にまで届く側部開口 38 と、チャンネルに電氣的に連結し、かつ開口部の両側、または該開口部のまわり、において側部開口に蓋をするように位置するソース電極 S とを備え、側部開口 38 には、該ソース電極 S を、p 型 GaN 系バリア層に導電接続し、かつ n 型 GaN 系ドリフト層と絶縁する、接続構造 5 が設けられていることを特徴とする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

G a N系積層体に形成された縦型トランジスタであって、
 前記 G a N系積層体は、基板側から表面へと順次、n型 G a N系ドリフト層 / p型 G a N系バリア層 / n型 G a N系キャップ層、を有し、
 前記 G a N系積層体の表面から前記 n型 G a N系ドリフト層内に届く開口部と、
 前記開口部の壁面に沿うように位置し、二次元電子ガスによるチャンネルが形成される再成長層と、
 前記再成長層の上に位置して前記チャンネルを制御するゲート電極と、
 前記開口部の両側、または該開口部のまわり、において、前記 G a N系積層体の表面から前記 n型 G a N系ドリフト層内にまで届く側部開口と、
 前記チャンネルに電氣的に連結し、かつ前記開口部の両側、または該開口部の周囲において前記側部開口に蓋をするように位置するソース電極とを備え、
 前記側部開口には、該ソース電極を、少なくとも前記 p型 G a N系バリア層に導電接続し、かつ前記 n型 G a N系ドリフト層と絶縁する、接続構造が設けられていることを特徴とする、半導体装置。

10

【請求項 2】

前記接続構造が、前記 n型 G a N系ドリフト層との間に絶縁体を介在させて、前記ソース電極および p型 G a N系バリア層に接触する金属層であることを特徴とする、請求項 1 に記載の半導体装置。

20

【請求項 3】

前記接続構造が、前記 p型 G a N系バリア層と前記ソース電極とに接触する p型半導体層であることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 4】

前記 p型半導体層と前記 n型 G a N系ドリフト層との間に、絶縁体が介在することを特徴とする、請求項 3 に記載の半導体装置。

【請求項 5】

前記接続構造が金属層を含む場合、該金属層が前記ソース電極と前記チャンネルとを導電接続することを特徴とする、請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記チャンネルを含む再成長層と、前記ゲート電極との間に絶縁膜が介在することを特徴とする、請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

30

【請求項 7】

G a N系半導体による縦型トランジスタの製造方法であって、
 G a N系基板上に、n型 G a N系ドリフト層と、p型 G a N系バリア層と、n型 G a N系キャップ層とを、順次、成長することで G a N系積層体を形成する工程と、
 前記 G a N系積層体の表面から前記 n型 G a N系ドリフト層内に届く開口部を設ける工程と、
 前記開口部の壁面に沿うように、二次元電子ガスによるチャンネルを含む再成長層を形成する工程と、
 前記開口部の両側、または該開口部のまわりに、前記 G a N系積層体の表面から前記 n型 G a N系ドリフト層内にまで届く側部開口を設ける工程と、
 前記側部開口に、前記 n型 G a N系ドリフト層と絶縁した上で、少なくとも前記 p型 G a N系バリア層に導電接続する接続構造を形成する工程と、
 前記チャンネルに電氣的に連結し、かつ前記接続構造と導電接続しながら前記側部開口に蓋をするように、ソース電極を形成する工程とを備えることを特徴とする、半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は半導体装置およびその製造方法に関し、とくに大電流のスイッチングに用いられ、高い耐圧性能を有する縦型の半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

大電流用のスイッチング素子には、高い逆方向耐圧と低いオン抵抗とが求められる。I I I族窒化物半導体を用いた電界効果トランジスタ(FET: Field Effect Transistor)は、バンドギャップが大きいことから、高耐圧、高温動作などの点で優れており、とくにGaN系半導体を用いたトランジスタは、大電力の制御用トランジスタとして注目されている。とくに厚み方向に電流を流す縦型トランジスタは、電流密度を高くできるため、注目を集めている。たとえばGaN系半導体に開口部を設けて、その開口部の壁面に二次元電子ガス(2DEG: 2 Dimensional Electron Gas)のチャンネルを含む再成長層を設けることで、移動度を高めながらオン抵抗を低くした縦型GaN系HFET(Heterostructure Field Effect Transistor)の提案がなされている(特許文献1)。

10

一方、二次元電子ガスをチャンネルとするHEMT構造のGaN系トランジスタにおいて、大電流を扱うとき、高ドレイン電圧印加時にチャンネルのドレイン近傍に高電界領域が生成し、高エネルギーの電子によりアバランシェ破壊が起きる。このアバランシェ破壊によって正孔が形成されるが、GaN系半導体はワイドギャップなので、再結合定数が大きく消滅する割合は小さく、i-GaNバッファ層に、正孔が蓄積されてゆく。その結果、チャンネルの増加、暴走に繋がるキック現象を引き起こす。これを抑制するために、i-GaN層もしくはpGaN層を経由する正孔引き抜き用電極を形成する構造が開示されている(特許文献2)。このGaN系トランジスタは、横型トランジスタであるが、同様の正孔の蓄積は、縦型GaN系トランジスタでも生じると考えられ、正孔引き抜き電極の有効性が推察される。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-286942号公報

【特許文献2】米国特許US6,555,851B2

【発明の概要】

【発明が解決しようとする課題】

30

【0004】

上記の開口部を設けた二次元電子ガスをチャンネルとする縦型GaN系トランジスタでは、p型GaNバリア層のバックゲート効果により、オンオフのしきい値電圧を正方向にシフトさせ、かつあるレベルの縦方向耐圧性を得ている。しかし、縦型GaN系トランジスタにおいて、高いドレイン電圧を印加したとき、開口部に設けたゲート下部に電界が集中するため、耐圧性能は大きな制約を受ける。このような耐圧性の克服は、開口部を有する縦型トランジスタに特有の課題である。

さらに、引用文献1に記載のp型GaN系バリア層は、所定レベルのバックポテンシャル効果を得られるが、電位が固定されていないため、確実性に欠ける点がある。また、n型層に挟まれて孤立状態では、引用文献2におけるp型層のように正孔引き抜きの機能は有しない。

40

【0005】

本発明は、耐圧性能を向上させた、縦型GaN系の半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の半導体装置は、GaN系積層体に形成された縦型トランジスタである。この半導体装置では、GaN系積層体は、基板側から表面へと順次、n型GaN系ドリフト層/p型GaN系バリア層/n型GaN系キャップ層、を有し、GaN系積層体の表面からn型GaN系ドリフト層内に届く開口部と、開口部の壁面に沿うように位置し、二次元電

50

子ガスによるチャンネルが形成される再成長層と、再成長層の上に位置してチャンネルを制御するゲート電極と、開口部の両側、または該開口部の周囲、に位置して、GaN系積層体の表面からn型GaN系ドリフト層内にまで届く側部開口と、チャンネルに電氣的に連結し、かつ開口部の両側、または該開口部のまわり、において側部開口に蓋をするように位置するソース電極とを備え、側部開口には、該ソース電極を、少なくともp型GaN系バリア層に導電接続し、かつn型GaN系ドリフト層と絶縁する、接続構造が設けられていることを特徴とする。

【0007】

上記の構成によれば、ゲート電極が位置する開口部の両側、または開口部のまわりに、n型GaN系ドリフト層内に届く側部開口が設けられる。このため、電界集中は、ゲート電極が位置する開口部だけでなく、その両側またはまわりに位置する側部開口にも形成される。この結果、ゲート電極が位置する開口部への電界集中は緩和され、その緩和分を側部開口へと分担させるようにできる。

10

また、チャンネルは二次元電子ガスなので、GaN系積層体においてp型GaN系バリア層以外の層はn型またはi型のGaN系半導体で形成される。とくに、GaN系キャップ層は、ソース電極がオーミック接触するため高濃度のn型GaN系キャップ層で形成される。このため、上記のp型GaN系バリア層は、上記表層側のn型GaN系半導体層と、電子がドリフトする比較的低濃度のn型GaN系ドリフト層とによって挟まれることになる。

上記の構成におけるp型GaN系バリア層は、(i)バンドの正方向へのシフトによるピンチオフ特性の向上、(ii)上記の側部開口に比べれば作用は小さいが、縦方向耐压性能の向上、(iii)接続構造が設けられることによる、キンク現象の防止、などの作用を発揮する。(i)および(ii)は、上記の接続構造がなくても、すなわちp型半導体ということにより、いわゆるバックゲート効果により、その作用を得ることができる。しかし、p型GaN系バリア層に接触する接続構造を設けることで、ドレイン電圧を高くしたときチャンネルからドレイン電極にいたる間に生成する正孔をソース電極に引き抜くことができ、(iii)の作用を得ることができる。すなわち、接続構造は、p型GaN系バリア層の正孔を呼び込み、ソース電極に引き抜くことができる。これにより、正孔の蓄積は解消し、キンク現象は防止される。

20

上記の側部開口は、n型GaN系ドリフト層内にまで届くことが、ドレイン電極との距離を、ゲート電極下の開口部と同等にして電界集中を緩和する上で必須である。しかし、側部開口に設ける接続構造が、ソース電極とn型GaN系ドリフト層とを導電接続すると、二次元電子ガスによるチャンネルの経路が無意味になり、トランジスタにならないので、接続構造とn型GaN系ドリフト層とは絶縁されていなければならない。

30

【0008】

接続構造を、n型GaN系ドリフト層との間に絶縁体を介在させて、ソース電極およびp型GaN系バリア層に接触する金属層とすることができる。

これによって、既存の方法を用いて接続構造を容易に形成することができる。ソース電極およびp型GaN系バリア層と、金属層との接触は、容易にオーミック接触することが可能である。

40

【0009】

接続構造を、p型GaN系バリア層とソース電極とに接触するp型半導体層とすることができる。

接続構造を形成するp型半導体層は、n型GaN系ドリフト層とはpn接合の障壁によって電氣的に隔絶される。これによって、複雑な構造を形成することなく、目的とする回路構成を得ることができる。

【0010】

接続構造のp型半導体層とn型GaN系ドリフト層との間に、絶縁体を介在させてもよい。

これによって、pn接合の障壁に頼ることなく絶縁体で絶縁するので、pn接合の電位

50

障壁の大きさ等に無関係に、確実に n 型 GaN 系ドリフト層とソース電極との絶縁をとることができる。

【0011】

接続構造が金属層を含む場合、該金属層が前記ソース電極と前記チャンネルとを導電接続してもよい。

通常、ソース電極とチャンネルとは、複数の経路で電氣的に連結されている。その中に、(ソース電極/接続構造の金属層/n型GaN系キャップ層/チャンネル)、および/または、(ソース電極/接続構造の金属層/チャンネル)の経路を設けることができる。これによって、実質的にソース電極が拡大したとみることができ、オン抵抗などを小さくすることができる。

10

【0012】

チャンネルを含む再成長層と、ゲート電極との間に絶縁膜(ゲート絶縁膜)が介在した構成をとることができる。

これによって、ゲートに正電圧を印加したときのゲートリーク電流を抑制できるため、大電流動作が可能となる。また、しきい値電圧をより正方向にシフトできるため、ノーマリーオフを得やすくなる。さらに、このとき、ゲート電極とドレイン電極との間にゲート絶縁膜が介在することになり、電界集中の緩和もしくは縦耐圧性能の向上を得ることができる。

【0013】

本発明の半導体装置の製造方法は、GaN系半導体による縦型トランジスタを製造する。この方法は、GaN系基板上に、n型GaN系ドリフト層と、p型GaN系バリア層と、n型GaN系キャップ層とを、順次、成長することでGaN系積層体を形成する工程と、GaN系積層体の表面からn型GaN系ドリフト層内に届く開口部を設ける工程と、開口部の壁面に沿うように、二次元電子ガスによるチャンネルを含む再成長層を形成する工程と、開口部の両側、または該開口部のまわりに、GaN系積層体の表面からn型GaN系ドリフト層内にまで届く側部開口を設ける工程と、側部開口に、n型GaN系ドリフト層と絶縁した上で、少なくともp型GaN系バリア層に導電接続する接続構造を形成する工程と、チャンネルに電氣的に連結し、かつ接続構造と導電接続しながら側部開口に蓋をするように、ソース電極を形成する工程とを備えることを特徴とする。

20

【0014】

上記の方法によって、ゲート電極下の開口部への電界集中を側部開口によって緩和し、p型GaN系バリア層による上記の(i)~(iii)の効果を得られる半導体装置を、既存の方法で、容易に製造することができる。また、p型GaN系バリア層は、ソース電極下に埋め込まれるので、小型のデバイスとすることができる。

30

【発明の効果】

【0015】

本発明によれば、耐圧性能を向上させた、縦型GaN系の半導体装置等を得ることができる。

【図面の簡単な説明】

【0016】

【図1】本発明の実施の形態1における縦型GaN系半導体装置を示す断面図である。

【図2】図1のGaN系半導体装置を含むチップの部分平面図である。

【図3】図1のGaN系半導体装置の製造において、(a)エピタキシャル積層体を形成した状態、(b)開口部を形成するためのレジストパターンを形成した状態、を示す図である。

【図4】RIEによって開口部を設ける段階を示し、(a)はレジストパターンを配置した状態、(b)はイオンを照射しながら開口を掘り下げて開口を拡大(後退)させてゆく状態、を示す図である。

【図5】開口部に再成長層を形成した後、(a)側部開口をあけ、(b)絶縁膜を堆積し、(c)側部開口を拡大するためにレジストパターンを設けた、状態を示す図である。

40

50

【図6】(a)側部開口を拡大し、(b)リフトオフ法でレジストパターンを除去し、(c)接続構造の金属層およびソース電極を形成した状態、を示す図である。

【図7】実施の形態1の変形例であり、本発明の一実施例を示す図である。

【図8】本発明の実施の形態2におけるGaN系半導体装置を示す断面図である。

【図9】実施の形態2の変形例であり、本発明の一実施例を示す図である。

【図10】本発明の実施の形態3におけるGaN系半導体装置を示す断面図である。

【発明を実施するための形態】

【0017】

(実施の形態1)

図1は、本発明の実施の形態1における半導体装置であるGaN系FET10を示す断面図である。縦型のGaN系FET10は、導電性のGaN基板1と、その上にエピタキシャル成長した、 n^- 型GaN系ドリフト層4/p型GaNバリア層6/ n^+ 型GaN系キャップ層8、を備える。上記の、 n^- 型GaN系ドリフト層4/p型GaN系バリア層6/ n^+ 型GaN系キャップ層8は、連続して形成されたGaN系積層体15を形成する。GaN基板1の種類によっては、GaN基板1と n^- 型GaN系ドリフト層4との間にAlGaN層またはGaN層からなるパuffers層を挿入してもよい。

10

【0018】

GaN基板1は、支持基体上にオーミック接触するGaN層を有する基板であってもよいし、上述のように製品状態では、GaN基板等の相当の厚み部分が除去されてGaN系積層体のエピタキシャル成長の下地膜としての薄いGaN層のみが残った状態でもよい。これら、GaN基板、支持基体上にオーミック接触するGaN層を有する基板、製品に薄く残された下地のGaN層などを、単にGaN基板と略称する場合もある。

20

【0019】

GaN系積層体15には、p型GaN系バリア層6を貫通して n^- 型GaN系ドリフト層4内に至る開口部28が設けられ、その開口部28の壁面およびGaN系積層体15の表面(キャップ層8の表面)を被覆するように、エピタキシャル成長した再成長層27が形成されている。再成長層27は、i(intrinsic)GaN電子走行層22およびAlGaN電子供給層26で構成される。iGaN電子走行層22とAlGaN電子供給層26との間にAlN等の中間層を挿入してもよい。ゲート電極Gは再成長層27に位置し、ドレイン電極DはGaN基板1の裏面に位置する。ソース電極Sは、GaN系積層体15上において再成長層27にオーミック接触する。図1では、ソース電極Sは、再成長層27に接触して再成長層27上に位置するが、 n^+ 型GaN系キャップ層8に接触して n^+ 型キャップ層8上に位置しながら再成長層27の端面にオーミック接触するようにしてもよい。

30

また、本実施の形態の最大の特徴の一つであるが、開口部28の両側、またはそのまわりに、側部開口38が設けられ、その側部開口38に、ソース電極Sとp型GaN系バリア層6とを導電接続する接続構造5が設けられている。この接続構造5は、 n^- 型GaN系ドリフト層4との間は絶縁層5bによって絶縁されている。接続構造5は、ソース電極Sとp型GaN系バリア層とを導電接続する金属層5aと、上記の絶縁層5bとで形成される。金属層5aは、p型GaN系バリア層6およびソース電極Sと、オーミック接触するのがオン抵抗の低減のために望ましい。

40

【0020】

本実施の形態の縦型GaN系FET10では、電子は、ソース電極Sから電子走行層22を通り n^- 型GaN系ドリフト層4を経てドレイン電極Dへと、厚み方向または縦方向に流れる。この電子の経路において、p型GaN系バリア層6は、 n^- 型GaN系ドリフト層4と、 n^+ 型GaN系キャップ層8とに挟まれている。p型GaN系バリア層6は、電子のバンドエネルギーを持ち上げ、かつ耐圧特性を向上するなどのバックゲート効果を発揮する。

【0021】

本実施の形態におけるポイントはつぎのとおりである。

50

(1) GaN系半導体のようにワイドギャップの化合物半導体を対象とするスイッチングデバイスでは、一方の主面(GaN系積層体の表面)のソース電極Sと、そのソース電極に該GaN系積層体を挟んで対向するドレイン電極Dとの間に、数百ボルト~千数百ボルトの高電圧が印加される。ソース電極Sはグランド電位に固定され、ドレイン電極Dに高電圧が印加される。またゲート電極Gは、チャンネルの開閉のためにオフ時にマイナス数ボルト、たとえば-5Vに保持される。すなわちオフ動作時、ゲート電極Gが最低電位を保持する。ゲート電極Gとドレイン電極Dとの間の距離は、ソース電極Sとドレイン電極Dとの間の距離よりも小さく、オフ動作時には、ドレイン電極Dとゲート電極Gとの間には、上記の-5V分だけ高くなった電圧がかかる。すなわち、側部開口38がなく、開口部28だけがある構造では、電界は、ゲート電極Gが位置する開口部28に集中する。とくに開口部28の底部コーナーKに電界が集中し、絶縁破壊が生じやすい。

10

上記の構成によれば、ゲート電極Gが位置する開口部28の両側、または開口部まわりに、n型GaN系ドリフト層6内に届く側部開口38が設けられる。このため、電界集中は、ゲート電極が位置する開口部28だけでなく、その両側またはまわりに位置する側部開口38にも形成される。ゲート電極Gとドレイン電極Dとの電位差が同じ場合、ゲート電極が位置する開口部28への電界集中は大幅に緩和され、その緩和分を側部開口38へと分担させるようにする。

(2) また、チャンネルは二次元電子ガスなので、GaN系積層体においてp型GaN系バリア層以外の層はn型またはi型のGaN系半導体で形成される。とくに、n型GaN系キャップ層は、ソース電極Sがオーミック接触するため高濃度のn⁺型GaN系キャップ層とされる。このため、上記のp型GaN系バリア層6は、上記表層側のn⁺型GaN系キャップ層8と、電子がドリフトする比較的低濃度のn⁻型GaN系ドリフト層4とによって挟まれることになる。

20

上記の構成におけるp型GaN系バリア層6は、(i)バンドの正方向へのシフトによるピンチオフ特性の向上、(ii)側部開口に比べれば作用は小さいが縦方向耐圧性能の向上、(iii)接続構造が設けられることによる、キック現象の防止、などの作用を發揮する。(i)および(ii)は、上記の接続構造5がなくとも、すなわちバリア層がp型半導体6ということにより、いわゆるバックゲート効果により、その作用を得ることができる。しかし、p型GaN系バリア層6に接触する接続構造5を設けることで、ドレイン電圧を高くしたときチャンネルからドレイン電極Dにいたる間に生成する正孔をソース電極Sに引き抜くことができ、(iii)の作用を得ることができる。すなわち、接続構造5は、p型GaN系バリア層6の正孔を呼び込み、ソース電極Sに引き抜くことができる。以下、(iii)について詳細に説明する。

30

接続構造5がない場合、p型GaN系バリア層6が配置されていても、ドレイン電圧を高めたとき、チャンネルのドレイン側に高電界領域ができ、高エネルギーの電子によってアバランシェ破壊が起き、多数の正孔が形成される。GaN系半導体はワイドバンドギャップなので、再結合時定数が長く、GaN系積層体15もしくはp型GaN系バリア層6には正孔が蓄積されてゆく。GaN系半導体層は正孔のフェルミ準位に対して接地されておらず、正孔が蓄積されることでチャンネル近傍のポテンシャルが下降、伝導帯の電子濃度が増加する。その結果、ドレイン電流-ドレイン電圧の飽和領域でドレイン電流の増大などの暴走を招く。

40

p型GaN系バリア層6とソース電極Sとを導電接続する接続構造5を設けることで、アバランシェ破壊が生じて正孔が多数形成されても、接続構造5を通じてソース電極Sに引き抜くことができるので、正孔の蓄積は解消し、キック現象は防止される。

(3) 側部開口5は、n型GaN系ドリフト層6内にまで届くことが、ドレイン電極Dとの距離を、ゲート電極下の開口部28と同等にして電界集中を緩和する上で必須である。しかし、側部開口38に設ける接続構造5が、ソース電極Sとn型GaN系ドリフト層4とを導電接続すると、二次元電子ガスによるチャンネルの経路が無意味になり、トランジスタにならないので、接続構造5とn型GaN系ドリフト層4とは絶縁されていなければならない。

50

【0022】

p型Ga_{0.5}In_{0.5}N系バリア層6は、p型Ga_{0.5}In_{0.5}N層でもよいし、p型AlGa_{0.5}In_{0.5}N層でもよい。p型AlGa_{0.5}In_{0.5}N層とした場合、さらにバンドを正方向に持ち上げることができピンチオフ特性をさらに向上することができる。p型Ga_{0.5}In_{0.5}N系バリア層6のキャリア濃度は、通常、 $5 \times 10^{16} \text{ cm}^{-3}$ 程度であるが、バックゲートの効果を高めるために、高濃度のp⁺型Ga_{0.5}In_{0.5}N系バリア層とする場合もある。

【0023】

上記のGa_{0.5}In_{0.5}N系積層体は、Ga_{0.5}In_{0.5}Nの所定結晶面上にエピタキシャル成長されたものであるが、その下地のGa_{0.5}In_{0.5}Nは、上記のように、Ga_{0.5}In_{0.5}N基板でも、または支持基体上のGa_{0.5}In_{0.5}N膜でもよい。さらに、Ga_{0.5}In_{0.5}N系積層体の成長時にGa_{0.5}In_{0.5}N基板等の上に形成して、その後の工程で、Ga_{0.5}In_{0.5}N基板等の所定厚み部分を除いて、製品の状態では薄いGa_{0.5}In_{0.5}N層下地のみが残っているものであってもよい。その薄い下地のGa_{0.5}In_{0.5}N層は、導電性でも非導電性でもよく、ドレイン電極は、製造工程および製品の構造によるが、薄いGa_{0.5}In_{0.5}N層の表面または裏面に設けることができる。Ga_{0.5}In_{0.5}N基板または支持基体等が製品に残る場合、当該支持基体または基板は、導電性でも、非導電性でもよい。導電性の場合、ドレイン電極は、その支持基体または基板の裏面(下)またはおもて面(上)に直接設けることができる。また、非導電性の場合、非導電性基板の上であって、上記半導体層中の下層側に位置する導電層の上に、ドレイン電極を設けることができる。

【0024】

図2は、図1に示す縦型Ga_{0.5}In_{0.5}N系FET10の平面図である。この平面図によれば、縦型Ga_{0.5}In_{0.5}N系FET10におけるゲート電極Gおよび開口部28は六角形であり、平面的に稠密に配置することができる。さらに、その開口部28の両側またはまわりに側部開口38が設けられ、その側部開口38に接続構造5が形成されている。ただ、これらの側部開口38および接続構造5は、ソース電極Sによって完全に覆われている。これより、側部開口38、および、接続構造5は、面積的に何ら付加部分を設けることなく配置されている。このため、平面的に稠密に配置されて小型サイズを維持したまま、電界集中の緩和もしくは縦方向の耐圧性能の向上、およびキック現象に対する備えを設けることができる。

各素子のゲート電極Gは、ゲートパッド13から延び出るゲート配線12によって導電接続され、チャンネルをすべて同じように制御する。

【0025】

n⁻型Ga_{0.5}In_{0.5}N系ドリフト層4は、たとえば、厚み1μm~25μm、キャリア濃度 $0.2 \times 10^{16} \text{ cm}^{-3} \sim 20.0 \times 10^{16} \text{ cm}^{-3}$ とするのがよい。p型Ga_{0.5}In_{0.5}N系バリア層6は、厚み0.1μm~10μm、キャリア濃度 $0.5 \times 10^{16} \text{ cm}^{-3} \sim 50 \times 10^{16} \text{ cm}^{-3}$ とするのがよい。p型Ga_{0.5}In_{0.5}N系バリア層6のバックゲート効果の機能を重視する場合には、キャリア濃度を高めて、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ とすることができる。n⁺型Ga_{0.5}In_{0.5}N系キャップ層8は、厚み0.1μm~3μm、キャリア濃度 $1.0 \times 10^{17} \text{ cm}^{-3} \sim 30.0 \times 10^{17} \text{ cm}^{-3}$ とするのがよい。

【0026】

再成長層27において、電子走行層22は厚み5nm~100nm程度とし、電子供給層26は厚み1nm~100nm程度とするのがよい。電子走行層22の厚みが5nmより薄いと、2DEGと電子供給層26/電子走行層22の界面が近接しすぎて2DEGの移動度を低下させる。電子走行層22の厚みが100nmを超えると、p型Ga_{0.5}In_{0.5}N層6の効果が薄れ、ピンチオフ特性が劣化するので、100nm以下とするのがよい。

【0027】

- 製造方法 -

次に、本実施の形態における縦型Ga_{0.5}In_{0.5}N系の半導体装置10の製造方法を説明する。具体的にするために、Ga_{0.5}In_{0.5}N系層を、Ga_{0.5}In_{0.5}N層と記載する。まず、図3(a)に示すように、支持基体上にオーミック接触するGa_{0.5}In_{0.5}N層を有する基板1またはGa_{0.5}In_{0.5}N基板1の上に、n⁻型Ga_{0.5}In_{0.5}Nドリフト層4/p型Ga_{0.5}In_{0.5}Nバリア層6/n⁺型Ga_{0.5}In_{0.5}Nキャップ層8、の積層体15をエピタキシャル成長する。これらの層の形成は、例えば、MOCVD(有機金属

10

20

30

40

50

化学気相成長)法を用いる。またはMOCVD法でなくMBE(分子線エピタキシャル)法を用いてもよい。これにより結晶性の良いGaN系半導体層を形成できる。また、各層の膜厚、キャリア濃度は、次のとおりである。

n^- 型GaNドリフト層4:厚み $5.0\mu\text{m}$ 、キャリア濃度 $5.0 \times 10^{15}\text{cm}^{-3}$

p型GaN層6:厚み $0.5\mu\text{m}$ 、キャリア濃度 $5.0 \times 10^{18}\text{cm}^{-3}$

n^+ 型GaNキャップ層8:厚み $0.3\mu\text{m}$ 、キャリア濃度 $5.0 \times 10^{17}\text{cm}^{-3}$

【0028】

次に、図3(b)に示すように、 n^+ 型GaNキャップ層8上に、通常露光技術を用いて、所定領域にレジストパターンM1を形成する。ここで形成するレジストパターンM1は、平面形状が六角形、断面形状が台形(メサ型)である。

その後、図4(a)に示すように、誘導結合プラズマ(Inductivity Coupled Plasma)を用いて生成した高密度プラズマを用いたRIE(Reactive Ion Etching:反応性イオンエッチング)により、 n^+ 型GaNキャップ層8、p型GaN層6、および n^- 型GaNドリフト層4の一部をエッチングし、開口部28を形成する。これにより、 n^+ 型GaNキャップ層8、p型GaN層6、および n^- 型GaNドリフト層4の端面は、開口部28に露出して開口部の壁面を構成する。この時点で、開口部28の壁面には、深さ数nm(1nm~20nm程度)にわたって、エッチングダメージが発生している。なお、開口部28の壁面は、基板表面に対し約 $10^\circ \sim 90^\circ$ の傾斜面となっている。ただし、本発明では、製法を問わなければ、最も広くは、基板表面に対し 0° を超え 90° 以下である。側部開口38についても同様である。上記の傾斜面の基板表面に対する角度は、RIE法で用いる塩素ガスのガス圧および他のガスとの流量比により制御可能である。RIEが終了すると、有機洗浄を行い、アッシング等により、レジストパターンM1を除去する。

【0029】

続いて、TMAH(水酸化テトラメチルアンモニウム)水溶液をエッチング液として、開口部壁面の異方性ウエットエッチングを行う(80、数分~数時間)。異方性ウエットエッチングによって、高密度プラズマを用いたRIEによって開口部28の壁面に生じたエッチングダメージを除去する。同時に、 n^+ 型GaNキャップ層8、p型GaN層6の端面の一部にそれぞれのm面を露出させる。

開口部28の側面は、複数のほぼ基板面に垂直な面 S_1 と、各面 S_1 の間を補完するように形成された傾斜した面 S_3 とが、開口部の側面の傾斜方向(傾斜角度)に混在して形成されている。縦型FET10では、主面が $\{0001\}$ 面であるGaN基板1の場合、六方晶のGaN層、およびAlGaN層を $\{0001\}$ 面(以下、C面とする)を成長面として、エピタキシャル成長させている。したがって、 n^+ 型GaNキャップ層8における垂直な面 S_1 は、 $\{1-100\}$ 面(以下、m面とする)となる。m面は、C面とは異なり無極性面である。このため、m面を成長面として、GaN電子走行層22、AlGaN電子供給層26を再成長させることによって、ピエゾ電荷等の分極電荷がAlGaN26/GaN22のヘテロ界面に生じない。このためチャネルの最低エネルギーを低下させる向きの電界は生じない。これによって、より一層、ピンチオフ特性の向上を得ることができる。

図4(b)等における開口部28の壁面の傾斜角が 90° に近いほど、壁面におけるm面または面 S_1 の占める割合が高くなる。よって、縦型FET10においてピンチオフ特性を一層向上するためには、傾斜角が 90° に近い方が好ましく、たとえば 60° 以上とするのがよい。

【0030】

エッチングダメージの深さは、RIEの処理条件によって異なる。また、開口部境界面に対するm面の割合は製造する縦型FET10の仕様によって異なる。したがって、これらの条件を考慮して、異方性エッチングは、エッチングダメージを除去でき、かつ、所定の特定が得られるようなエッチングの条件で行えばよい。なお、異方性ウエットエッチングを行うためのエッチング液は、TMAH水溶液に限らない。エッチング液として、基板の材質に応じて適切なものを用いればよい。

10

20

30

40

50

図4(b)において、開口部28は、図2に示すように平面形状が六角形となる。

【0031】

次に、再成長層27を構成する、Ga_{0.5}In_{0.5}N電子走行層22およびAl_{0.1}Ga_{0.9}N電子供給層26を、開口部28の壁面および開口部28の周囲のGa_{0.5}In_{0.5}N系積層体15上に形成する。Ga_{0.5}In_{0.5}N電子走行層22とAl_{0.1}Ga_{0.9}N電子供給層26との間にAl_{0.1}N中間層を挿入してもよい。再成長層27の成長では、まず、MOCVDを用いて、不純物を添加しないGa_{0.5}In_{0.5}N電子走行層22を形成する。MOCVDにおける成長温度は、1020℃とする。Al_{0.1}N中間層を挿入する場合は、その後、成長温度を1080℃として、Al_{0.1}N中間層およびAl_{0.1}Ga_{0.9}N電子供給層26を形成する。これによって開口部28の表面に沿って電子走行層22、Al_{0.1}N中間層、電子供給層26からなる再成長層27を形成する。なお、一例を挙げると、形成するGa_{0.5}In_{0.5}N電子走行層22、Al_{0.1}N中間層、およびAl_{0.1}Ga_{0.9}N電子供給層26の厚さは、それぞれ100nm、1nm、24nmであり、Al_{0.1}Ga_{0.9}N電子供給層26のAl組成比は、25%である。

10

【0032】

再成長層の形成では、開口部28の壁面での成長速度の低下を避けるため、Ga_{0.5}In_{0.5}N系積層体15の成長温度より低い温度で、かつ高いV/III比で形成することが好ましい。さらに、電子走行層22の形成から中間層および電子供給層26を形成するために成長温度を昇温する際、結晶表面へのダメージを低減するため短時間で昇温することが好ましい。例えば、20分以下の時間で昇温することが好ましい。なお、MOCVD法でなくMBE法を用いてもよい。

20

【0033】

その後、図5(a)に示すようにレジストパターンM2を形成し、このレジストパターンM2をマスクにして側部開口38aをドライエッチングにより設ける。このあと、図5(b)に示すように絶縁層5bを全面に形成する。絶縁層5bは、側部開口38の底部に設けることが目的であるが、とりあえず全面に堆積する。次いで、図5(c)に示すように、絶縁膜5b上に、レジストパターンM3を形成する。側部開口38の底部の絶縁膜5b上にもレジストパターンM3を形成する。このレジストパターンM3をマスクにして、図6(a)に示すように、エッチングによって先の側部開口38aよりも大径の側部開口38を設ける。この大径の側部開口38を形成するとき、絶縁層5bも一緒に、除去するのがよい。大径の側部開口38は、図6(a)に示すように、p型Ga_{0.5}In_{0.5}Nバリア層6に少し入った深さまでとするのがよい。このあと、図6(b)に示すように、レジストパターンM2、M3を除去し、マスクパターン間の絶縁膜5bをリフトオフする。このあと接続構造5の金属層5aおよびソース電極Sを形成するためのレジストパターンM4を形成し、金属層5aおよびソース電極Sを、順次、形成する。レジストパターンM4を除去しながら、金属層5aおよびソース電極Sの層をリフトオフする。このあと、ゲート電極Gおよびドレイン電極Dを形成することができる。

30

【0034】

接続構造5の金属層5aの形成にあたっては、上記の手順で、底部に絶縁層5bが設けられた側部開口38の所定深さ位置までTi/Al膜を形成する。その後、ソース電極SとしてTi/Al膜を、側部開口38を塞ぐように形成する。その後、窒素雰囲気中において800℃の温度で30秒の熱処理を行う。これにより、Ti/Al膜とGa_{0.5}In_{0.5}N系積層体(p型Ga_{0.5}In_{0.5}Nバリア層6、n⁺型Ga_{0.5}In_{0.5}Nキャップ層8)または再成長層27との界面に合金層を形成する。この結果、オーミック接触抵抗が0.4mΩ程度の良好なオーミックコンタクトを有する、金属層5aおよびソース電極Sを形成することができる。

40

ソース電極Sとしては、Ti/Al以外にも再成長層27とオーミックコンタクトする金属であれば何でもよい。また、ソース電極SとしてTi/Alを蒸着する前に、塩素系ガスを用いたRIE法によるエッチングで、Al_{0.1}Ga_{0.9}N電子供給層26およびAl_{0.1}N中間層を除去することが好ましい。この場合、中間層による電子のバリアがなく、オーミックコンタクトにおける抵抗を0.2mΩに低減することができる。また、金属層5aを、ソース電極Sの材料と同じにしなくてもよい。

50

【0035】

ゲート電極Gの形成にあたっては、まず、通常の露光技術を用い、所定の開口部を有するフォトリソトを形成する。次に、蒸着法およびリフトオフ法を用い、開口部28に形成したAlGa_N電子供給層26に沿ってNi/Au膜を形成する。なお、ゲート電極Gとしては、Ni/Au以外にも例えばPt/Au、Pd/AuおよびMo/Au等のGa_N系半導体とショットキ接合を形成する金属であってもよい。

【0036】

その後、ゲート電極Gおよびソース電極Sに接続する配線層(図示せず)を形成し、トランジスタ表面を保護する絶縁膜層(図示せず)を形成する。絶縁膜層としては、例えば、窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜をトランジスタ表面全体を覆うように形成する。また、ボンディングパッド部(図示せず)の絶縁膜層をRIE法を用いて除去する。以上によりウェーハ表面の製造工程が完了する。

10

【0037】

ドレイン電極Dの形成にあたっては、まず、ウェーハ表面をフォトリソトで保護する。支持基体上にオーミック接触するGa_N層を有する基板1の裏面に、蒸着法を用い、Ti/Al膜を形成する。ウェーハ表面のフォトリソトを除去した後、850の温度で30秒間熱処理する。これにより、支持基体上にオーミック接触するGa_N層を有する基板1とドレイン電極Dの金属が合金を形成し、基板1とドレイン電極Dがオーミックコンタクトする。以上により図1に示す縦型Ga_N系FET10が完成する。

【0038】

なお、ドレイン電極DをGa_N基板1の裏面に形成しているが、n⁻型Ga_Nドリフト層4においてソース電極Sと相対する面にドレイン電極Dを形成するようにしてもよい。例えば、n⁻型Ga_Nドリフト層4とGa_N基板1との間にn型のGa_Nコンタクト層を設け、表面側からコンタクト層に接続されるドレイン電極を形成することもできる。

20

【0039】

(実施の形態1の変形例)

図7は、実施の形態1の変形例の半導体装置10であり、本発明の一実施例を示す図である。本変形例では、側部開口38に設けられる接続構造5の構造が簡単である点に特徴がある。すなわち側部開口38は、溝幅に段差がなく、幅が同じ溝である。このため、絶縁膜5b/金属層5aの形成工程が大幅に単純化される。

30

開口部28の底部とくにコーナー部Kにおける電界集中が側部開口38によって緩和される作用、接続構造5によってp型Ga_N系バリア層6とソース電極Sとが導電接続されることによる正孔の引き抜き作用、などは、すべて実施の形態1の説明があてはまる。

【0040】

(実施の形態2)

図8は、本発明の実施の形態2における半導体装置である縦型のGa_N系FET10を示す断面図である。基板1、Ga_N系積層体15、開口部28、二次元電子ガスによるチャネルを含む再成長層27、側部開口38などの構成は、実施の形態1と共通である。実施の形態1と異なる点は、接続構造5をp⁺型Ga_N系層5pで形成した点にある。この接続構造5(5p)が、本実施の形態の特徴でもある。

40

【0041】

p⁺型Ga_N系層5pは、p型Ga_N系バリア層6およびソース電極Sとは、低抵抗の接触を確実に実現することができる。一方、n⁻型Ga_N系ドリフト層4とはpn接合の障壁で、電氣的に隔てられる。このため、電気回路として実施の形態1における(金属層5a/絶縁層5b)の果たす役割を、p⁺型Ga_N系層5pによって代替することができる。これによって、接続構造5の構成を単純化することができる。その他の部分の作用、たとえば開口部28の底部とくにコーナー部Kにおける電界集中が側部開口38によって緩和される作用などは、すべて実施の形態1の説明があてはまる。

【0042】

(実施の形態2の変形例)

50

図9は、実施の形態2の変形例の半導体装置10であり、本発明の一実施例を示す図である。本変形例では、側部開口38内の接続構造5を、(p⁺型Ga_{0.5}In_{0.5}N系層5p/絶縁層5b)によって構成する点に特徴がある。絶縁層5bを、p⁺型Ga_{0.5}In_{0.5}N系層5pとn⁻型Ga_{0.5}In_{0.5}N系ドリフト層4との間に介在させることで、pn接合の電位障壁の大きさ等を気にせず、両者間の絶縁を確実にとることが可能になる。

その他の部分の作用、たとえば開口部28の底部とくにコーナー部Kにおける電界集中が側部開口38によって緩和される作用などは、すべて実施の形態1の説明が当てはまる。

【0043】

(実施の形態3)

図10は、本発明の実施の形態3における半導体装置であるGa_{0.5}In_{0.5}N系FET10を示す断面図である。本実施の形態の半導体装置10と、図1に示す実施の形態1の半導体装置との相違は、ゲート電極Gと、チャネルを含む再成長層27との間に、ゲート絶縁膜9を介在させた点にある。ゲート電極G下に絶縁層9を配置することで、ゲート電極Gに正電圧を印加したときのゲートリーク電流を抑制できるため、大電流動作が可能となる。また、しきい値電圧をより正方向にシフトできるため、ノーマリーオフを得やすくなる。さらに、ゲート電極とドレイン電極との間に絶縁膜が介在することになり、電界集中の緩和もしくは縦耐圧性能の向上を得ることができる。

【0044】

製造方法としては、実施の形態1の製造方法において、ゲート電極Gを形成する前に、例えば酸化シリコン膜からなる絶縁膜9をCVD(Cheical Vapor Deposition)法やスパッタ法を用いて、開口部28内のAlGa_{0.5}In_{0.5}N電子供給層26に沿って10nm形成することができる。これにより、MIS-HFET構造を有する、本実施の形態における縦型の半導体装置とできる。絶縁膜9としては、上記酸化シリコン膜以外にも、窒化シリコン膜、酸化アルミニウム膜を使用してもよい。

MIS構造以外の部分の作用、たとえば開口部28の底部とくにコーナー部Kにおける電界集中が側部開口38によって緩和される作用などは、すべて実施の形態1の説明が当てはまる。

【0045】

上記開示された本発明の実施形態の構造は、あくまで例示であって、本発明の範囲はこれらの記載の範囲に限定されるものではない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味及び範囲内でのすべての変更を含むものである。

【産業上の利用可能性】

【0046】

本発明によれば、ゲート/チャネルが設けられる開口部の両側、もしくはそのまわりにドリフト層内に届く側部開口を設け、その側部開口内に、接続構造を配置することで、開口部の底部に生じる電界集中を緩和して耐圧性能を向上させることができる。さらに、上記の接続構造が、ソース電極とp型バリア層とを導電接続することで、p型バリア層に集積される正孔をソース電極に引き抜くことができる。上記の構成によって、これまで懸案であった、耐圧性能などの耐久性向上を実現することができる。

【符号の説明】

【0047】

1 Ga_{0.5}In_{0.5}N基板、4 n⁻型Ga_{0.5}In_{0.5}N系ドリフト層、5 接続構造、5a 金属層、5b 絶縁層、5p p⁺型Ga_{0.5}In_{0.5}N系層、6 p型Ga_{0.5}In_{0.5}N系バリア層、8 n⁺型Ga_{0.5}In_{0.5}N系キャップ層、9 ゲート絶縁膜、10 縦型Ga_{0.5}In_{0.5}N系半導体装置、12 ゲート配線、13 ゲートパッド、15 Ga_{0.5}In_{0.5}N系積層体、22 Ga_{0.5}In_{0.5}N電子走行層、26 AlGa_{0.5}In_{0.5}N電子供給層、27 再成長層、28 開口部、28b 開口部の底部、38 側部開口、S ソース電極、G ゲート電極、D ドレイン電極、K 開口部の底部コーナー、M1~M

10

20

30

40

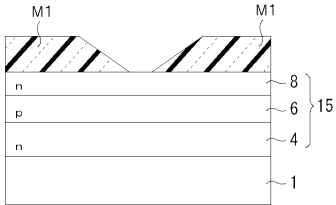
50

【 図 3 】

(a)

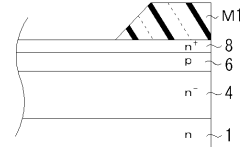


(b)

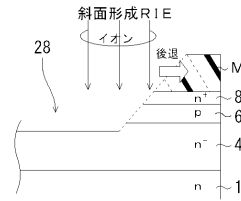


【 図 4 】

(a)

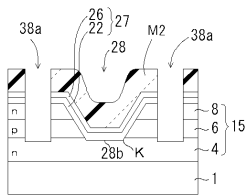


(b)

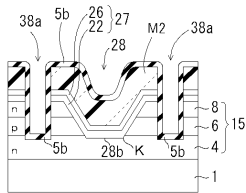


【 図 5 】

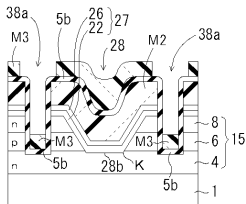
(a)



(b)

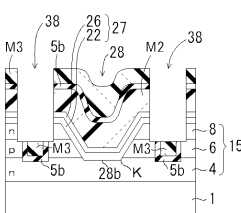


(c)

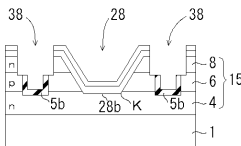


【 図 6 】

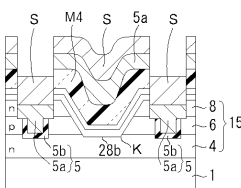
(a)



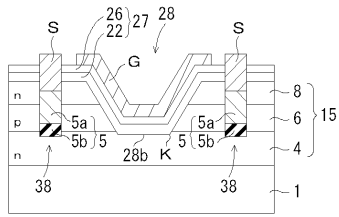
(b)



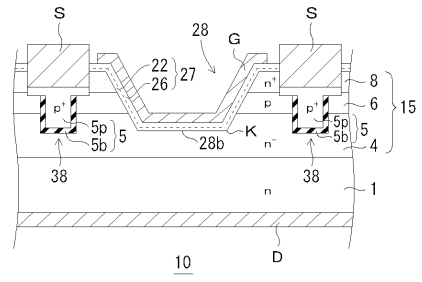
(c)



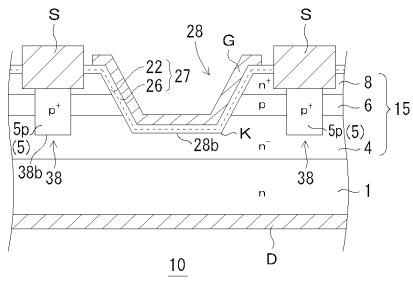
【 図 7 】



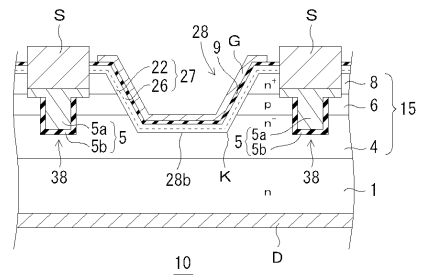
【 図 9 】



【 図 8 】



【 図 10 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<i>H 0 1 L</i>	<i>29/12</i>	<i>(2006.01)</i>	<i>H 0 1 L 29/78</i>	<i>6 5 3 A</i>
<i>H 0 1 L</i>	<i>29/78</i>	<i>(2006.01)</i>	<i>H 0 1 L 29/78</i>	<i>6 5 2 F</i>
<i>H 0 1 L</i>	<i>21/336</i>	<i>(2006.01)</i>	<i>H 0 1 L 29/78</i>	<i>6 5 2 Q</i>
<i>H 0 1 L</i>	<i>29/41</i>	<i>(2006.01)</i>	<i>H 0 1 L 29/78</i>	<i>6 5 8 E</i>
<i>H 0 1 L</i>	<i>29/417</i>	<i>(2006.01)</i>	<i>H 0 1 L 29/78</i>	<i>6 5 8 G</i>
<i>H 0 1 L</i>	<i>21/28</i>	<i>(2006.01)</i>	<i>H 0 1 L 29/44</i>	<i>S</i>
			<i>H 0 1 L 29/50</i>	<i>J</i>
			<i>H 0 1 L 21/28</i>	<i>3 0 1 B</i>

Fターム(参考) 4M104 AA04 BB05 BB06 BB07 BB14 BB16 CC01 DD08 DD11 DD12
DD22 DD34 DD68 DD80 EE02 EE06 EE17 FF02 FF06 FF07
FF16 FF27 FF31 GG11 GG12 GG18 HH20
5F102 FA01 FA03 GB04 GB05 GC07 GD01 GD10 GJ04 GL04 GM04
GM08 GN04 GQ01 GR01 GR04 GR07 GR09 GS01 GS07 GT01
GT03 GV07 GV08 HC01 HC11 HC16