



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 29/78 (2006.01)

(45) 공고일자 2007년06월20일
(11) 등록번호 10-0730602
(24) 등록일자 2007년06월14일

(21) 출원번호	10-1999-0043162	(65) 공개번호	10-2000-0028884
(22) 출원일자	1999년10월07일	(43) 공개일자	2000년05월25일
심사청구일자	2004년09월20일		

(30) 우선권주장	98-287077 99-219318	1998년10월08일 1999년08월02일	일본(JP) 일본(JP)
------------	------------------------	----------------------------	------------------

(73) 특허권자
소니 가부시끼 가이사
일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자
고마쓰히로시
일본국 도쿄도 시나가와 쿠카타시나가와 6쵸메 7반 35고

(74) 대리인
김재만
유미특허법인

(56) 선행기술조사문현
05182982
07263680 05523603

심사관 : 임동우

전체 청구항 수 : 총 40 항

(54) 반도체 장치 및 그 제조 방법

(57) 요약

기판과 상기 기판상에 형성된 절연막과, 상기 절연막 상에 형성되고, 최소한 상기 절연막과 접하는 부분이 기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지고, 또한 소정량의 불순물을 함유하는 도전성 재료로 이루어지는 도전층과, 상기 기판에 형성된 취출(取出) 전극을 가지는 반도체 장치, 및 이 반도체 장치의 제조 방법.

대표도

도 3

특허청구의 범위

청구항 1.

기판과,

상기 기판상에 형성된 절연막과,

상기 절연막 상에 형성되고 최소한 상기 절연막과 접하는 부분이, 상기 기판 재료의 에너지 밴드 갭(energy band gap)의 거의 중앙 부근의 일함수(work function)를 가지고 또한 소정량의 불순물을 함유하는 도전성 재료로 이루어지는 도전층과,

상기 기판에 형성된 취출(取出) 전극을 가지고,

상기 도전층은 깊이 방향에 대하여 그 중앙 영역이 그 상하 영역보다 높은 농도의 불순물을 함유하는 도전성 재료로 이루어지는 층을 가지는, 반도체 장치.

청구항 2.

제1항에 있어서,

상기 불순물은 상기 도전성 재료의 그레인(grain) 성장을 억제하는 불순물인 반도체 장치.

청구항 3.

제1항에 있어서,

상기 불순물은 산소, 질소 또는 봉소인 반도체 장치.

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

제1항에 있어서,

상기 도전층은 2종류 이상의 불순물을 함유하는 반도체 장치

청구항 9.

제8항에 있어서,

상기 2종류 이상 불순물의 최소한 하나는 산소, 질소 또는 봉소인 반도체 장치.

청구항 10.

제8항에 있어서,

상기 도전층은 2종류 이상의 불순물을 $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ 의 농도로 각각 함유하는 반도체 장치.

청구항 11.

제1항에 있어서,

상기 기판 재료는 실리콘이며, 상기 도전성 재료는 고용점 금속 실리사이드 또는 고용점 금속인 반도체 장치.

청구항 12.

제11항에 있어서,

상기 고용점 금속 실리사이드는 텅스텐 실리사이드(WSi_x), 몰리브덴 실리사이드(MoSi_x), 탄탈 실리사이드(TaSi_x) 및 티타늄 실리사이드(TiSi_x)로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상인 반도체 장치.

청구항 13.

제11항에 있어서,

상기 고용점 금속은 텅스텐(W), 탄탈(Ta) 및 티타늄(Ti)으로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상인 반도체 장치.

청구항 14.

실리콘 기판과,

상기 실리콘 기판상에 형성된 게이트 절연막과,

상기 게이트 절연막 상에 형성되고, 최소한 상기 게이트 절연막과 접하는 부분이 불순물을 함유하는 도전층으로 이루어지는 게이트 전극과,

상기 실리콘 기판에 형성된 취출 전극을 가지고,

상기 도전층은 깊이 방향에 대하여 그 중앙 영역이 그 상하 영역보다 높은 농도의 불순물을 함유하는 상기 기판 재료의에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 고용점 금속 실리사이드층 또는 고용점 금속층을 가지는 반도체 장치.

청구항 15.

제14항에 있어서,

상기 불순물은 고용점 금속 실리사이드 또는 고용점 금속의 그레인 성장을 억제하는 불순물인 반도체 장치.

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

제14항에 있어서,

상기 불순물은 산소, 질소 또는 봉소인 반도체 장치.

청구항 19.

제14항에 있어서,

상기 고용점 금속 실리사이드층 또는 고용점 금속층은 2종류 이상의 불순물을 함유하는 반도체 장치.

청구항 20.

제19항에 있어서,

상기 2종류 이상 불순물의 최소한 하나는 산소, 질소 또는 봉소인 반도체 장치.

청구항 21.

제19항에 있어서,

상기 고용점 금속 실리사이드층 또는 고용점 금속층은 2종류 이상의 불순물을 $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ 의 농도로 각각 함유하는 반도체 장치.

청구항 22.

제14항에 있어서,

상기 고용점 금속 실리사이드는 텅스텐 실리사이드(WSi_x), 몰리브덴 실리사이드(MoSi_x), 탄탈 실리사이드(TaSi_x) 및 티타늄 실리사이드(TiSi_x)로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상인 반도체 장치.

청구항 23.

제14항에 있어서,

상기 고용점 금속은 텅스텐(W), 탄탈(Ta) 및 티타늄(Ti)으로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상인 반도체 장치.

청구항 24.

기판상에 절연막을 형성하는 공정과,

상기 절연막 상에 상기 기판 재료의 에너지 밴드 캡의 거의 중앙 부근의 일함수를 가지는 도전성 재료로 이루어지는 도전층을 형성하는 공정과,

상기 도전층에 불순물을 도입하는 공정과,

상기 기판에 취출 전극을 형성하는 공정과,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층의 깊이 방향의 중앙 영역에 함유되는 불순물 농도가 그 상하 영역의 불순물 농도보다도 높아지도록 불순물을 도입하는 공정

으로 이루어지는 반도체 장치의 제조 방법.

청구항 25.

제24항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 이온 주입법에 의해 불순물을 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 26.

제24항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 절연층 상에 화학적 기상 성장법(chemical vapor deposition process)에 의해 불순물을 함유하는 도전막을 형성하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 27.

제24항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 상기 도전층의 그레인 성장을 억제하는 불순물을 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

제24항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 산소, 질소 또는 봉소를 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 31.

제24항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 2종류 이상의 불순물을 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 32.

제31항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 최소한 산소, 질소 또는 봉소를 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 33.

제31항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 2종류 이상의 불순물을 $1\times10^{19}/\text{cm}^3\sim1\times10^{21}/\text{cm}^3$ 의 농도로 각각 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 34.

제24항에 있어서,

상기 기판으로서 실리콘 기판을 사용하는 반도체 장치의 제조 방법.

청구항 35.

제31항에 있어서,

상기 기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료로 이루어지는 도전층을 형성하는 공정은, 상기 기판상에 고용점 금속 실리사이드층 또는 고용점 금속층을 형성하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 36.

제35항에 있어서,

상기 고용점 금속 실리사이드층을 형성하는 공정은 텅스텐 실리사이드(WSi_x), 몰리브덴 실리사이드($MoSi_x$), 탄탈 실리사이드($TaSi_x$) 및 티타늄 실리사이드($TiSi_x$)로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상으로 이루어지는 층을 형성하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 37.

제35항에 있어서,

상기 고용점 금속층을 형성하는 공정은 텅스텐(W), 탄탈(Ta) 및 티타늄(Ti)으로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상으로 이루어지는 층을 형성하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 38.

실리콘 기판상에 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막 상에 실리콘의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료로 이루어지는 도전층을 형성하는 공정과,

상기 도전층에 불순물을 도입하는 공정과,

상기 도전층을 가공하여 게이트 전극을 형성하는 공정과,

상기 실리콘 기판에 취출 전극을 형성하는 공정과,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층의 깊이 방향의 중앙 영역에 함유되는 불순물 농도가 그 상하 영역의 불순물 농도보다도 높아지도록 불순물을 도입하는 공정

을 가지는 반도체 장치의 제조 방법.

청구항 39.

제38항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 이온 주입법에 의해 불순물을 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 40.

제38항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 절연막 상에 화학적 기상 성장법에 의해 불순물을 함유하는 도전막을 형성하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 41.

제38항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 상기 도전층의 그레인 성장을 억제하는 불순물을 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 42.

삭제

청구항 43.

삭제

청구항 44.

제38항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 산소, 질소 또는 봉소를 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 45.

제38항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 2종류 이상의 불순물을 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 46.

제45항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 최소한 산소, 질소 또는 봉소를 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 47.

제45항에 있어서,

상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 2종류 이상의 불순물을 $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ 의 농도로 각각 도입하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 48.

제38항에 있어서,

기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료로 이루어지는 도전층을 형성하는 공정은, 상기 실리콘 기판상에 고용점 금속 실리사이드층 또는 고용점 금속층을 형성하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 49.

제48항에 있어서,

상기 고용점 실리사이드층을 형성하는 공정은 텅스텐 실리사이드(WSi_x), 몰리브덴 실리사이드($MoSi_x$), 탄탈 실리사이드($TaSi_x$) 및 티타늄 실리사이드($TiSi_x$)로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상으로 이루어지는 층을 형성하는 공정을 가지는 반도체 장치의 제조 방법.

청구항 50.

제48항에 있어서,

상기 고용점 금속층을 형성하는 공정은 텅스텐(W), 탄탈(Ta) 및 티타늄(Ti)으로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상으로 이루어지는 층을 형성하는 공정을 가지는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것이며, 특히 기판상에 형성된 절연막과의 경계에 있는 도전성 재료의 일함수가 기판 재료의 에너지 밴드 갭(energy band gap)의 거의 중앙인 "mid-gap" 근처로 제어된 도전층을 가지는 반도체 장치 및 제조 방법에 관한 것이다.

최근의 반도체 장치에 있어서는, 기판으로서 SOI(silicon-on-insulator 또는 semiconductor-on-insulator) 기판을 사용함으로써 소자 간의 완전한 분리가 용이하게 되고 있다. 또, 이러한 SOI 기판을 사용하면, CMOSTr(상보형(相補型) MOS 트랜지스터)에 특유의 래치 업이나 소프트 에러의 제어가 가능하게 되는 것이 알려지고 있으며, 비교적 일찍부터 500nm 정도 두께의 Si 활성층을 가지는 SOI 기판을 사용하여 COMStr이 구성된 LSIs(large-scale integrated circuits)의 고속, 고신뢰성화의 검토가 행해지고 있다.

또, 최근에는 SOI 기판 표면의 Si 활성층을 100nm 정도까지 더욱 얇게, 또한 채널 영역의 불순물 농도를 비교적 낮게 제어하여, 거의 Si 활성층 전체를 공핍화(空乏化)시키면(완전 공핍형으로 함), 단(短)채널 효과의 억제나 MOSTr(metal oxide semiconductor transistor)의 전류 구동 능력 향상 등이 우수한 특성이 얻어지는 것으로 알려지고 있다.

한편, 게이트 전극 재료로서는 종래부터 n형 불순물이 도입된 폴리실리콘($n^+ poly-Si$)이 많이 사용되고 있다. 그러나 $n^+ poly-Si$ 를 게이트 전극 재료로 사용하여, NMOSTr(n채널 MOS 트랜지스터)의 V_{th} (스레시홀드 전압)를 통상의 인핸스먼트 타입(enhancement type) MOS 트랜지스터의 0.5~1.0V 부근에 설정하기 위해서는, 채널 영역의 불순물 농도를 약 $10^{17}/cm^3$ 이상으로 제어하는 것이 필요하다.

또, 완전 공핍형의 인핸스먼트 타입의 MOSTr을 작성하기 위해, 게이트 전극 재료로서 $n^+ poly-Si$ 대신에 p형 불순물인 붕소가 도입된 폴리실리콘($p^+ poly-Si$)을 NMOSTr의 게이트 전극으로 사용하는 방법이 검토되고 있다.

이 $n^+ poly-Si$ 를 NMOSTr의 게이트 전극으로 사용하는 방법에서는, 채널 영역에 불순물을 함유시키지 않는다(Non-Dope)고 하면, V_{th} 는 거의 1.0V로 된다. 그리고, V_{th} 를 더욱 낮은 값으로 하고 싶은 경우에는, NMOSTr의 채널 영역에서, n형 불순물, 예를 들면, 인(P^+)을 도입하는 등의 counter-dope를 행하는 것이 필요했다. 그러나, counter-dope를 행하는 경우에는, 단채널 효과를 증대시키므로, 미세화하는 LSI에 대하여는 바람직하지 않다.

이와 같이, n^+ poly-Si 및 p^+ poly-Si를 게이트 전극 재료로 사용하는 어느 경우에도, 실리콘 활성층을 박막화한 미세 구조의 SOI 기판을 사용하는 반도체 디바이스의 제작에 있어서는, 완전 공핍형으로 또한 그 MOSTr의 V_{th} 를 0.5V 정도의 적정한 값으로 제어하는 것은 매우 곤란했다.

또, 채널 영역이 부분 공핍형의 MOSTr을 제작하는 경우에 있어서도, 채널 영역의 불순물 농도를 쓸데없이 상승시키는 것은 드레인 리크(drain leak) 전류를 증가시키기 때문에 바람직한 것은 아니다.

벌크(bulk) 실리콘 기판을 사용하는 반도체 디바이스에 있어서도 미세화가 진행되고 있다. 벌크 실리콘 기판을 사용하는 경우에는, n^+ poly-Si만을 게이트 전극으로 사용하여, N-채널, P-채널 모두 동시에 단채널 효과가 발생하기 어려운 표면 채널형의 MOSTr을 형성할 수는 없다. 그래서, 도 1 (A) 내지 1 (C)에 나타낸 바와 같이, 게이트 전극의 일함수를 사용하여 V_{th} 를 조정하는 것을 목적으로 하여, NMOSTr(도 1 (A))에 대하여는, n^+ poly-Si, PMOSTr(p 채널 MOS 트랜지스터) (도 1 (A))에 대하여는, p^+ poly-Si를 각각 사용하는, 이를바 dual gate 프로세스가 검토되고 있다.

그런데, 이 dual gate 프로세스에 있어서도, NMOSTr(도 1 (A))과 PMOSTr(도 1 (B))에서 상이한 타입의 도편트(dopant)인 poly-Si 게이트 전극(14a 및 14b)을 사용하는 경우에는, 도 1 (C)에 나타낸 바와 같이, NMOSTr의 n^+ poly-Si 게이트와 PMOSTr의 p^+ poly-Si 게이트가 접속된 부분에서 게이트 전극 중의 각각의 불순물이 상호 확산되어(도면 중 화살표로 나타냄), 각각의 게이트 전극의 일함수가 크게 변동해 버린다고 하는 문제가 있다.

이 문제는, 도 1 (A) 내지 1 (C)에 나타낸 바와 같이, dual gate 프로세스에서 형성한 게이트 전극을 저(低)저항화하기 위해, poly-Si의 상층에 텅스텐 폴리사이드(W-polycide)의 실리사이드를 다시 형성하는 경우에는, 텅스텐 실리사이드(WSi_x) 중의 도편트의 확산 계수가 매우 크기 때문에 특히 현저하게 된다.

그리고, 도 1 (A) 내지 1 (C) 중, (11)은 실리콘 기판, (12)는 필드 산화막, (13)은 게이트 절연막, (14a)는 NMOS 트랜지스터의 게이트 전극, (14b)는 PMOS 트랜지스터의 게이트 전극, (14c)는 NMOS 트랜지스터측과 PMOS 트랜지스터측 게이트 전극의 접합부, (15)는 충간 절연막을 각각 표시하고 있다.

이와 같이, SOI 기판을 사용하는 경우에 있어서도, 벌크 실리콘 기판을 사용하는 경우에 있어서도, 금후의 반도체 장치의 미세화에 대응해 가는 데는 타입이 상이한 poly-Si를 게이트 전극재로 사용하는 것에 문제가 있어, 그 대신에, mid-gap 부근에 일함수를 가지는 게이트 전극재를 사용하는 것이 필요하다고 생각되고 있다.

반도체의 에너지 벤드는 전자적으로 충족된 밴드(충만대(充滿帶)) 또는 가전자대(價電子帶))와 공(空)밴드(전도대(傳導帶))가 금지대(禁止帶)에 의해 격리된 구조로 되어 있고, 본 발명에서, mid-gap 부근에 일함수를 가지는 게이트 전극 재료는 이 금지대의 폭(밴드 갭)의 중앙 부근(mid-gap 부근)과 거의 동일한 일함수(진공 준위(準位)와 페르미(Fermi) 준위와의 에너지 차)를 가지는 도전성 재료를 말한다.

발명이 이루고자 하는 기술적 과제

이러한 mid-gap 부근에 일함수를 가지는 게이트 전극 재료 중, 고용접 금속 실리사이드나 고용접 금속은 SiO_2 와 직접 반응하지 않고, 또 게이트 내압을 현저하게는 열화시키지 않으므로, 특히 바람직한 재료로서 주목되어, 게이트 전극 재료로서 검토되고 있다.

그러나, 도 2에 나타낸 바와 같이, 실리콘 기판(21) 상에 게이트 절연막(23)을 형성하고, 다시 그 위에 WSi_x 등의 고용접 금속 실리사이드로 이루어지는 단층막(24)으로 게이트 전극을 형성하는 경우에는, 종래의 poly-Si(또는 W-polycide) 등의 게이트 전극을 사용한 경우와 비교하여, 게이트 절연 내압의 저하, 또 게이트 용량의 저하가 발생해 버린다고 하는 문제가 있다. 그리고, 도 2 중, (21)은 실리콘 기판, (22)는 필드 산화막, (23)은 게이트 절연막, (24)는 WSi_x 단층으로 이루어지는 게이트 전극, (25)는 충간 절연막을 각각 표시한다.

게이트 절연 내압이 저하되는 것은, 보다 미세화가 진행되어 게이트 산화막이 박막화되는 차세대 디바이스에 바람직한 것은 아니다. 또, 게이트 용량의 저하는 트랜지스터의 구동 능력의 저항 등을 초래하여, 결과적으로 디바이스의 동작 속도를 저하시켜 버리게 된다.

본 발명은 최소한 기판상에 형성된 절연막, 바람직하게는 게이트 산화막과의 경계 근방에서, 기판 재료, 바람직하게는 실리콘의 에너지 밴드 갭의 mid-gap 부근의 일함수를 가지는 유도성 재료를 사용하고, 또한 기판상에 형성된 절연막의 절연 내압을 열화시키지 않고, 또 형성 후의 도전층의 용량(게이트 용량)도 저하시키지 않고 디바이스의 동작 속도를 유지하는 도전층, 바람직하게는 게이트 전극을 가지는 반도체 장치, 및 이 반도체 장치의 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성

본 발명자는 WSi_x 등의 고용점 금속 실리사이드로 이루어지는 단층막으로 게이트 전극을 형성한 경우에 있어서, 게이트 절연 내압의 저하나 게이트 용량의 저하는 게이트 전극을 형성한 후에 행해지는 열처리 공정이나, As 등의 불순물이 WSi_x 등의 고용점 금속 실리사이드 중에 수용되는 결과, WSi_x 등의 고용점 금속 실리사이드의 그레인이 성장하는 것에 기인하는 것을 발견했다.

따라서, WSi_x 등의 고용점 금속 실리사이드의 그레인이 성장을 어떠한 방법으로 억제할 수 있으면, 열처리 공정이나 불순물 도입 공정의 조건에 아무런 변경을 가하지 않고, 또한 게이트 절연 내압의 저하나 게이트 용량의 저하를 초래하지 않고, 단채널 효과를 억제하여, 디바이스의 동작 속도를 유지하는 게이트 전극을 얻을 수 있는 것이 기대된다.

본 발명자는 예의 검토한 결과, 고용점 금속 실리사이드나 고용점 금속 등의 기판 재료(실리콘)의 에너지 밴드 갭의 mid-gap 부근의 일함수를 가지는 도전성 재료를 사용하고, 이 도전성 재료에 어떤 종류의 불순물을 도입시킴으로써, 도전성 재료의 그레인 성장을 억제할 수 있는 것을 발견하고, 본 발명을 완성하기에 이르렀다.

즉, 본 발명은 첫째, 기판과, 상기 기판상에 형성된 절연막과, 상기 절연막 상에 형성되고, 최소한 상기 절연막과 접하는 부분이 기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료로 이루어지는 도전층과, 상기 기판에 형성된 취출 전극을 가지는 반도체 장치로서, 상기 도전성 재료는 소정량의 불순물을 함유하는 것을 특징으로 하는 반도체 장치를 제공한다.

상기 제1 발명의 반도체 장치에 있어서는, 상기 불순물은 상기 도전성 재료의 그레인 성장을 억제하는 불순물인 것이 바람직하다. 상기 불순물로서는, 보다 구체적으로는, 산소, 질소 또는 봉소를 사용하는 것이 보다 바람직하다.

또, 상기 도전층은 깊이 방향(기판에 대하여 수직 방향)에 대하여 상이한 농도의 불순물을 함유하는 상기 기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료, 예를 들면, 고용점 금속 실리사이드층 또는 고용점 금속층을 가지고 있는 것이 바람직하고, 그 깊이 방향에 대한 그 중앙 영역이 그 상하 영역보다 높은 농도의 불순물을 함유하는 기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료, 예를 들면, 고용점 금속 실리사이드층 또는 고용점 금속층을 가지고 있는 것이 보다 바람직하다.

또한, 상기 도전층은 2종류 이상의 불순물을 함유하고 있는 것이 보다 바람직하다. 이 2종류 이상 불순물의 최소한 하나는 산소, 질소 또는 봉소이고, 이 2종류 이상의 불순물을 $1\times 10^{19}/cm^3 \sim 1\times 10^{21}/cm^3$ 의 농도로 각각 함유하고 있는 것이 더욱 바람직하다.

또, 상기 기판 재료는 바람직하게는 실리콘이며, 상기 도전성 재료는 고용점 금속 실리사이드 또는 고용점 금속인 것이 바람직하다.

상기 고용점 금속 실리사이드로서는, 텉스텐 실리사이드(WSi_x), 몰리브덴 실리사이드($MoSi_x$), 탄탈 실리사이드($TaSi_x$) 및 티타늄 실리사이드($TiSi_x$)로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상을 바람직하게 예시할 수 있다.

상기 고용점 금속으로서는, 텉스텐(W), 탄탈(Ta) 및 티타늄(Ti)으로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상을 바람직하게 예시할 수 있다.

또, 상기 취출 전극으로서는, 예를 들면, 기판에 형성된 소스 및 드레인을 들 수 있다.

본 발명은, 둘째, 실리콘 기판과, 상기 실리콘 기판상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성되고, 최소한 상기 게이트 절연막과 접하는 부분이 불순물을 함유하는 고용점 금속 실리사이드층 또는 불순물을 함유하는 고용점 금속층으로 이루어지는 게이트 전극과, 상기 실리콘 기판에 형성된 취출 전극을 가지는 반도체 장치를 제공한다. 제2 발명은 상기 제1 발명의 반도체 장치를 보다 구체적으로 특정하는 것이다.

제2 발명에 있어서, 상기 실리콘 기판으로서는, n형 실리콘 반도체 기판, p형 실리콘 반도체 기판, SOI 기판 등을 사용할 수 있다.

또, 본 발명은,셋째, 기판상에 절연막을 형성하는 공정과, 상기 절연막 상에 기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료로 이루어지는 도전층을 형성하는 공정과, 상기 도전층에 불순물을 도입하는 공정과, 상기 기판에 취출 전극을 형성하는 공정을 가지는 반도체 장치의 제조 방법을 제공한다.

상기 제3 발명에 있어서, 상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 이온 주입법에 의해 불순물을 도입하는 공정을 가지는 것이 바람직하고, 상기 도전층에 상기 도전층의 그레인 성장을 억제하는 불순물을 이온 주입법에 의해 도입하는 공정, 및/또는 화학적 기상 성장법(CVD법)에 의해, 불순물을 함유하는 도전막을 상기 절연막 상에 형성하는 공정을 가지는 것이 보다 바람직하다.

또, 상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 깊이 방향으로 불순물 농도가 변화하도록 불순물을 도입하는 공정을 가지는 것이 바람직하고, 상기 도전층의 깊이 방향에 대한 그 중앙 영역에 함유되는 불순물 농도가 그 상하 영역의 불순물 농도보다도 높아지도록 도입하는 공정을 가지는 것이 바람직하다.

상기 도전층에 불순물을 도입하는 공정은 보다 구체적으로는, 상기 도전층에 산소, 질소 또는 봉소를 도입하는 공정을 가지는 것이 바람직하다.

또, 상기 도전층에 불순물을 도입하는 공정은 상기 도전층에 2종류 이상의 불순물을 도입하는 공정을 가지는 것이 바람직하고, 이 경우, 상기 도전층에 최소한 산소, 질소 또는 봉소를 도입하는 공정을 가지는 것이 바람직하고, 상기 도전층에 2종류 이상의 불순물을 $1\times10^{19}/\text{cm}^3\sim1\times10^{21}/\text{cm}^3$ 의 농도로 각각 도입하는 공정을 가지는 것이 더욱 바람직하다.

상기 제3 발명에 있어서는, 상기 기판으로서, p형 실리콘 반도체 기판, n형 실리콘 반도체 기판, SOI 기판 등의 실리콘 기판을 사용하는 것이 바람직하다.

또, 상기 기판상에 상기 기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료로 이루어지는 도전층을 형성하는 공정은, 상기 기판상에 고용점 금속 실리사이드층 또는 고용점 금속층을 형성하는 공정을 가지는 것이 바람직하다.

상기 고용점 금속 실리사이드층을 형성하는 공정은 텅스텐 실리사이드(WSi_x), 몰리브덴 실리사이드(MoSi_x), 탄탈 실리사이드(TaSi_x) 및 티타늄 실리사이드(TiSi_x)로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상으로 이루어지는 층을 형성하는 공정을 가지는 것이 바람직하다.

또, 상기 고용점 금속층을 형성하는 공정은 텅스텐(W), 탄탈(Ta) 및 티타늄(Ti)으로 이루어지는 그룹으로부터 선택되는 1종 또는 2종 이상으로 이루어지는 층을 형성하는 공정을 가지는 것이 바람직하다.

또한, 본 발명은, 네째, 실리콘 기판상에 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막 상에 실리콘의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료로 이루어지는 도전층을 형성하는 공정과, 상기 도전층에 불순물을 도입하는 공정과, 상기 도전층을 가공하여 게이트 전극을 형성하는 공정과, 상기 실리콘 기판에 취출 전극을 형성하는 공정을 가지는 반도체 장치의 제조 방법을 제공한다. 제4 발명은 상기 제3 반도체 장치의 제조 방법의 발명을 보다 구체적으로 특정한 것으로서, 상기 제2 발명의 반도체 장치를 제조하는 방법이다.

상기 제4 발명에 있어서, 실리콘 기재로서는, p형 실리콘 반도체 기판, n형 실리콘 반도체 기판, SOI 기판 등을 바람직하게 사용할 수 있다.

상기 제1 및 제2 발명의 반도체 장치는, 최소한 상기 절연막, 바람직하게는, 게이트 절연막과 접하는 도전층, 바람직하게는, 게이트 전극 부분이 기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료, 바람직하게는, 고용점 금속 실리사이드 또는 고용점 금속으로 이루어지고, 이 도전성 재료가 불순물을 함유하고 있는 것을 특징으로 한다.

따라서, 상기 제1 및 제2의 본 발명의 반도체 장치는, 이른바 단채널 효과가 억제되고, 디바이스의 동작 속도를 유지하는 도전층(게이트 전극)을 가지는 반도체 장치로 되어 있다. 이에 더하여, 종래 문제로 되어 있던, 고용점 금속 실리사이드 또는 고용점 금속막 등의 도전성 재료의 그레인 성장에 따르는 하층 절연층의 내압 불량, 또는 MOSTr에서는 절연막(게이트 절연막)의 내압 불량 및 게이트 용량의 저하가 억제된 반도체 장치로 되어 있다.

또, 본 발명의 반도체 장치의 도전층이, 도전성 재료가 2종류 이상의 불순물을 함유하고 있는 경우에는, 1종류의 불순물이 도입되어 있는 경우에 비해, 도전성 재료의 그레인 성장을 보다 효과적으로 억제하는 것이 가능하다. 따라서, 보다 얇은 절연막, 예를 들면, 막 두께가 4nm 정도의 게이트 절연막을 형성하는 경우에 있어서도 절연 내압의 열화를 발생하지 않고, 신뢰성이 우수한 도전층, 즉 게이트 전극을 가지는 반도체 장치로 되어 있다.

또, 제3 및 제4 발명의 반도체 장치의 제조 방법에 의하면, 그 후의 열처리 공정이나 불순물 도입 공정의 조건에 아무런 변경을 하지 않고, 절연 내압의 저하나 게이트 용량의 저하를 초래하지 않고, 단채널 효과가 억제되어, 디바이스의 동작 속도가 유지된 도전층, 즉 게이트 전극을 가지는 반도체 장치를 제조할 수 있다.

또한, 도전층의 깊이 방향으로 불균일하게, 바람직하게는, 이 도전층의 깊이 방향에 대한 그 중앙부가 상대적으로 고농도, 그 상하 영역이 상대적으로 저농도가 되도록 불순물을 도입함으로써, 불순물을 도입하지 않은 경우와 동일한 절연막 계면 특성을 가지는 MOSTr을 형성할 수 있다. 따라서, 본 발명의 반도체 장치의 제조 방법에 의하면, 반도체 디바이스의 프로세스 설계의 자유도가 저하되지 않는다.

또, 도전층에 이온 주입법에 의해 불순물의 도입을 행하는 공정을 가지는 경우에는, 정확하게 제어된 가속 에너지 및 도즈량으로, 불순물을 이온 주입할 수 있다.

따라서, 본 발명에 의하면, LSI의 집적도를 향상시킬 수 있고, MOSTr의 구동 능력도 디자인 룰에 따라 향상시킬 수 있어, 디바이스의 고속 동작이 가능하게 된다.

다음에, 본 발명의 실시 형태를 도면을 참조하면서 설명한다.

제1 실시 형태

제1 실시 형태는 도 3 (A)에 나타낸 바와 같은 p채널 MOS 트랜지스터를 가지는 반도체이다.

도 3 (A)에 나타낸 반도체 장치는 n형 실리콘 반도체 기판(101)의 필드 산화막(102)에 의해 구획된 영역 상에, 산화 실리콘으로 이루어지는 게이트 산화막(103)을 가지고, 또 이 게이트 산화막(103) 상에 두께 약 100nm의 WSi_x(텅스텐 실리사이드)막(104)로 이루어지는 단층 구조의 게이트 전극을 가지고 있다.

또한, n형 실리콘 반도체 기판(101)의 이 게이트 전극의 하부 주변 영역에는, p형 불순물이 도입된 불순물 확산 영역(소스·드레인 영역)이 형성되어, 접속 플러그(107)를 통해 배선층(108)과 전기적으로 접속되어 있다. 그리고, 게이트 전극의 상부는 층간 절연막(106)에 의해 피복된 구조를 가지고 있다.

이 반도체 장치의 게이트 전극의 WSi_x막(104)은 도즈량으로 $5 \times 10^{14}/\text{cm}^2$ (농도로는 약 $5 \times 10^{19}/\text{cm}^3$)의 산소를 함유하고 있다. 이 결과, WSi_x막(104)의 그레인 사이즈는, 예를 들면, 850°C, 30분의 열처리의 후라도 최대 약 20nm의 사이즈로 억제되고 있다.

따라서, 본 실시 형태의 반도체 장치는 절연 내압의 저하나 게이트 용량의 저하를 초래하지 않고, 단채널 효과가 억제되어, 디바이스의 동작 속도가 유지된 신뢰성 높은 MOS 트랜지스터를 가지는 반도체 장치로 되어 있다.

제2 실시 형태

제2 실시 형태는, 도 3 (B)에 나타낸 바와 같은 n채널 MOS 트랜지스터를 가지는 반도체 장치이다. 도 3 (B)에 나타낸 반도체 장치는 상기 제1 실시 형태에서 나타낸 반도체 장치와 거의 동일한 구조를 가지고, 게이트 전극은 불순물로서 산소를 함유하는 WSi_x 막(204) 단층으로부터 형성된다.

이 반도체 장치에 있어서는, WSi_x 막(204) 중의 산소 농도를 깊이 방향에 대하여 변화시키고 있다. 즉, WSi_x 막(204)은 게이트 산화막(203)과의 계면 영역(WSi_x 막(204a):게이트 산화막(203)측으로부터 두께 10nm 정도의 영역)에서는, 산소 농도가 충분히 낮고(약 $10^{17}/cm^3$ 이하), 계속해서 중앙 영역(WSi_x 막(204b):(204a)측으로부터 두께 30nm 정도의 영역)에서는, 산소가 예를 들면, 약 $5 \times 10^{19}/cm^3$ 의 농도로, 또한 그 위의 영역(WSi_x 막(204c):(204b)측으로부터 두께 60nm 정도의 영역)에서는 산소가 약 $1 \times 10^{17}/cm^3$ 이하의 농도로 되는 구조를 가지고 있다.

본 실시 형태의 반도체 장치의 게이트 전극을 이와 같은 구조로 형성함으로써, WSi_x 막(204)과 바탕의 게이트 산화막(203)과의 계면 특성을 유지한 채, WSi_x 막(204)의 최소한 게이트 산화막(203)과 접하는 근방의 WSi_x 막(204a)의 그레인 성장을 억제하는 것이 가능하게 된다.

즉, 산소 농도가 약 $5 \times 10^{19}/cm^3$ 로 비교적 높은 중앙 영역(WSi_x 막(204b))은, 이 산소의 영향으로 WSi_x 의 그레인 성장이 저해되고, 또 산소 농도가 비교적 낮은 게이트 산화막과 접하는 부분(하부 영역)의 WSi_x 막(204a)에서도, 그 깊이 방향의 그레인 성장 제한에 의해, 그레인의 성장이 억제되고 있다.

또, 게이트 전극의 최상층(상부 영역)에 있는 WSi_x 막(204c)의 두께 60nm의 영역은 산소의 불순물 농도도 비교적 낮고(산소 농도를 높일 필요는 없음), 막 두께가 비교적 두꺼우므로 그레인도 비교적 커 약 50nm의 사이즈로 성장하지만, 이 부분에서의 WSi_x 막(204c)의 성장은 게이트 절연 내압의 열화나 게이트 용량의 저하에는 영향을 주지 않고, 게이트 전극의 저저항화에 기여하게만 된다.

따라서, 본 실시 형태의 반도체 장치는 단채널 효과가 억제되어, 디바이스의 동작 속도가 유지되고, 또한 게이트 절연막 내압 불량 및 게이트 용량의 저하가 더욱 억제된 매우 신뢰성 높은 MOS 트랜지스터를 가지는 반도체 장치로 되어 있다.

제3 실시 형태

제3 실시 형태는 상기 제1 실시 형태의 반도체 장치와 동일한 구조를 가지는 반도체 장치이며(도시를 편의상 생략), 이 반도체 장치의 게이트 전극은 산소 대신에, 도즈량으로 $5 \times 10^{15}/cm^3$ (농도로는, $5 \times 10^{20}/cm^3$)의 질소가 도입된 WSi_x 막의 단층으로 이루어진다.

이 경우에서도, WSi_x 막의 그레인 사이즈는, 예를 들면, 850°C, 30분의 열처리 후라도 약 20nm 이내의 사이즈로 되어 있다.

따라서, 본 실시 형태의 반도체 장치는 단채널 효과가 억제되어, 디바이스의 동작 속도가 유지되고, 또한 게이트 절연막 내압 불량 및 게이트 용량의 저하가 더욱 억제된 매우 신뢰성 높은 MOS 트랜지스터를 가지는 반도체 장치로 되어 있다.

제4 실시 형태

제4 실시 형태는 도 4 (A)에 나타낸 바와 같은 n채널 MOS 트랜지스터를 가지는 반도체 장치이다.

도 4 (A)에 나타낸 반도체 장치는 필드 산화막(302)에 의해 구획된 p형 실리콘 반도체 기판(301)의 영역 상에, 산화 실리콘으로 이루어지는 게이트 산화막(303)을 가지고, 다시 그 게이트 산화막(303) 상에 두께 약 100nm인 WSi_x (텅스텐 실리사이드)막(304)의 단층 구조의 게이트 전극을 가지고 있다.

이 반도체 장치는 이 게이트 전극의 측벽부에 측벽 보호막(306)이 형성되고, p형 실리콘 반도체 기판(301)의 측벽 보호막(306) 하부 주변 영역에는, n형 불순물이 도입된 n⁺ 불순물 확산 영역(소스·드레인 영역)(307)이 형성되고, 다시 n⁺ 불순물 확산 영역에 인접한 채널 영역에 n⁻ 불순물 확산 영역(305)을 형성한 LDD(Lightly Doped Drain) 구조를 가지고 있다. 그러므로, 드레인 전계를 n⁻ 불순물 확산 영역(305)으로 흡수하고 소스단(端)에의 영향을 억제하여, 전계 강도가 경감되고 있다.

또, n⁺ 불순물 확산 영역(307)은 접속 플러그(309)를 통해 전기적으로 배선층(310)과 접속되어 있다. 그리고, 게이트 전극의 상부는 층간 절연막(308)에 의해 피복된 구조를 가지고 있다.

이 반도체 장치의 게이트 전극의 WSi_x막(304) 중에는, 도즈량으로 $5 \times 10^{15}/\text{cm}^3$ (농도로는 약 $5 \times 10^{20}/\text{cm}^3$)의 질소 및 $5 \times 10^{15}/\text{cm}^3$ (농도로는 약 $5 \times 10^{20}/\text{cm}^3$)의 봉소가 동시에 도입되어 있다.

이 결과, WSi_x막(304)의 그레인 사이즈는, 예를 들면, 850°C, 30분의 열처리 후라도 약 15nm 이내의 사이즈로 되어 있어, 질소만을 도입한 경우보다도 더욱 WSi_x막의 그레인 성장이 억제되고 있다.

따라서, 본 실시 형태의 반도체 장치는 게이트 절연막 내압 불량 및 게이트 용량의 저하가 더욱 억제된 매우 신뢰성 높은 MOS 트랜지스터를 가지는 반도체 장치로 되어 있다.

제5 실시 형태

제5 실시 형태는 상기 제2 실시 형태의 반도체 장치와 동일한 구조를 가지는 n채널 MOS 트랜지스터를 가지는 반도체 장치이다(편의상, 도시를 생략하고 있음).

이 반도체 장치의 게이트 전극은 불순물로서 질소 및 봉소를 함유한 막 두께 100nm 정도의 WSi_x막의 단층 구조로 이루어지는 게이트 전극을 가지고 있으며, 이 WSi_x막은 농도 약 $1 \times 10^{19}/\text{cm}^3$ 의 봉소를 균일하게 함유하고 있으며, 또 질소를 깊이 방향에 대하여 그 농도를 변화시켜 함유하고 있다.

즉, 이 WSi_x막은 게이트 산화막과의 계면 영역(게이트 산화막측으로부터 두께 약 10nm 정도의 제1 영역)에서는 질소 농도가 충분히 낮고(약 $10^{19}/\text{cm}^3$ 이하), 계속해서 중앙 영역(상기 제1 영역측으로부터 두께 30nm 정도의 제2 영역)에서는 질소가 예를 들면, 약 $1 \times 10^{21}/\text{cm}^3$ 의 농도로 함유되고, 다시 그 위의 영역(상기 제2 영역측으로부터 두께 60nm 정도의 제3 영역)에서는 산소가 약 $1 \times 10^{19}/\text{cm}^3$ 이하의 농도로 되도록 함유된 구조를 가지고 있다.

본 실시 형태의 반도체 장치의 게이트 전극을 이와 같은 구조로 형성함으로써, WSi_x막과 바탕인 게이트 산화막과의 우수한 계면 특성을 유지한 채로, 게이트 산화막과 접하는 근방에서의 제1 영역의 WSi_x막의 그레인 성장을 억제하는 것이 가능하게 된다.

즉, 질소 농도가 $1 \times 10^{21}/\text{cm}^3$ 로 비교적 높은 중앙 영역(제2 영역)은 이 질소 및 봉소의 영향으로 WSi_x의 그레인 성장이 저해되고 있으며, 또 질소 농도가 비교적 낮은 게이트 산화막과 접하는 부분(제1 영역)의 WSi_x막에서도, 그 막 두께 방향의 그레인 성장 제한에 의해 그레인의 성장이 억제되고 있다.

또, 게이트 전극의 최상층(제3 영역)에 있는 WSi_x막의 두께 60nm의 영역은 질소의 불순물 농도도 비교적 낮고(질소 농도를 높일 필요가 없음), 막 기판이 비교적 두꺼우므로 그레인도 비교적 크게(약 30nm) 성장하지만, 이 제3 영역에서의 WSi_x막의 성장은 게이트 절연 내압의 열화나 게이트 용량의 저하에는 영향을 주지 않고, 게이트 전극의 저저항화에 기여하게만 된다.

따라서, 본 실시 형태의 반도체 장치는 게이트 절연막 내압 불량 및 게이트 용량의 저하가 더욱 억제된 매우 신뢰성 높은 MOS 트랜지스터를 가지는 것으로 되어 있다.

이상 설명한 제1~제5 실시 형태에서는, WSix 단층으로 이루어지는 게이트 전극을 가지는 반도체 장치를 예로 들어 본 발명을 설명했다. 본 발명의 반도체 장치는 이에 한정되지 않고, 그 게이트 전극은 다른 고용접 금속 실리사이드, 예를 들면, 몰리브덴 실리사이드($MoSi_x$), 탄탈 실리사이드($TaSi_x$), 티타늄 실리사이드($TiSi_x$)나, 고용접 금속, 예를 들면, 텅스텐(W), 탄탈(Ta) 및 티타늄(Ti) 등의 도전성 재료로 형성되어 있어도 된다.

제6 실시 형태

또, 게이트 전극은 이들 고용접 금속 실리사이드 또는 고용접 금속과, p형 불순물 또는 n형 불순물이 도입된 도전성 폴리실리콘층과의 적층으로 형성되어 있어도 된다. 제6 실시 형태는 이러한 게이트 전극을 가지는 반도체 장치이다.

도 4 (B)에 나타낸 반도체 장치는 필드 산화막(402)에 의해 구획된 n형 실리콘 반도체 기판(401)의 영역 상에, 산화 실리콘으로 이루어지는 게이트 산화막(403)을 가지고, 다시 그 게이트 산화막(403) 상에 두께 약 60nm의 WSi_x 막(404a), 및 이 WSi_x 막(404a) 상에 도전성 폴리실리콘층(404b)으로 이루어지는 2층 구조의 게이트 전극을 가지고 있다.

또한, n형 실리콘 반도체 기판(401)의 이 게이트 전극의 하부 주변 영역에는, p형 불순물이 도입된 불순물 확장 영역(소스·드레인 영역)(405)이 형성되어, 접속 플러그(407)를 통해 배선층(408)과 전기적으로 접속되어 있다. 그리고, 게이트 전극의 상부는 층간 절연막(406)에 의해 피복된 구조를 가지고 있다.

이 반도체 장치의 게이트 장치의 WSi_x 막(404b)은 게이트 절연막(403) 상에 접해 형성되어 있고, 도즈량으로 $5 \times 10^{14}/cm^2$ (농도로는 약 $5 \times 10^{19}/cm^3$)의 산소를 함유하고 있다. 이 결과, WSi_x 막(404b)의 그레인 사이즈는 예를 들면, 850°C, 30분의 열처리 후라도 최대 약 20nm의 사이즈로 억제되고 있다.

따라서, 본 실시 형태의 반도체 장치에서도, 절연 내압의 저하나 게이트 용량의 저하를 초래하지 않고, 단채널 효과가 억제되어, 디바이스의 동작 속도가 유지된 신뢰성 높은 MOS 트랜지스터를 가지는 반도체 장치로 되어 있다.

상기 제6 실시 형태에서는, WSix막과 도전성 폴리실리콘과의 적층 구조의 게이트 전극을 가지는 반도체 장치를 예로 들어 설명했지만, WSix의 다른 고용접 금속 실리사이드 또는 고용접 금속과 도전성 폴리실리콘과의 적층체로 형성되어 있어도 된다. 다만, 최소한 게이트 절연막과의 경계 부분은 기판 재료의 미드갭(mid-gap)의 거의 중앙의 일함수를 가지는 도전성 재료로 형성되어 있을 필요가 있다.

또한, 제1~제6 실시 형태에서는, 도전층이 게이트 절연막 상에 형성된 게이트 전극인 반도체 장치를 예로 들어 설명하고 있지만, 도전층이 이 이외의 동일한 구조의 MOS 콘덴서인 반도체 장치나, 불순물이 도입된 도전층이 실리콘 반도체 기판에 형성된 p-well 또는 n-well 상에 형성된 MOSTr MOS 콘덴서의 전극에 사용된 반도체 장치라도 된다.

또, 제1~제6 실시 형태에서는 벌크 실리콘 기판(n형 실리콘 반도체 기판)을 사용하고 있지만, 벌크 실리콘 기판(p형 실리콘 반도체 기판) 또는 SOI 구조의 기판이라도 된다.

다음에, 반도체 장치의 제조 방법을 상세하게 설명한다.

그리고, 다음의 실시 형태에서의 도전층(WSi_x 막)의 막 두께나 그레인 성장을 억제하는 불순물의 도즈량, 주입 조건, 열처리의 조건 등은 어디까지나 그 일예로서, 형성할 반도체 장치에 따라 적당히 설계 변경이 가능하다.

제7 실시 형태

제7 실시 형태는 상기 제1 실시 형태의 반도체 장치의 제조 방법이다. 도 5 (A)로부터 도 5 (D) 및 도 6(A)로부터 도 6 (D)에, 본 실시 형태에 의해 제조되는 MOSTr의 제조 공정을 나타냈다.

먼저, 도 5 (A)에 이르기까지의 공정을 설명한다. p형 실리콘 반도체 기판(101) 상에, 예를 들면, 950°C에서 웨트(wet) 산화하는 LOCOS(local oxidation of silicon)법에 의해 필드 산화막(102)을 약 400nm의 두께로 형성한다.

이어서, 소스·드레인 영역이나 채널 영역이 되는 활성 영역의 표층부에, 스레시홀드 전압(Vth) 조정을 위한 이온 주입, 및 실리콘 반도체 기판(101)의 심부(深部)에 펀치스루(punchthrough) 저지용의 매입층(buried layer)을 형성하기 위한 이온 주입을 행한다(도시를 생략).

계속해서, H_2 와 O_2 의 혼합 가스를 사용하여, 850°C의 온도 조건에서 파이로제닉 산화(pyrogenic oxidation)를 행하고, 필드 산화막(102)에 의해 구획된 실리콘 기판(101)의 영역 상에, 게이트 산화막(103)을, 예를 들면, 막 두께 5nm로 형성한다. 이상과 같이 하여, 도 5 (A)에 나타낸 구조를 얻는다.

그 후, 도 5 (B)에 나타낸 바와 같이, 게이트 전극의 WSi_x 막(104)을 약 100nm 퇴적한다. WSi_x 막(104)은 게이트 산화막(103)에 직접 퇴적해도 밀착성이나 게이트 내압을 현저하게 열화시키지 않도록 하기 위해, $SiH_2Cl_2 + WF_6$ 의 반응계(reaction system)로, 다음과 같은 silicon-rich(WSi_x : $x=3.0$)의 조건으로 형성한다.

(WSi_x 막(104)의 성막 조건)

성막 장치: Cold-Wall형 LP-CVD 장치

성막 온도: 600°C

성막 압력: 40 Pa

성막 가스(유량): $SiH_2Cl_2/WF_6/Ar = 160/1.6/100$ sccm

그리고, WSi_x (x 는 1~3의 임의의 수를 표시함)로 표시되는 텅스텐 실리사이드에는, 예를 들면, W_2Si_3 , WSi_2 , WSi_3 등이 알려져 있다.

이어서, 도 5 (C)에 나타낸 바와 같이, WSi_x 막(104)의 그레인 성장을 억제하기 위해, 산소 이온(O_2^+ 이온)을 가속 에너지 15keV 및 도즈량 $5 \times 10^{14}/cm^2$ 의 조건으로 전면(全面)에 이온 주입한다. 이 때의 이온 주입은 O_2^+ 이온의 비정(飛程: range of flight)이 WSi_x 막(104) 내에 존재하도록 행한다.

또한, 도 5 (D)에 나타낸 바와 같이, 포토레지스트(109) 전면(全面)에 도포하여, 패터닝을 행하고, 게이트 전극 패턴에 따른 게이트 전극의 레지스터 패턴을 형성한다.

다음에, 도 4 (A)에 나타낸 바와 같이, 이 패턴 형성된 레지스트(109)를 마스크로, WSi_x 막(104)의 에칭을 행하여, 게이트 전극을 형성한다.

이 때의 에칭 조건은, 예를 들면, 다음과 같이 하여 행한다.

에칭 장치: ECR(electron cyclotron resonance) 플라즈마 에칭 장치

에칭 온도: 20°C

압력: 0.4Pa

RF 파워: 스텝 1 = 80W, 스텝 2 = 30W

가스 유량: $Cl_2/O_2 = 75/5$ sccm

이어서, 도 6 (B)에 나타낸 바와 같이, 레지스트 마스크(110) 및 게이트 전극(104)을 마스크로 사용하여, 게이트 전극 하부 주변 영역에 필드 산화막(102)에 의해 구획된 n형 실리콘 반도체 기판(101)의 영역에, 예를 들면, p형 불순물인 BF_2^+ 를, 가속 에너지 약 20kev, 도즈량 $3 \times 10^{15}/\text{cm}^2$ 정도로 이온 주입한다. 그 후, N_2 분위기 중에서 850°C로 30분의 가열 처리를 행하고, 불순물의 활성화를 행함으로써, p형 불순물 확산 영역(소스·드레인 영역)(105)을 형성한다.

그 후, 도 6 (C)에 나타낸 바와 같이, 레지스트 마스크(110)를 제거하고, 도 6 (D)에 나타낸 바와 같이, 예를 들면, O_2^- -TEOS(tetraethylorthosilicate)를 사용하는 감압 CVD(chemical vapor deposition)법에 의해, 층간 절연막(106)을 전면에 퇴적시킨다.

또한, 층간 절연막(106)에 p형 불순물 확산 영역(105)에 달하는 콘택트 홀을 개구하고, 이 콘택트 홀 안에 텅스텐이나 알루미늄 등의 금속을 매입함으로써 콘택트 플러그(110)를 형성하고, 알루미늄 등으로 이루어지는 배선층(111)의 형성을 차례로 행함으로써, 도 3 (A)에 나타낸 바와 같은 p채널 MOS 트랜지스터를 가지는 반도체 장치를 제조할 수 있다.

본 실시 형태에 의하면, 도즈량으로 $5 \times 10^{14}/\text{cm}^2$ (농도로는 약 $5 \times 10^{19}/\text{cm}^3$)의 산소가 도입되어 이루어지는 게이트 전극의 WSix 막(104)을, 간편하고 또한 수율 양호하게 형성할 수 있다. 또, 이 WSix 막(104)의 그레인 사이즈는, 예를 들면, 850°C, 30분의 열처리(이온 주입 후의 어닐) 후라도 최대 약 20nm의 사이즈로 억제할 수 있다. 따라서, 게이트 절연막 내 압 불량 및 게이트 용량의 저하가 억제된 신뢰성 높은 MOS 트랜지스터를 가지는 반도체 장치를 제조할 수 있다.

제8 실시 형태

본 실시 형태는 상기 제2 실시 형태의 반도체 장치를 제조하는 예이다. 제7 실시 형태에서는, 게이트 산화막 상의 WSi_x 막에 산소 이온을 균일하게 이온 주입하고 있지만, 본 실시 형태에서는 게이트 전극을 구성하는 WSi_x 막에 함유되는 산소 이온 농도를 깊이 방향으로 변화시키는 것이다.

먼저, 도 7 (A)에 나타낸 바와 같이, 상기 제1 실시 형태와 동일하게 하여, p형 실리콘 반도체 기판(201) 상에, 예를 들면, 950°C에서 습식(濕式) 산화하는 LOCOS법에 의해, 필드 산화막(202)을 약 400nm의 두께로 형성한다.

다음에, 소스·드레인 영역이나 채널 영역이 되는 활성 영역의 표층부에, 스레시홀드 전압(V_{th}) 조정을 위한 이온 주입, 및 실리콘 반도체 기판(201)의 심부에 편치스루 저지용 매입층을 형성하기 위한 이온 주입을 행한다(도시를 생략).

계속해서, H_2 와 O_2 의 혼합 가스를 사용하여, 850°C의 온도 조건에서 파이로제닉 산화를 행하고, 실리콘 기판(101)의 필드 산화막(202)에 의해 구획된 영역 상에, 게이트 산화막(203)을, 예를 들면 막 두께 5nm으로 형성한다. 이상과 같이 하여, 도 7 (A)에 나타낸 구조를 얻는다.

이어서, 도 7 (B)에 나타낸 바와 같이, $\text{SiH}_2\text{Cl}_2-\text{WF}_6$ 을 사용하는 CVD법에 의해, 게이트 산화막(203) 상에 두께 100nm로 퇴적시킨 WSi_x 막(204')을 형성한다. 그 후, 이 WSi_x 막(204')에 산소 이온 농도가 막 두께 방향(깊이 방향)으로 변화하도록 산소 이온을 주입한다.

이온 주입법은 불순물을 이온 주입할 때에, 이온 주입의 에너지 및 도즈량을 정확하게 제어하는 것이 가능하고, 에너지를 조정함으로써, 주입되는 불순물 이온의 주입 위치를 결정할 수 있다(즉, 이온을 주입하는 측의 표면으로부터 어느 정도의 깊이 위치로 불순물 이온이 주입되는가가 결정된다). 또, 이온 주입의 도즈량을 조정함으로써, 도입되는 불순물 농도를 조정하는 것이 가능하다.

본 실시 형태에서는, 산소 이온 주입을, 예를 들면, 다음과 같은 조건으로 행한다.

먼저, 산소 이온을 WSi_x 막(204')의 게이트 산화막과 접하는 부분의 게이트 산화막 계면으로부터 상측 방향으로 약 10nm의 범위 내에, 산소 농도가 $1 \times 10^{17}/\text{cm}^2$ 이하가 되도록 이온 주입한다.(WSi_x 막(204a)의 형성).

이어서, WSi_x 막(204')의 게이트 산화막 계면으로부터 상측 방향으로 10~40nm의 범위 내에 있는 중앙 영역의 두께 약 30nm의 WSi_x 막에, 산소 농도가 약 $5 \times 10^{19}/cm^3$ 가 되도록 산소 이온의 이온 주입을 행한다(WSi_x 막(204b)의 형성).

마지막으로, 그 위의 약 60nm의 범위 내에 있는 WSi_x 막(204')에, 산소 농도가 약 $1 \times 10^{17}/cm^3$ 이하로 되도록 이온 주입을 행한다(WSi_x 막(204)의 형성).

이상과 같이 하여, 도 7 (C)에 나타낸 바와 같이, 산소 농도가 막 두께 방향(깊이 방향)으로 변화하도록 산소를 함유시킨 WSi_x 막(204)을 얻는다.

다음에, 상기 제7 실시 형태와 동일하게 하여, 도시하지 않은 포토레지스트를 전면에 도포하여, 패팅닝하고, 게이트 전극 패턴에 따른 게이트 전극의 레지스트 패턴을 형성한다. 또한, 이 패턴 형성된 레지스트(109)를 마스크로, WSi_x 막(204)의 에칭을 행하여, 게이트 전극을 형성한다. 이상과 같이 하여, 도 7 (D)에 나타낸 구조를 얻는다.

그 후에는, 상기 제7 실시 형태와 동일한 프로세스를 거침으로써, 도 3 (B)에 나타낸 반도체 장치를 제조할 수 있다.

본 실시 형태에 의하면, WSi_x 막(204)과 바탕인 게이트 산화막(203)과의 계면 특성을 유지한 채, WSi_x 막(204)의 최소한 게이트 산화막(203)과 접하는 근방의 WSi_x 막(204a)의 그레인 성장을 억제할 수 있다.

즉, 산소 농도가 약 $5 \times 10^{19}/cm^3$ 로 비교적 높은 중앙 영역(WSi_x 막(204b))은 이 산소의 영향으로 WSi_x 의 그레인 성장이 저해된다. 또, 산소 농도가 비교적 낮은 게이트 산화막과 접하는 부분(하부 영역)의 WSi_x 막(204a)에서도, 그 막 두께 방향의 그레인 성장이 제한됨으로써, 그레인의 성장을 억제할 수 있다.

또, 게이트 전극의 최상층(상부 영역)에 있는 WSi_x 막(204c)의 두께 60nm의 영역은, 산소의 불순물 농도도 비교적 낮고(산소 농도를 높일 필요는 없음), 막 두께가 비교적 두꺼우므로 그레인도 비교적 커 약 50nm의 사이즈로 성장하지만, 이 부분에서의 WSi_x 막(204c)의 성장은 게이트 절연막 내압의 열화나 게이트 용량의 저하에는 영향을 주지 않고, 게이트 전극의 저저항화에 기여하게만 된다.

따라서, 본 실시 형태에 의하면, 게이트 절연막 내압 불량 및 게이트 용량의 저하가 더욱 억제된 매우 신뢰성이 높은 MOS 트랜지스터를 가지는 반도체 장치를 제조할 수 있다.

제9 실시 형태

제9 실시 형태는 상기 제4 실시 형태에 나타낸 반도체 장치를 제조하는 예이다. 다음에, 본 실시 형태의 반도체 장치의 제조 방법을 도면을 참조하면서 설명한다.

먼저 도 8 (A)에 나타낸 바와 같이, n형 실리콘 반도체 기판(301) 상에, 예를 들면 950°C에서 습식 산화하는 LOCOS법에 의해 필드 산화막(302)을 약 400nm의 두께로 형성한다.

다음에, 소스·드레인 영역이나 채널 영역이 되는 활성 영역의 표층부에, 스레시홀드 전압(V_{th}) 조정을 위한 이온 주입, 및 실리콘 반도체 기판(301)의 심부에 편치스루 저지용의 매입층을 형성하기 위한 이온 주입을 행한다(도시를 생략).

계속해서, H_2 와 O_2 의 혼합 가스를 사용하여, 850°C의 온도 조건에서 파이로제닉 산화를 행하여, 필드 산화막(302)에 의해 구획된 실리콘 기판(301)의 영역 상에, 게이트 산화막(303)을, 예를 들면, 막 두께 4nm로 형성한다.

이어서, 도 8 (B)에 나타낸 바와 같이, 게이트 산화막(303) 상에 WSi_x 막(304')을 두께 100nm 정도로 형성한다. 이 WSi_x 막(304')은 게이트 산화막(303) 상에 직접 퇴적시켜도 밀착성이거나 게이트 내압을 현저하게 열화시키지 않도록 하기 위해, $SiH_2Cl_2 + WF_6$ 의 반응계로, silicon-rich(WSi_x : $x=3.0$)의 조건으로 할 필요가 있다.

다음에, WSi_x 막에 불순물을 도입한다. 불순물의 도입은, WSi_x 를 퇴적시킨 후, 최초로 열처리가 인가(application)되기 전에 행해지는 것이 효과적이며, WSi_x 의 퇴적 시에, in-situ에서 도입시키는 것이 가장 바람직하다. 본 실시 형태에서는, 봉소를 WSi_x 의 막 두께 방향으로 균일하게 도입하고, 질소를 WSi_x 막을 성막한 후에 도입한다. 예를 들면, 다음의 조건으로 in-situ에서 봉소가 도입된 WSi_x 막을 형성한다.

성막 장치: Cold-Wall형 LP-CVD 장치

성막 온도: 680°C

성막 압력: 40 Pa

성막 가스(유량): $SiH_2Cl_2/WF_6/B_2H_6/Ar = 160/1.6/0.5/100$ sccm

이어서, 도 8 (C)에 나타낸 바와 같이, 질소 이온을, 예를 들면, 에너지 20keV, 도즈량 $5 \times 10^{15}/cm^2$ 의 조건으로 전면에 이온 주입한다. 이 때, 질소 이온의 비정은 WSi_x 막 내에 존재시킬 필요가 있다.

그 후, 도 8 (D)에 나타낸 바와 같이, 게이트 전극의 레지스트 패턴(311)을 형성하고, 도 9 (A)에 나타낸 바와 같이, 이 레지스트 패턴(311)을 마스크로, WSi_x 막(304')을 다음과 같은 예칭 조건으로 가공하여, 게이트 전극(304)을 형성한다.

WSi_x 의 예칭 가공 조건

예칭 장치: ECR Plasma Etcher

예칭 온도: 20°C

예칭 압력: 0.4 Pa

RF Power: Step 1 = 80W, Step 2 = 30W

예칭 가스: $Cl_2/O_2 = 75/5$ sccm

다음에, 도 9 (B)에 나타낸 바와 같이, 필드 산화막(302)에 의해 구획된 실리콘 기판(301)의 영역의 게이트 전극 하부 주변에 불순물을 도입함으로써, p형 불순물 확산 영역(305)을 형성한다. 본 실시 형태에서는 PMOS 트랜지스터를 형성하므로, BF_2^+ 이온을, 가속 에너지 약 20keV, 도즈량 $3 \times 10^{15}/cm^2$ 로 이온 주입한다.

이 경우에 있어서, NMOS 트랜지스터를 형성하는 경우에는, BF_2^+ 이온 대신에 As의 이온 주입을 행할 수 있다. 또, 예를 들면, CMOS와 같이, 동일 실리콘 기판상에, n채널 MOS 트랜지스터와 p채널 MOS 트랜지스터를 형성하는 경우에는, n채널 MOS 트랜지스터와 p채널 MOS 트랜지스터를 형성하는 영역에서, 레지스트 마스크를 사용하여 상이한 도전형의 불순물 이온을 분리하여 주입할 필요가 있다.

이어서, 도 9 (C)에 나타낸 바와 같이, 예를 들면, O_2 -TEOS를 사용하는 LP-CVD법에 의해 산화 실리콘막을 퇴적시킨 후, 이방성(異方性: anisotropic etching) 예칭에 의해 측벽 보호막(303)을 형성한다.

그 후, 측벽 보호막(303)을 마스크로, 실리콘 기판(301)의 필드 산화막(302)으로 구획된 영역의 게이트 전극 하부 주변에 불순물을 이온 주입한다. 본 실시 형태에서는, PMOS 트랜지스터를 형성하므로, 이온 주입의 조건으로서는, 예를 들면, BF_2^+ 이온을, 가속 에너지 10~30keV, 도즈량 $3 \times 10^{15}/cm^2$ 로 한다.

이 경우에 있어서, NMOS 트랜지스터를 형성하는 경우에는, BF₂₊ 이온 대신에 As의 이온 주입을 행한다. 또, 예를 들면, CMOS와 같이, 동일 실리콘 기판상에, n채널 MOS 트랜지스터와 p채널 MOS 트랜지스터를 형성하는 경우에는, n채널 MOS 트랜지스터와 p채널 MOS 트랜지스터를 형성하는 영역에서, 레지스트 마스크를 사용하여 상이한 도전형의 불순물 이온을 분리하여 주입할 필요가 있다.

또한, 불순물의 확산시킨 후, N₂ 분위기 하에서, 다음의 조건으로 불순물의 활성화를 행함으로써, 소스·드레인 영역(307)을 형성한다.

활성화의 열처리 조건

장치: 전기로 어닐 장치

온도: 850°C

시간: 30분

이어서, 통상의 프로세스에 의해, 산화 실리콘막, 질화 실리콘막, 및 BPSG(boron phosphosilicated glass)(또는 NSG (non-doped silicate glass))막의 3층으로 이루어지는 층간 절연막(308)을 형성한다. 예를 들면, SiH₄와 O₂의 혼합 가스를 사용한 LP-CVD법에 의해, 온도 약 450°C에서 막 두께 약 100nm의 산화 실리콘막을 퇴적시키고, 이 산화 실리콘막 상에, 예를 들면 SiH₂Cl₂와 NH₃의 혼합 가스를 사용한 LP-CVD법에 의해, 온도 760°C에서 질화 실리콘막을 막 두께 약 30~80nm 형성하고, 다시 이 질화 실리콘막 상에, 예를 들면 O₂와 TEPS의 혼합 가스를 사용한 CVD법에 의해, 온도 약 700°C에서, BPSG막 또는 NSG막을 막 두께 약 250nm 형성함으로써, 3층으로 이루어지는 층간 절연막(308)을 얻을 수 있다.

그 후, 층간 절연막(308) 상에 콘택트 홀 형성을 위한 도시하지 않은 레지스트 패턴을 형성하고, 이 레지스트 패턴을 마스크로 하여, BPSG(또는 NSG)막, 질화 실리콘막 및 산화 실리콘막을 차례로 이방성 에칭의 기술에 의해 에칭함으로써, 소스·드레인 영역(307)에 달하는 도시하지 않은 콘택트 홀을 개구한다. 이어서, 이 콘택트 홀에 텅스텐을, 예를 들면, CVD법에 의해 매입하여 접속 플러그(307)를 형성하고, 다시 그 위에 알루미늄 등으로 이루어지는 배선층(310)을 형성하는 등의 공정을 거쳐, 도 4 (A)에 나타낸 바와 같은 반도체 장치를 제조할 수 있다.

이상과 같이 하여, 붕소 및 질소를 불순물로서 함유하는 WSi_x로 이루어지는 게이트 전극을 가지는 반도체 장치를 간편하게 또한 수율 양호하게 제조할 수 있다. 본 실시 형태의 반도체 장치는 붕소 및 질소를 불순물로서 함유하는 WSi_x로 형성된 게이트 전극을 가지고 있으므로, 게이트 절연막 내압 불량 및 게이트 용량의 저하가 더욱 억제된 신뢰성이 높은 MOS 트랜지스터를 가지는 반도체 장치로 되어 있다.

특히, 본 실시 형태에서는, WSi_x막을 퇴적시킬 때, 붕소가 in-situ에서 도입되어 있으므로, 이온 주입으로 도입하는 경우와 비교하여 깊이 방향으로 농도가 균일해지도록 도입하는 것이 가능하게 된다.

제10 실시 형태

제10 실시 형태는 상기 제5 실시 형태에 나타낸 반도체 제조 방법의 일 예이다. 먼저, 상기 제9 실시 형태와 동일한 프로세스를 거쳐, 도 10 (A)에 나타낸 바와 같이, 필드 산화막(502)에 의해 분리된 n형 시리콘 반도체 기판(501)의 영역상에 게이트 산화막(503)을 형성한다.

이어서, 다음에 나타낸 조건을 조합함으로써, 게이트 절연막 상에 질소를 함유하고, 그 함유 농도를 막 두께 방향(깊이 방향)으로 변화시킨 WSi_x막을 퇴적시킨다.

제1 스텝으로 도 10 (B)에 나타낸 바와 같이, WSi_x막(504a)을 다음의 조건 하에서 형성한다.

성막 장치: Cold-Wall형 LP-CVD 장치

성막 온도: 680°C

성막 압력: 40 Pa

성막 가스(유량): $\text{SiH}_2\text{Cl}_2/\text{WF}_6/\text{B}_2\text{H}_6/\text{Ar}=160/1.6/0.5/100\text{sccm}$

제2 스텝으로 도 10 (C)에 나타낸 바와 같이, WSi_x 막(504b)을 다음의 조건 하에서 형성한다.

성막 장치: Cold-Wall형 LP-CVD 장치

성막 온도: 680°C

성막 압력: 40 Pa

성막 가스(유량): $\text{SiH}_2\text{Cl}_2/\text{WF}_6/\text{B}_2\text{H}_6/\text{Ar}/\text{NH}_3=160/1.6/0.5/100/1.0\text{sccm}$

제3 스텝으로 도 11 (A)에 나타낸 바와 같이, WSi_x 막(504c)을 다음의 조건 하에서 형성한다.

성막 장치: Cold-Wall형 LP-CVD 장치

성막 온도: 680°C

성막 압력: 40 Pa

성막 가스(유량): $\text{SiH}_2\text{Cl}_2/\text{WF}_6/\text{B}_2\text{H}_6/\text{Ar}=160/1.6/0.5/100\text{sccm}$

또한, 게이트 전극 형성을 위한 도시하지 않은 레지스트 패턴을 형성하고, 상기 제9 실시 형태와 동일하게 WSi_x 막(504a, 504b 및 504c)을 에칭 가공하여, 도 11 (B)에 나타낸 바와 같은 게이트 전극을 형성한다.

그 후에는, 각 공정의 도시를 생략하고 있지만, 상기 제9 실시 형태와 동일한 방법으로, 실리콘 반도체 기판(501)의 게이트 전극 하부 주변 영역에, p형 불순물을 이온 주입법에 의해 확산시킨 후, 가열 처리(어닐)를 실시함으로써 활성화시켜 소스·드레인 영역(505)을 형성한다. 전면에 충간 절연막(506)을 형성한 후, 이 충간 절연막(506) 내에, 소스·드레인 영역(505)에 달하는 콘택트 홀을 형성한 후, 그곳에 텅스텐 등의 도전 재료를 매입하여 콘택트 플러그(507)를 형성하고, 그 위에 알루미늄 등으로 이루어지는 배선층(508)을 형성함으로써, 도 11 (C)에 나타낸 바와 같은 반도체 장치를 제조할 수 있다.

본 실시 형태에서는, WSi_x 막(504)의 깊이 방향으로 WSi_x 의 그레인 성장을 저해하는 불순물을 불균일하게 도입하는 방법으로서, CVD 스텝을 변화시키고(제1 스텝→제2 스텝→제3 스텝), 불순물 프로파일(profile)을 제어하여 불순물에 혼입(混入)시키고 있다. 이와 같이 하여 질소 농도를 깊이 방향으로 변화시켜 WSi_x 막을 성막시킴으로써, WSi_x 막(504)의 중앙 영역(504b)에서는, WSi_x 의 그레인 성장이 저해되고, 이 깊이 방향의 그레인 성장 제한에 의해, 그 하부 영역의 열산화막(503)과의 계면 부근(504a)에서는, 이 불순물의 혼입 영향을 받지 않는 상태에서의 밀착성이나 일함수를 그대로 유지하면서(우수한 계면 특성을 유지하면서), WSi_x 막(504a)의 그레인 성장을 억제할 수 있다. 또, WSi_x 막(504)의 상층 부분(상부 영역(504c))은 불순물의 영향을 받지 않고 WSi_x 막의 그레인이 크게 성장하지만, 열산화막(503)과의 계면 부근(504a)에는 이 영향을 주지 않아, 저저항의 WSi_x 막(504c)이 얻어진다.

따라서, 본 실시 형태의 반도체 장치는 게이트 절연막 내압 불량 및 게이트 용량의 저하가 억제된 신뢰성 높은 MOS 트랜지스터를 가지는 것이다.

그리고, 본 실시 형태에서는, CVD의 각 스텝에서의 가스 조성에 NH_3 을 가하는지 여부에 따라, WSi_x 막 중에 함유되는 질소 농도를 깊이 방향으로 변화시키고 있지만, NH_3 의 유량을 연속적으로 변화시킴으로써, 연속적으로 WSi_x 막 중에 함유되는 질소 농도를 막 두께 방향으로 변화하도록, WSi_x 막을 형성하는 것도 가능하다.

제11 실시 형태

본 실시 형태에서는 실리콘 반도체 기판상에 게이트 산화막을 형성하고, 다시 이 게이트 산화막 상에 WSi_x 막을 형성한 경우에, 이 WSi_x 막 중에 불순물로서 질소의 함유량을 변화시킨 경우에, 게이트 산화막의 내압 특성이 어떻게 변화되는가를 조사한 것이다.

즉, 실리콘 반도체 기판상에, 막 두께 4.0nm의 게이트 산화막을 형성하고, 그 위에, 막 두께 70nm의 WSi_x 막을 형성하고, 다시 이 WSi_x 막에 소정 도즈량의 N_2^+ 이온을 이온 주입한 후, 850°C에서 30분간 가열 처리를 행한 후, 게이트 전극을 에칭 가공에 의해 형성하여, 그 게이트 산화막의 내압 특성을 조사했다.

결과를 도 12에 나타냈다. 도 12 중, 종축은 누적 불량률(cumulative failure($\times 100\%$))을 표시하고, 횡축은 게이트 내압, 즉 TZDB(V)(time zero dielectric breakdown)을 표시한다. 또, 커브 a는 질소 이온을 이온 주입하지 않은 경우, b는 질소 이온을 $5 \times 10^{15}/\text{cm}^2$ 의 도즈량으로 이온 주입한 경우, c는 질소 이온을 $7.5 \times 10^{15}/\text{cm}^2$ 의 도즈량으로 이온 주입한 경우, d는 질소 이온을 $1 \times 10^{16}/\text{cm}^2$ 의 도즈량으로 이온 주입한 경우를 각각 나타낸다.

도 12에서, 질소 이온을 이온 주입한 어느 경우에도, 질소 이온을 이온 주입하지 않은 경우와 비교하여, 우수한 게이트 내압 특성이 얻어지는 것을 알 수 있다.

제12 실시 형태

제12 실시 형태에서는, 실리콘 반도체 기판상에 게이트 산화막을 형성하고, 다시 이 게이트 산화막 상에 WSi_x 막을 형성한 경우에, 이 WSi_x 막 중에 불순물로서 질소를 균일하게 함유시키고, 붕소의 함유량을 변화시킨 경우에, 게이트 산화막의 내압 특성이 어떻게 변화되는가를 조사한 것이다.

즉, 실리콘 반도체 기판상에, 막 두께 4.0nm의 게이트 산화막을 형성하고, 그 위에 막 두께 70nm의 WSi_x 막을 형성하고, 다시 이 WSi_x 막에 도즈량 $5 \times 10^{15}/\text{cm}^2$ 의 N_2^+ 이온을 전면에 이온 주입하고, 다시 여러 가지의 도즈량으로 B^+ 이온을 이온 주입한 후, 850°C에서 30분간 가열 처리를 행한 후, 게이트 전극을 에칭 가공에 의해 형성하여, 그 게이트 산화막의 내압 특성을 조사했다.

결과를 도 13에 나타냈다. 도 13 중, 종축은 누적 불량률($\times 100\%$)을 표시하고, 횡축은 게이트 내압(TZDB(V))을 표시한다. 또, 커브 a는 B^+ 이온을 이온 주입하지 않은 경우, b는 B^+ 이온을 $1 \times 10^{15}/\text{cm}^2$ 의 도즈량으로 이온 주입한 경우, c는 B^+ 이온을 $3 \times 10^{15}/\text{cm}^2$ 의 도즈량으로 이온 주입한 경우, d 및 e는 B^+ 이온을 $5 \times 10^{15}/\text{cm}^2$ 의 도즈량으로 이온 주입한 경우를 각각 나타낸다. d 및 e는 2장의 웨이퍼를 사용하여 동일 조건에서 행한 실험 결과이다.

도 13에 나타낸 바와 같이, 거의 동일 결과가 얻어져, 재현성(reproducibility)이 있는 것을 알 수 있다.

또, 도 13으로부터, 질소 이온과 B^+ 이온을 이온 주입한 모든 경우에도, 질소 이온만을 이온 주입한 경우와 비교하여, 우수한 게이트 내압 특성이 얻어지는 것을 알 수 있다.

발명의 효과

이상 설명한 바와 같이, 제1 및 제2 발명의 반도체 장치는 최소한 상기 절연막(바람직하게는 게이트 절연막)과 접하는 도전층(바람직하게는 게이트 전극) 부분이 기판 재료의 에너지 밴드 갭의 거의 중앙 부근의 일함수를 가지는 도전성 재료(바람직하게는 고용점 금속 실리사이드 또는 고용점 금속)로 이루어지고, 이 도전성 재료가 불순물을 함유하고 있는 것을 특징으로 한다.

따라서, 상기 제1 및 제2 발명의 반도체 장치는 이른바 단채널 효과가 억제되어, 디바이스의 동작 속도를 유지하는 도전층(게이트 전극)을 가지는 반도체 장치로 되어 있다. 이에 더하여, 종래 문제로 되어 있던 고용점 금속 실리사이드 또는 고용점 금속막 등 도전성 재료의 그레인 성장에 따르는 하층 절연막의 내압 불량, 또는 MOSTr에서는 절연막(게이트 절연막) 내압 불량 및 게이트 용량의 저하가 억제된 반도체 장치로 되어 있다.

또, 본 발명의 반도체 장치의 도전층이 도전성 재료가 2종 이상의 불순물을 함유하고 있는 경우에는, 1종류의 불순물이 도입되어 있는 경우에 비해, 도전성 재료의 그레인 성장을 보다 효과적으로 억제하는 것이 가능하다. 따라서, 보다 얇은 절연막(예를 들면, 막 두께가 4nm 정도의 게이트 절연막)을 형성하는 경우에도, 절연 내압의 열화를 발생하지 않는, 신뢰성이 우수한 도전층(게이트 전극)을 가지는 반도체 장치로 되어 있다.

또, 제3 및 제4 발명의 반도체 장치의 제조 방법에 의하면, 그 후의 열처리 공정이나 불순물의 도입 공정의 조건에 아무런 변경을 가하지 않아, 절연 내압의 저하나 게이트 용량의 저하를 초래하지 않고, 단채널 효과가 억제되어, 디바이스의 동작 속도가 유지된 도전층(게이트 전극)을 가지는 반도체 장치를 제조할 수 있다.

또한, 도전층의 깊이 방향으로 불균일하게, 바람직하게는 이 도전층의 깊이 방향에 대하여 그 중앙부가 상대적으로 고농도, 그 상하 영역이 상대적으로 저농도로 되도록 불순물을 도입함으로써, 불순물을 도입하지 않은 경우와 동일한 절연막 계면 특성을 가지는 MOSTr을 형성할 수 있다. 따라서, 본 발명의 반도체 장치의 제조 방법에 의하면, 반도체 디바이스의 프로세스 설계의 자유도가 저하되는 일은 없다.

또, 도전층에 이온 주입법에 의해 불순물의 도입을 행하는 공정을 가지는 경우에는, 정확하게 제어된 가속 에너지 및 도즈 량으로 불순물을 이온 주입할 수 있다.

따라서, 본 발명에 의하면, LSI의 집적도를 향상시킬 수 있고, MOSTr의 구동 능력도 디자인 룰에 따라 향상시킬 수 있어, 디바이스의 고속 동작이 가능하게 된다.

도면의 간단한 설명

도 1 (A) 내지 1 (C)는 종래 기술의 dual gate 프로세스의 문제점을 설명한 개념도

도 2는 종래 기술의 고용점 금속 실리사이드 단층으로 이루어지는 게이트 전극을 형성한 경우의 문제점을 설명한 개념도.

도 3 (A) 내지 도 3 (B)는 본 발명의 반도체 장치의 MOS 트랜지스터가 형성된 영역의 구조 단면도.

도 4 (A) 내지 도 4 (B)는 본 발명의 반도체 장치의 MOS 트랜지스터가 형성된 영역의 구조 단면도.

도 5 (A) 내지 도 5 (D)는 본 발명의 반도체 장치의 제조 방법의 주요 공정 단면도.

도 6 (A) 내지 도 6 (D)는 본 발명의 반도체 장치의 제조 방법의 주요 공정 단면도.

도 7 (A) 내지 7 (D)는 본 발명의 반도체 장치의 제조 방법의 주요 공정 단면도.

도 8 (A) 내지 8 (D)는 본 발명의 반도체 장치의 제조 방법의 주요 공정 단면도.

도 9 (A) 내지 9 (C)는 본 발명의 반도체 장치의 제조 방법의 주요 공정 단면도.

도 10 (A) 내지 10 (C)는 본 발명의 반도체 장치의 제조 방법의 주요 공정 단면도.

도 11 (A) 내지 11 (C)는 본 발명의 반도체 장치의 제조 방법의 주요 공정 단면도.

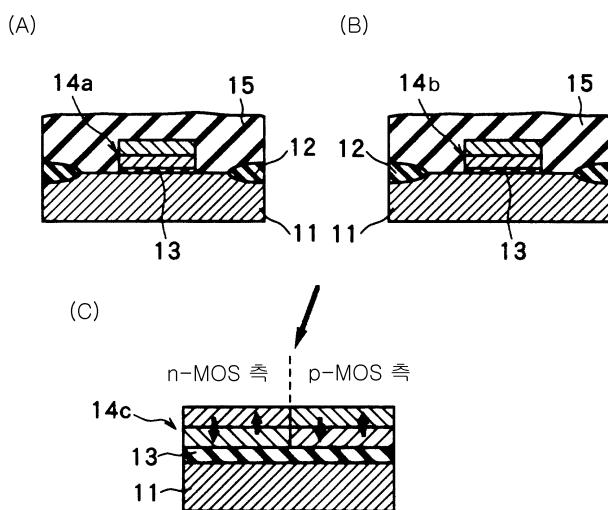
도 12는 실리콘 기판상에 게이트 절연막을 형성하고, 다시 그 위에 여러가지 농도의 질소를 함유하는 WSi_x 막으로 이루어지는 게이트 전극을 형성한 경우에 있어서의, 게이트 내압 특성(TZDB: Time Zero Dielectric Breakdown)의 평가 시험 결과를 나타낸 도면이며, 종축은 누적 불량률을, 횡축은 게이트 내압을 나타냄.

도 13은 실리콘 기판상에 게이트 절연막을 형성하고, 다시 그 위에 소정 농도의 질소 및 여러 가지 농도의 봉소를 함유하는 WSi_x 막으로 이루어지는 게이트 전극을 형성한 경우에 있어서의, 게이트 내압 특성(TZDB)의 평가 시험 결과를 나타낸 도면이며, 종축은 누적 불량률을, 횡축은 게이트 내압을 나타냄.

도면

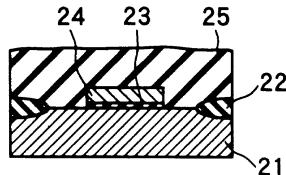
도면1

DUAL GATE 프로세스



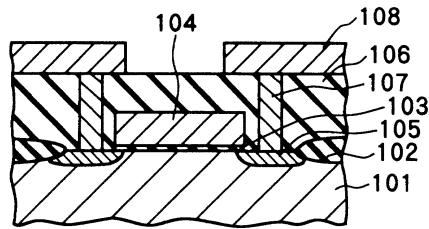
도면2

METAL 실리사이드 단층 게이트

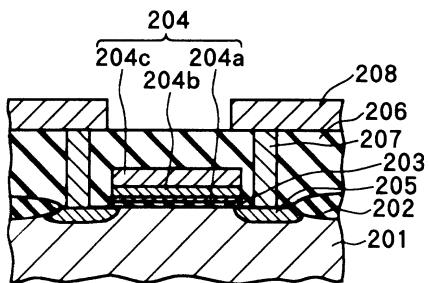


도면3

(A)

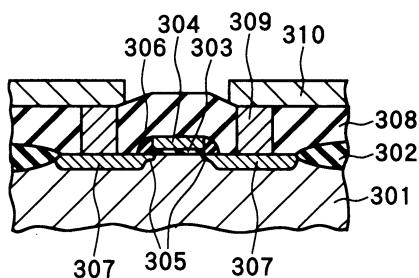


(B)

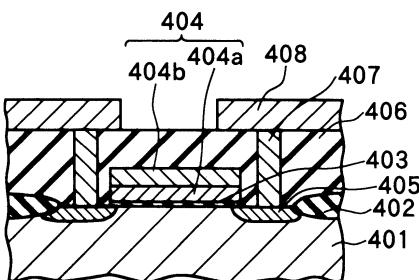


도면4

(A)

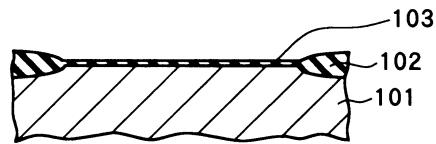


(B)

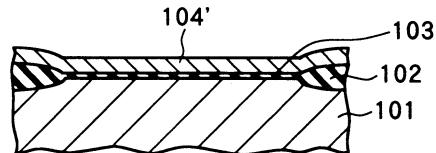


도면5

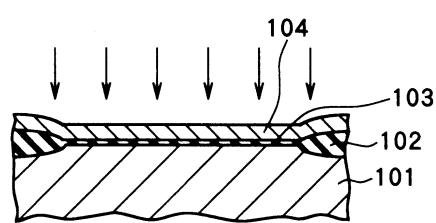
(A)



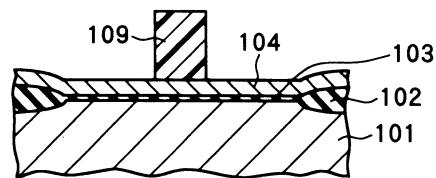
(B)



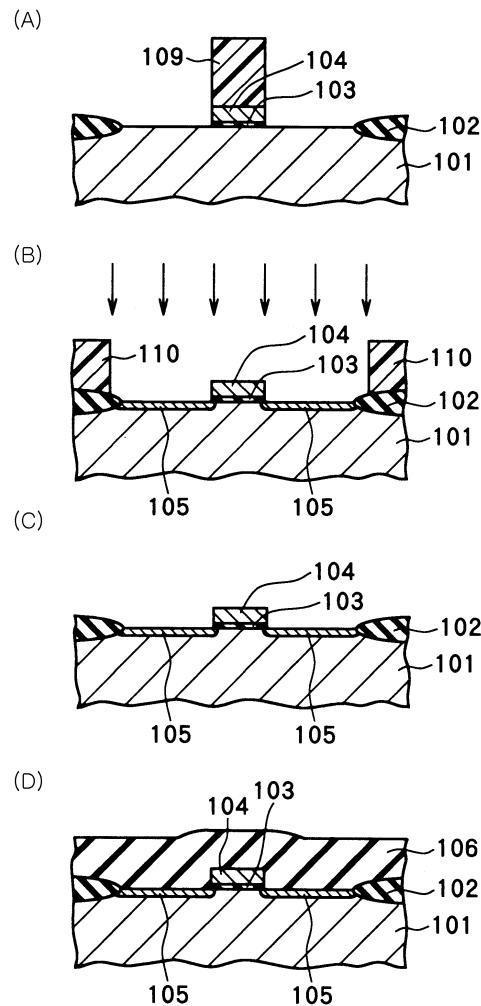
(C)



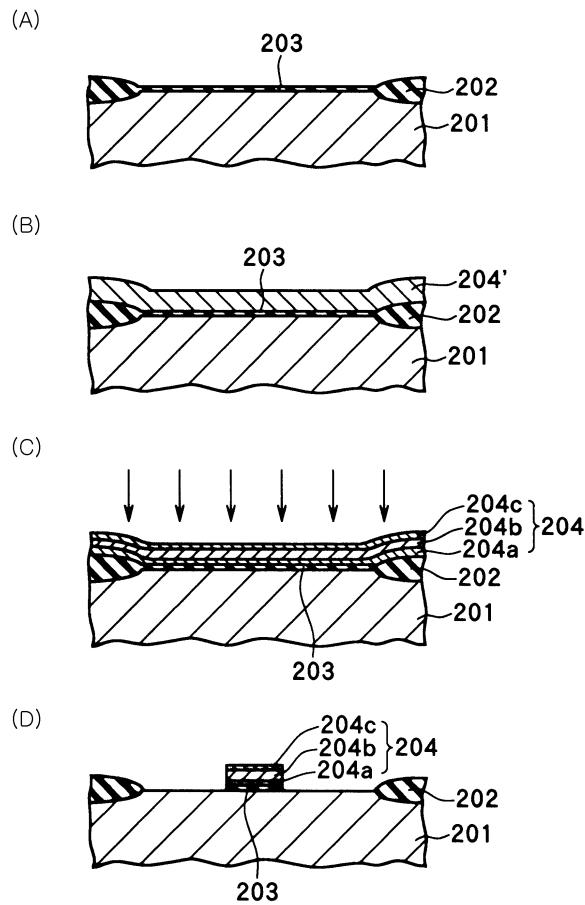
(D)



도면6

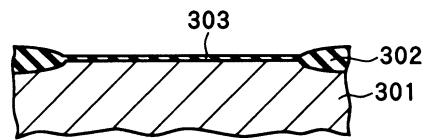


도면7

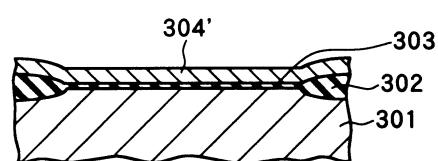


도면8

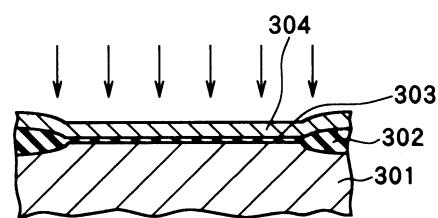
(A)



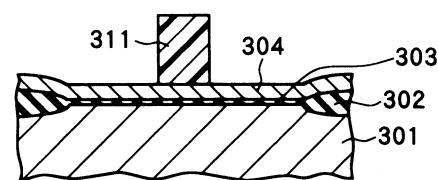
(B)



(C)

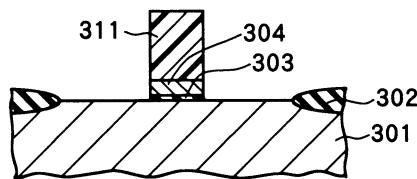


(D)

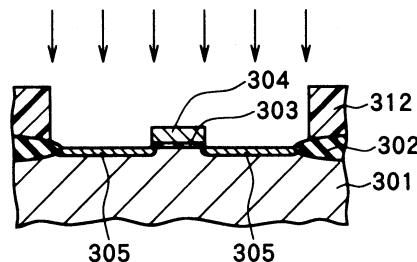


도면9

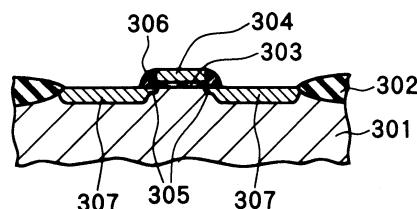
(A)



(B)

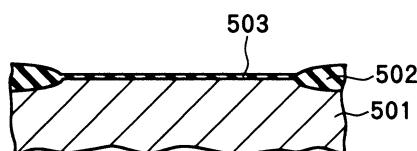


(C)

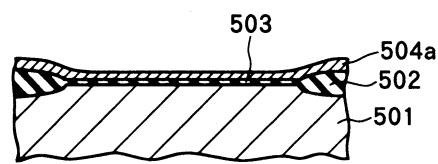


도면10

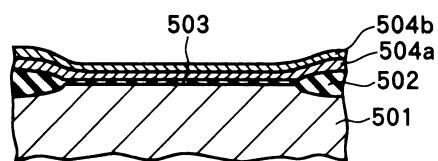
(A)



(B)

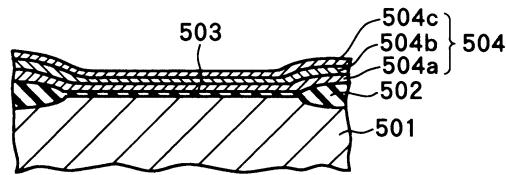


(C)

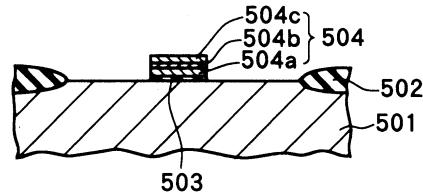


도면11

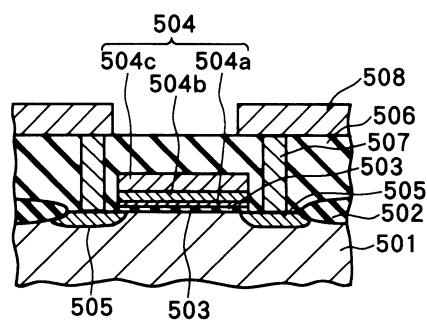
(A)



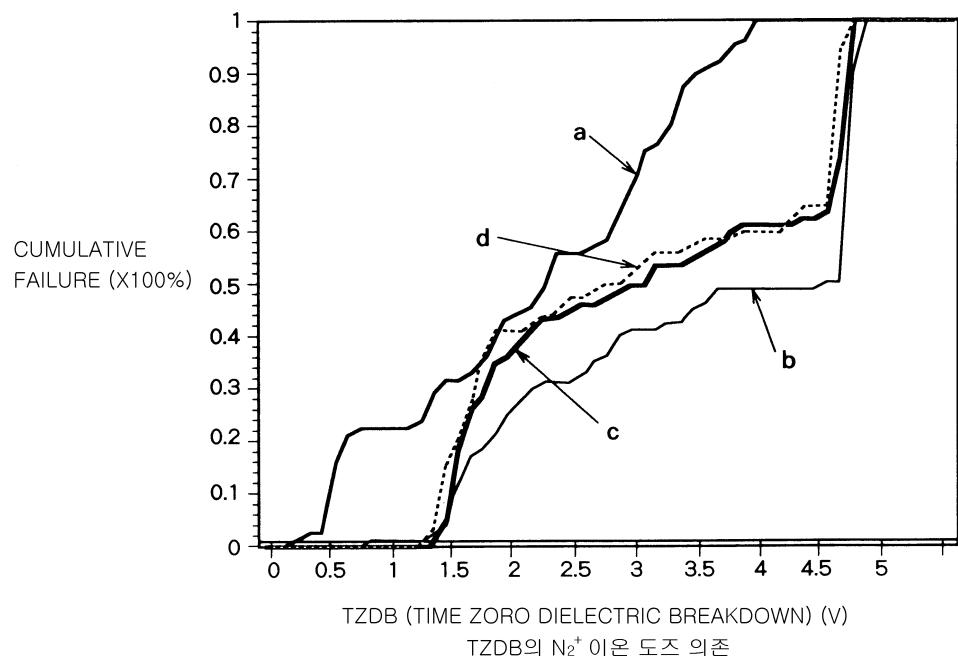
(B)



(C)



도면12



도면13

