

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 7 月 21 日 (21.07.2022)



(10) 国际公布号
WO 2022/152051 A1

- (51) 国际专利分类号:
H03K 3/037 (2006.01) **H03K 19/003** (2006.01)
- (21) 国际申请号: PCT/CN2022/070714
- (22) 国际申请日: 2022 年 1 月 7 日 (07.01.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202110049238.3 2021 年 1 月 14 日 (14.01.2021) CN
- (71) 申请人: 深圳比特微电子科技有限公司 (SHENZHEN MICROBT ELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市南山区高新南六道航盛科技大厦 801, Guangdong 518000 (CN)。
- (72) 发明人: 李楠 (LI, Nan); 中国广东省深圳市南山区高新南六道航盛科技大厦 801, Guangdong

518000 (CN)。 许超 (XU, Chao); 中国广东省深圳市南山区高新南六道航盛科技大厦 801, Guangdong 518000 (CN)。 范志军 (FAN, Zhijun); 中国广东省深圳市南山区高新南六道航盛科技大厦 801, Guangdong 518000 (CN)。 杨作兴 (YANG, Zuoxing); 中国广东省深圳市南山区高新南六道航盛科技大厦 801, Guangdong 518000 (CN)。 郭海丰 (GUO, Haifeng); 中国广东省深圳市南山区高新南六道航盛科技大厦 801, Guangdong 518000 (CN)。

- (74) 代理人: 中国贸促会专利商标事务所有限公司 (CCPIT PATENT AND TRADEMARK LAW OFFICE); 中国北京市复兴门内大街 158 号远洋大厦 F10 层, Beijing 100031 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: PROCESSOR AND COMPUTING SYSTEM

(54) 发明名称: 处理器和计算系统

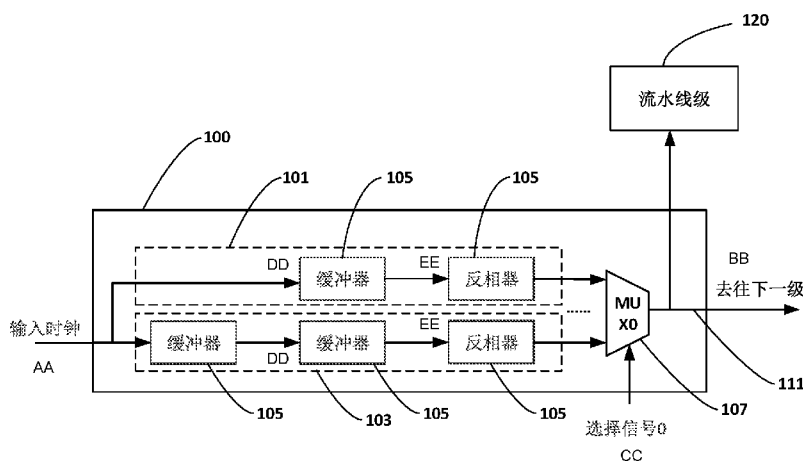


图 2

120 Pipeline stage
AA Input clock
BB To the next stage
CC Selection signal 0
DD Buffer
EE Phase inverter

(57) Abstract: The present disclosure relates to a processor and a computing system. Provided is a processor, comprising: a pipeline stage, which comprises a time sequence device; and a first clock driving circuit, which is used for providing a clock signal to the pipeline stage. The clock driving circuit comprises: a plurality of first clock paths which respectively provide corresponding clock signals; and a first selector, which is used for selecting, from the clock signals provided by the plurality of first clock paths, a clock signal for use in the pipeline stage.

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。
-

(57) 摘要: 本公开涉及处理器和计算系统。提供了一种处理器, 包括: 流水线级, 所述流水线级包括时序器件; 以及第一时钟驱动电路, 用于提供时钟信号到所述流水线级, 所述时钟驱动电路包括: 多个第一时钟路径, 分别提供对应的时钟信号; 以及第一选择器, 用于从所述多个第一时钟路径所提供的时钟信号中选择时钟信号, 以用于所述流水线级。

处理器和计算系统

相关申请的交叉引用

本申请要求 2021 年 1 月 14 日递交的中国专利申请 202110049238.3 的优先权，并
5 通过引用将其全部内容并入在此。

技术领域

本公开涉及处理器和计算系统。

10 背景技术

近年来，数字货币受到越来越多的关注。在相关领域中，需要改进的处理器和计算系统。

矿机类处理器设计通常采用流水线的结构。根据算法，将运算逻辑分成若干级流水线，每级流水线有相似的功能设计和运算结构。每级流水线都需要输入工作时钟，
15 即脉冲时钟。

随着矿机处理器的生产使用更加先进的制造工艺，工艺的复杂度和离散度也越来越高，导致处理器的实际工作条件 and 设计阶段的仿真环境偏差较大。时钟驱动电路在设计阶段即使满足仿真条件下对时钟的要求，实际的处理器也往往因为与仿真环境的差异，导致某些处理器的流水线时钟无法达到设计要求。

20 因此，需要改进的处理器和计算系统。

发明内容

根据本公开的一个方面，提供了一种处理器，包括：流水线级，所述流水线级包括时序器件；以及时钟驱动模块，用于提供时钟信号到所述流水线级，所述时钟驱动
25 模块包括第一时钟驱动电路，所述第一时钟驱动电路包括：多个第一时钟路径，分别提供对应的时钟信号；以及第一选择器，用于从所述多个第一时钟路径所提供的时钟信号中选择时钟信号，以用于所述流水线级。

在一些实施例中，所述处理器包括一个或多个核，所述流水线级和所述时钟驱动模块设置于所述核中。

30 在一些实施例中，所述时钟驱动模块还包括：第二时钟驱动电路，用于调节通过

所述选择器所选择的时钟信号的脉宽，并提供脉宽调节的时钟信号以用于所述流水线级。

5 在一些实施例中，所述第二时钟驱动电路包括：多个第二时钟路径，其分别接收所述选择的时钟信号，并且在各个第二时钟路径上基于所选择的时钟信号提供不同相位的时钟信号；逻辑单元，基于所述不同相位的时钟信号中的至少一部分，产生脉宽调节的时钟信号以用于所述流水线级。

在一些实施例中，所述多个第二时钟路径至少包括第一路径和第二路径，所述第一路径提供所述选择的时钟信号到所述逻辑单元，以及所述第二路径提供与所选择的时钟信号的反相版本或反相并延时的版本到所述逻辑单元。

10 在一些实施例中，所述逻辑单元是与门或或门。

在一些实施例中，所述第二路径包括：反相器，其接收所述选择的时钟信号，并产生与所述选择的时钟信号反相的时钟信号；一个或多个子路径，用于分别提供所述反相的时钟信号的相应版本到第二选择器；以及所述第二选择器，从所述反相的时钟信号的不同版本中选择，并提供所选择的版本到所述逻辑单元。

15 在一些实施例中，所述一个或多个子路径分别提供所述反相的时钟信号的不同延时的版本到所述第二选择器。

在一些实施例中，所述多个第一时钟路径接收共同的时钟输入，并基于所述时钟输入分别提供不同相位的时钟信号。

在一些实施例中，所述处理器是用于数字货币的处理器。

20 在一些实施例中，所述时序器件包括一个或多个锁存器，所述选择的时钟信号用于所述一个或多个锁存器。

根据本公开的另一方面，还提供了一种计算系统，其包括根据本公开任意实施例所述的处理器。

25 通过以下参照附图对本公开的示例性实施例的详细描述，本公开的其它特征及其优点将会变得清楚。

附图说明

构成说明书的一部分的附图描述了本公开的实施例，并且连同说明书一起用于解释本公开的原理。

30 参照附图，根据下面的详细描述，可以更加清楚地理解本公开，其中：

图 1 示出了一种用于示例性的流水线处理器的示意图；

图 2 示出了根据本公开一个实施例的处理器示意图；

图 3 示出了根据本公开另一实施例的处理器示意图；

图 4 示出了根据本公开又一实施例的处理器示意图；

5 图 5 示出了根据本公开一个实施例的流水线的示例性时序图；以及

图 6 示出了根据本公开一个实施例的处理器中锁存器的示意图。

注意，在以下说明的实施方式中，有时在不同的附图之间共同使用同一附图标记来表示相同部分或具有相同功能的部分，而省略其重复说明。在本说明书中，使用相似的标号和字母表示类似项，因此，一旦某一项在一个附图中被定义，则在随后的附图
10 图中不需要对其进行进一步讨论。

为了便于理解，在附图等中所示的各结构的位置、尺寸及范围等有时不表示实际的位置、尺寸及范围等。因此，所公开的发明并不限于附图等所公开的位置、尺寸及范围等。

15 具体实施方式

现在将参照附图来详细描述本公开的各种示例性实施例。应注意：除非另外具体说明，否则在这些实施例中阐述的部件和步骤的相对布置、数字表达式和数值不限制本公开的范围。另外，对于相关领域普通技术人员已知的技术、方法和设备可能不作
20 详细讨论，但在适当情况下，所述技术、方法和设备应当被视为授权说明书的一部分。

应理解，以下对至少一个示例性实施例的描述仅仅是说明性的，并非是对本公开及其应用或使用的任何限制。还应理解，在此示例性描述的任意实现方式并不必然表示其比其它实现方式优选的或有利的。本公开不受在上述技术领域、背景技术、发明
25 内容或具体实施方式中所给出的任何所表述的或所暗示的理论所限定。

另外，仅仅为了参考的目的，还可以在下面描述中使用某种术语，并且因而并非
30 意图限定。例如，除非上下文明确指出，否则涉及结构或元件的词语“第一”、“第二”和其它此类数字词语并没有暗示顺序或次序。

还应理解，“包括/包含”一词在本文中使用时，说明存在所指出的特征、整体、步骤、操作、单元和/或组件，但是并不排除存在或增加一个或多个其它特征、整体、步骤、操作、单元和/或组件以及/或者它们的组合。

图 1 示出了一种用于示例性的流水线处理器的示意图。在常规的流水线处理器中，每级流水线的工作时钟通常都来自于同一时钟源，通过用于流水线各级的各级时钟驱动电路在流水线各级之间传递，如图 1 所示。

另一方面，处理器的流水线级中往往具有一个或多个时序器件，例如触发器。而选择使用锁存器作为流水线中的时序器件可以有效减少功耗和面积的开销，提升矿机产品的竞争力。

对于使用锁存器的流水线设计，相邻流水线之间的时钟需要满足以一定的相位要求以满足锁存器特定的时序要求，例如，锁存器保持（hold）时序的要求和锁存器的最小脉冲宽度的要求，从而对时钟相关电路的设计和制造工艺提出了更高的要求。然而，随着先进工艺的使用，工艺的复杂度和离散度也越来越高，导致处理器的实际工作条件和设计阶段的仿真环境偏差较大。使得时钟驱动电路在设计阶段即使满足仿真条件下对时钟的要求，实际的处理器也往往因为与仿真环境的差异，导致某些处理器的流水线时钟无法达到设计要求。这也造成了处理器的良率受限。

本申请的发明人认识到上述的一个或多个问题，并提出了在此公开的改进的处理器和计算系统。

图 2 示出了根据本公开一个实施例的处理器的示意图。

根据本公开的实施例，提供了一种处理器。如图 2 所示，该处理器可以包括时钟驱动模块（未标示）和流水线级 120。所述时钟驱动模块可以包括时钟驱动电路（第一时钟驱动电路）100。流水线级 120 可以包括时序器件，例如触发器或锁存器。优选地，所述时序器件为锁存器。时钟驱动电路 100 可以用于提供时钟信号到所述流水线级。在图 2 所示的实施例中，时钟驱动模块也可以以附图标记 100 来指示。而在其他实施例中，如后面的图将示出的，时钟驱动模块还可以包括第一时钟驱动电路 100 以外的其他部件。

锁存器是一种对脉冲电平敏感的存储单元电路，属于时序器件。图 6 示出了根据本公开一个实施例的处理器中锁存器的示意图。锁存器可以包括三态门和反相器/缓冲器。三态门接收输入 D，并接收时钟信号和反相的时钟信号。三态门的输出连接到反相器/缓冲器（INV/BUF）。反相器/缓冲器（INV/BUF）的输出作为锁存器的输出 Q。

锁存器的一个重要指标是时钟脉冲的最小脉冲宽度，即锁存器器件处于导通状态时，高电平时钟或低电平时钟需要维持的时间长度。也就是说，锁存器对高电平或低

电平占空比有一定的要求。锁存器的另一个重要指标是锁存器的保持时序，即锁存器的输入端的信号在时钟锁存后需要保持不变的最小时间。

回到图 2，如图 2 所示，时钟驱动电路 100 可以包括多个时钟路径（第一时钟路径）101 和 103 等，分别提供对应的时钟信号到选择器 MUX0。这里，在图 2 中仅示例性地示出了时钟路径 101 和 103，然而在其他实施例中，时钟驱动电路可以包括更多个时钟路径（第一时钟路径）。

在一些实施例中，各个时钟路径可以接收相同的输入时钟，并对该输入时钟进行多种多样的延时和/或反相处理，以得到不同版本的时钟信号。例如，在一些实施例中，各时钟路径对输入时钟提供彼此不同的延时和/或提供反相；在另一些实施例中，某些时钟路径也可以提供相同的延迟或反相。至少一部分时钟路径可以具有时钟调节单元 105，例如缓冲器或反相等，以例如调节时钟信号的属性，例如相位。如图中所示，时钟路径 101 具有一个缓冲器（假设延时 τ ）和反相器（进行反相），时钟路径 103 具有两个缓冲器（假设分别延时 τ ）和反相器（进行反相），从而对输入时钟进行不同的延时，从而分别提供反相并延时 τ 的时钟信号版本以及反相并延时 2τ 的时钟信号版本。在某些情况下，也可以提供未设置调节单元 105 的时钟路径。还应理解，相位调节单元可以根据需要来设置。

时钟驱动电路 100 可以包括所述选择器（第一选择器）MUX0 107，用于从所述多个第一时钟路径所提供的时钟信号中选择时钟信号，以用于对应的流水线级 120。例如，选择器 107 可以基于选择信号（例如，选择信号 0）从多个第一时钟路径中选择，以将所选择的时钟信号作为时钟输出 111 提供给流水线级 120 或者下一级流水线级。

在处理器的实际工作条件下，可以通过选择信号（信号 0）来决定哪路时钟信号作为输出时钟，以满足流水线级的时序要求，例如锁存器的保持时序和最小时钟脉宽的要求。

如图 2 所示，在时钟路径 101 和 103 上经过不同延时的时钟到达 MUX0 的两个输入端。可以根据需求设定选择信号 0 来选择两路时钟通路中的一路作为时钟输出传递给当前流水线级和/或流水线的下一级的时钟驱动电路。相邻两级流水线中的时钟相位可以分别调整（各有两种（或更多种）不同的延时），从而更好的满足各流水线级中锁存器的时序要求。

在另外的一些实施例中，处理器可以具有一个或多个核。前述的流水线级和时钟驱动电路等可以被设置在所述核中。

图 3 示出了根据本公开另一实施例的处理器 5 的示意图。相比图 2 所示的处理器 5 的实施例，图 3 所示的实施例中的处理器中的时钟驱动模块还包括另外的时钟驱动电路（第二时钟驱动电路）200，其接收从时钟驱动电路 100 提供的时钟输出，并提供进一步调节的时钟输出到流水线级 120。

这里，与图 2 的实施例中相同的部件被赋予相同的编号，上面就图 2 所描述的内容可以同样或适应性地适用于此，并因此省略了对其重复说明。

在一些实施例中，第二时钟驱动电路 200 被配置用于调节通过选择器 MUX0 107 所选择的时钟信号的脉宽，并提供脉宽调节的时钟信号以用于所述流水线级。

10 这里，需要说明的是，“时钟信号以用于所述待测试的时序器件”意图表示所述的时钟信号可以直接用于（例如，直接提供给）待测试的时序器件，或者所述的时钟信号可以间接用于（例如，间接而不是直接提供给）待测试的时序器件。换言之，在所述的时钟信号和待测试的时序器件之间可以存在中间模块或器件，所述中间模块或器件可以基于所述的时钟信号提供时钟到所述待测试的时序器件。

15 在一种具体实现中，如图 3 所示，第二时钟驱动电路 200 可以包括多个第二时钟路径 201、203 等，其分别接收所述选择的时钟信号，并且在各个第二时钟路径上基于所选择的时钟信号提供不同相位的时钟信号到逻辑单元 205。逻辑单元 205 基于所述不同相位的时钟信号中的至少一部分，产生脉宽调节的时钟信号以用于流水线级 120。在一些具体实施例中，逻辑单元 205 可以是与门或或门；本公开不限于此。

20 所述多个第二时钟路径至少包括第一路径和第二路径。在如图 3 所示的示例中，第一路径 201 可以被配置为直接提供从 MUX0 接收的时钟输出（即，前述的所选择的时钟信号）到逻辑单元 205。第二路径 203 可以被配置为基于从 MUX0 接收的时钟输出提供进行了进一步调节的版本（例如，反相版本或反相并延时的版本）到逻辑单元 205。

25 如图所示，第二路径 203 可以包括反相器 207。反相器 207 接收第一时钟驱动电路 100 的时钟输出（即，所述选择的时钟信号）111，并产生与该时钟输出（即，所述选择的时钟信号）111 反相的时钟信号。第二路径 203 可以还包括一个或多个子路径，例如图 3 所示出的子路径 209 和 211。子路径 209 和 211 分别提供所述反相的时钟信号的相应版本到第二选择器 215。例如，在图 3 所示的示例中，子路径 211 通过缓冲器对所述反相的时钟信号进行延时，从而提供所述反相的时钟信号的延时版本，而子
30

路径 209 则提供未经处理的所述反相的时钟信号。如此，反相器的输出信号经过两路不同延时的时钟传递路径到达选择器 MUX1 的两个输入端。这里还应理解，反相器 207 的提供与否可以根据需要来设置，其设置的位置或数量也可以根据需要来改变。

第二选择器 MUX1 215 从所述反相的时钟信号的不同版本中选择，并提供所选
5 择的版本到所述逻辑单元。MUX1 可以选择合适的时钟路径延时，以满足本级流水线中的时序器件（例如，锁存器）对脉冲宽度的需求。

在图 3 所示的示例中，提供到本级流水线级的时钟可以由本级流水线的第一时钟驱动电路 100 的时钟输出信号和该时钟输出信号的不同版本的反相时钟通过逻辑单元（例如，或门或与门逻辑）产生。提供到本级流水线级的时钟的脉冲宽度可由本级流
10 水线的第一时钟驱动电路的输出信号和它的选定版本的反相时钟的相位（即，该版本的反相时钟相对于时钟输出信号的延迟时间）决定。

选择器 MUX1 可以根据选择信号 1 选择两路（可以更多）子时钟路径中的一路作为逻辑单元 205 的输入之一，而逻辑单元 205 的另一个输入是本级流水线的第一时钟驱动电路的时钟输出信号。这样逻辑单元 205 的输出信号作为给本级流水线（尤其是
15 其中的锁存器器件）的时钟信号，使得占空比宽度可调。

图 4 示出了根据本公开又一实施例的处理器示意图。在图 4 的实施例中，示出了流水线的多个级以及与各流水线级对应的时钟驱动模块。图示的各级时钟驱动模块可以包括前面实施例所描述的时钟驱动电路 100 和/或 200。上面就各实施例描述的内容可以同样应用于此实施例，因此不再就细节进行更多说明。
20

另外，尽管在图 4 的示例中，各级的选择信号被示出了选择信号 0 和选择信号 1，但应理解，各级的选择信号也可以独立设置。

图 5 示出了根据本公开一个实施例的流水线的示例性时序图。图 5 中示例性地示出了如图 4 所示的流水线中的三级 P1、P2 和 P3。如图所示，各级流水线中的 MUX0
25 可以用于控制提供到本级流水线的时钟的延迟（delay），而 MUX1 可以用于控制时钟脉冲的宽度。从而可以满足流水线的时序要求，例如锁存器保持（hold）时序的要求和锁存器的最小脉冲宽度的要求等。

应理解，上面就图 3 等所描述的第二时钟驱动电路也可以和第一时钟驱动电路一起设置在处理器的核中。

30 根据本公开实施例的处理器可以用于数字货币处理或计算。数字货币的例子可以

有，例如，比特币、莱特币、以太币以及其他数字货币。

还应理解，本公开还提供了一种计算系统，其可以包括如任意实施例所述的处理器。

- 5 根据本公开的实施例，提供了新颖的处理器和计算系统。根据本公开的处理器和计算系统可以用于数字货币或虚拟货币的处理和计算。根据本公开的实施例，提供了灵活配置的时钟路径，并为流水线级提供了多种时钟选择。以图 3 的实施例为例，其提供了（MUX0 的输入路径数=2）乘以（MUX1 的输入路径数=2）=4 种时钟选择。路径越多，则提供的选择越多。根据本公开实施例，可以为各级流水线提供灵活配置的
- 10 时钟，从而极大地提高了矿机处理器的设计的灵活性或产品良品率。

本领域技术人员应当意识到，在上述实施例中描述操作（或步骤）之间的边界仅仅是说明性的。多个操作可以结合成单个操作，单个操作可以分布于附加的操作中，并且操作可以在时间上至少部分重叠地执行。而且，另选的实施例可以包括特定操作的多个实例，并且在其他各种实施例中可以改变操作顺序。但是，其它的修改、变化和替换同样是可能的。因此，本说明书和附图应当被看作是说明性的，而非限制性的。

15

虽然已经通过示例对本公开的一些特定实施例进行了详细说明，但是本领域的技术人员应该理解，以上示例仅是为了进行说明，而不是为了限制本公开的范围。在此公开的各实施例可以任意组合，而不脱离本公开的精神和范围。本领域的技术人员还应理解，可以对实施例进行多种修改而不脱离本公开的范围和精神。本公开的范围由所附权利要求来限定。

20

权 利 要 求

1、一种处理器，包括：

流水线级，所述流水线级包括时序器件；以及

时钟驱动模块，用于提供时钟信号到所述流水线级，所述时钟驱动模块包括第一时钟驱动电路，所述第一时钟驱动电路包括：

多个第一时钟路径，分别提供对应的时钟信号；以及

第一选择器，用于从所述多个第一时钟路径所提供的时钟信号中选择时钟信号，以用于所述流水线级。

2、根据权利要求 1 所述的处理器，包括一个或多个核，所述流水线级和所述时钟驱动模块设置于所述核中。

3、根据权利要求 1 所述的处理器，其中所述时钟驱动模块还包括：

第二时钟驱动电路，用于调节通过所述选择器所选择的时钟信号的脉宽，并提供脉宽调节的时钟信号以用于所述流水线级。

4、根据权利要求 3 所述的处理器，其中所述第二时钟驱动电路包括：

多个第二时钟路径，其分别接收所述选择的时钟信号，并且在各个第二时钟路径上基于所选择的时钟信号提供不同相位的时钟信号；

逻辑单元，基于所述不同相位的时钟信号中的至少一部分，产生脉宽调节的时钟信号以用于所述流水线级。

5、根据权利要求 4 所述的处理器，其中所述多个第二时钟路径至少包括第一路径和第二路径，

所述第一路径提供所述选择的时钟信号到所述逻辑单元，以及

所述第二路径提供与所选择的时钟信号的反相版本或反相并延时的版本到所述逻辑单元。

6、根据权利要求 4 所述的处理器，其中所述逻辑单元是与门或或门。

7、根据权利要求 5 中所述的处理器，其中所述第二路径包括：

反相器，其接收所述选择的时钟信号，并产生与所述选择的时钟信号反相的时钟信号；

一个或多个子路径，用于分别提供所述反相的时钟信号的相应版本到第二选择器；
以及

所述第二选择器，从所述反相的时钟信号的不同版本中选择，并提供所选择的版本到所述逻辑单元。

8、根据权利要求 7 所述的处理器，其中所述一个或多个子路径分别提供所述反相的时钟信号的不同延时的版本到所述第二选择器。

9、根据权利要求 1 所述的处理器，其中所述多个第一时钟路径接收共同的时钟输入，并基于所述时钟输入分别提供不同相位的时钟信号。

10、根据权利要求 1 所述的处理器，其中所述处理器是用于数字货币的处理器。

11、根据权利要求 1 所述的处理器，其中所述时序器件包括一个或多个锁存器，所述选择的时钟信号用于所述一个或多个锁存器。

12、根据权利要求 3 所述的处理器，其中所述时序器件包括一个或多个锁存器，所述脉宽调节的时钟信号用于所述一个或多个锁存器。

13、一种计算系统，其包括如权利要求 1-12 中任一项所述的处理器。

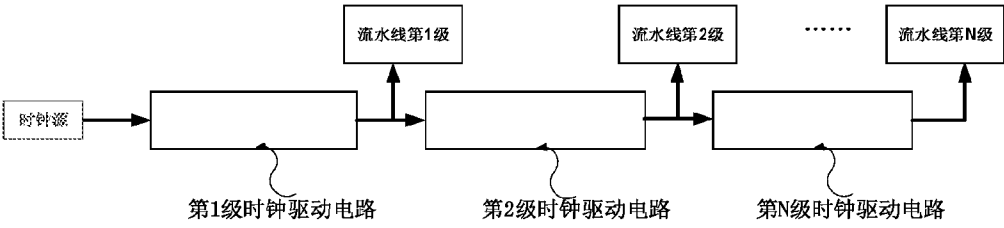


图 1

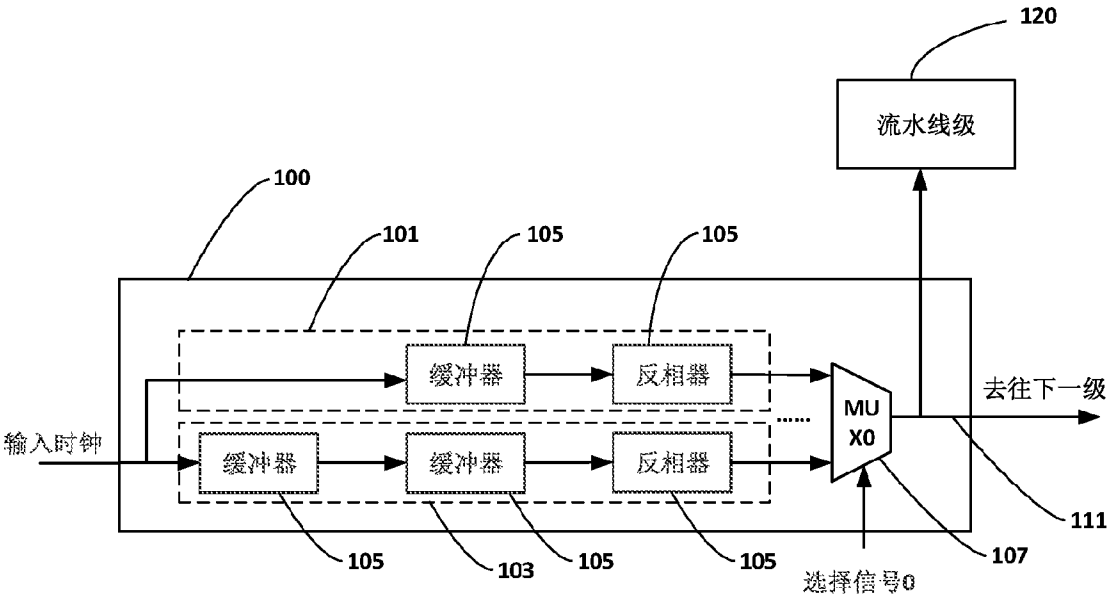


图 2

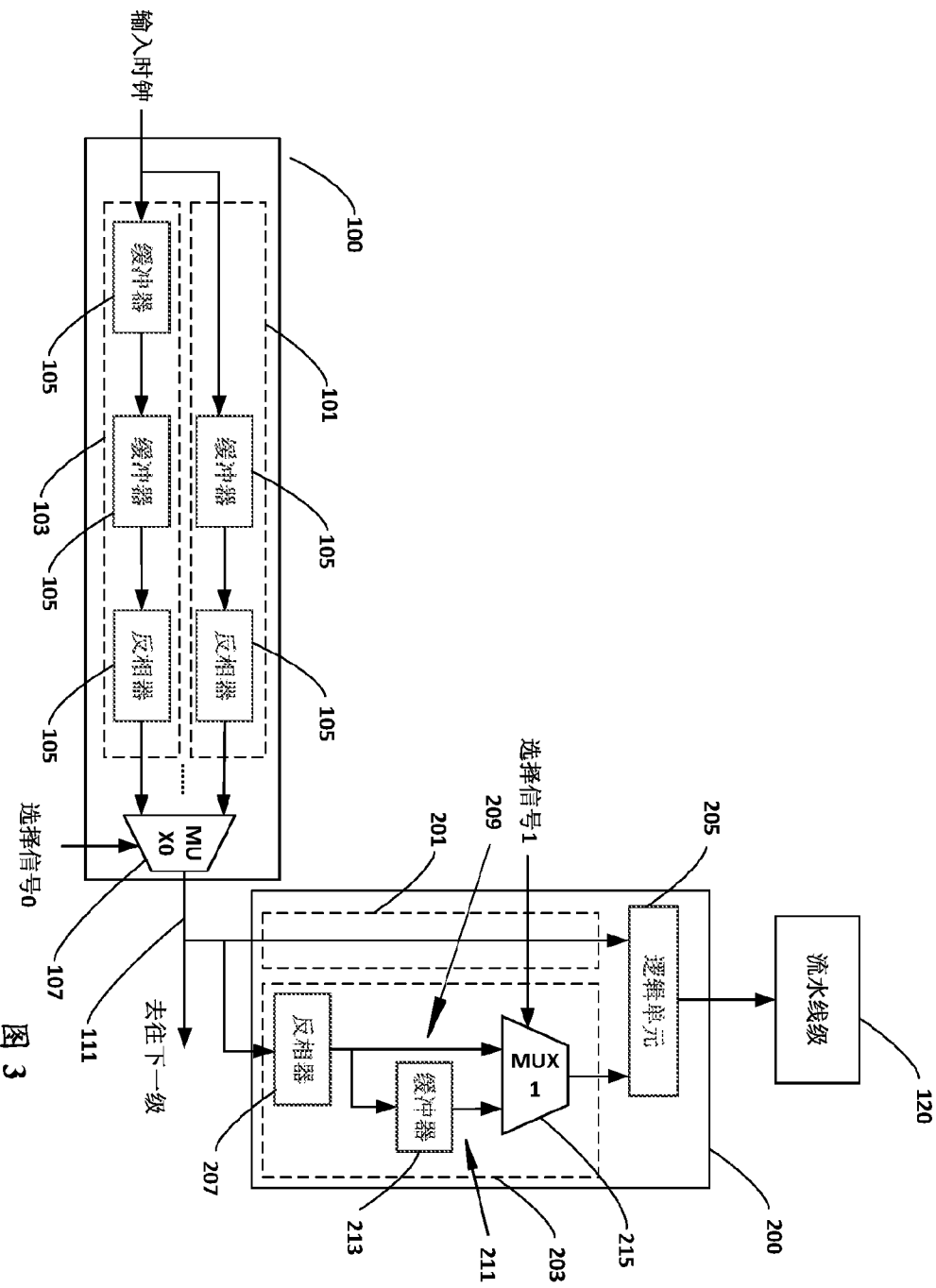


图 3

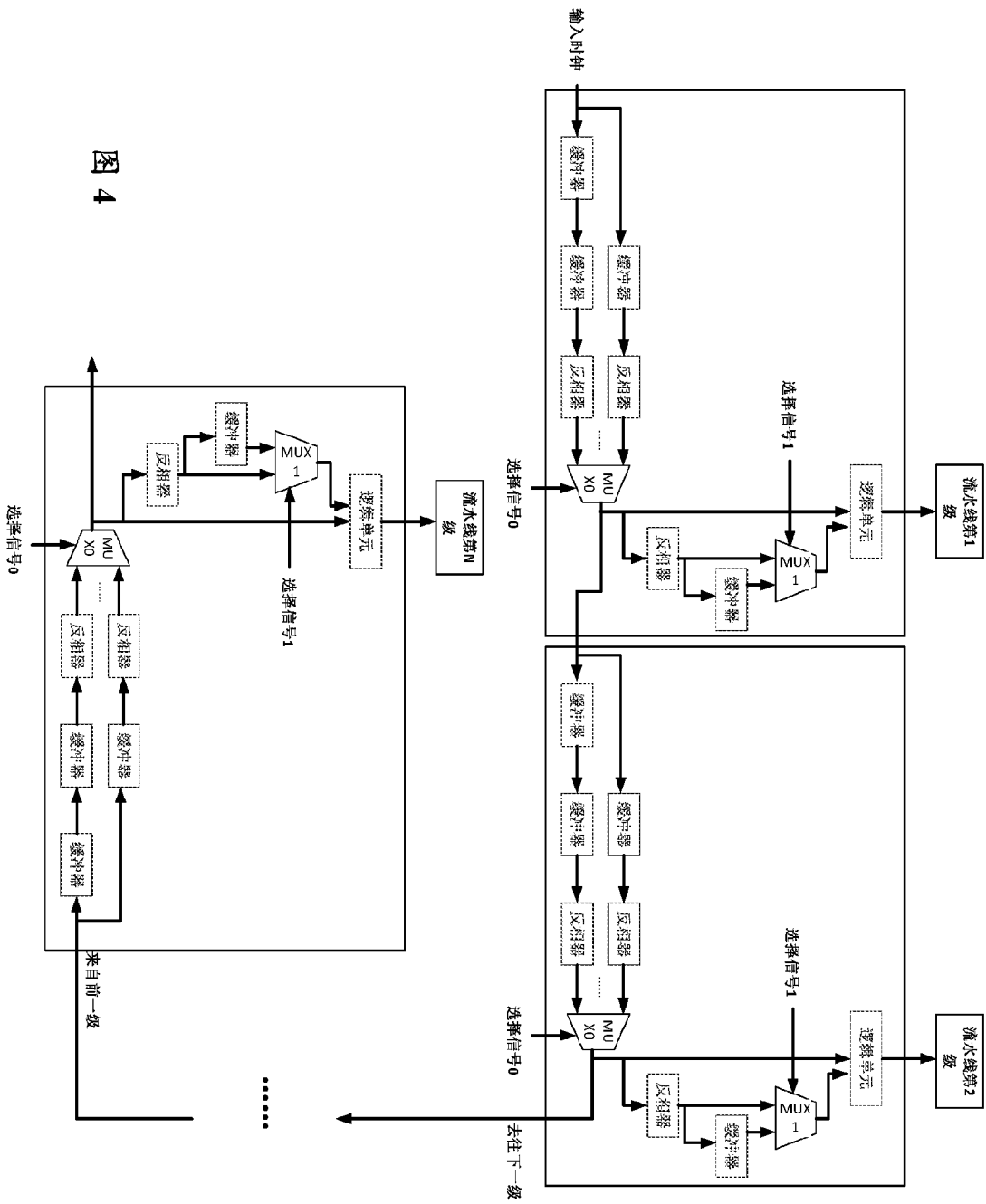


图 4

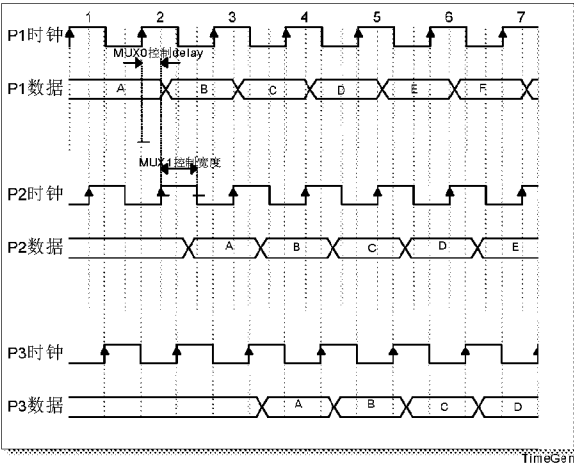


图 5

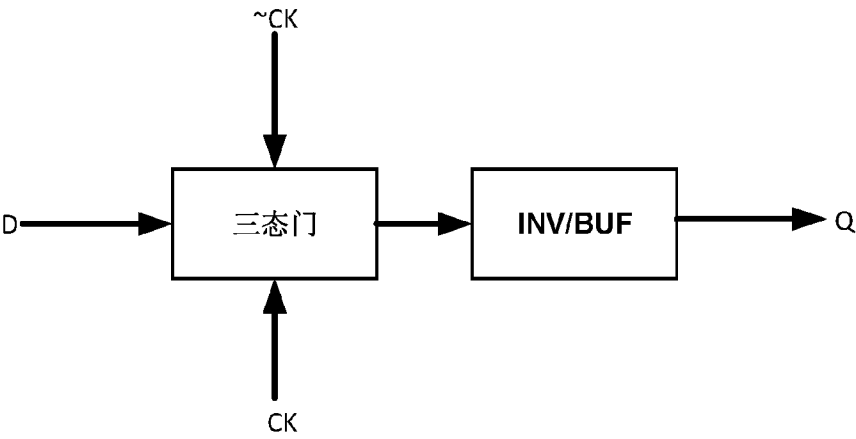


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/070714

A. CLASSIFICATION OF SUBJECT MATTER

H03K 3/037(2006.01)i; H03K 19/003(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; SIPOABS; DWPI; USTXT; WOTXT; EPTXT: 流水线, 流水级, 时钟, 延迟, 相位, 脉宽, 选择器, 复用器, 调节, 调整, 产生, pipeline, clock, delay, phase, pulse width, select, multiplex, MUX, adjust, generate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 213879787 U (SHENZHEN MICROBT ELECTRONICS TECHNOLOGY CO., LTD.) 03 August 2021 (2021-08-03) claims 1-13, description, paragraphs [0002]-[0064]	1-13
X	US 2009044038 A1 (SAMSUNG ELECTRONICS CO., LTD.) 12 February 2009 (2009-02-12) description, paragraphs [0003]-[0066], figures 1-12	1-13
X	US 7627003 B1 (THE UNITED STATES OF AMERICA AS REPRESENTED BY THE SECRETARY OF THE NAVY) 01 December 2009 (2009-12-01) description, column 5, line 15 - column 10, line 35, figures 1-10	1-13
A	CN 212160484 U (SHENZHEN MICROBT ELECTRONICS TECHNOLOGY CO., LTD.) 15 December 2020 (2020-12-15) entire document	1-13
A	US 2014223220 A1 (NXP BV.) 07 August 2014 (2014-08-07) entire document	1-13
A	JP 2003316566 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 07 November 2003 (2003-11-07) entire document	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 February 2022

Date of mailing of the international search report

07 March 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/070714

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	213879787	U	03 August 2021	None			
US	2009044038	A1	12 February 2009	KR	20090016090	A	13 February 2009
				KR	100887238	B1	06 March 2009
				US	8122276	B2	21 February 2012
US	7627003	B1	01 December 2009	US	8085817	B1	27 December 2011
CN	212160484	U	15 December 2020	CN	111562808	A	21 August 2020
				TW	202131632	A	16 August 2021
US	2014223220	A1	07 August 2014	US	8836379	B2	16 September 2014
				EP	2762990	A1	06 August 2014
				EP	2762990	B1	09 December 2015
JP	2003316566	A	07 November 2003	None			

国际检索报告

国际申请号

PCT/CN2022/070714

A. 主题的分类

H03K 3/037(2006.01)i; H03K 19/003(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;SIPOABS;DWPI;USTXT;WOTXT;EPTXT: 流水线, 流水级, 时钟, 延迟, 相位, 脉宽, 选择器, 复用器, 调节, 调整, 产生, pipeline, clock, delay, phase, pulse width, select, multiplex, MUX, adjust, generate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 213879787 U (深圳比特微电子科技有限公司) 2021年8月3日 (2021 - 08 - 03) 权利要求第1-13项, 说明书第[0002]-[0064]段	1-13
X	US 2009044038 A1 (SAMSUNG ELECTRONICS CO LTD) 2009年2月12日 (2009 - 02 - 12) 说明书第[0003]段-[0066]段, 图1-12	1-13
X	US 7627003 B1 (US NAVY) 2009年12月1日 (2009 - 12 - 01) 说明书第5栏第15行-第10栏第35行, 图1-10	1-13
A	CN 212160484 U (深圳比特微电子科技有限公司) 2020年12月15日 (2020 - 12 - 15) 全文	1-13
A	US 2014223220 A1 (NXP BV) 2014年8月7日 (2014 - 08 - 07) 全文	1-13
A	JP 2003316566 A (MATSUSHITA ELECTRIC IND CO LTD) 2003年11月7日 (2003 - 11 - 07) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年2月21日

国际检索报告邮寄日期

2022年3月7日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

邢白灵

电话号码 (86-512) 88995718

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/070714

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	213879787	U	2021年8月3日	无	
US	2009044038	A1	2009年2月12日	KR 20090016090 A	2009年2月13日
				KR 100887238 B1	2009年3月6日
				US 8122276 B2	2012年2月21日
US	7627003	B1	2009年12月1日	US 8085817 B1	2011年12月27日
CN	212160484	U	2020年12月15日	CN 111562808 A	2020年8月21日
				TW 202131632 A	2021年8月16日
US	2014223220	A1	2014年8月7日	US 8836379 B2	2014年9月16日
				EP 2762990 A1	2014年8月6日
				EP 2762990 B1	2015年12月9日
JP	2003316566	A	2003年11月7日	无	