(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 4 月 26 日(26.04.2012)

PCT

(10) 国際公開番号
WO 2012/053466 A1

(51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)

(21) 国際出願番号: PCT/JP2011/073797

(22) 国際出願日: 2011 年 10 月 17 日(17.10.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-236294 2010 年 10 月 21 日(21.10.2010) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岩本　明久 (IWAMOTO, Akihisa).

(74) 代理人: 島田　明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル　島田特許事務所 Nara (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

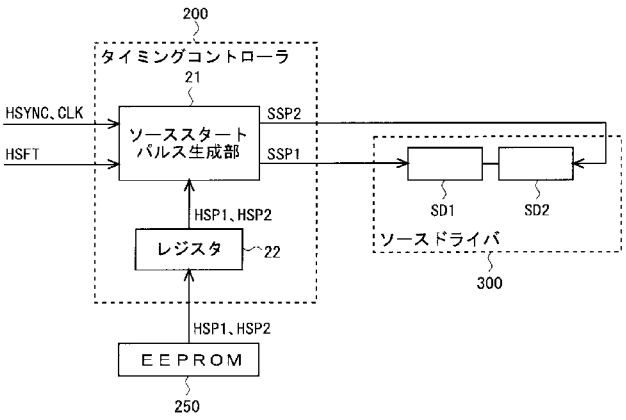
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: DISPLAY DEVICE AND METHOD OF DRIVING SAME

(54) 発明の名称 : 表示装置およびその駆動方法

[図1]



21 SOURCE START PULSE GENERATOR UNIT
22 RESISTOR
200 TIMING CONTROLLER
300 SOURCE DRIVER

(57) **Abstract**: Provided is a display device with which it is possible to correctly display an image when excess output occurs in a driver, regardless of a shift direction of a shift resistor within the driver, without incurring cost increases or increases in current consumption. A resistor (22) is disposed in a timing controller (200), said resistor (22) being capable of storing data which denotes the length of a horizontal back porch when a shift direction of a shift resistor within a source driver (300) is the forward direction, and data which denotes the length of the horizontal back porch when the shift direction of the shift resistor within the source driver (300) is the reverse direction. A source start pulse generator unit (21) within the timing controller (200) queries the data within the resistor (22), and generates either a first source start pulse signal (SSP1) for the forward direction or a second source start pulse signal (SSP2) for the reverse direction, according to the shift direction of the shift resistor.

(57) 要約: ドライバに余り出力が生じる場合に当該ドライバ内のシフトレジスタのシフト方向にかかわらず正しく画像を表示することのできる表示装置を、コスト上昇や消費電流の増大を引き起こすことなく提供する。 タイミングコントローラ（２００）には、ソースドライバ（３００）内のシフトレジスタのシフト方向が順方向のときの水平バックポーチの長さを示すデータとシフト方向が逆方向のときの水平バックポーチの長さを示すデータとを格納可能なレジスタ（２２）が設けられる。タイミングコントローラ（２００）内のソーススタートパルス生成部（２１）は、シフトレジスタのシフト方向に応じてレジスタ（２２）内のデータを参照し、順方向用の第１のソーススタートパルス信号（ＳＳＰ１）または逆方向用の第２のソーススタートパルス信号（ＳＳＰ２）を生成する。

WO 2012/053466 A1

明　細　書

発明の名称 ： 表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置およびその駆動方法に関し、更に詳しくは、双方向シフトレジスタを有するドライバを備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 一般的な表示装置は、ソースバスライン（映像信号線）を駆動するソースドライバとゲートバスライン（走査信号線）を駆動するゲートドライバとを備えている。これらのドライバには、汎用的な解像度に合わせて、表示部内の複数のライン（ソースバスラインあるいはゲートバスライン）にそれぞれ接続されるべき複数個の出力端子が設けられている。ソースドライバの出力端子からは、表示すべき画像に応じた映像信号の出力が行われる。ゲートドライバの出力端子からは、画素容量への映像信号の書き込みを１行ずつ行うための走査信号の出力が行われる。なお、機能的な観点では表示装置の１つの構成要素となるドライバが複数個の半導体チップから成っていることは従来より多々ある。

[0003] ところで、近年、表示装置において汎用的な解像度とは異なる解像度を有するパネル（以下、「異型パネル」という。）が採用されることがある。このような異型パネルの駆動に通常のドライバを用いた場合、表示部内に設けられているライン（例えばソースバスライン）の数とドライバ（例えばソースドライバ）に設けられている出力端子の数とが一致せず、ドライバからの出力に余りが生じることがある。例えば、図２５に示すように、それぞれが９６０個の出力端子を有する２つのソース駆動用ＩＣチップＳＤ１，ＳＤ２によってＳＶＧＡ型（画素数：８００×６００）の液晶パネルを駆動することについて考える。ＲＧＢのカラー表示装置の場合、１つの画素はＲ（赤色），Ｇ（緑色），およびＢ（青色）の３つのサブ画素によって構成されるの

で、ソースバスラインの本数は（６００×３＝）１８００本となる。ここで、ソース駆動用ＩＣチップＳＤ１については、９６０個の出力端子はそれぞれ表示部内のソースバスラインＳＬ１～ＳＬ９６０に接続されている。これに対して、ソース駆動用ＩＣチップＳＤ２については、８４０個の出力端子はそれぞれ表示部内のソースバスラインＳＬ９６１～ＳＬ１８００に接続されているが、残りの１２０個の出力端子は表示部内のソースバスラインには接続されていない（図２５の符号９を参照）。従って、それら１２０個の出力端子からの出力は画像表示には寄与しない。以下、このような出力のことを「余り出力」という。

[0004] 上述したドライバ（ソースドライバおよびゲートドライバ）にはシフトレジスタが含まれている。例えばソースドライバにおいては、シフトレジスタの各段から順次に出力されるサンプリングパルスによって、タイミングコントローラ等からソースドライバに送られる映像信号のサンプリング（取得）が行われる。そして、そのサンプリングされた映像信号に基づき各ソースバスラインが駆動されることによって、表示部に画像が表示される。ところで、パネルへのドライバ（ＩＣチップ）の実装の態様が一様ではないため、双方向シフトレジスタを採用しているドライバも存在する。このようなドライバを備えた表示装置においては、ドライバの実装態様によっては、シフトレジスタにおけるデータのシフト方向が通常の方向（順方向）とは逆にされる。これにより、ドライバ内において通常の順序とは逆の順序でデータのサンプリングを行うことが可能となっている。

[0005] なお、本件発明に関連して、以下のような先行技術が知られている。日本の特開２００５－４１２０号公報に開示された発明によると、タイミングコントローラ内にラインメモリを備えることによって、タイミングコントローラからソースドライバに送られる表示データの順序の入れ替えが可能となっている。日本の特開２００５－１８１９８２号公報に開示された発明によると、ソースドライバを２つの組に分けてそれぞれ動作させることにより、ソースドライバにおいて余り出力が生じる場合に水平ブランキング期間が０で

あっても表示装置を動作させることが可能となっている。

先行技術文献

特許文献

[0006] 特許文献1：日本の特開２００５－４１２０号公報

特許文献2：日本の特開２００５－１８１９８２号公報

発明の概要

発明が解決しようとする課題

[0007] ところが、双方向シフトレジスタを採用しているドライバにおいて余り出力が生じる場合、シフト方向を逆方向にしたときに以下のようにして画像の表示位置にずれが生じる。例えば、図２５に示した構成においてソースドライバ内のシフトレジスタのシフト方向を逆方向にすると、図２５で符号９で示すラインに表示データの一部が取り込まれ、その結果、表示すべき画像の一部に欠落が生じるとともに、シフト方向が順方向のときと比較して画像の表示位置にずれが生じる。

[0008] 日本の特開２００５－４１２０号公報に記載された表示装置によると、ソースドライバに与える表示データの順序の入れ替えが可能となるが、表示データを一時的に保持するためのラインメモリが必要となるので、コスト上昇や消費電流の増大が引き起こされる。また、日本の特開２００５－１８１９８２号公報に開示された発明は、余り出力がドライバの両端で生じるように構成された表示装置に適用されるものであって、図２５に示すようにドライバの一端側のみで余り出力が生じるように構成された表示装置に適用することはできない。

[0009] そこで本発明は、ドライバに余り出力が生じる場合に当該ドライバ内のシフトレジスタのシフト方向にかかわらず正しく画像を表示することのできる表示装置を、コスト上昇や消費電流の増大を引き起こすことなく提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第１の局面は、表示部と、前記表示部に配設された複数の信号線と、複数の出力段からなる双方向シフトレジスタを有し前記双方向シフトレジスタのシフト動作に伴い前記複数の出力段から順次に出力されるパルスに基づき前記複数の信号線を駆動する信号線駆動部とを備えた表示装置であって、

前記双方向シフトレジスタのシフト方向が第１の方向になっているときにおける、単位期間の開始時点から前記双方向シフトレジスタのシフト動作が開始されるべき時点までの期間の長さを示す第１の期間長データと、前記双方向シフトレジスタのシフト方向が前記第１の方向とは逆方向である第２の方向になっているときにおける、単位期間の開始時点から前記双方向シフトレジスタのシフト動作が開始されるべき時点までの期間の長さを示す第２の期間長データとを格納するレジスタ部と、

各単位期間における前記双方向シフトレジスタのシフト動作の開始タイミングを示す信号として、前記双方向シフトレジスタのシフト方向が前記第１の方向となるように前記信号線駆動部を動作させる第１のシフト動作開始指示信号と、前記双方向シフトレジスタのシフト方向が前記第２の方向となるように前記信号線駆動部を動作させる第２のシフト動作開始指示信号とを生成するためのシフト動作開始指示信号生成部と

を備え、

前記シフト動作開始指示信号生成部は、前記双方向シフトレジスタのシフト方向を示すシフト方向指示信号を受け取り、前記シフト方向指示信号が前記第１の方向を示しているときには、前記第１の期間長データに基づき前記第１のシフト動作開始指示信号を生成し、前記シフト方向指示信号が前記第２の方向を示しているときには、前記第２の期間長データに基づき前記第２のシフト動作開始指示信号を生成することを特徴とする。

[0011] 本発明の第２の局面は、本発明の第１の局面において、

前記第１の期間長データおよび前記第２の期間長データを格納するための不揮発性メモリを更に備え、

前記第１の期間長データおよび前記第２の期間長データは、電源投入後に、前記不揮発性メモリから前記レジスタ部に読み出されることを特徴とする。

[0012] 本発明の第３の局面は、本発明の第１の局面において、

前記単位期間の長さを示す単位期間長データを格納する単位期間長記憶部を更に備え、

前記レジスタ部は、前記第１の期間長データおよび前記第２の期間長データの少なくとも一方について負の値を格納することができるように構成され、

前記シフト動作開始指示信号生成部は、前記シフト方向指示信号が前記第１の方向を示しているとき、前記第１の期間長データが負の値であれば、前記単位期間長データと前記第１の期間長データとに基づき前記第１のシフト動作開始指示信号を生成し、前記シフト方向指示信号が前記第２の方向を示しているとき、前記第２の期間長データが負の値であれば、前記単位期間長データと前記第２の期間長データとに基づき前記第２のシフト動作開始指示信号を生成することを特徴とする。

[0013] 本発明の第４の局面は、本発明の第１の局面において、

前記表示部には、前記複数の信号線として複数の映像信号線が配設され、

前記信号線駆動部は、前記複数の映像信号線を駆動する映像信号線駆動部であることを特徴とする。

[0014] 本発明の第５の局面は、本発明の第１の局面において、

前記表示部には、前記複数の信号線として複数の走査信号線が配設され、

前記信号線駆動部は、前記複数の走査信号線を駆動する走査信号線駆動部であることを特徴とする。

[0015] 本発明の第６の局面は、本発明の第１の局面において、

前記表示部には、前記複数の信号線として複数の映像信号線と複数の走査信号線とが配設され、

前記信号線駆動部は、前記複数の映像信号線を駆動する映像信号線駆動部

と前記複数の走査信号線を駆動する走査信号線駆動部とからなることを特徴とする。

[0016] 本発明の第７の局面は、本発明の第６の局面において、

前記レジスタ部および前記シフト動作開始指示信号生成部を含み、前記映像信号線駆動部および前記走査信号線駆動部の動作を制御するためのタイミング信号を生成するタイミング信号生成部を更に備え、

前記映像信号線駆動部，前記走査信号線駆動部，および前記タイミング信号生成部のうちのいずれか２つ以上が１つの半導体チップの中に形成されていることを特徴とする。

[0017] 本発明の第８の局面は、本発明の第１の局面において、

前記信号線駆動部は、前記複数の信号線のいずれにも接続されていない出力端子であるダミー端子を有する半導体チップを含む１以上の半導体チップによって構成され、

前記複数の出力段のうち前記ダミー端子に対応する出力段において前記双方向シフトレジスタのシフト動作が行われる期間の長さを示すデータが前記第１の期間長データまたは前記第２の期間長データとして前記レジスタ部に格納されていることを特徴とする。

[0018] 本発明の第９の局面は、表示部と、前記表示部に配設された複数の信号線と、複数の出力段からなる双方向シフトレジスタを有し前記双方向シフトレジスタのシフト動作に伴い前記複数の出力段から順次に出力されるパルスに基づき前記複数の信号線を駆動する信号線駆動部とを備えた表示装置の駆動方法であって、

前記双方向シフトレジスタのシフト方向を示すシフト方向指示信号を受け取るシフト方向指示信号受信ステップと、

各単位期間における前記双方向シフトレジスタのシフト動作の開始タイミングを示す信号として、前記双方向シフトレジスタのシフト方向が第１の方向となるように前記信号線駆動部を動作させる第１のシフト動作開始指示信号または前記双方向シフトレジスタのシフト方向が前記第１の方向とは逆方

向である第２の方向となるように前記信号線駆動部を動作させる第２のシフト動作開始指示信号を生成するシフト動作開始指示信号生成ステップと

を含み、

前記表示装置は、前記双方向シフトレジスタのシフト方向が前記第１の方向になっているときにおける、単位期間の開始時点から前記双方向シフトレジスタのシフト動作が開始されるべき時点までの期間の長さを示す第１の期間長データと、前記双方向シフトレジスタのシフト方向が前記第２の方向になっているときにおける、単位期間の開始時点から前記双方向シフトレジスタのシフト動作が開始されるべき時点までの期間の長さを示す第２の期間長データとを格納するレジスタ部を更に備え、

前記シフト動作開始指示信号生成ステップでは、前記シフト方向指示信号が前記第１の方向を示しているときには、前記第１の期間長データに基づき前記第１のシフト動作開始指示信号が生成され、前記シフト方向指示信号が前記第２の方向を示しているときには、前記第２の期間長データに基づき前記第２のシフト動作開始指示信号が生成されることを特徴とする。

発明の効果

[0019] 本発明の第１の局面によれば、表示装置には、単位期間（水平走査期間あるいは垂直走査期間）の開始時点から信号線駆動部内の双方向シフトレジスタにおけるシフト動作の開始時点までの期間の長さを示すデータ（期間長データ）として第１の方向でシフト動作が行われるとき用のデータと第２の方向（第１の方向とは逆の方向）でシフト動作が行われるとき用のデータとを格納することができるレジスタ部が設けられている。そして、シフト動作開始指示信号生成部では、シフト方向指示信号の示すシフト方向に応じて、レジスタ部に格納されている期間長データに基づき、第１の方向でシフト動作を行わせるための第１のシフト動作開始指示信号または第２の方向でシフト動作を行わせるための第２のシフト動作開始指示信号が生成される。ここで、信号線駆動部において余り出力が生じる場合に期間長データを適宜の値に設定しておくことにより、余り出力が生じる側からシフト動作が開始される

ときに、（余り出力が生じない側からシフト動作が開始されるときと比べて）余り出力に対応する（双方向シフトレジスタの）出力段でシフト動作が行われる期間に相当する期間だけ早いタイミングで双方向シフトレジスタにおけるシフト動作を開始させることが可能となる。このため、映像信号線駆動部においてダミー出力用のラインに表示データが取り込まれることや、画素容量への映像信号の書き込みが行われるべき期間中に走査信号線駆動部からダミー出力用のラインに書き込みパルスが出力されることなどが防止される。これにより、双方向シフトレジスタのシフト方向が第１の方向（例えば順方向）のときと第２の方向（例えば逆方向）のときとで画像の表示位置にずれが生じることはない。また、双方向シフトレジスタのシフト方向にかかわらず画像の欠落が生じることもない。

[0020] 本発明の第２の局面によれば、パネルへの信号線駆動部の実装の態様に応じて、適宜、期間長データを不揮発性メモリに書き込むことが可能となる。

[0021] 本発明の第３の局面によれば、単位期間（水平走査期間あるいは垂直走査期間）の長さを示す単位期間長データと負の値に設定された期間長データとに基づいて第１のシフト動作開始指示信号や第２のシフト動作開始指示信号を生成することができる。このため、単位期間の開始時点よりも早いタイミングで双方向シフトレジスタにおけるシフト動作を開始させることが可能となり、各単位期間中のバックポーチが短縮される。これにより、単位期間の長さの短縮，クロック周波数の低減，消費電流の低減が可能となる。なお、期間長データが適宜の値に設定されていれば、画像の表示位置にずれが生じることはなく、また、画像の欠落が生じることもない。

[0022] 本発明の第４の局面によれば、余り出力が生じる映像信号線駆動部を備えた表示装置において、余り出力が生じる側から双方向シフトレジスタにおけるシフト動作が開始されるときに、ダミー出力用のラインに表示データが取り込まれることが防止される。これにより、本発明の第１の局面と同様、双方向シフトレジスタのシフト方向が第１の方向のときと第２の方向のときとで画像の表示位置にずれが生じることはない。また、双方向シフトレジスタ

のシフト方向にかかわらず画像の欠落が生じることもない。

[0023] 本発明の第５の局面によれば、余り出力が生じる走査信号線駆動部を備えた表示装置において、余り出力が生じる側から双方向シフトレジスタにおけるシフト動作が開始されるときに、画素容量への映像信号の書き込みが行われるべき期間中に走査信号線駆動部からダミー出力用のラインに書き込みパルスが出力されることなどが防止される。これにより、本発明の第１の局面と同様、双方向シフトレジスタのシフト方向が第１の方向のときと第２の方向のときとで画像の表示位置にずれが生じることはない。また、双方向シフトレジスタのシフト方向にかかわらず画像の欠落が生じることもない。

[0024] 本発明の第６の局面によれば、映像信号線駆動部および走査信号線駆動部の少なくとも一方で余り出力が生じる構成の表示装置において、本発明の第１の局面と同様の効果が得られる。

[0025] 本発明の第７の局面によれば、映像信号線駆動部，走査信号線駆動部，およびタイミング信号生成部のうちのいずれか２つ以上が１つの半導体チップの中に形成された表示装置において、本発明の第１の局面と同様の効果が得られる。

[0026] 本発明の第８の局面によれば、信号線駆動部において余り出力が生じる側からシフト動作が開始されるときに、（余り出力が生じない側からシフト動作が開始されるときと比べて）余り出力に対応する（双方向シフトレジスタの）出力段でシフト動作が行われる期間に相当する期間だけ早いタイミングでシフト動作が開始され、画像の表示位置にずれが生じることや画像の欠落が生じることが確実に防止される。

[0027] 本発明の第９の局面によれば、本発明の第１の局面と同様の効果を表示装置の駆動方法において奏することができる。

図面の簡単な説明

[0028] [図1]本発明の第１の実施形態に係る液晶表示装置において、ソーススタートパルス信号の生成に関わる要部の構成を示すブロック図である。

[図2]上記第１の実施形態における液晶表示装置の全体構成を示すブロック図

である。

[図3]上記第１の実施形態における画素の構成について説明するための図である。

[図4]上記第１の実施形態におけるソースドライバの機能構成を示すブロック図である。

[図5]上記第１の実施形態において、ソースドライバ内のサンプリング回路の詳細な構成を示すブロック図である。

[図6]上記第１の実施形態におけるゲートドライバの機能構成を示すブロック図である。

[図7]上記第１の実施形態において、タイミングコントローラに入力される信号について説明するためのタイミングチャートである。

[図8]上記第１の実施形態において、ソーススタートパルス信号の生成について説明するためのタイミングチャートである。

[図9]上記第１の実施形態において、シフト方向が順方向のときのソースドライバに入力される信号について説明するためのタイミングチャートである。

[図10]上記第１の実施形態において、シフト方向が順方向のときの画素容量への表示データの書き込み順序を示す図である。

[図11]上記第１の実施形態において、シフト方向が逆方向のときのソースドライバに入力される信号について説明するためのタイミングチャートである。

[図12]上記第１の実施形態において、シフト方向が逆方向のときの画素容量への表示データの書き込み順序を示す図である。

[図13]上記第１の実施形態における効果について説明するためのタイミングチャートである。

[図14]シフトレジスタにおけるシフト方向について説明するための図である。

[図15]シフトレジスタにおけるシフト方向について説明するための図である。

[図16]シフトレジスタにおけるシフト方向について説明するための図である。

[図17]本発明の第２の実施形態に係る液晶表示装置において、ソーススタートパルス信号の生成に関わる要部の構成を示すブロック図である。

[図18]上記第２の実施形態において、ソーススタートパルス信号の生成について説明するためのタイミングチャートである。

[図19]上記第２の実施形態における効果について説明するためのタイミングチャートである。

[図20]本発明の第３の実施形態におけるゲートドライバの概略構成を示すブロック図である。

[図21]上記第３の実施形態におけるゲートドライバの機能構成を示すブロック図である。

[図22]上記第３の実施形態において、ゲートスタートパルス信号の生成に関わる要部の構成を示すブロック図である。

[図23]変形例における液晶表示装置の画素の構成について説明するための図である。

[図24]変形例に関し、１チップドライバの構成を示すブロック図である。

[図25]従来例について説明するための図である。

発明を実施するための形態

[0029] ＜１．第１の実施形態＞

＜１．１　全体構成＞

図２は、本発明の第１の実施形態に係る液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示部１００とタイミングコントローラ２００とＥＥＰＲＯＭ（電気的に消去可能な読み出し専用メモリ）２５０とソースドライバ３００とゲートドライバ４００とを備えている。ＥＥＰＲＯＭ２５０は、不揮発性メモリである。ソースドライバ３００は、２つの半導体チップ（ソース駆動用ＩＣチップＳＤ１，ＳＤ２）によって構成されている。ゲートドライバ４００は、２つの半導体チップ（ゲート駆動用ＩＣ

チップＧＤ１，ＧＤ２）によって構成されている。なお、ソースドライバ３００やゲートドライバ４００を構成する半導体チップの個数については、これに限定されない。以下、この液晶表示装置はＳＶＧＡ型の液晶パネルを採用しているものとして説明する。

[0030] 表示部１００には、１８００本のソースバスライン（映像信号線）ＳＬと、８００本のゲートバスライン（走査信号線）ＧＬと、それらソースバスラインとゲートバスラインとの交差点にそれぞれ対応して設けられた複数個の画素形成部とが含まれている。上記複数個の画素形成部はマトリクス状に配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートバスラインＧＬにゲート端子が接続されると共に当該交差点を通過するソースバスラインＳＬにソース端子が接続されたスイッチング素子であるＴＦＴ１０と、そのＴＦＴ１０のドレイン端子に接続された画素電極１１と、上記複数個の画素形成部に共通的に設けられた共通電極１４および補助容量電極１５と、画素電極１１と共通電極１４とによって形成される液晶容量１２と、画素電極１１と補助容量電極１５とによって形成される補助容量１３とが含まれている。液晶容量１２と補助容量１３とによって画素容量が構成されている。なお、図２の表示部１００内には、１つの画素形成部に対応する構成要素のみを示している。１つの画素形成部は１つのサブ画素を形成しており、Ｒ（赤色），Ｇ（緑色），およびＢ（青色）の３つのサブ画素によっていわゆる１つの画素が構成されている。本実施形態においては、図３に示すように、各サブ画素がソースバスラインの伸びる方向に長い形状（縦長の形状）とされ、かつ、同じ色のサブ画素がソースバスラインの伸びる方向に連続して配置される構成となっている。

[0031] タイミングコントローラ２００は、画像データＤＡＴと同期信号（水平同期信号ＨＳＹＮＣ，垂直同期信号ＶＳＹＮＣ，およびクロックＣＬＫ）と水平シフト方向指示信号ＨＳＦＴとを受け取る。なお、水平シフト方向指示信号ＨＳＦＴは、ソースドライバ３００内に設けられているシフトレジスタにおけるデータのシフト方向を指示するための信号である。タイミングコント

ローラ２００は、画像データＤＡＴ，水平同期信号ＨＳＹＮＣ，およびクロックＣＬＫに基づいて、ソースシフトクロックＳＣＫ，デジタル映像信号ＤＶ，およびラッチストローブ信号ＬＳを生成し、それらを出力する。タイミングコントローラ２００は、また、水平同期信号ＨＳＹＮＣ，クロックＣＬＫ，および水平シフト方向指示信号ＨＳＦＴに基づいて、ソーススタートパルス信号（第１のソーススタートパルス信号ＳＳＰ１または第２のソーススタートパルス信号ＳＳＰ２）を生成し、それを出力する。本実施形態においては、第１のソーススタートパルス信号ＳＳＰ１によって第１のシフト動作開始指示信号が実現され、第２のソーススタートパルス信号ＳＳＰ２によって第２のシフト動作開始指示信号が実現されている。なお、ソーススタートパルス信号の生成についての詳しい説明は後述する。タイミングコントローラ２００は、さらに、垂直同期信号ＶＳＹＮＣとクロックＣＬＫとに基づいて、ゲートスタートパルス信号ＧＳＰ，ゲートシフトクロックＧＣＫ，およびゲート出力イネーブル信号ＧＯＥを生成し、それらを出力する。なお、この液晶表示装置の電源投入直後には、ＥＥＰＲＯＭ２５０に格納されているデータが、タイミングコントローラ２００内の後述するレジスタ２２（図１参照）に読み出される。

[0032] ソースドライバ３００は、タイミングコントローラ２００から出力されるソーススタートパルス信号（第１のソーススタートパルス信号ＳＳＰ１または第２のソーススタートパルス信号ＳＳＰ２），ソースシフトクロックＳＣＫ，デジタル映像信号ＤＶ，およびラッチストローブ信号ＬＳを受け取り、表示部１００内の各画素形成部の画素容量を充電するために駆動用映像信号を各ソースバスラインＳＬに印加する。ゲートドライバ４００は、タイミングコントローラ２００から出力されるゲートスタートパルス信号ＧＳＰ，ゲートシフトクロックＧＣＫ，およびゲート出力イネーブル信号ＧＯＥを受け取り、表示部１００内のゲートバスラインＧＬに順次にアクティブな走査信号を印加する。

[0033] 以上のようにして、各ソースバスラインＳＬに駆動用映像信号が印加され

、各ゲートバスラインＧＬに走査信号が印加されることにより、外部から送られる画像データＤＡＴに基づく画像が表示部１００に表示される。

[0034] ＜１．２　駆動部の詳細な構成＞

次に、駆動部（ソースドライバ３００およびゲートドライバ４００）の詳細な構成について説明する。なお、以下に示す構成は一例であって、それ以外の構成にも本発明を適用することができる。

[0035] ＜１．２．１　ソースドライバ＞

図２に示すように、ソースドライバ３００は、ソース駆動用ＩＣチップＳＤ１とソース駆動用ＩＣチップＳＤ２とによって構成されている。各ソース駆動用ＩＣチップには９６０個の出力端子が設けられている。ソース駆動用ＩＣチップＳＤ１については、全ての出力端子が表示部１００内のソースバスラインＳＬに接続されている。ソース駆動用ＩＣチップＳＤ２については、８４０個の出力端子は表示部１００内のソースバスラインＳＬに接続されているが、残りの１２０個の出力端子は表示部１００内のソースバスラインＳＬには接続されていない。すなわち、ソース駆動用ＩＣチップＳＤ２においては、１２０個の余り出力が生じる。

[0036] 図４は、ソースドライバ３００の機能構成を示すブロック図である。ソースドライバ３００は、ｎ個（ｎ＝６４０）のフリップフロップＦＦ１～ＦＦｎからなるｎ段のシフトレジスタ３１と、各ソースバスラインＳＬにそれぞれ対応する内部画像信号ｄを出力するサンプリング回路３２と、サンプリング回路３２から出力された内部画像信号ｄをタイミングコントローラ２００から送られるラッチストローブ信号ＬＳのパルスのタイミングで取り込んで出力するラッチ回路３３と、各ソースバスラインＳＬに印加すべき電圧を選択するための選択回路３４と、選択回路３４で選択された電圧を駆動用映像信号としてソースバスラインＳＬに印加するバッファ回路３５と、各階調レベルにそれぞれ対応する電圧（階調電圧群）Ｖｋを出力する階調電圧発生回路３６とを備えている。なお、これらの構成要素は、物理的には、ソース駆動用ＩＣチップＳＤ１に含まれる部分とソース駆動用ＩＣチップＳＤ２に含

まれる部分とに分かれている。また、上述したように、ソース駆動用ＩＣチップＳＤ２については、図２や図４において右方に位置する１２０個の出力端子は、表示部１００内のソースバスラインＳＬには接続されていない。

[0037] シフトレジスタ３１にはソーススタートパルス信号（第１のソーススタートパルス信号ＳＳＰ１または第２のソーススタートパルス信号ＳＳＰ２）とソースシフトクロックＳＣＫとが入力される。なお、シフトレジスタ３１におけるデータのシフト方向を順方向（ＦＦ１からＦＦｎに向かう方向）にするときには、第１のソーススタートパルス信号ＳＳＰ１がシフトレジスタ３１の１段目のフリップフロップＦＦ１に入力され、シフト方向を逆方向（ＦＦｎからＦＦ１に向かう方向）にするときには、第２のソーススタートパルス信号ＳＳＰ２がシフトレジスタ３１のｎ段目のフリップフロップＦＦｎに入力される。シフトレジスタ３１は、ソースシフトクロックＳＣＫに基づき、ソーススタートパルス信号に含まれるパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じてシフトレジスタ３１から各ソースバスラインＳＬに対応するサンプリングパルスが順次に出力され、当該サンプリングパルスはサンプリング回路３２に順次に入力される。

[0038] サンプリング回路３２は、タイミングコントローラ２００から送られるデジタル映像信号ＤＶをシフトレジスタ３１から出力されるサンプリングパルスのタイミングでサンプリングし、それを内部画像信号ｄとして出力する。より詳しくは、図５に示すように、サンプリング回路３２にはＲ（赤色）用のデジタル映像信号ＤＶ（Ｒ）とＧ（緑色）用のデジタル映像信号ＤＶ（Ｇ）とＢ（青色）用のデジタル映像信号ＤＶ（Ｂ）とが別々の信号線によって入力され、それらが１つのサンプリングパルスによって一斉にサンプリングされる。そして、Ｒ（赤色）用，Ｇ（緑色）用，およびＢ（青色）用の内部画像信号ｄがそれぞれサンプリング回路３２から出力される。

[0039] ラッチ回路３３は、サンプリング回路３２から出力される内部画像信号ｄをラッチストローブ信号ＬＳのパルスのタイミングで取り込み、それを出力する。階調電圧発生回路３６は、所定の電源回路から与えられる複数個の基

準電圧に基づき、各階調レベルに対応する電圧を生成し、これらを階調電圧群Ｖｋとして出力する。選択回路３４は、ラッチ回路３３から出力される内部画像信号ｄに基づき、階調電圧発生回路３６から出力される階調電圧群Ｖｋのいずれかの電圧を選択し、その選択した電圧を出力する。バッファ回路３５は、選択回路３４から出力された電圧を例えば電圧ホロアによってインピーダンス変換を行い、変換後の電圧を駆動用映像信号としてソースバスラインＳＬに出力する。なお、ソース駆動用ＩＣチップＳＤ２についての１２０個の出力端子（ソースバスラインＳＬに接続されていない出力端子）からの出力はダミー出力となる。

[0040] ＜１．２．２　ゲートドライバ＞

図２に示すように、ゲートドライバ４００は、ゲート駆動用ＩＣチップＧＤ１とゲート駆動用ＩＣチップＧＤ２とによって構成されている。各ゲート駆動用ＩＣチップには４００個の出力端子が設けられている。本実施形態においては、ゲート駆動用ＩＣチップＧＤ１についても、ゲート駆動用ＩＣチップＧＤ２についても、全ての出力端子が表示部１００内のゲートバスラインＧＬに接続されている。

[0041] 図６は、ゲートドライバ４００の機能構成を示すブロック図である。ゲートドライバ４００は、ｍ個（ｍ＝８００）のフリップフロップＦＦ１～ＦＦｍからなるｍ段のシフトレジスタ４１と、論理演算回路４２と、バッファ回路４３とを備えている。シフトレジスタ４１にはゲートスタートパルス信号ＧＳＰとゲートシフトクロックＧＣＫとが入力される。シフトレジスタ４１は、ゲートシフトクロックＧＣＫに基づき、ゲートスタートパルス信号に含まれるパルスを入力端から出力端へと順次に転送するとともに論理演算回路４２へと各段から順次にパルスを出力する。論理演算回路４２は、シフトレジスタ４１の各段から出力されたパルスとゲート出力イネーブル信号ＧＯＥとの間で論理演算を行う。論理演算回路４２からの出力信号は、バッファ回路４３でレベル変換されて、走査信号として各ゲートバスラインＧＬに印加される

[0042] ＜１．３　ソーススタートパルス信号の生成＞

図１は、ソーススタートパルス信号の生成に関わる要部の構成を示すブロック図である。タイミングコントローラ２００は、ソーススタートパルス信号を生成するための構成要素として、ソーススタートパルス生成部２１とレジスタ２２とを備えている。なお、本実施形態においては、タイミングコントローラ２００によってタイミング信号生成部が実現され、ソーススタートパルス生成部２１によってシフト動作開始指示信号生成部が実現されている。

[0043] ＥＥＰＲＯＭ２５０には、各水平走査期間の開始時点からシフトレジスタ３１においてデータ（ここではソーススタートパルス信号）のシフト（転送）が開始されるべき時点までの期間（水平バックポーチ）の長さを示すデータ（以下、「水平シフト開始設定データ」という。）が予め格納される。詳しくは、シフトレジスタ３１のシフト方向を順方向にするときの上記水平シフト開始設定データが順方向用水平シフト開始設定データＨＳＰ１としてＥＥＰＲＯＭ２５０に格納され、シフトレジスタ３１のシフト方向を逆方向にするときの上記水平シフト開始設定データが逆方向用水平シフト開始設定データＨＳＰ２としてＥＥＰＲＯＭ２５０に格納される。本実施形態においては、順方向用水平シフト開始設定データＨＳＰ１によって第１の期間長データが実現され、逆方向用水平シフト開始設定データＨＳＰ２によって第２の期間長データが実現されている。なお、水平シフト開始設定データとしては典型的にはクロック数が採用され、以下においてもそれを前提に説明する。

[0044] レジスタ２２は、順方向用水平シフト開始設定データＨＳＰ１と逆方向用水平シフト開始設定データＨＳＰ２とを格納することができるように構成されている。そして、この液晶表示装置の電源が投入されると、ＥＥＰＲＯＭ２５０に予め格納されている順方向用水平シフト開始設定データＨＳＰ１と逆方向用水平シフト開始設定データＨＳＰ２とがレジスタ２２に読み出される。なお、以下においては、水平シフト方向指示信号ＨＳＦＴはデジタル信号であって、シフトレジスタ３１のシフト方向を順方向にするときには水平

シフト方向指示信号ＨＳＦＴはローレベルにされ、シフトレジスタ３１のシフト方向を逆方向にするときには水平シフト方向指示信号ＨＳＦＴはハイレベルにされるものと仮定する。

[0045] ソーススタートパルス生成部２１は、水平同期信号ＨＳＹＮＣ，クロックＣＬＫ，および水平シフト方向指示信号ＨＳＦＴに基づいて、ソーススタートパルス信号（第１のソーススタートパルス信号ＳＳＰ１または第２のソーススタートパルス信号ＳＳＰ２）を生成する。詳しくは、水平シフト方向指示信号ＨＳＦＴがローレベルであれば、ソーススタートパルス生成部２１は、レジスタ２２内の順方向用水平シフト開始設定データＨＳＰ１を参照して、水平同期信号ＨＳＹＮＣとクロックＣＬＫとに基づき第１のソーススタートパルス信号ＳＳＰ１を生成する。一方、水平シフト方向指示信号ＨＳＦＴがハイレベルであれば、ソーススタートパルス生成部２１は、レジスタ２２内の逆方向用水平シフト開始設定データＨＳＰ２を参照して、水平同期信号ＨＳＹＮＣとクロックＣＬＫとに基づき第２のソーススタートパルス信号ＳＳＰ２を生成する。なお、本実施形態においては、ソーススタートパルス生成部２１が水平シフト方向指示信号ＨＳＦＴを受け取る動作によってシフト方向指示信号受信ステップが実現され、ソーススタートパルス生成部２１がソーススタートパルス信号を生成する動作によってシフト動作開始指示信号生成ステップが実現されている。

[0046] ところで、以下、次のような前提で説明する。タイミングコントローラ２００には、図７に示すように、実際に表示部１００に画像として表示するための表示データが、水平同期信号ＨＳＹＮＣがハイレベルからローレベルに変化した時点から１００クロック経過後に画像データＤＡＴとして入力される。画像データＤＡＴはＲデータ，Ｇデータ，およびＢデータからなり、それら３つのデータは別々の信号線によって入力される。また、タイミングコントローラ２００では、画像データＤＡＴの入力からそれに対応するデジタル映像信号ＤＶの出力までに内部処理のために遅延が生じる。この内部処理のための遅延時間をＴｄとし、水平同期信号ＨＳＹＮＣがハイレベルからロ

ーレベルに変化した時点からＴｄ経過後の時点を単位期間としての水平走査期間の開始時点とする。なお、単位期間の開始時点の定め方については、これに限定されない。

[0047] 図８は、ソーススタートパルス信号の生成について説明するためのタイミングチャートである。なお、順方向用水平シフト開始設定データＨＳＰ１の値は「１００」に設定され、逆方向用水平シフト開始設定データＨＳＰ２の値は「６０」に設定されているものと仮定する。また、１クロックに相当する期間に３個の表示データがソースドライバ３００に入力されるものと仮定する。

[0048] 水平シフト方向指示信号ＨＳＦＴがローレベルであれば、水平走査期間の開始時点から１００クロック経過後にソースドライバ３００内でのデータのサンプリング（サンプリング回路３２によるデジタル映像信号ＤＶのサンプリング）が開始されるように、第１のソーススタートパルス信号ＳＳＰ１が生成される。例えば、タイミングコントローラ２００ーソースドライバ３００間の伝送方式にＲＳＤＳ伝送方式が採用されている場合には、図８に示すように、水平走査期間の開始時点から９８クロック経過後のタイミングで第１のソーススタートパルス信号ＳＳＰ１のパルスが立ち上がる。表示データのソースドライバ３００への入力は図９に示すように水平走査期間の開始時点から１００クロック経過後に開始されるところ、表示データの入力開始タイミングに合わせてサンプリング回路３２でのサンプリングが開始される。その結果、水平走査期間の開始時点から１００クロック経過してからソースドライバ３００に順次に入力される表示データが、図１０に示すように表示部１００の左側から順番となるように画素容量に書き込まれる。そして、画素容量への書き込みの結果として形成される画像が、１行ずつ表示部１００に表示される。

[0049] 水平シフト方向指示信号ＨＳＦＴがハイレベルであれば、水平走査期間の開始時点から６０クロック経過後にソースドライバ３００内でのデータのサンプリングが開始されるように、第２のソーススタートパルス信号ＳＳＰ２

が生成される。例えば、タイミングコントローラ２００－ソースドライバ３００間の伝送方式にＲＳＤＳ伝送方式が採用されている場合には、図８に示すように、水平走査期間の開始時点から５８クロック経過後のタイミングで第２のソーススタートパルス信号ＳＳＰ２のパルスが立ち上がる。表示データのソースドライバ３００への入力は図１１に示すように水平走査期間の開始時点から１００クロック経過後に開始されるが、水平シフト方向指示信号ＨＳＦＴがローレベルのときとは異なり、表示データの入力開始タイミングよりも４０クロック分だけ早いタイミングでサンプリング回路３２でのサンプリングが開始される。この４０クロック分の期間には、余り出力に対応するラインにおいてサンプリングが行われる。その結果、水平走査期間の開始時点から１００クロック経過してからソースドライバ３００に順次に入力される表示データが、図１２に示すように表示部１００の右側から順番となるように画素容量に書き込まれる。そして、画素容量への書き込みの結果として形成される画像が、１行ずつ表示部１００に表示される。

[0050] 以上のように、シフトレジスタ３１のシフト方向が逆方向のときには、シフト方向が順方向のときに比べて、４０クロックに相当する期間すなわち１２０個の表示データがソースドライバ３００に入力されるのに要する期間だけ早いタイミングで、ソースドライバ３００内のサンプリング回路３２でのサンプリングが開始される。

[0051] ＜１．４　効果＞

図１３を参照しつつ、本実施形態における効果について説明する。本実施形態においては、１水平走査期間につき１８００個の表示データがデジタル映像信号ＤＶとしてソースドライバ３００に入力される。ここで、シフトレジスタ３１のシフト方向が順方向のときには、ソースドライバ３００への表示データの入力が開始されるタイミングに合わせて、ソースドライバ３００内でのデータのサンプリングが開始される。シフトレジスタ３１の１段目から６００段目までは表示部１００内のソースバスラインＳＬに接続されているので、表示データに基づく画像が正しく表示部１００に表示される。一方

、シフトレジスタ３１のシフト方向が逆方向のときには、順方向のときに比べて１２０個の表示データが送られてくる期間に相当する期間だけ早いタイミングでソースドライバ３００内でのデータのサンプリングが開始される。このため、ソース駆動用ＩＣチップＳＤ２において、ダミー出力用のライン（シフトレジスタ３１の６０１段目から６４０段目に対応するライン）に表示データが取り込まれることはなく、シフトレジスタ３１の６００段目に対応するラインから正しく表示データのサンプリングが行われる。これにより、シフトレジスタ３１のシフト方向が順方向のときと逆方向のときとで画像の表示位置にずれが生じることはない。また、シフトレジスタ３１のシフト方向を逆方向にしたときに画像の欠落が生じることもない。以上のように、ソースドライバ３００において余り出力が生じている場合にシフトレジスタ３１のシフト方向が逆方向にされても、シフト方向が順方向のときと同様の画像を表示することが可能となる。

[0052] ところで、パネル（表示部１００）とソースドライバ３００（ソース駆動用ＩＣチップＳＤ１，ＳＤ２）とが図１４に示すような位置関係のときにシフト方向が順方向にされると仮定すると、図１５に示すようにソースドライバ３００の組み込み位置が図１４とは上下逆にされる場合や、図１６に示すように図１４とは左右逆の画像を表示する場合に、シフト方向が逆方向にされる。なお、図１５では、ソース駆動用ＩＣチップＳＤ１，ＳＤ２の出力端子と表示部１００との位置関係を明確にするために「ＳＤ１」，「ＳＤ２」の文字を逆さまに表示している。図１４～図１６においてシフトレジスタ３１のシフト方向と表示部１００に表示される画像との関係に着目すると、デジタル映像信号ＤＶとしてタイミングコントローラ２００からソースドライバ３００に送られるデータ関しては、シフト方向が順方向のときと逆方向のときとでデータの順序は同じで良いことが把握される。従って、タイミングコントローラ２００内でデータの順序を並べ替える処理は不要となる。また、図１３から把握されるように、表示データをデジタル映像信号ＤＶとしてソースドライバ３００に与えるタイミングについても、シフト方向が順方向

のときと逆方向のときとで同じで良い。すなわち、タイミングコントローラ２００から表示データを出力するタイミングをシフト方向に応じて変える処理（例えば遅延させる処理）も不要となる。以上より、本実施形態においては、シフト方向を逆方向にするためにラインメモリやフレームメモリを備える必要はなく、コストの上昇や消費電流の増大が防止される。

[0053] ＜２．第２の実施形態＞

＜２．１　構成など＞

本実施形態においては、全体構成および駆動部の構成については上記第１の実施形態と同様であるので説明を省略する。図１７は、本実施形態におけるソーススタートパルス信号の生成に関わる要部の構成を示すブロック図である。タイミングコントローラ２０１には、上記第１の実施形態における構成要素に加えて、水平走査期間長記憶部２３が設けられている。この水平走査期間長記憶部２３には、１水平走査期間の長さを示すデータ（以下、「水平走査期間長データ」という。）ＨＬＥＮが格納されている。なお、水平走査期間長データとしては典型的にはクロック数が採用され、以下においてもそれを前提に説明する。また、本実施形態においては、水平走査期間長記憶部２３によって単位期間長記憶部が実現され、水平走査期間長データＨＬＥＮによって単位期間長データが実現されている。

[0054] 本実施形態においては、水平シフト開始設定データに負の値を設定することが可能となっている。水平シフト開始設定データが負の値に設定されていれば、ソーススタートパルス生成部２１は、レジスタ２２内の水平シフト開始設定データと水平走査期間長記憶部２３内の水平走査期間長データＨＬＥＮとを参照して、水平同期信号ＨＳＹＮＣとクロックＣＬＫとに基づきソーススタートパルス信号を生成する。ところで、水平シフト開始設定データが負の値に設定されている場合、各水平走査期間の開始時点よりも早いタイミングでソーススタートパルス信号のパルスを立ち上げる必要があるが、水平走査期間長データＨＬＥＮに水平シフト開始設定データを加算することによって、各水平走査期間の開始時点から何クロック経過後にソースドライバ３

００内でのデータのサンプリングが開始されると良いかを求めることができる。

[0055] 図１８は、ソーススタートパルス信号の生成について説明するためのタイミングチャートである。ここでは、順方向用水平シフト開始設定データＨＳＰ１の値は「１０」に設定され、逆方向用水平シフト開始設定データＨＳＰ２の値は「－３０」に設定されているものと仮定する。水平シフト方向指示信号ＨＳＦＴがローレベルであれば、水平走査期間の開始時点から１０クロック経過後にソースドライバ３００内でのデータのサンプリングが開始されるように、第１のソーススタートパルス信号ＳＳＰ１が生成される。例えば、タイミングコントローラ２０１－ソースドライバ３００間の伝送方式にＲＳＤＳ伝送方式が採用されている場合には、図１８に示すように、水平走査期間の開始時点から８クロック経過後のタイミングで第１のソーススタートパルス信号ＳＳＰ１のパルスが立ち上がる。水平シフト方向指示信号ＨＳＦＴがハイレベルであれば、水平走査期間の開始時点よりも３０クロックだけ早いタイミングでソースドライバ３００内でのデータのサンプリングが開始されるように、第２のソーススタートパルス信号ＳＳＰ２が生成される。例えば、タイミングコントローラ２０１－ソースドライバ３００間の伝送方式にＲＳＤＳ伝送方式が採用されている場合には、図１８に示すように、水平走査期間の開始時点よりも３２クロックだけ早いタイミングで第２のソーススタートパルス信号ＳＳＰ２のパルスが立ち上がる。

[0056] ＜２．２　効果＞

図１９を参照しつつ、本実施形態における効果について説明する。本実施形態によれば、上記第１の実施形態と同様の効果が得られるほか、次のような効果が得られる。シフトレジスタ３１のシフト方向が順方向のときには、上記第１の実施形態と同様、ソースドライバ３００への表示データの入力が開始されるタイミングに合わせて、ソースドライバ３００内でのデータのサンプリングが開始される。これにより、表示データに基づく画像が正しく表示部１００に表示される。一方、シフトレジスタ３１のシフト方向が逆方向

のときには、水平走査期間の開始時点よりも３０クロックだけ早いタイミングでソースドライバ３００内でのデータのサンプリングが開始される。この３０クロック分の期間および水平走査期間の開始時点から表示データのサンプリングが開始されるまでの１０クロック分の期間（合計４０クロック分の期間）には、ダミー出力用のラインにおけるデータのサンプリングが行われる。このとき、ダミー出力用のラインに表示データが取り込まれることはない。そして、ダミー出力用のラインにおけるデータのサンプリングの終了後、表示データのサンプリングが開始され、順方向のときと表示位置にずれが生じることなく画像が表示される。このように、水平シフト開始設定データの値を適宜の値に設定しておくことによって、ダミー出力用のラインにおけるデータのサンプリングを水平走査期間の開始前に行うことが可能となり、水平バックポーチが短縮される。これにより、１水平走査期間の長さの短縮，クロック周波数の低減，消費電流の低減が可能となる。

[0057] ＜３．第３の実施形態＞

上記第１および第２の実施形態においてはソースドライバ内のシフトレジスタに双方向シフトレジスタが採用されていたが、本実施形態においてはゲートドライバ内のシフトレジスタに双方向シフトレジスタが採用されている。なお、液晶パネルには異型パネルが採用されていてソースバスラインＳＬの伸びる方向についての画素数が７６０個であると仮定する。

[0058] ＜３．１　ゲートドライバの構成＞

本実施形態におけるゲートドライバ４０１は、上記第１の実施形態と同様、２つの半導体チップ（ゲート駆動用ＩＣチップＧＤ１，ＧＤ２）によって構成されている。各ゲート駆動用ＩＣチップには４００個の出力端子が設けられている。ゲート駆動用ＩＣチップＧＤ１については、全ての出力端子が表示部１００内のゲートバスラインＧＬに接続されている。ゲート駆動用ＩＣチップＧＤ２については、図２０に示すように、３６０個の出力端子は表示部１００内のゲートバスラインＧＬに接続されているが、残りの４０個の出力端子は表示部１００内のゲートバスラインＧＬには接続されていない。

すなわち、ゲート駆動用ＩＣチップＧＤ２においては、４０個の余り出力が生じる。

[0059] 図２１は、本実施形態におけるゲートドライバ４０１の機能構成を示すブロック図である。上記第１の実施形態（図６参照）とほぼ同様の構成であるが、本実施形態においては、シフトレジスタ４１にはゲートスタートパルス信号として第１のゲートスタートパルス信号ＧＳＰ１または第２のゲートスタートパルス信号ＧＳＰ２のいずれかが入力される。なお、シフトレジスタ４１におけるデータのシフト方向を順方向（ＦＦ１からＦＦｍに向かう方向）にするときには、第１のゲートスタートパルス信号ＧＳＰ１がシフトレジスタ４１の１段目のフリップフロップＦＦ１に入力され、シフト方向を逆方向（ＦＦｍからＦＦ１に向かう方向）にするときには、第２のゲートスタートパルス信号ＧＳＰ２がシフトレジスタ４１のｍ段目のフリップフロップＦＦｍに入力される。

[0060] ＜３．２　ゲートスタートパルス信号の生成＞

図２２は、ゲートスタートパルス信号の生成に関わる要部の構成を示すブロック図である。本実施形態においては、タイミングコントローラ２０２は、ゲートスタートパルス信号を生成するための構成要素として、ゲートスタートパルス生成部２５とレジスタ２６とを備えている。なお、本実施形態においては、ゲートスタートパルス生成部２５によってシフト動作開始指示信号生成部が実現されている。

[0061] タイミングコントローラ２０２には、上記第１の実施形態における水平シフト方向指示信号ＨＳＦＴに代えて垂直シフト方向指示信号ＶＳＦＴが入力される。ＥＥＰＲＯＭ２５１には、各垂直走査期間の開始時点からシフトレジスタ４１においてデータ（ここではゲートスタートパルス信号）のシフト（転送）が開始されるべき時点までの期間（垂直バックポーチ）の長さを示すデータ（以下、「垂直シフト開始設定データ」という。）が予め格納される。詳しくは、シフトレジスタ４１のシフト方向を順方向にするときの上記垂直シフト開始設定データが順方向用垂直シフト開始設定データＶＳＰ１と

してＥＥＰＲＯＭ２５１に格納され、シフトレジスタ４１のシフト方向を逆方向にするときの上記垂直シフト開始設定データが逆方向用垂直シフト開始設定データＶＳＰ２としてＥＥＰＲＯＭ２５１に格納される。本実施形態においては、順方向用垂直シフト開始設定データＶＳＰ１によって第１の期間長データが実現され、逆方向用垂直シフト開始設定データＶＳＰ２によって第２の期間長データが実現されている。なお、垂直シフト開始設定データとしては典型的にはクロック数が採用され、以下においてもそれを前提に説明する。

[0062] レジスタ２６は、順方向用垂直シフト開始設定データＶＳＰ１と逆方向用垂直シフト開始設定データＶＳＰ２とを格納することができるように構成されている。そして、この液晶表示装置の電源が投入されると、ＥＥＰＲＯＭ２５１に予め格納されている順方向用垂直シフト開始設定データＶＳＰ１と逆方向用垂直シフト開始設定データＶＳＰ２とがレジスタ２６に読み出される。なお、以下においては、垂直シフト方向指示信号ＶＳＦＴはデジタル信号であって、シフトレジスタ４１のシフト方向を順方向にするときには垂直シフト方向指示信号ＶＳＦＴはローレベルにされ、シフトレジスタ４１のシフト方向を逆方向にするときには垂直シフト方向指示信号ＶＳＦＴはハイレベルにされるものと仮定する。

[0063] ゲートスタートパルス生成部２５は、垂直同期信号ＶＳＹＮＣ，クロックＣＬＫ，および垂直シフト方向指示信号ＶＳＦＴに基づいて、ゲートスタートパルス信号（第１のゲートスタートパルス信号ＧＳＰ１または第２のゲートスタートパルス信号ＧＳＰ２）を生成する。詳しくは、垂直シフト方向指示信号ＶＳＦＴがローレベルであれば、ゲートスタートパルス生成部２５は、レジスタ２６内の順方向用垂直シフト開始設定データＶＳＰ１を参照して、垂直同期信号ＶＳＹＮＣとクロックＣＬＫとに基づき第１のゲートスタートパルス信号ＧＳＰ１を生成する。一方、垂直シフト方向指示信号ＶＳＦＴがハイレベルであれば、ゲートスタートパルス生成部２５は、レジスタ２６内の逆方向用垂直シフト開始設定データＶＳＰ２を参照して、垂直同期信号

ＶＳＹＮＣとクロックＣＬＫとに基づき第２のゲートスタートパルス信号ＧＳＰ２を生成する。なお、本実施形態においては、第１のゲートスタートパルス信号ＧＳＰ１によって第１のシフト動作開始指示信号が実現され、第２のゲートスタートパルス信号ＧＳＰ２によって第２のシフト動作開始指示信号が実現されている。

[0064] ＜３．３　効果＞

本実施形態においては、ゲートドライバ４０１内で１垂直走査期間につき８００個のパルスがシフトレジスタ４１から論理演算回路４２へと出力される。ここで、順方向用垂直シフト開始設定データＶＳＰ１および逆方向用垂直シフト開始設定データＶＳＰ２を適宜の値に設定しておくことによって、シフトレジスタ４１のシフト方向が順方向であっても逆方向であっても、１フレーム分（１画面分）の画像に対応する駆動用映像信号がソースドライバ３００から出力されている期間中に、表示部１００内の各ゲートバスラインＧＬに順次にアクティブな走査信号が印加される。これにより、ゲートドライバ４０１において余り出力が生じている場合にシフトレジスタ４１のシフト方向が逆方向にされても、シフト方向が順方向のときと同様の画像を表示することが可能となる。

[0065] なお、上記第２の実施形態と同様にして、１垂直走査期間の長さを示すデータと負の値に設定された垂直シフト開始設定データとに基づいてゲートスタートパルス信号の生成が行われる構成にすることによって、１垂直走査期間の長さを短縮することが可能となる。

[0066] ＜４．その他（変形例）＞

上記各実施形態においては、ソースドライバまたはゲートドライバの一方において余り出力が生じている場合を例に挙げて説明した。しかしながら、本発明はこれに限定されず、ソースドライバおよびゲートドライバの双方において余り出力が生じている場合にも本発明を適用することができる。

[0067] また、上記各実施形態においては液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。有機ＥＬ（Ｅｌｅｃｔｒｏ　Ｌｕｍｉｎｅｓ

ｃｅｎｃｅ）等の他の表示装置にも本発明を適用することができる。

[0068] 液晶表示装置の画素の構成については、典型的には、図３に示すように、各サブ画素がソースバスラインの伸びる方向に長い形状（縦長の形状）とされ、かつ、同じ色のサブ画素がソースバスラインの伸びる方向に連続して配置される構成と、図２３に示すように、各サブ画素がゲートバスラインの伸びる方向に長い形状（横長の形状）とされ、かつ、同じ色のサブ画素がゲートバスラインの伸びる方向に連続して配置される構成とがある。図３に示す構成の場合、ソースドライバ内において１つのサンプリングパルスで３個の表示データのサンプリングが行われる。これに対して、図２３に示す構成の場合、ソースドライバ内において１つのサンプリングパルスで１個の表示データのサンプリングが行われる。また、図３に示す構成の場合、１水平走査期間に１本のゲートバスラインの選択が行われる。これに対して、図２３に示す構成の場合、ゲートバスラインの本数が図３に示す構成の３倍になるので、３分の１水平走査期間に１本のゲートバスラインの選択が行われる。すなわち、図２３に示す構成の場合、ゲートバスラインの走査速度は図３に示す構成の３倍となる。上記各実施形態においては、画素の構成が図３に示す構成であることを前提に説明しているが、本発明は、図２３に示す画素の構成の液晶表示装置にも適用することができる。

[0069] 近年、液晶パネルの駆動用ＩＣとして、タイミングコントローラ，ソースドライバ，およびゲートドライバなどを１つの半導体チップ内に集積した「１チップドライバ」と呼ばれるものが採用されることがある（図２４参照）。このような１チップドライバには、ソースバスラインやゲートバスラインと接続するための多数の出力端子が設けられている。ところで、１チップドライバにおいても、ソースドライバあるいはゲートドライバに余り出力が生じることがある。また、１チップドライバ内のソースドライバやゲートドライバにおいても、シフトレジスタのシフト方向が逆方向にされるべき場合がある。そこで、このような１チップドライバにおいても、ソースドライバに余り出力が生じている場合には、上記第１の実施形態あるいは上記第２の実

施形態と同様にソースドライバを動作させることにより、シフトレジスタのシフト方向が順方向のときと逆方向のときとで同様の画像表示を行うことが可能となる。また、ゲートドライバに余り出力が生じている場合には、上記第３の実施形態と同様にゲートドライバを動作させることにより、シフトレジスタのシフト方向が順方向のときと逆方向のときとで同様の画像表示を行うことが可能となる。

符号の説明

[0070] ２１…ソーススタートパルス生成部

２２，２６…レジスタ

２５…ゲートスタートパルス生成部

３１…（ソースドライバ内の）シフトレジスタ

３２…サンプリング回路

４１…（ゲートドライバ内の）シフトレジスタ

１００…表示部

２００，２０１，２０２…タイミングコントローラ

２５０，２５１…ＥＥＰＲＯＭ

３００…ソースドライバ

４００，４０１…ゲートドライバ

ＳＤ１，ＳＤ２…ソース駆動用ＩＣチップ

ＧＤ１，ＧＤ２…ゲート駆動用ＩＣチップ

ＨＳＹＮＣ…水平同期信号

ＶＳＹＮＣ…垂直同期信号

ＨＳＰ１…順方向用水平シフト開始設定データ

ＨＳＰ２…逆方向用水平シフト開始設定データ

ＶＳＰ１…順方向用垂直シフト開始設定データ

ＶＳＰ２…逆方向用垂直シフト開始設定データ

ＨＬＥＮ…水平走査期間長データ

ＨＳＦＴ…水平シフト方向指示信号

ＶＳＦＴ…垂直シフト方向指示信号

ＳＳＰ１…第１のソーススタートパルス信号

ＳＳＰ２…第２のソーススタートパルス信号

ＧＳＰ１…第１のゲートスタートパルス信号

ＧＳＰ２…第２のゲートスタートパルス信号

請求の範囲

［請求項1］ 表示部と、前記表示部に配設された複数の信号線と、複数の出力段からなる双方向シフトレジスタを有し前記双方向シフトレジスタのシフト動作に伴い前記複数の出力段から順次に出力されるパルスに基づき前記複数の信号線を駆動する信号線駆動部とを備えた表示装置であって、

前記双方向シフトレジスタのシフト方向が第１の方向になっているときにおける、単位期間の開始時点から前記双方向シフトレジスタのシフト動作が開始されるべき時点までの期間の長さを示す第１の期間長データと、前記双方向シフトレジスタのシフト方向が前記第１の方向とは逆方向である第２の方向になっているときにおける、単位期間の開始時点から前記双方向シフトレジスタのシフト動作が開始されるべき時点までの期間の長さを示す第２の期間長データとを格納するレジスタ部と、

各単位期間における前記双方向シフトレジスタのシフト動作の開始タイミングを示す信号として、前記双方向シフトレジスタのシフト方向が前記第１の方向となるように前記信号線駆動部を動作させる第１のシフト動作開始指示信号と、前記双方向シフトレジスタのシフト方向が前記第２の方向となるように前記信号線駆動部を動作させる第２のシフト動作開始指示信号とを生成するためのシフト動作開始指示信号生成部と

を備え、

前記シフト動作開始指示信号生成部は、前記双方向シフトレジスタのシフト方向を示すシフト方向指示信号を受け取り、前記シフト方向指示信号が前記第１の方向を示しているときには、前記第１の期間長データに基づき前記第１のシフト動作開始指示信号を生成し、前記シフト方向指示信号が前記第２の方向を示しているときには、前記第２の期間長データに基づき前記第２のシフト動作開始指示信号を生成す

ることを特徴とする、表示装置。

[請求項2] 前記第１の期間長データおよび前記第２の期間長データを格納するための不揮発性メモリを更に備え、

前記第１の期間長データおよび前記第２の期間長データは、電源投入後に、前記不揮発性メモリから前記レジスタ部に読み出されることを特徴とする、請求項１に記載の表示装置。

[請求項3] 前記単位期間の長さを示す単位期間長データを格納する単位期間長記憶部を更に備え、

前記レジスタ部は、前記第１の期間長データおよび前記第２の期間長データの少なくとも一方について負の値を格納することができるように構成され、

前記シフト動作開始指示信号生成部は、前記シフト方向指示信号が前記第１の方向を示しているとき、前記第１の期間長データが負の値であれば、前記単位期間長データと前記第１の期間長データとに基づき前記第１のシフト動作開始指示信号を生成し、前記シフト方向指示信号が前記第２の方向を示しているとき、前記第２の期間長データが負の値であれば、前記単位期間長データと前記第２の期間長データとに基づき前記第２のシフト動作開始指示信号を生成することを特徴とする、請求項１に記載の表示装置。

[請求項4] 前記表示部には、前記複数の信号線として複数の映像信号線が配設され、

前記信号線駆動部は、前記複数の映像信号線を駆動する映像信号線駆動部であることを特徴とする、請求項１に記載の表示装置。

[請求項5] 前記表示部には、前記複数の信号線として複数の走査信号線が配設され、

前記信号線駆動部は、前記複数の走査信号線を駆動する走査信号線駆動部であることを特徴とする、請求項１に記載の表示装置。

[請求項6] 前記表示部には、前記複数の信号線として複数の映像信号線と複数

の走査信号線とが配設され、

前記信号線駆動部は、前記複数の映像信号線を駆動する映像信号線駆動部と前記複数の走査信号線を駆動する走査信号線駆動部とからなることを特徴とする、請求項１に記載の表示装置。

［請求項7］ 前記レジスタ部および前記シフト動作開始指示信号生成部を含み、前記映像信号線駆動部および前記走査信号線駆動部の動作を制御するためのタイミング信号を生成するタイミング信号生成部を更に備え、

前記映像信号線駆動部，前記走査信号線駆動部，および前記タイミング信号生成部のうちのいずれか２つ以上が１つの半導体チップの中に形成されていることを特徴とする、請求項６に記載の表示装置。

［請求項8］ 前記信号線駆動部は、前記複数の信号線のいずれにも接続されていない出力端子であるダミー端子を有する半導体チップを含む１以上の半導体チップによって構成され、

前記複数の出力段のうち前記ダミー端子に対応する出力段において前記双方向シフトレジスタのシフト動作が行われる期間の長さを示すデータが前記第１の期間長データまたは前記第２の期間長データとして前記レジスタ部に格納されていることを特徴とする、請求項１に記載の表示装置。

［請求項9］ 表示部と、前記表示部に配設された複数の信号線と、複数の出力段からなる双方向シフトレジスタを有し前記双方向シフトレジスタのシフト動作に伴い前記複数の出力段から順次に出力されるパルスに基づき前記複数の信号線を駆動する信号線駆動部とを備えた表示装置の駆動方法であって、

前記双方向シフトレジスタのシフト方向を示すシフト方向指示信号を受け取るシフト方向指示信号受信ステップと、

各単位期間における前記双方向シフトレジスタのシフト動作の開始タイミングを示す信号として、前記双方向シフトレジスタのシフト方向が第１の方向となるように前記信号線駆動部を動作させる第１のシ

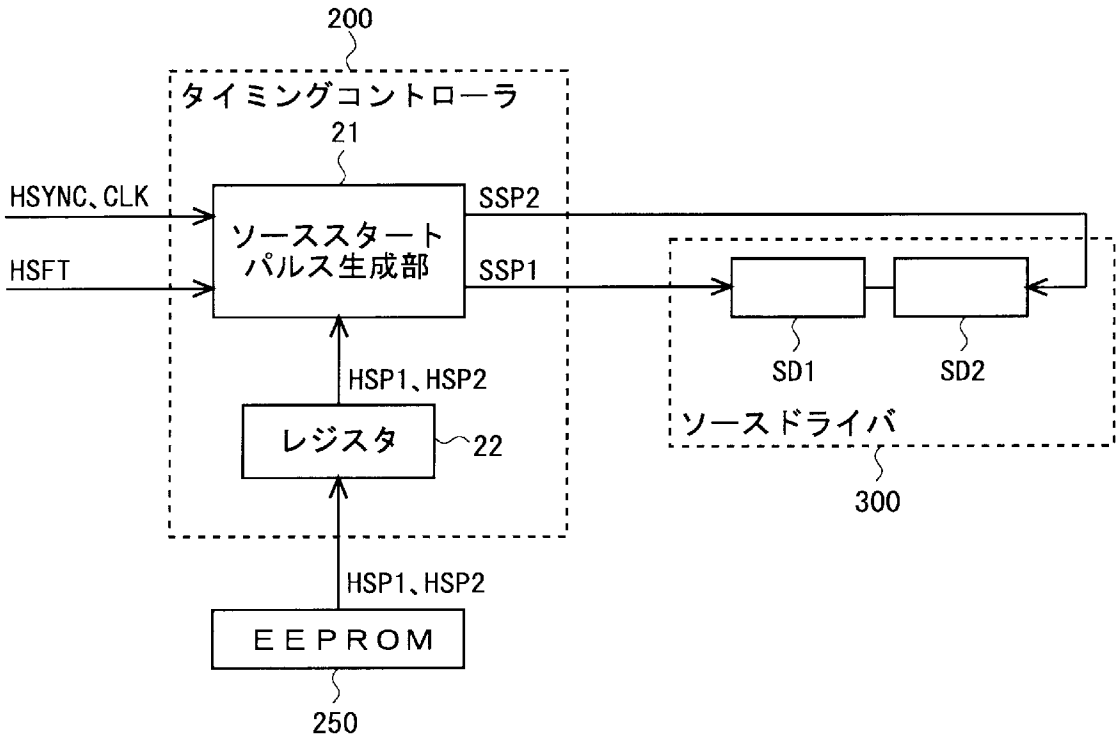
フト動作開始指示信号または前記双方向シフトレジスタのシフト方向が前記第１の方向とは逆方向である第２の方向となるように前記信号線駆動部を動作させる第２のシフト動作開始指示信号を生成するシフト動作開始指示信号生成ステップと

を含み、

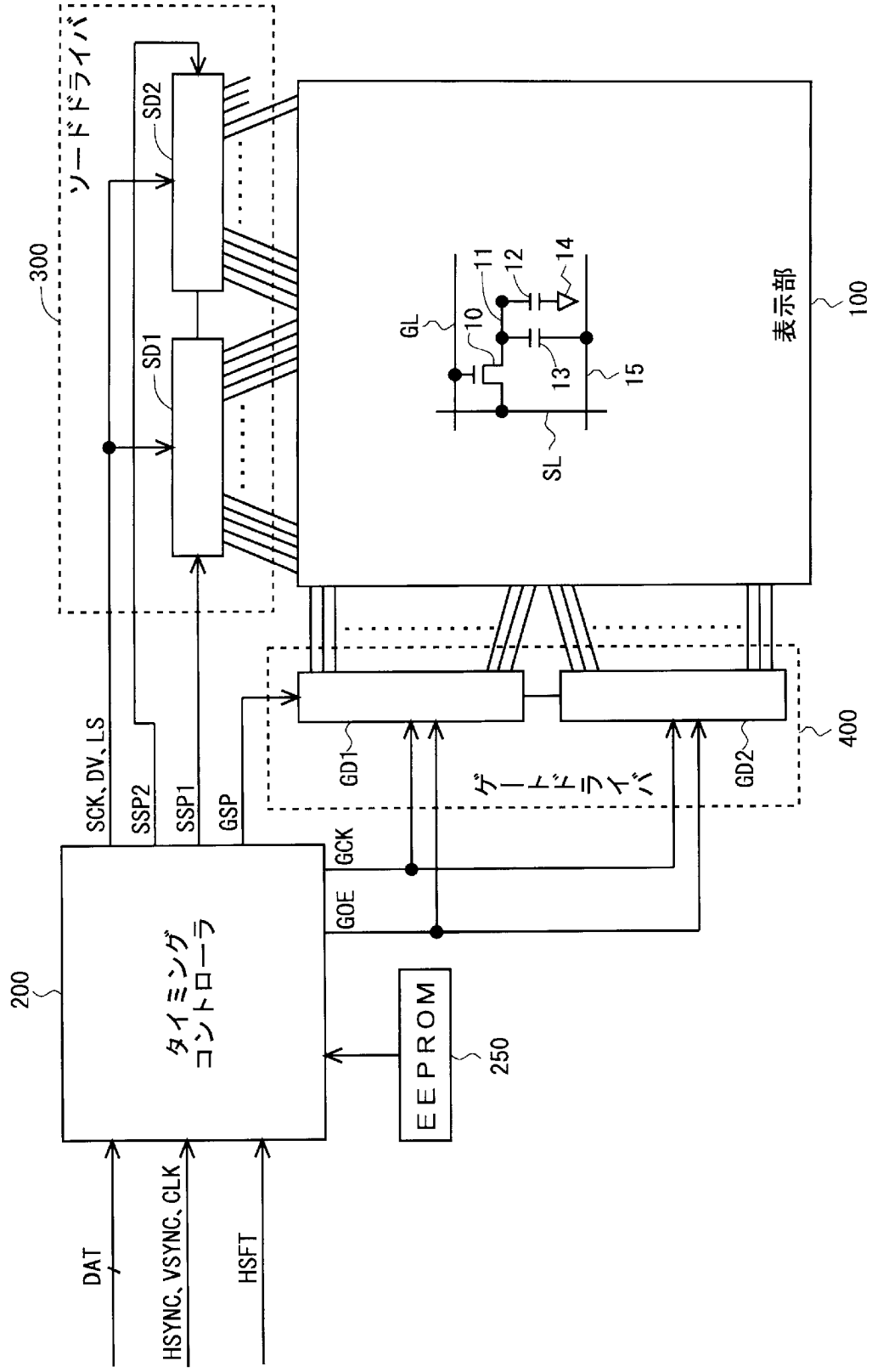
前記表示装置は、前記双方向シフトレジスタのシフト方向が前記第１の方向になっているときにおける、単位期間の開始時点から前記双方向シフトレジスタのシフト動作が開始されるべき時点までの期間の長さを示す第１の期間長データと、前記双方向シフトレジスタのシフト方向が前記第２の方向になっているときにおける、単位期間の開始時点から前記双方向シフトレジスタのシフト動作が開始されるべき時点までの期間の長さを示す第２の期間長データとを格納するレジスタ部を更に備え、

前記シフト動作開始指示信号生成ステップでは、前記シフト方向指示信号が前記第１の方向を示しているときには、前記第１の期間長データに基づき前記第１のシフト動作開始指示信号が生成され、前記シフト方向指示信号が前記第２の方向を示しているときには、前記第２の期間長データに基づき前記第２のシフト動作開始指示信号が生成されることを特徴とする、駆動方法。

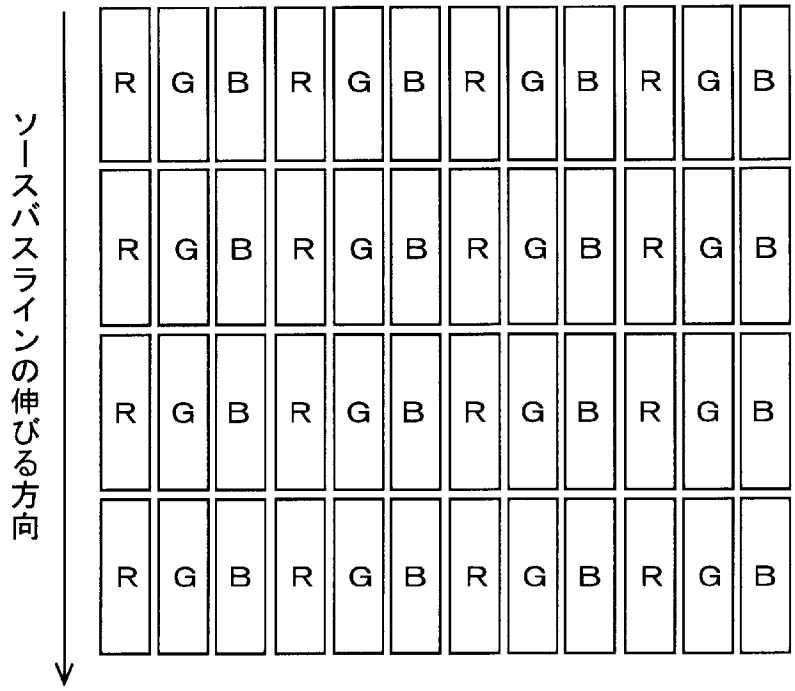
[図1]


200
タイミングコントローラ
21
HSYNC、CLK
HSFT
ソーススタート
パルス生成部
SSP2
SSP1
HSP1、HSP2
レジスタ
22
HSP1、HSP2
EEPROM
250
SD1
SD2
ソースドライバ
300

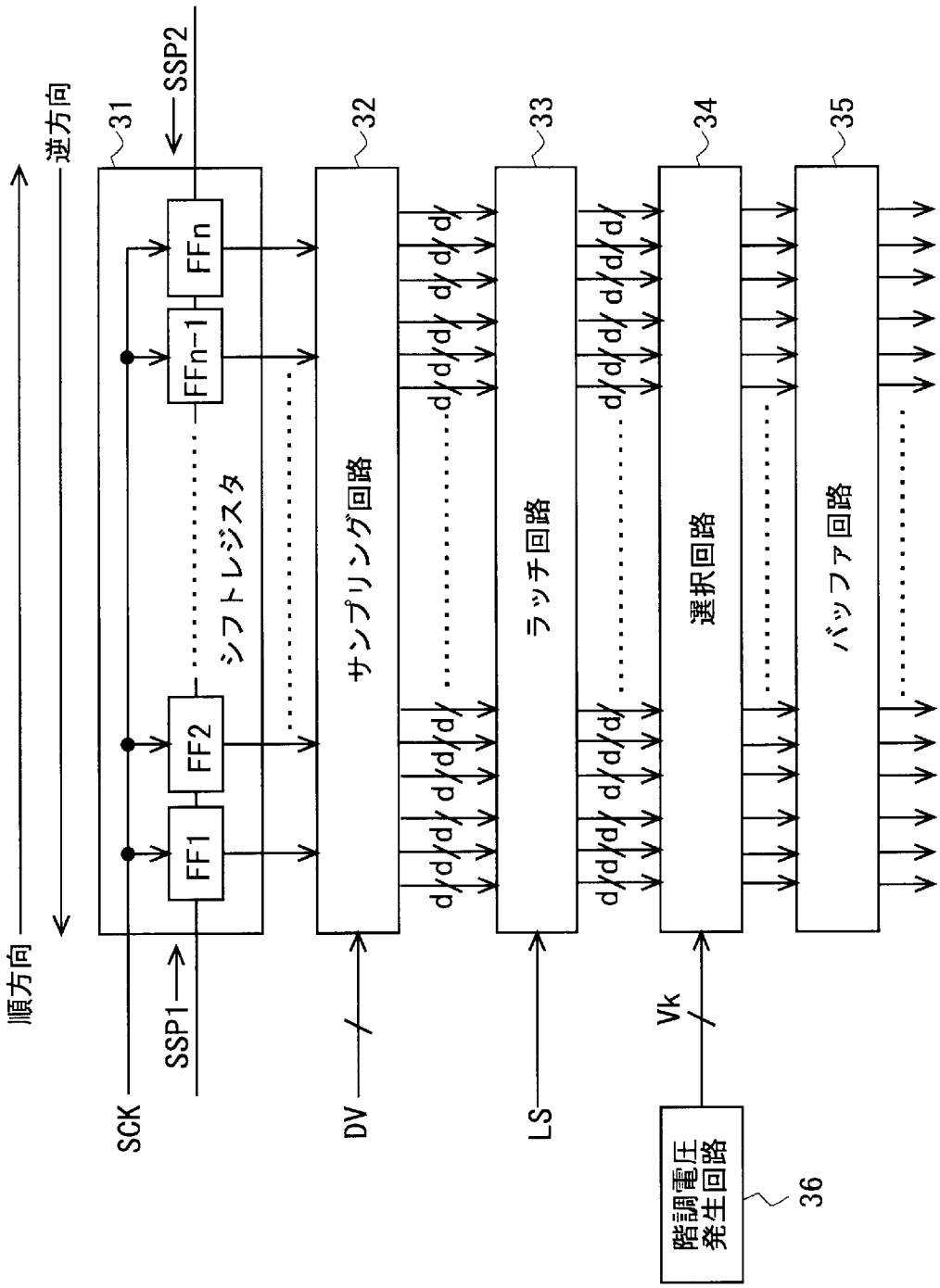
[図2]


ソードドライバ
300
SD2
SD1
GL
10
11
12
13
14
15
SL
表示部
100
GD1
GD2
ゲートドライバ
400
SCK、DV、LS
SSP2
SSP1
GSP
GCK
GOE
タイミング
コントローラ
200
EEPROM
250
DAT
HSYNC、VSYNC、CLK
HSFT

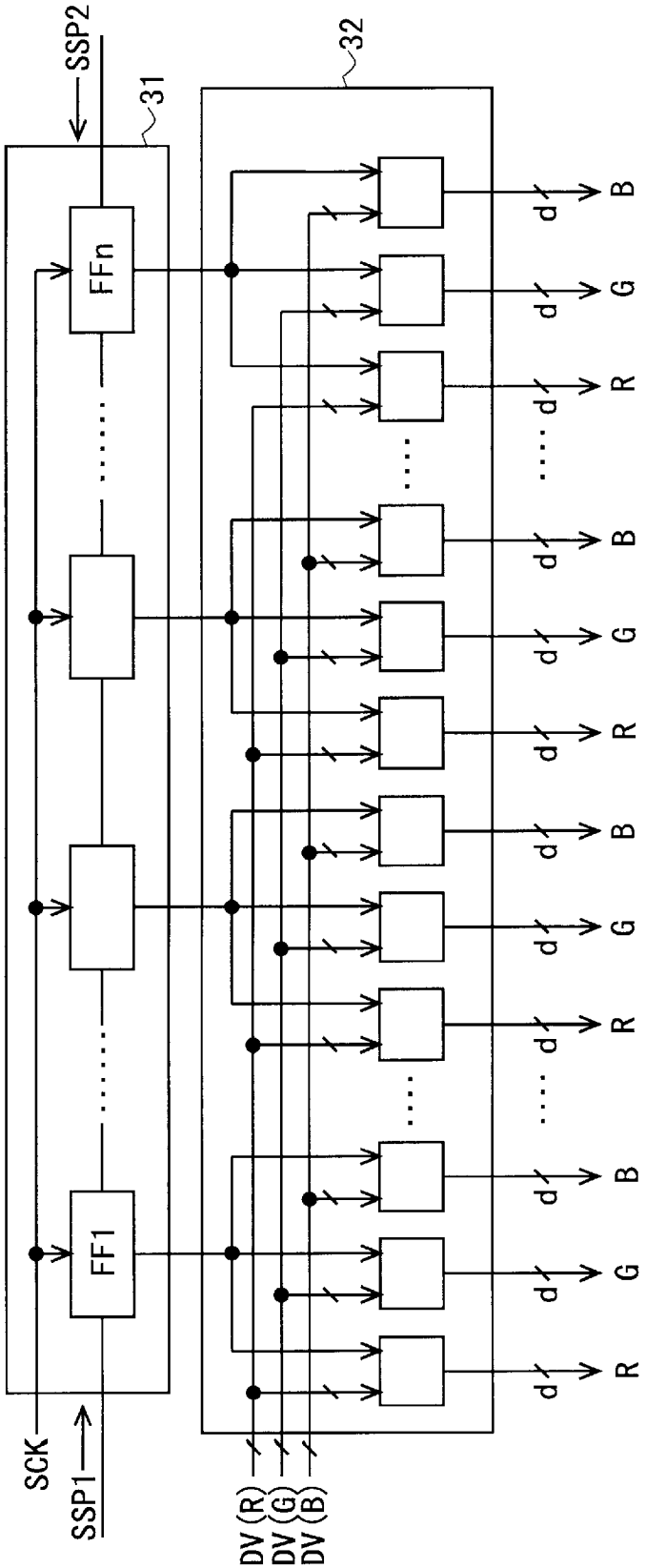
[図3]


ソースバスラインの伸びる方向
R G B R G B R G B R G B
R G B R G B R G B R G B
R G B R G B R G B R G B
R G B R G B R G B R G B

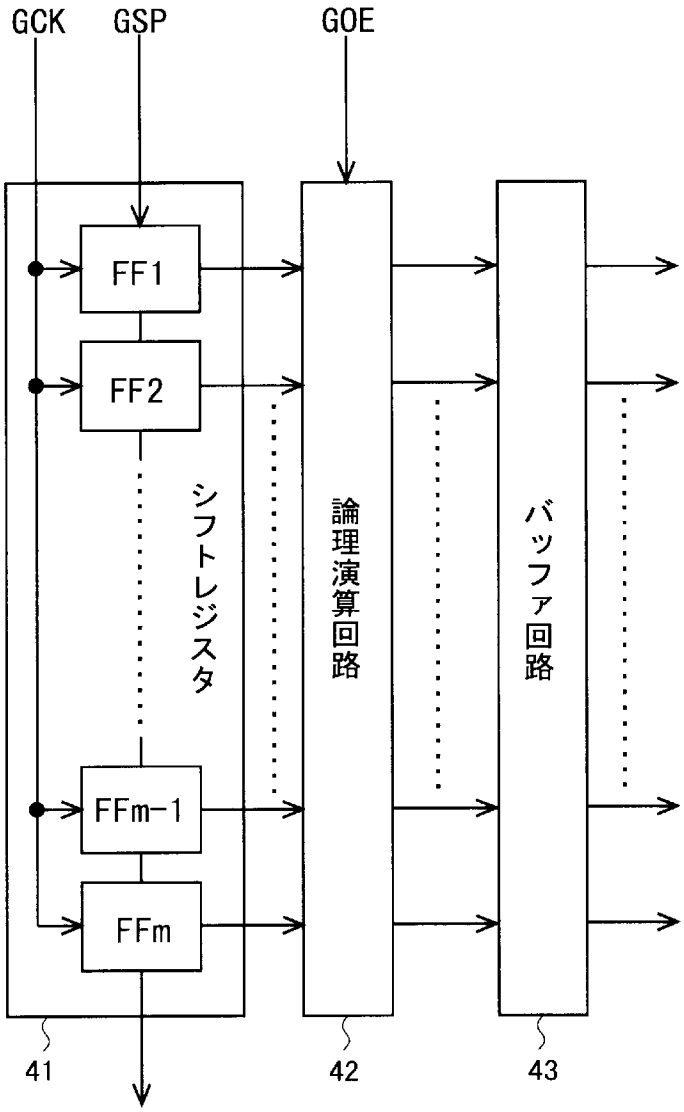
[図4]


順方向
逆方向
SSP2
SSP1
SCK
DV
LS
Vk
31
32
33
34
35
36
FF1
FF2
FFn-1
FFn
シフトレジスタ
サンプリング回路
ラッチ回路
選択回路
バッファ回路
階調電圧
発生回路
d

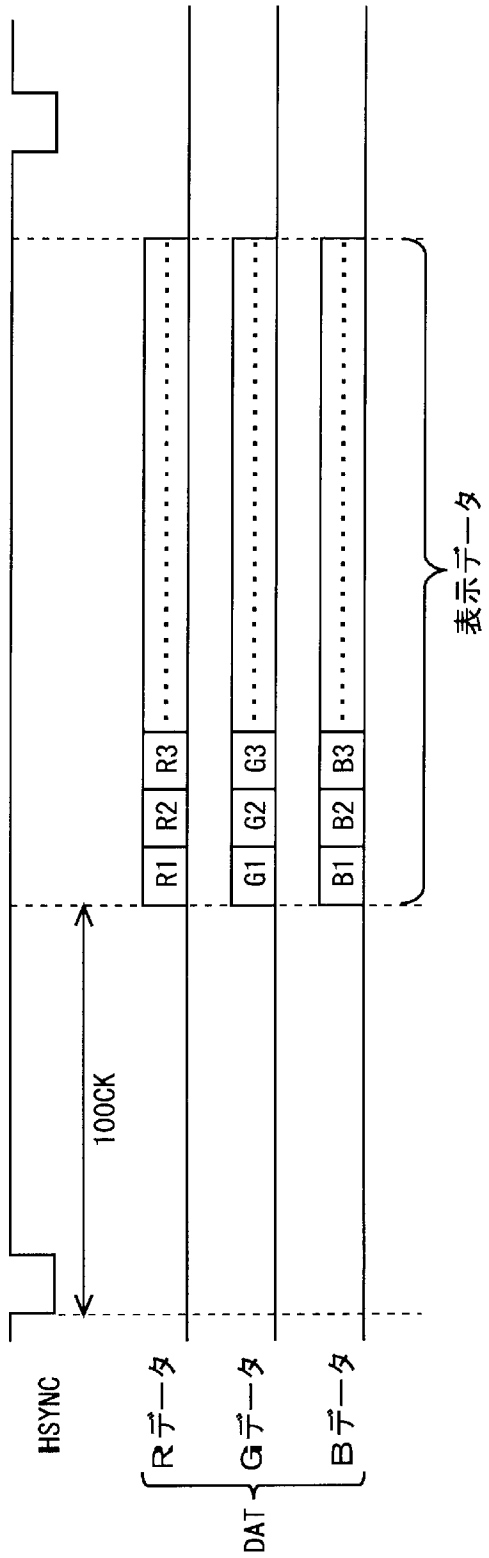
[図5]



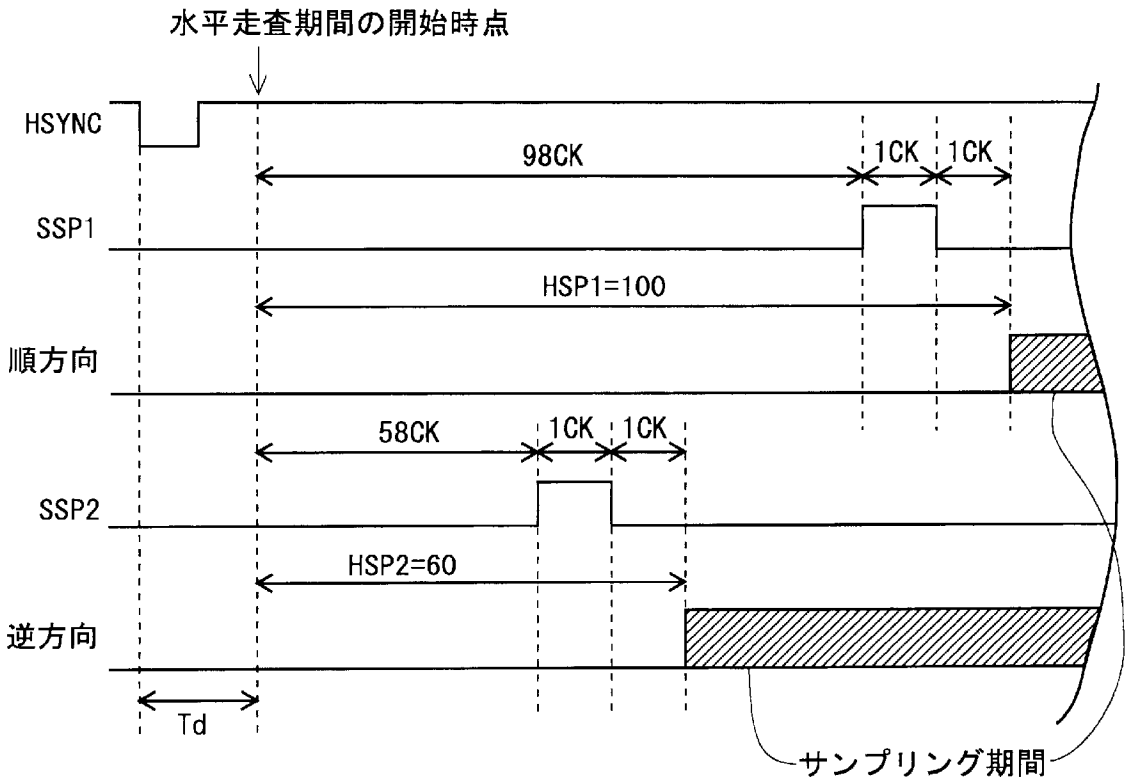
[図6]



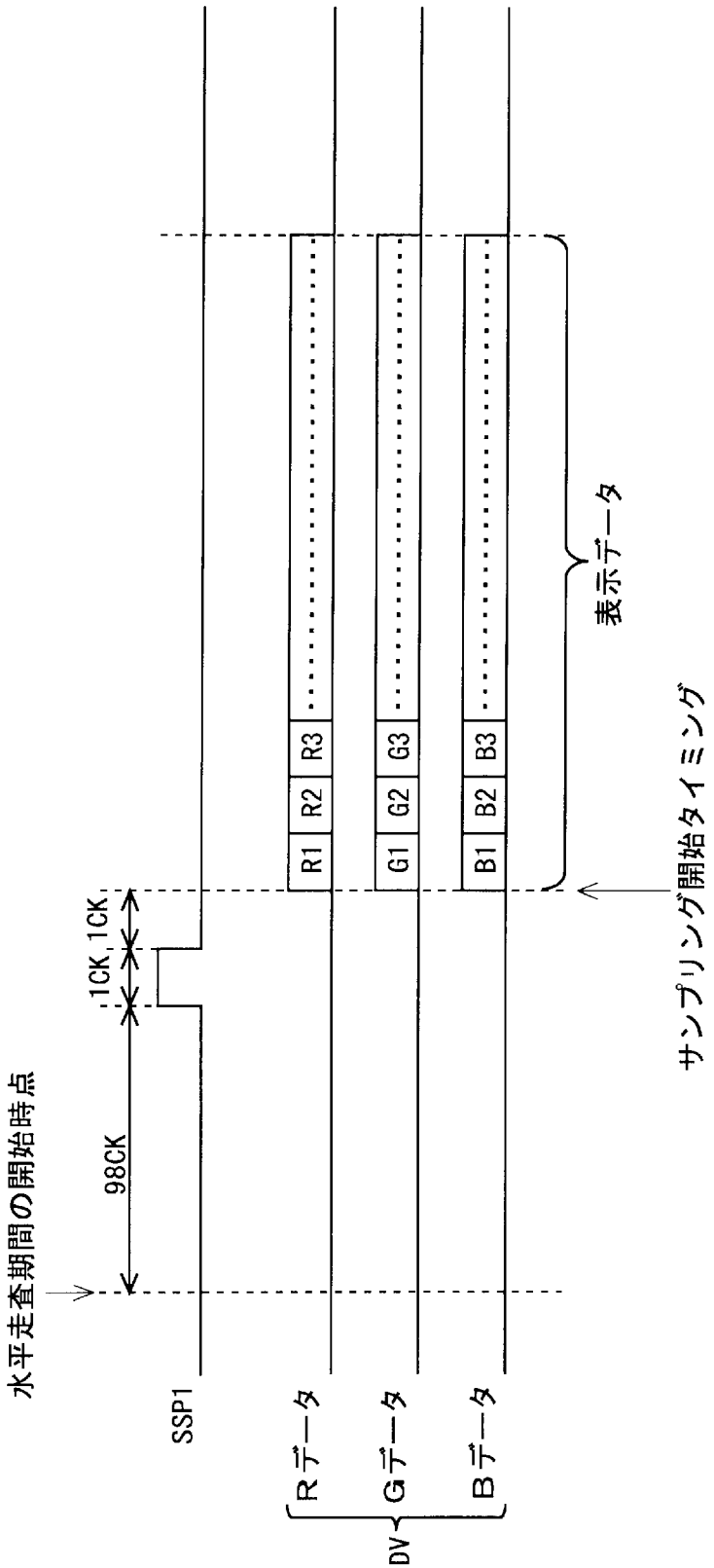
[図7]



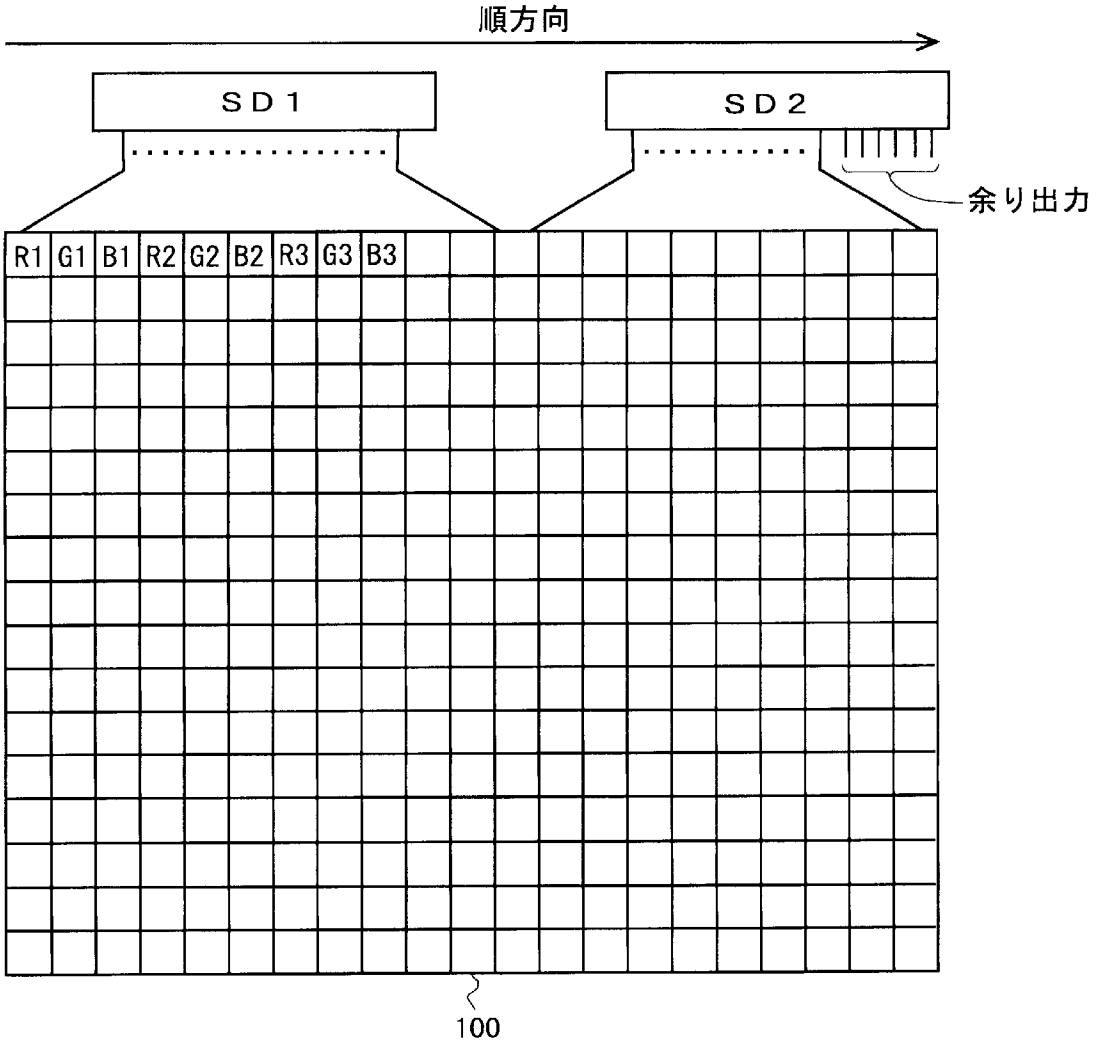
[図8]


水平走査期間の開始時点
HSYNC
98CK
1CK
1CK
SSP1
HSP1=100
順方向
58CK
1CK
1CK
SSP2
HSP2=60
逆方向
Td
サンプリング期間

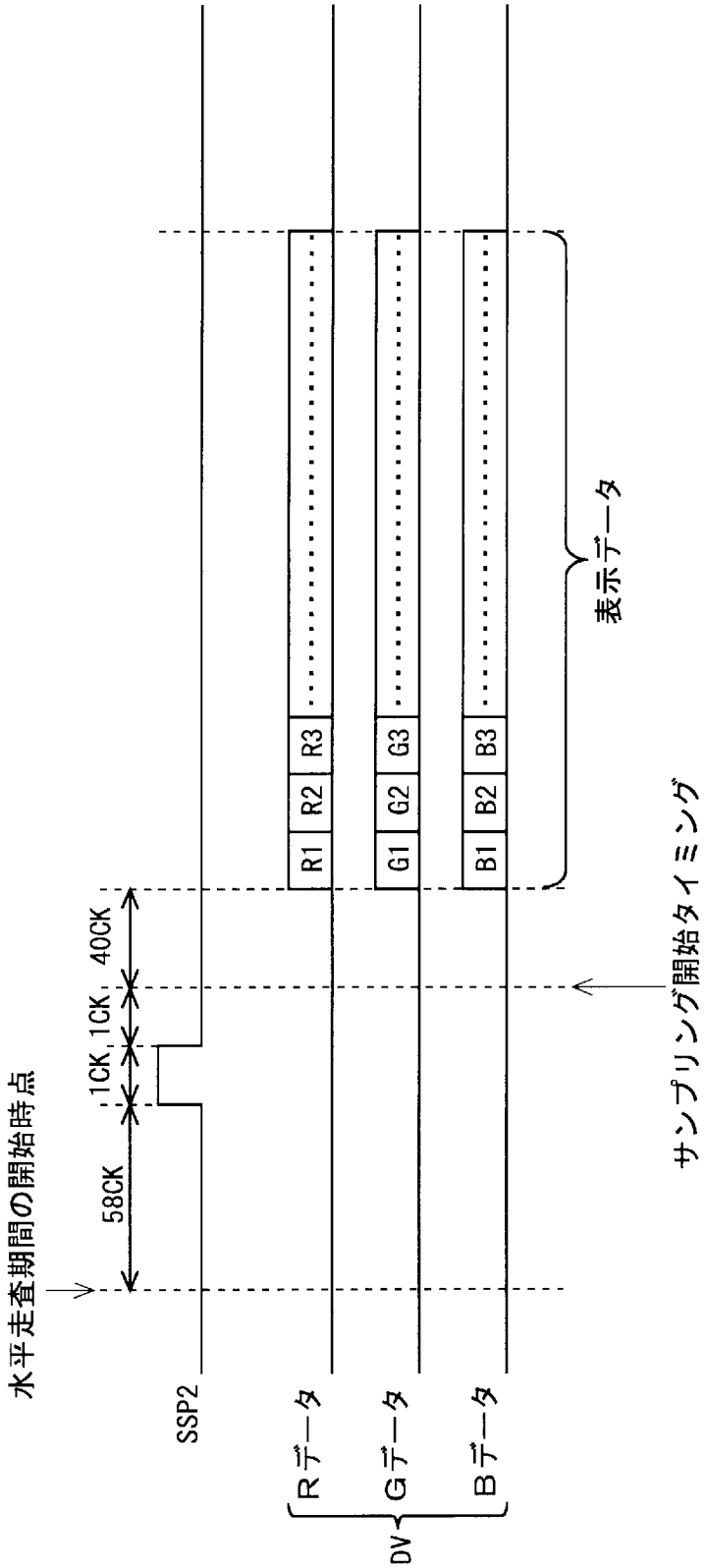
[図9]


水平走査期間の開始時点
1CK
1CK
98CK
SSP1
R1
R2
R3
G1
G2
G3
B1
B2
B3
Rデータ
Gデータ
Bデータ
DV
表示データ
サンプリング開始タイミング

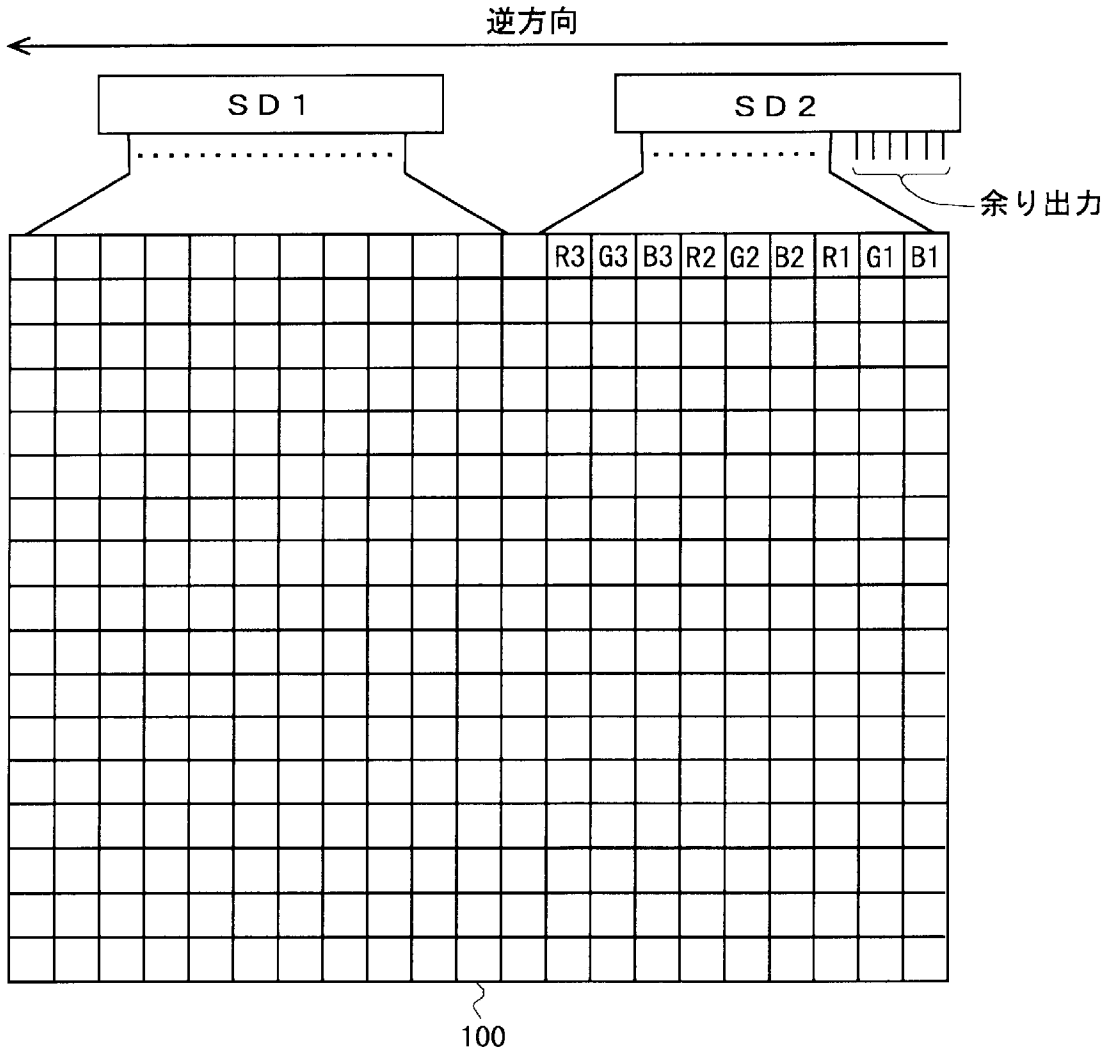
[図10]



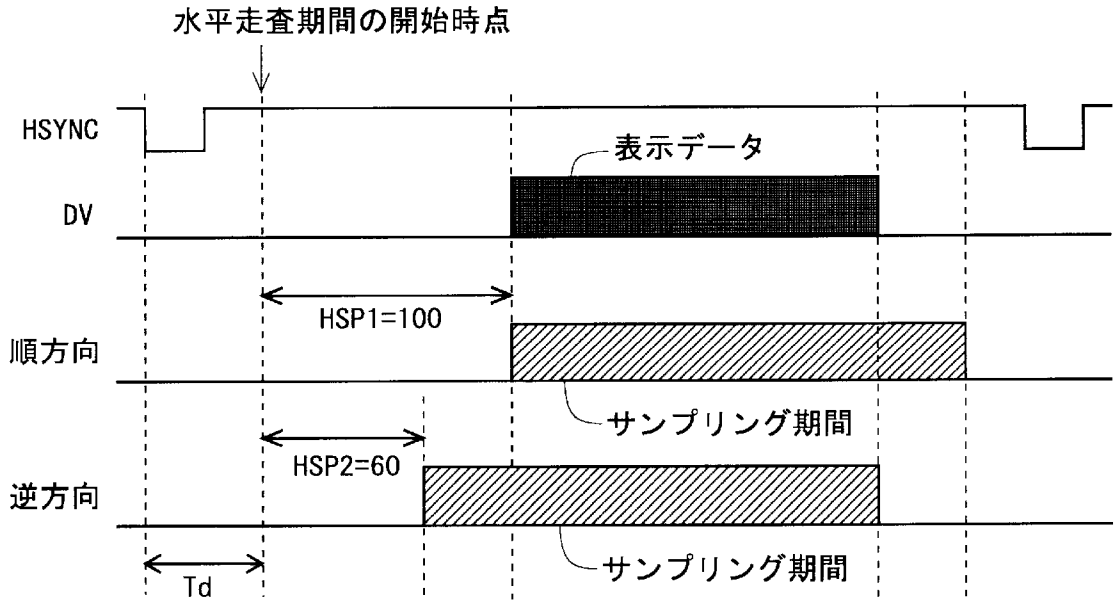
[図11]


水平走査期間の開始時点
58CK
1CK
1CK
40CK
SSP2
DV
Rデータ
Gデータ
Bデータ
R1
R2
R3
G1
G2
G3
B1
B2
B3
表示データ
サンプリング開始タイミング

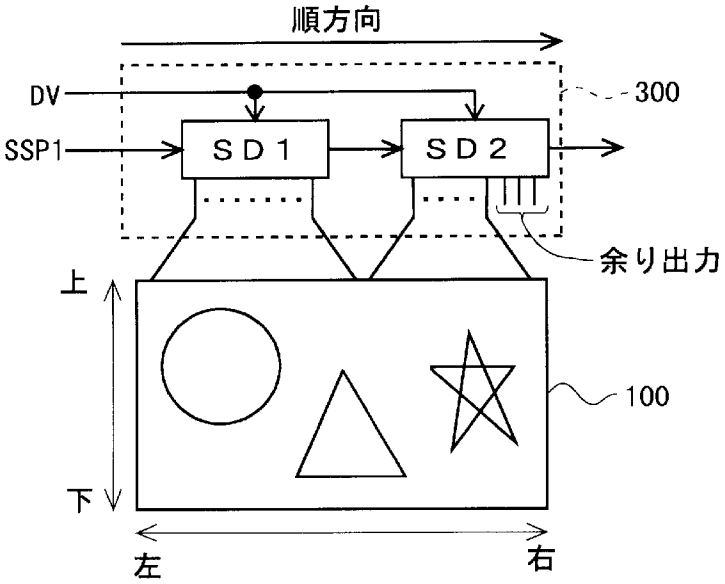
[図12]



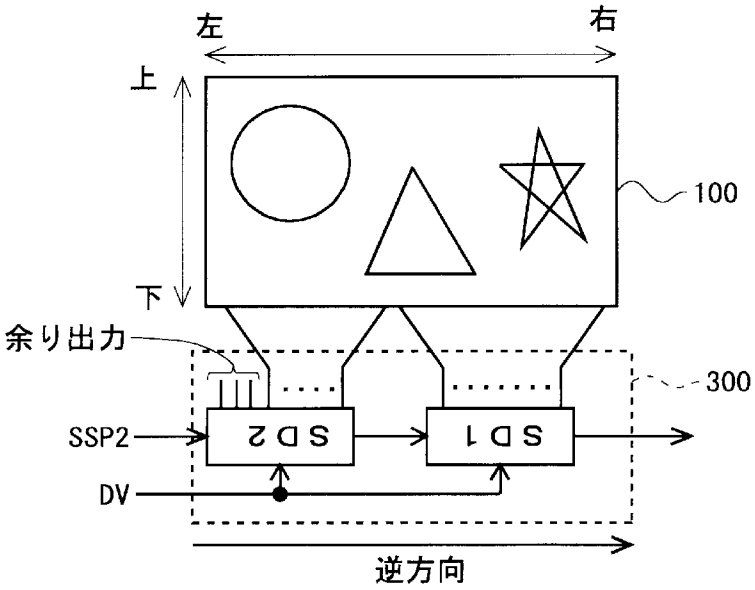
[図13]


水平走査期間の開始時点
HSYNC
DV
表示データ
HSP1=100
順方向
サンプリング期間
HSP2=60
逆方向
サンプリング期間
Td

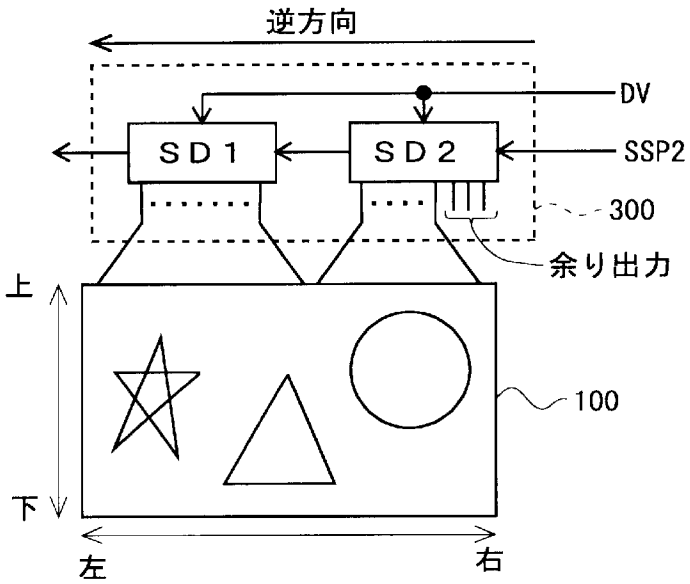
[図14]


順方向
DV
300
SSP1
ＳＤ１
ＳＤ２
余り出力
上
100
下
左
右

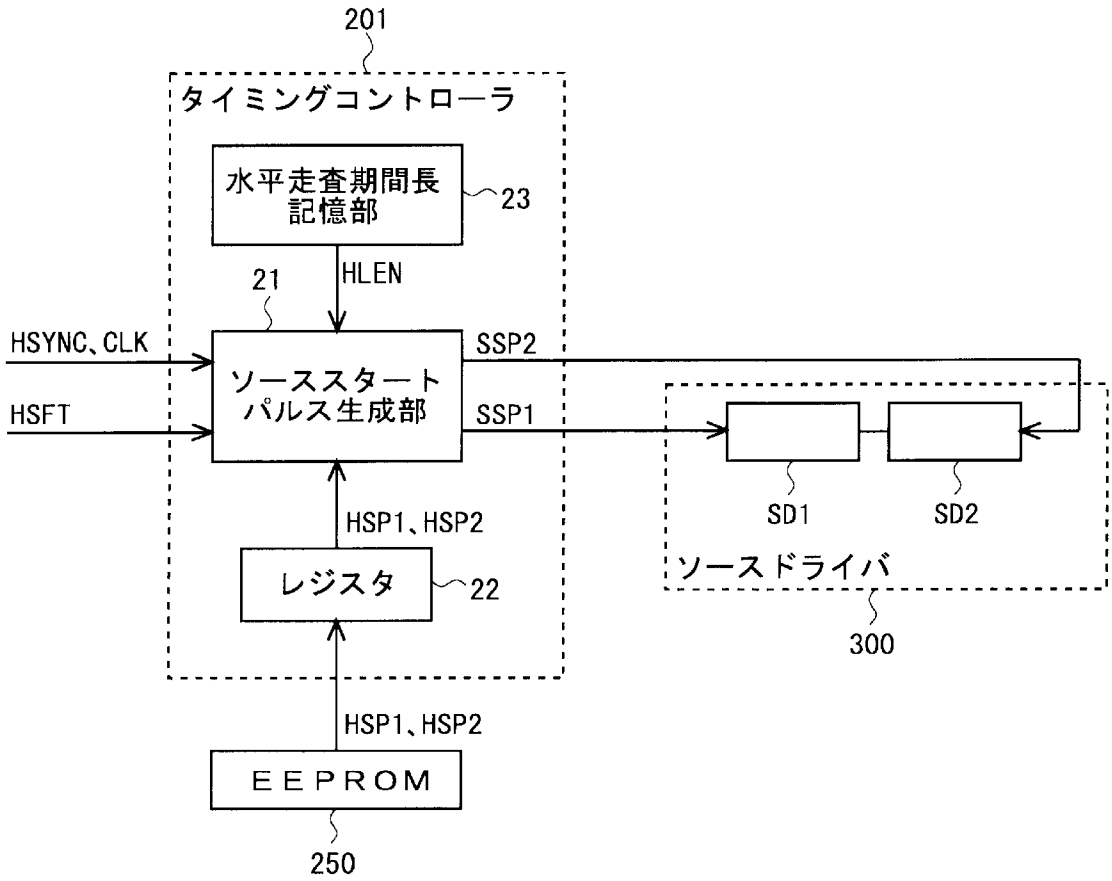
[図15]


左
右
上
100
下
余り出力
300
SSP2
DV
逆方向

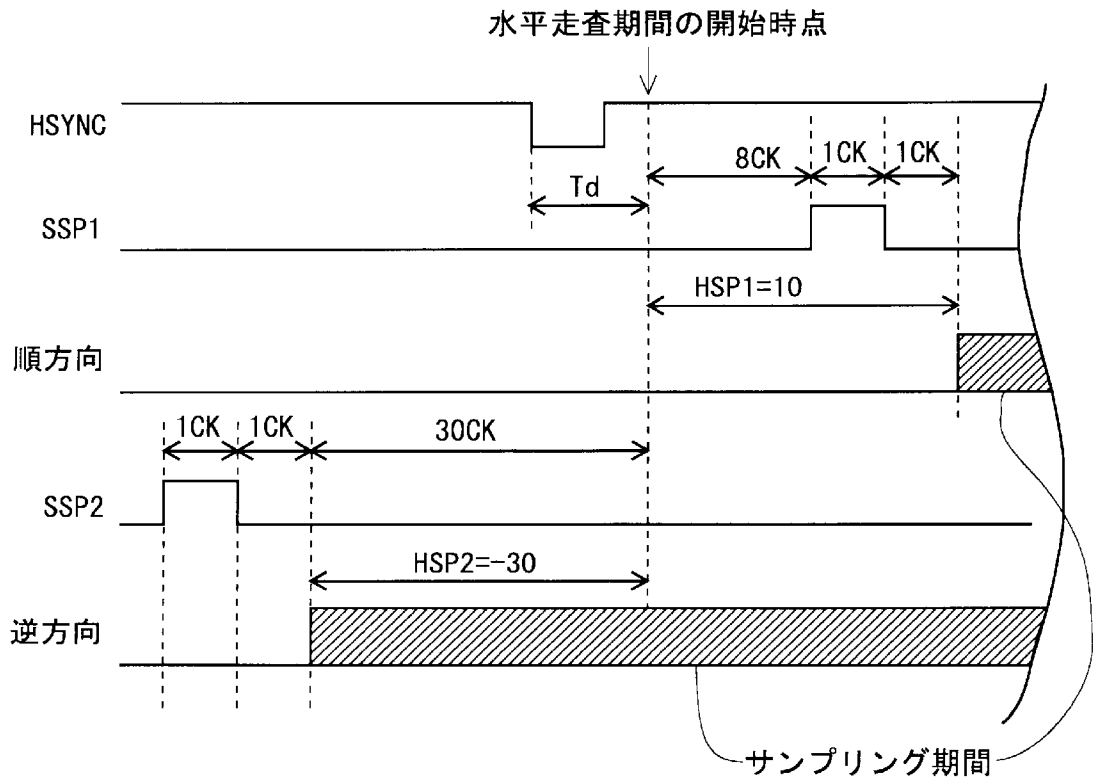
[図16]



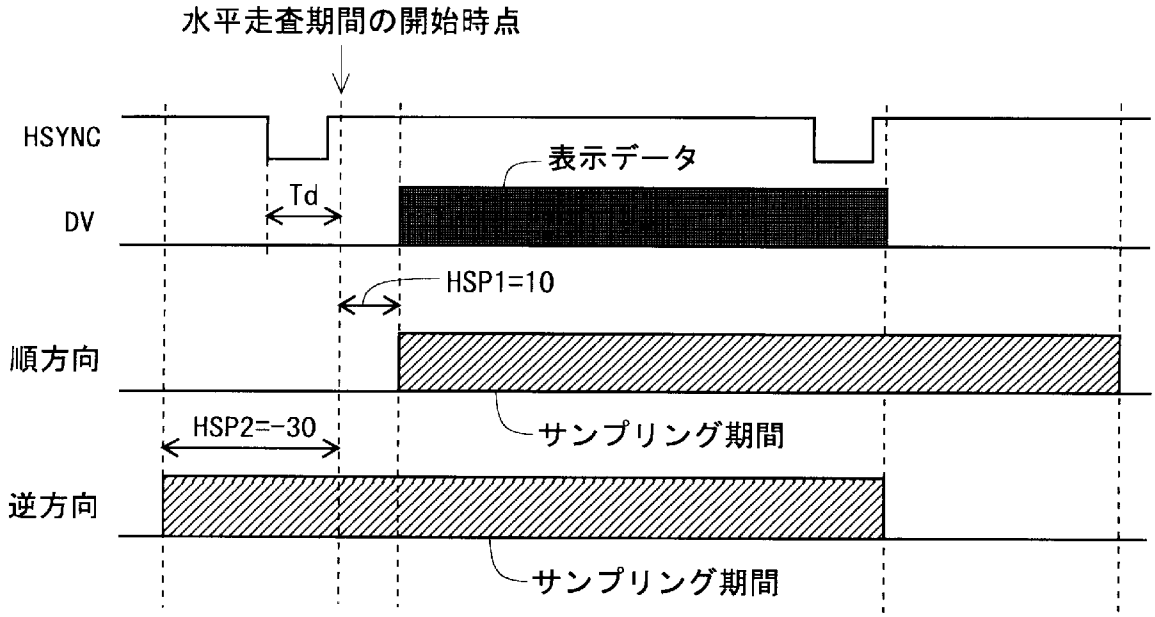
[図17]


201
タイミングコントローラ
水平走査期間長
記憶部
23
21
HLEN
HSYNC、CLK
HSFT
ソーススタート
パルス生成部
SSP2
SSP1
SD1
SD2
ソースドライバ
300
HSP1、HSP2
レジスタ
22
HSP1、HSP2
EEPROM
250

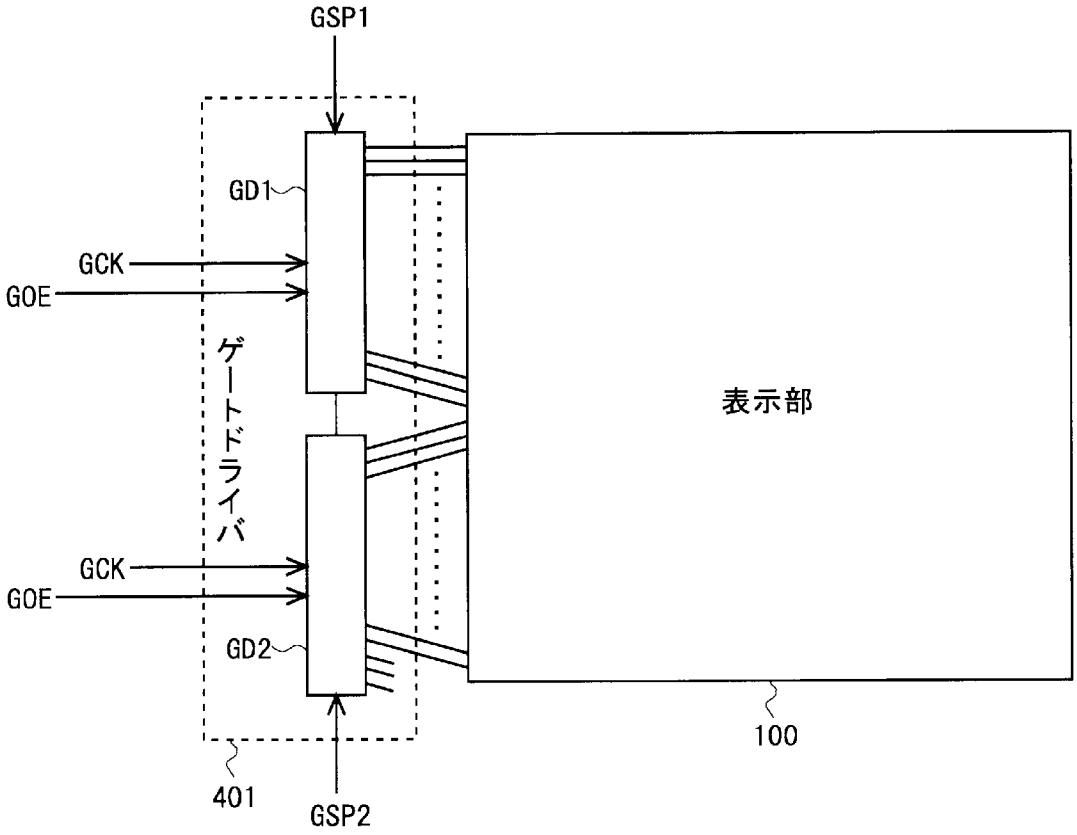
[図18]


水平走査期間の開始時点
HSYNC
Td
8CK
1CK
1CK
SSP1
HSP1=10
順方向
1CK
1CK
30CK
SSP2
HSP2=-30
逆方向
サンプリング期間

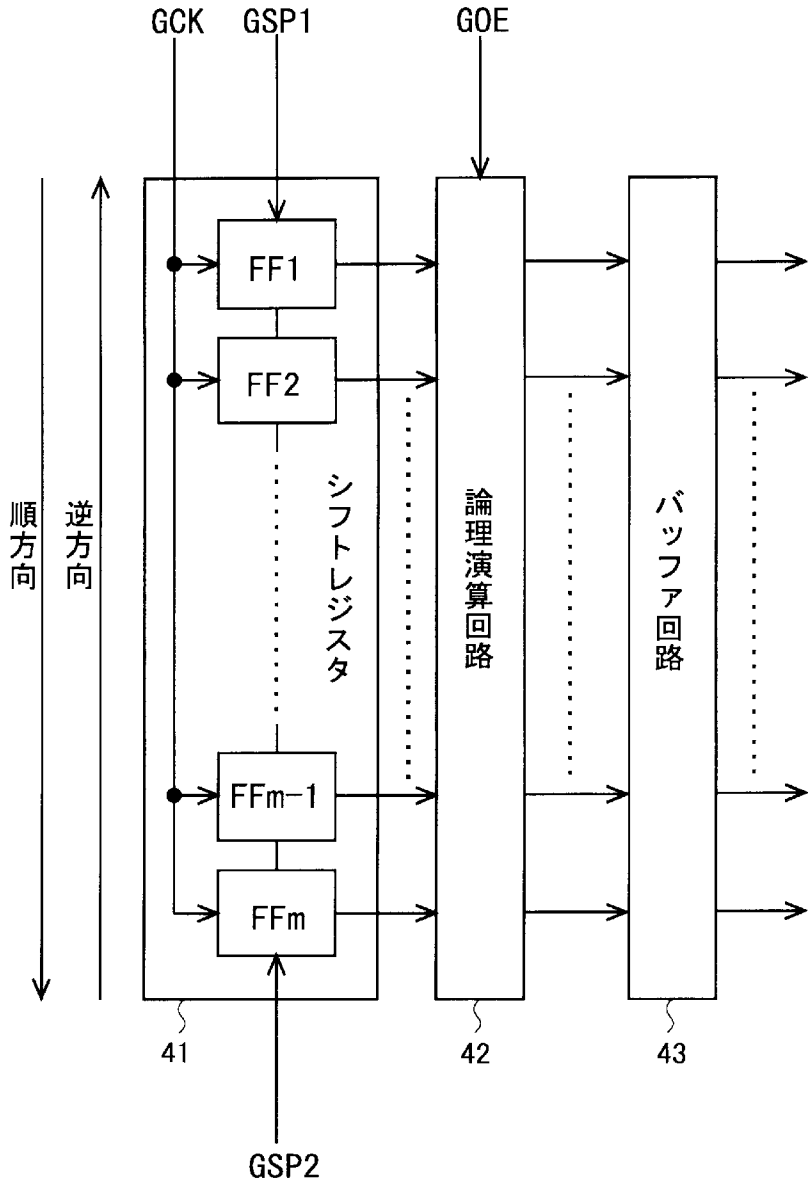
[図19]


水平走査期間の開始時点
HSYNC
表示データ
Td
DV
HSP1=10
順方向
サンプリング期間
HSP2=-30
逆方向
サンプリング期間

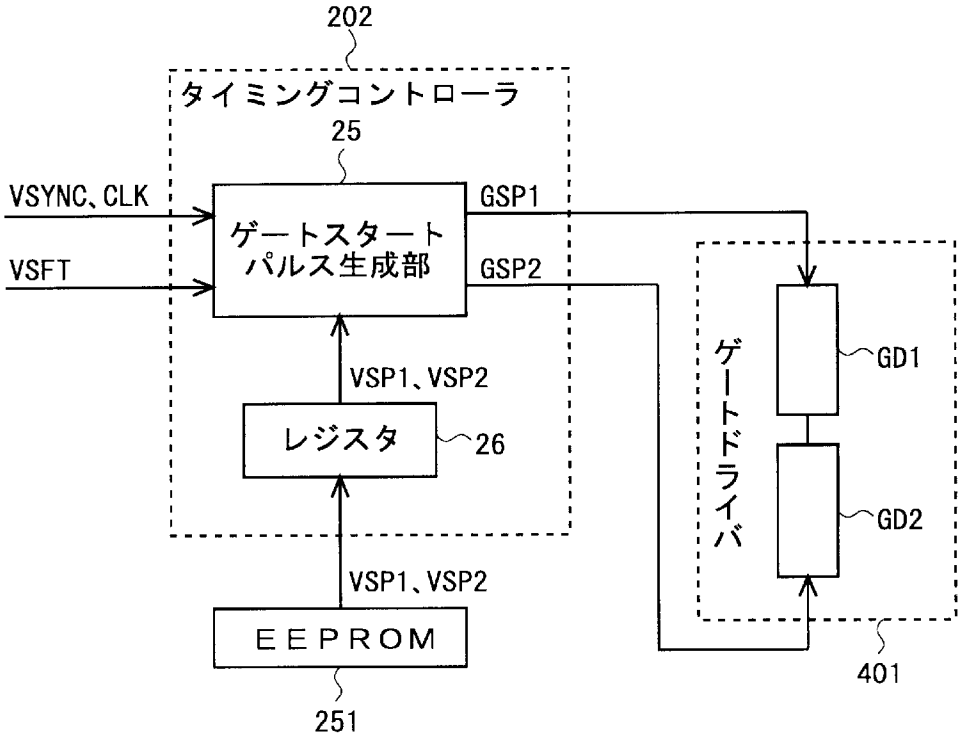
[図20]



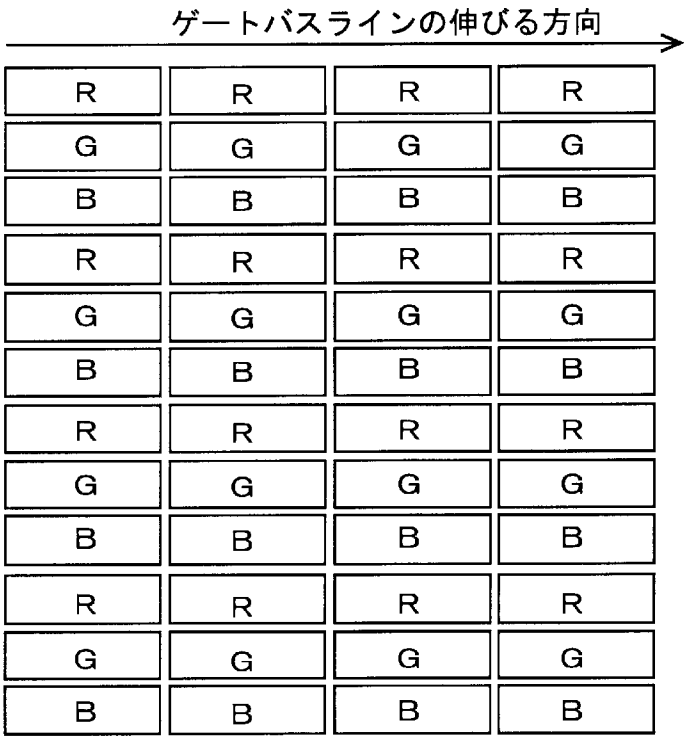
[図21]


GCK
GSP1
GOE
FF1
FF2
FFm-1
FFm
シフトレジスタ
論理演算回路
バッファ回路
順方向
逆方向
41
42
43
GSP2

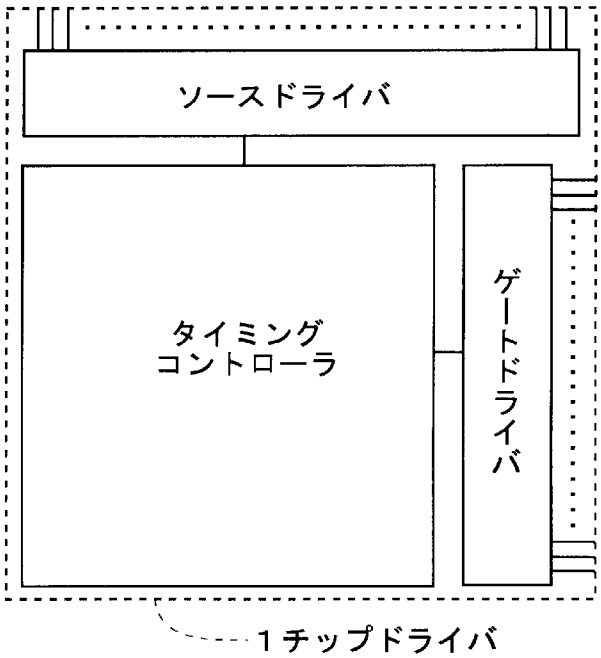
[図22]


202
タイミングコントローラ
25
VSYNC、CLK
VSFT
ゲートスタート
パルス生成部
GSP1
GSP2
VSP1、VSP2
レジスタ
26
VSP1、VSP2
EEPROM
251
ゲートドライバ
GD1
GD2
401

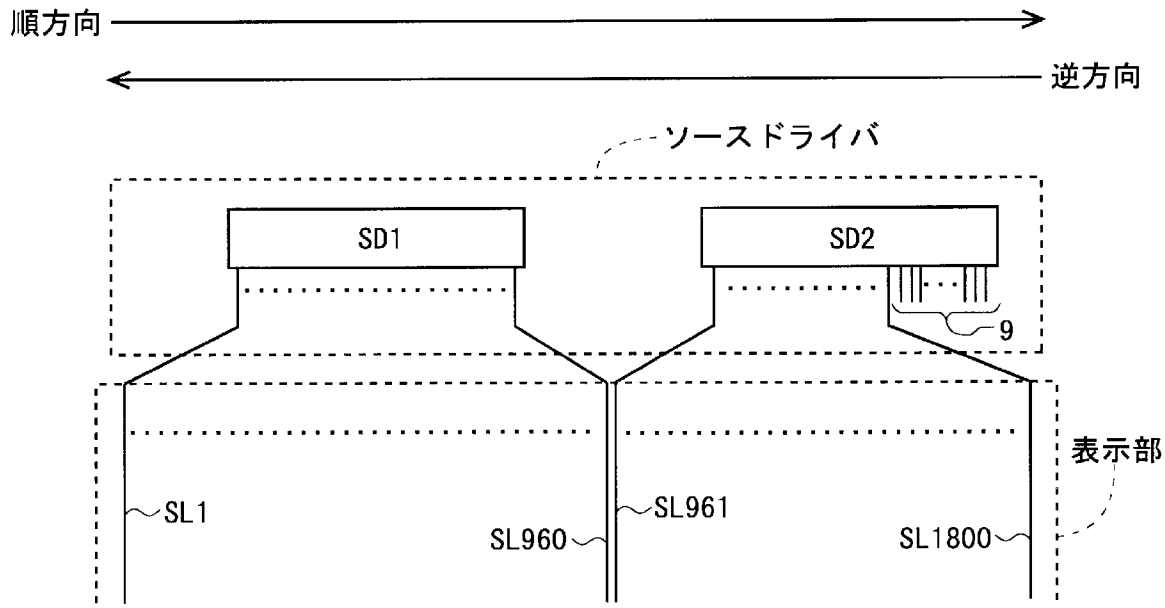
[図23]


ゲートバスラインの伸びる方向
R
G
B

[図24]


ソースドライバ
タイミング
コントローラ
ゲートドライバ
1チップドライバ

[図25]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/073797

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, *G02F1/133*(2006.01)i, *G09G3/20*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-74062 A (Sanyo Electric Co., Ltd.), 17 March 1998 (17.03.1998), entire text; all drawings (Family: none)	1-9
A	JP 2010-139535 A (Seiko Epson Corp.), 24 June 2010 (24.06.2010), entire text; all drawings (Family: none)	1-9
A	JP 5-249927 A (Kabushiki Kaisha Oki LSI Technology Kansai), 28 September 1993 (28.09.1993), entire text; all drawings & US 5363424 A	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 December, 2011 (28.12.11)	17 January, 2012 (17.01.12)

Name and mailing address of the ISA/	Authorized officer
Japanese Patent Office	
Facsimile No.	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０７３７９７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 10-74062 A (三洋電機株式会社) 1998.03.17, 全文,全図（ファミリーなし）	1-9
A	JP 2010-139535 A (セイコーエプソン株式会社) 2010.06.24, 全文, 全図（ファミリーなし）	1-9
A	JP 5-249927 A (株式会社沖エル・エス・アイ・テクノロジ関西) 1993.09.28, 全文,全図 & US 5363424 A	1-9

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２８．１２．２０１１	１７．０１．２０１２

国際調査機関の名称及びあて先

日本国特許庁（ＩＳＡ／ＪＰ）

郵便番号１００－８９１５

東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｇ　９２１５

堀部　修平

電話番号　０３－３５８１－１１０１　内線　３２２６