

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年8月16日(16.08.2018)



(10) 国際公開番号  
**WO 2018/147085 A1**

- (51) 国際特許分類:  
*H03K 17/687* (2006.01) *H01P 1/15* (2006.01)
- (21) 国際出願番号: PCT/JP2018/002181
- (22) 国際出願日: 2018年1月25日(25.01.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2017-021409 2017年2月8日(08.02.2017) JP
- (71) 出願人: 株式会社村田製作所  
(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 須田 敏夫(SUDA, Toshio); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 稲葉 良幸, 外(INABA, Yoshiyuki et al.); 〒1066123 東京都港区六本木6-10-1 六本木ヒルズ森タワー23階 T M I 総合法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SWITCH CIRCUIT

(54) 発明の名称: スイッチ回路

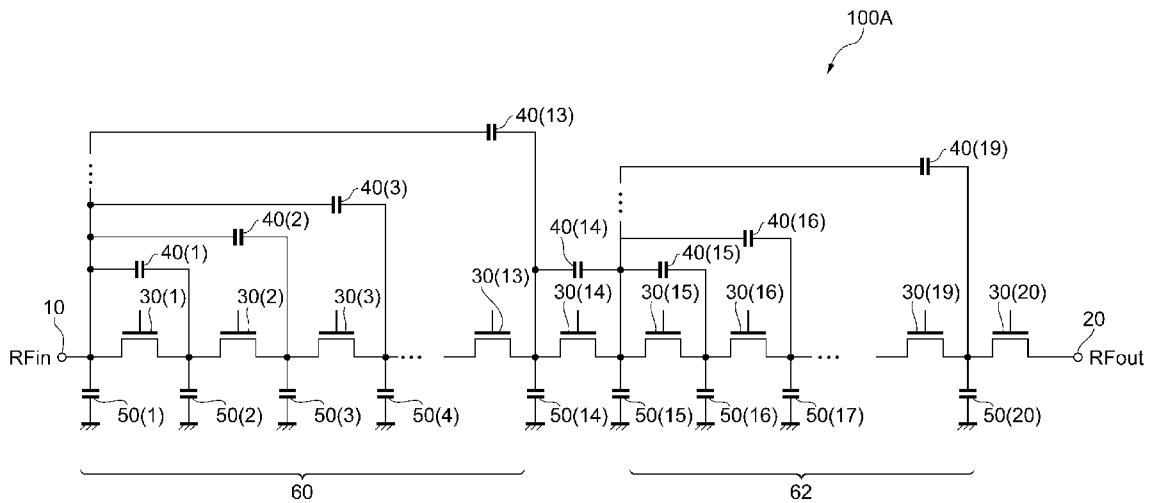


図 1

(57) **Abstract:** The purpose of the present invention is to achieve an increase in input power and an improvement in the ratio of non-defective articles. This switch circuit is provided with a plurality of field-effect transistors (FET) and a plurality of capacitance elements which are connected in multiple stages between an input terminal and an output terminal. The plurality of FET include: a first FET group including m FET; a second FET group which includes n FET, and which is provided in a position further from the input terminal than the first FET group; and an intermediate FET which is connected between the first FET group and the second FET group. The plurality of capacitance elements include m capacitance elements (C<sub>11</sub>, ..., C<sub>1m</sub>), n capacitance elements (C<sub>21</sub>, ..., C<sub>2n</sub>), and an intermediate capacitance element. Capacitance elements (C<sub>1i</sub>) (i being an integer in the range of 1 to m



WO 2018/147085 A1

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 国際調査報告 (条約第21条(3))

---

inclusive) are connected in parallel to  $i$  consecutive FET in the first FET group from the first position at the input terminal side. Capacitance elements ( $C_{2j}$ ) ( $j$  being an integer in the range of 1 to  $n$  inclusive) are connected in parallel to  $j$  consecutive FET in the second FET group from the first position at the input terminal side. The intermediate capacitance element is connected in parallel to the intermediate FET.

(57) 要約 : 入力電力の増大及び良品の比率の向上を実現する。スイッチ回路は、入力端子及び出力端子の間に多段接続された複数のFETと複数の容量素子とを備え、複数のFETは、 $m$ 個のFETを含む第1FETグループと、 $n$ 個のFETを含み第1FETグループより入力端子から遠い位置に設けられた第2FETグループと、第1FETグループと第2FETグループとの間に接続された中間FETとを含み、複数の容量素子は、 $m$ 個の容量素子 ( $C_{1_1}, \dots, C_{1_m}$ ) と  $n$ 個の容量素子 ( $C_{2_1}, \dots, C_{2_n}$ ) と中間容量素子とを含み、容量素子 ( $C_{1_i}$ ) ( $i$  は 1 以上  $m$  以下の整数) は第1FETグループのうち入力端子側の先頭から連続する  $i$  個のFETに並列接続され、容量素子 ( $C_{2_j}$ ) ( $j$  は 1 以上  $n$  以下の整数) は第2FETグループのうち入力端子側の先頭から連続する  $j$  個のFETに並列接続され、中間容量素子は中間FETに並列接続される。

## 明 細 書

発明の名称：スイッチ回路

技術分野

[0001] 本発明は、スイッチ回路に関する。

背景技術

[0002] 携帯電話等の移動体通信機に搭載されるスイッチ回路には、例えば電界効果トランジスタ（FET：Field Effect Transistor）が用いられる。このようなFETにより構成されるスイッチ回路において、入力電力の増大の要求を満たすため、複数のFETを多段接続することによりスイッチ回路の耐電圧を向上させる構成が知られている。当該構成においては、多段接続されたFETの段数によって分圧された電圧が各FETのソース・ドレイン間にかかるため、FETの段数に応じた入力許容電圧を得ることができる。

[0003] スwitch回路の入力端子に供給される信号の電力は、各FETの寄生容量によって分圧されるため、各FETのソース・ドレイン間にかかる電圧が出力端子側から入力端子側にかけて徐々に大きくなる現象が生じる。この場合、入力端子側に比較的近いFETに耐電圧を超える電圧がかかり、当該FETが破壊される恐れがある。従って、スイッチ回路における入力電力の増大を実現するためには、ソース・ドレイン間電圧の不均一が解消されることが好ましい。

[0004] 例えば特許文献1には、入力端子に近いFETから連続するいくつかのFETに並列接続された容量素子が設けられることにより、各FETのソース・ドレイン間電圧の均等な分配を図る構成が開示されている。当該構成においては、入力端子に近いFETのソース（すなわち、入力信号による電圧振幅が比較的大きい端子）と各FETのドレインが直接接続されることにより、各FETのドレイン電圧が引き上げられ、ソース・ドレイン間電圧の不均一の解消が図られる。

## 先行技術文献

### 特許文献

[0005] 特許文献1：米国特許第9106227号明細書

### 発明の概要

#### 発明が解決しようとする課題

[0006] ここで、多段接続されたFETにおいては、入力端子から遠い（すなわち、出力端子から近い）FETほど、ソース・ドレイン間電圧の均等な分配に必要なFETのドレイン電圧の引き上げ量が小さいため、必要な容量素子の容量値が小さい。従って、特許文献1に開示される構成によると、入力端子から遠いFETのドレイン電圧を引き上げる容量素子の容量値が極度に小さくなり、制御が困難となって良品の比率（歩留まり）が低下し得る。

[0007] 本発明は、かかる事情に鑑みてなされたものであり、入力電力の増大及び良品の比率の向上を実現するスイッチ回路を提供することを目的とする。

#### 課題を解決するための手段

[0008] かかる目的を達成するため、本発明の一側面に係るスイッチ回路は、信号が入力される入力端子と、信号が出力される出力端子と、入力端子及び出力端子の間において多段接続された複数のFETであって、各ゲートに供給される制御電圧に応じてオン及びオフが制御される複数のFETと、複数の容量素子と、を備え、複数のFETは、互いに隣接する $m$ 個（ $m$ は2以上の整数）のFETを含む第1FETグループと、互いに隣接する $n$ 個（ $n$ は2以上の整数）のFETを含み、かつ第1FETグループより入力端子から遠い位置に設けられた第2FETグループと、第1FETグループと第2FETグループとの間に接続された中間FETと、を含み、複数の容量素子は、 $m$ 個の容量素子（ $C_{1_1}$ ,  $C_{1_2}$ ,  $\dots$ ,  $C_{1_m}$ ）と、 $n$ 個の容量素子（ $C_{2_1}$ ,  $C_{2_2}$ ,  $\dots$ ,  $C_{2_n}$ ）と、中間容量素子と、を含み、容量素子（ $C_{1_i}$ ）（ $i$ は1以上 $m$ 以下の整数）は、第1FETグループのうち入力端子側の先頭から連続する $i$ 個のFETに並列接続され、容量素子（ $C_{2_j}$ ）（ $j$ は1以

上  $n$  以下の整数) は、第 2 F E T グループのうち入力端子側の先頭から連続する  $j$  個の F E T に並列接続され、中間容量素子は、中間 F E T に並列接続される。

### 発明の効果

[0009] 本発明によれば、入力電力の増大及び良品の比率の向上を実現するスイッチ回路を提供することができる。

### 図面の簡単な説明

[0010] [図1]本発明の第 1 実施形態に係るスイッチ回路 1 0 0 A の構成例を示す図である。

[図2]本発明の第 2 実施形態に係るスイッチ回路 1 0 0 B の構成例を示す図である。

[図3]本発明の第 1 実施形態に係るスイッチ回路 1 0 0 A のレイアウトを示す平面図である。

[図4]図 3 の A - A 線断面図である。

[図5]本発明の第 1 及び第 2 実施形態に係るスイッチ回路及び従来例における容量素子の容量値のシミュレーション結果の一例を示すグラフである。

### 発明を実施するための形態

[0011] 以下、本発明の実施の形態について、図面を参照しつつ詳細に説明する。なお、同一の要素には同一の符号を付し、重複する説明を省略する。

[0012] 図 1 は、本発明の第 1 実施形態に係るスイッチ回路 1 0 0 A の構成例を示す図である。スイッチ回路 1 0 0 A が用いられる装置は特に限定されないが、本明細書においては一例として、携帯電話等の移動体通信機に搭載される電力増幅モジュールにおいて用いられる場合を想定して説明する。具体的には、例えば、スイッチ回路 1 0 0 A は、入力端子から入力される無線周波数 ( R F : R a d i o F r e q u e n c y ) 信号を出力端子に導通させるスイッチとして利用されてもよい。特に、スイッチ回路 1 0 0 A は、後述の通り高い入力電力を許容するため、電力増幅器からアンテナまで (すなわち、R F 信号が電力増幅器により増幅された後の信号経路) の間に設けられたバ

ンド切り替えスイッチやアンテナスイッチ等として利用されてもよい。

[0013] 図1に示されるように、スイッチ回路100Aは、例えば、入力端子10、出力端子20、20個のFET30(1)~30(20)及び19個の容量素子40(1)~40(19)を備える。なお、FET及び容量素子の個数は例示であり、これに限定されない。なお、本明細書においては入力端子10側から数えてh番目(hは1以上20以下の整数)のFETを「30(h)」と表している。他の素子においても同様である。また、図1に示される20個の容量素子50(1)~50(20)は、FET30(1)~30(20)の寄生容量を等価的に表したものである。また、以下ではFETの一例として、NチャネルMOSFET(Metal-oxide-semiconductor Field Effect Transistor)を用いて説明する。なお、PチャネルMOSFETを用いた構成においても同様の効果を得ることができるが、NチャネルMOSFETを用いた構成と同様であるため詳細な説明は省略する。

[0014] 20個のFET30(1)~30(20)(以下、これらの20個のFETを区別しない場合には、単に「各FET30」とも呼ぶ。他の素子においても同様である。)は、入力端子10と出力端子20との間において多段接続されている。具体的には、FET30(1)~30(20)はそれぞれ直列接続され、すなわち互いに隣接するFETのドレインとソースが接続されている。また、図示は省略されているが、各FET30のゲートには制御電圧が供給される。当該制御電圧に応じて、多段接続された全てのFETがオンとなると、入力端子10と出力端子20との間が導通される。この場合、FET30(1)のソースに供給された入力信号RF<sub>in</sub>が、FET30(20)のドレインから出力信号RF<sub>out</sub>として出力される。一方、少なくとも1段のFETがオフとなると、入力端子10と出力端子20との間は導通されず、出力信号は出力されない。なお、図示は省略されているが、例えば各FET30のゲートにそれぞれ抵抗素子が直列接続され、当該各抵抗素子を經由してゲートに制御電圧が供給されてもよい。

[0015] スイッチ回路100Aが、仮に各容量素子40を備えない場合、多段接続された各FET30にRF信号が供給されると、各FET30の寄生容量（図1に示される容量素子50（1）～50（20）に相当）により、各FET30のソース・ドレイン間電圧は不均一となる。具体的には、入力端子10に近いFETほどソース・ドレイン間に高い電圧がかかる。従って、スイッチ回路の入力許容電圧は、入力端子に近いFETの耐電圧によって制限される。この点、スイッチ回路100Aにおいては、各容量素子40の容量値を調整することにより、各FET30のソース・ドレイン間電圧の均等な分配を図ることができる。以下に、各容量素子40の接続の構成について詳細に説明する。なお、以下の説明においては便宜上、各FET30のソース・ドレイン間に接続される要素が「容量素子」であるものとして記載するが、当該要素は必ずしも「素子」である必要はなく、後述するように電荷の蓄積により「容量素子」と同様の機能を有する他の構成を含むものとする。

[0016] スイッチ回路100Aにおいて多段接続される複数のFETは、互いに隣接する $m$ 個（ $m$ は2以上の整数）のFETを含む一つ目のFETグループと、当該一つ目のFETグループより入力端子10から遠く出力端子20から近い位置に形成された互いに隣接する $n$ 個（ $n$ は2以上の整数）のFETを含む二つ目のFETグループと、当該両グループの間に接続された少なくとも一つのFET（以下、中間FETとも呼ぶ。）と、を有する。そして、各容量素子40は、一つ目のFETグループにおける入力端子側の先頭から連続する $i$ 個（ $i$ は1以上 $m$ 以下の整数）のFET、又は二つ目のFETグループにおける入力端子側の先頭から連続する $j$ 個（ $j$ は1以上 $n$ 以下の整数）のFET、若しくは中間FETに並列接続される。

[0017] 例えば、図1に示される例においては、互いに隣接する13個（すなわち、 $m=13$ ）のFET30（1）～30（13）が一つ目のFETグループ60（第1FETグループ）を形成し、互いに隣接する5個（すなわち、 $n=5$ ）のFET30（15）～FET30（19）が二つ目のFETグループ62（第2FETグループ）を形成する。ここで、FETグループ62は

、FETグループ60より入力端子10から遠い位置に設けられている。また、FET30(14)は、FETグループ60とFETグループ62との間に接続される中間FETである。

[0018] 13個の容量素子40(k)(kは1以上13以下の整数)は、FETグループ60のうちFET30(1)(すなわち、FETグループ60における入力端子10側の先頭)から連続するk個のFETに並列接続される。すなわち、容量素子40(1)(容量素子(C<sub>1<sub>1</sub></sub>))~40(13)(容量素子(C<sub>1<sub>13</sub></sub>))は、一端がFET30(1)のソースに接続され、他端はそれぞれFET30(1)~30(13)のドレインに接続される。また、5個の容量素子40(14+l)(lは1以上5以下の整数)は、FETグループ62のうちFET30(15)(すなわち、FETグループ62における入力端子10側の先頭)から連続するl個のFETに並列接続される。すなわち、容量素子40(15)(容量素子(C<sub>2<sub>1</sub></sub>))~40(19)(容量素子(C<sub>2<sub>5</sub></sub>))は、一端がFET30(15)のソースに接続され、他端はそれぞれFET30(15)~30(19)のドレインに接続される。

[0019] 容量素子40(14)(中間容量素子)は、中間FETに並列接続される。すなわち、容量素子40(14)は、一端がFET30(14)のソースに接続され、他端がFET30(14)のドレインに接続される。容量素子40(14)は、FETグループ間の中間FETに電界が集中することを防ぐために設けられている。

[0020] 各容量素子40の容量値の調整により、各FET30のドレイン電圧の引き上げ量を調整することができる。これにより、各FET30の寄生容量が補償され、ソース・ドレイン間電圧の不均一が解消される。具体的には、例えば、FETグループ60に接続された容量素子40(1)~40(13)の容量値は、入力端子10側から出力端子20側にかけて単調減少し、中段のFETに接続された容量素子(例えば、容量素子40(11))を境界として単調増加するように調整される。言い換えると、容量素子40(1)(容量素子(C<sub>1<sub>1</sub></sub>))及び容量素子40(13)(容量素子(C<sub>1<sub>13</sub></sub>))の容

量値は、容量素子40(x)(xは2以上12以下の整数)の容量値より大きくなるように調整される。すなわち、中間FETに接続される容量素子40(14)の容量値は比較的大きくなるため、中間FETに近接するFET30(12),30(13)のドレイン電圧は他のFETに比べて低くなる傾向にある。これにより、当該FET30(12),30(13)のドレイン電圧の引き上げのために必要な容量値が大きくなる。従って、FETグループ60においては、出力端子20側の近傍のいくつかの容量素子の容量値が単調増加することとなる。一方、FETグループ62に接続された容量素子40(15)~40(19)においては、入力端子10側から出力端子20側にかけて容量値が単調減少するように調整される。

[0021] ここで、特許文献1に開示される構成(以下、従来例とも呼ぶ。)においては、全ての容量素子が入力端子に近いFETから直接接続される。従って、入力端子から遠いFETのドレイン電圧を引き上げる容量素子の容量値が極度に小さくなり、制御が困難となり得る。一方、スイッチ回路100Aにおいては、上述の通り各容量素子40がFETグループ60及びFETグループ62に分かれて接続される。これにより、入力端子10から遠いFETグループ62においては、多段接続された20個のFETのうち中段のFET30(15)のソース(すなわち、入力端子に最も近いFETのソースに比べて電圧振幅が小さい端子)に容量素子40(15)~40(19)の一端が接続されることとなる。すなわち、従来例に比べて、FET30(15)~30(19)のドレイン電圧の引き上げのために必要な容量値が大きくなる。従って、スイッチ回路100Aにおいては、微小容量を用いることなく各FET30のソース・ドレイン間電圧の均等な分配を図ることができる。すなわち、スイッチ回路100Aは、入力電力を増大しつつ、従来例に比べて良品の比率の向上を実現することができる。

[0022] なお、上述のFET及び容量素子の総数は一例であり、これに限定されない。例えば、多段接続されるFETの総数は、一つ目のFETグループに含まれるFET(最少2個)、中間FET(最少1個)及び二つ目のFETグ

ループに含まれるFET（最少2個）の総数である5個以上であれば特に限定されない。また、中間FETは1個に限られず、2個以上であってもよい。

[0023] また、以下に第2実施形態として説明するように、FETグループは、上述の構成に限られず、FETグループの総数が二つ以上であればよい。また、FETグループにも中間FETにも含まれないFET（図1に示される例においては、FET30（20）に相当）があってもよい。

[0024] また、多段接続されたFETは、図1に示されるように個別のFETが直列接続されてもよく、又はマルチゲートFETが利用されてもよい。

[0025] また、FET30（1）～30（20）は、MOSFETに限られず、例えばJFET（Junction Field Effect Transistor）や、MESFET（Metal-semiconductor Field Effect Transistor）等のFETであってもよい。

[0026] 図2は、本発明の第2実施形態に係るスイッチ回路100Bの構成例を示す図である。なお、スイッチ回路100Aと同一の要素には同一の符号を付して説明を省略する。また、第2実施形態では第1実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0027] スwitch回路100Bは、スイッチ回路100Aに比べて、FETグループの分割の構成及びそれに伴う容量素子の接続の構成が異なる。具体的には、スイッチ回路100Bにおいては、FETグループが三つ（FETグループ64、66、68）に分割され、当該各グループに分かれて容量素子42（1）～42（19）が接続される。FETグループの分割の位置は特に限定されないが、図2に示される例においては、例えば、FET30（1）～30（13）が一つ目のFETグループ64を形成し、FET30（15）、30（16）が二つ目のFETグループ66を形成し、FET30（18）、30（19）が三つ目のFETグループ68を形成する。ここで、FE

Tグループ66は、FETグループ64より入力端子10から遠い位置に設けられ、FETグループ68は、FETグループ66より入力端子10から遠い位置に設けられている。また、FET30(14)は、FETグループ64とFETグループ66との間に接続され、FET30(17)はFETグループ66とFETグループ68との間に接続される。

[0028] 容量素子42(1)~42(13)はFETグループ64に含まれるFETに接続され、容量素子42(15), 42(16)はFETグループ66に含まれるFETに接続され、容量素子42(18), 42(19)はFETグループ68に含まれるFETに接続される。また、容量素子42(14)はFET30(14)に接続され、容量素子42(17)はFET30(17)に接続される。なお、FETグループ64, 66, 68における各容量素子の接続の構成については、スイッチ回路100AにおけるFETグループ60, 62における容量素子の接続の構成と同様であるため、詳細な説明は省略する。

[0029] このような構成によっても、スイッチ回路100Bは、スイッチ回路100Aと同様に、入力電力を増大しつつ、従来例に比べて良品の比率の向上を実現することができる。また、スイッチ回路100Bは、スイッチ回路100Aに比べてFETグループの総数が増える。これにより、入力端子10から遠いFETグループ68においては、FET30(18)のソース(すなわち、スイッチ回路100AにおけるFET30(15)のソースに比べてさらに電圧振幅が小さい素子)に容量素子42(18), 42(19)の一端が接続されることとなる。すなわち、スイッチ回路100Aに比べて、FET30(18), 30(19)のドレイン電圧の引き上げのために必要な容量値が大きくなる。従って、スイッチ回路100Bは、スイッチ回路100Aに比べて、良品の比率をさらに向上することができる。

[0030] 次に、図3及び図4を参照しつつ、スイッチ回路100Aのレイアウトの一例について説明する。ここで、図3は、本発明の第1実施形態に係るスイッチ回路100Aのレイアウトを示す平面図である。図4は、図3のA-A

線断面図である。なお、図3及び図4においては、説明の便宜上、スイッチ回路100Aと同一の要素に同一の符号を付す。また、図4は、図3に示される要素の一部が省略されている。

[0031] FETグループ60、中間FET及びFETグループ62は、直交するX軸（第1方向）及びY軸（第2方向）により規定されるXY平面に平行な基板70の主面の上（Z軸正方向）において、入力端子側（X軸負方向側）の金属層80から出力端子側（X軸正方向側）の金属層82の間に、X軸方向（第1方向）に沿ってこの順に配列されている（図3及び図4参照）。また、各FET30上に積層された複数の金属層84a, 84b, 84cにより、各FET30が電氣的に接続されている（図4参照）。

[0032] 本実施形態においては、FETグループ60上に形成された複数の金属層のうち最上の金属層80（第1金属層）が、入力端子側から出力端子側に向かって延出される。これにより、金属層80とFETグループ60との間に電荷が蓄積される。この電荷の蓄積が容量素子と同様の機能を有することにより、図1に示される容量素子40（1）～40（13）が形成される。なお、図4に示される容量素子の記号は、金属層とFETグループとの間に電荷が蓄積されるという機能を模擬的に示したものであり、容量素子の存在を意図したものではない。同様に、FETグループ62上に形成された複数の金属層のうち最上の金属層86（第2金属層）が、入力端子側から出力端子側に向かって延出される。これにより、金属層86とFETグループ62との間に電荷が蓄積され、容量素子40（15）～40（19）が形成される。また、本実施形態においては、基板70の主面の平面視における金属層80, 86のY軸方向（第2方向）の長さに応じて、容量素子40（1）～40（13）, 40（15）～40（19）の容量値が調整される（図3参照）。具体的には、金属層80のY軸方向の長さは、入力端子側から出力端子側に向かって次第に短くなり、中段の所定のFET（図3に示される例においては、FET30（11））を境界として再び長くなっている。一方、金属層86のY軸方向の長さは、入力端子側から出力端子側に向かって次第に

短くなっている。これにより、FETグループ60, 62のそれぞれにおいて、各容量素子の容量値が所望の大きさとなるように調整される。当該構成を適用することにより、各容量素子40を備えない構成からの容易な設計変更が可能となる。

[0033] また、容量素子40(14)(中間容量素子)は、FET30(14)上に形成された金属層88(中間金属層)と、FET30(14)との間に電荷が蓄積されることにより形成される。金属層88は、例えば、FET30(14)のフィンガー電極が延出されて形成されてもよい。

[0034] なお、図3及び図4においては、各FET30が一行に配列される例が示されているが、各FET30は、必ずしも一行に配列されなくてもよい。特に、本発明においては各容量素子40がFETグループごとに設けられるため、基板上におけるFETの配置もFETグループごとに分かれていてもよい。すなわち、本発明においては、従来例に比べて各FET30のレイアウトの自由度が高い。

[0035] 図5は、本発明の第1及び第2実施形態に係るスイッチ回路及び従来例における容量素子の容量値のシミュレーション結果の一例を示すグラフである。当該シミュレーションは、いずれも20個のFETが多段接続されたスイッチ回路において、各FETのソース・ドレイン間電圧が均等に分配された時の各容量素子の容量値を示している。なお、説明の便宜上、入力端子に近い容量素子から順に1~19の符号を用いる。また、当該シミュレーションは、図1に示されるスイッチ回路100A、図2に示されるスイッチ回路100B及び従来例(全ての容量素子が、最も入力端子に近いFETのソースに直接接続された構成)を比較した結果である。図5に示されるグラフにおいて、縦軸は各容量素子の最適容量値( $fF$ )を示し、横軸は入力端子から順に付された容量素子の符号を示す。

[0036] 図5に示されるように、従来例においては、容量素子の容量値が入力端子側から出力端子側にかけて単調減少している。特に19番目の容量素子(すなわち、最も容量値が小さい容量素子)の容量値は2.6  $fF$ であり、制御

が困難な微小容量であり得る。

[0037] 一方、スイッチ回路100A（図1参照）においては、一つ目のFETグループ60の容量素子の容量値は、1番目から11番目にかけて単調減少し、11番目の容量素子を境界として単調増加している。一方、二つ目のFETグループ62の容量素子の容量値は、15番目から19番目にかけて単調減少しているが、従来例における15番目から19番目の容量素子に比べると容量値はいずれも大きい。なお、19番目の容量素子の容量値は8.3 fFである。

[0038] さらに、スイッチ回路100B（図2参照）においては、一つ目のFETグループ64の容量素子は、スイッチ回路100AにおけるFETグループ60の場合と同様である。また、二つ目のFETグループ66の容量素子の容量値は、15番目から16番目にかけて単調増加している。また、三つ目のFETグループ68の容量素子の容量値は、18番目から19番目にかけて単調減少しているが、従来例及びスイッチ回路100Aにおける18番目及び19番目の容量素子に比べると容量値はいずれも大きい。なお、19番目の容量素子の容量値は16.8 fFである。

[0039] 上述の通り、容量素子がFETグループごとに接続されることにより、出力端子に近いFETに接続される容量素子の容量値が、従来例に比べて増大することが分かる。すなわち、当該シミュレーション結果から、スイッチ回路100A、100Bにおいては、微小容量を用いることなく各FET30のソース・ドレイン間電圧の均等な分配を図ることができると言える。

[0040] 以上、本発明の例示的な実施形態について説明した。スイッチ回路100A、100Bは、一つ目のFETグループ60、64、二つ目のFETグループ62、66及び二つのFETグループの間に接続された中間FETを含む。そして、FETグループ60、64又はFETグループ62、66の各々において、入力端子10側の先頭から連続するいくつかのFETに並列接続される各容量素子40、42と、中間FETに並列接続される容量素子40（14）、42（14）と、を備える。これにより、入力端子10から遠

いFETグループ62, 66においては、従来例に比べて、FETのドレイン電圧の引き上げのために必要な容量値が大きくなる。従って、スイッチ回路100A, 100Bにおいては、微小容量を用いることなく各FET30のソース・ドレイン間電圧の均等な分配を図ることができる。すなわち、スイッチ回路100A, 100Bは、入力電力の増大及び良品の比率の向上を実現することができる。

[0041] また、スイッチ回路100A, 100Bにおいて、一つ目のFETグループ60, 64の各容量素子40, 42の容量値は、入力端子10側から出力端子20側にかけて単調減少し、中段のFETに接続された容量素子を境界として単調増加する。これにより、各FET30のドレイン電圧の引き上げ量が調整される。従って、各FET30の寄生容量が補償され、ソース・ドレイン間電圧の不均一が解消される。

[0042] また、スイッチ回路100Aにおいては、FETグループ60、中間FET及びFETグループ62が基板70上に配列され、入力端子側から出力端子側に向かって延出された金属層80, 86と、中間FET上に形成された金属層88と、により各容量素子40が形成される。これにより、各容量素子40を備えない構成からの容易な設計変更が可能となる。

[0043] また、スイッチ回路100Aにおいて、基板70の主面の平面視における金属層80, 86のY軸方向の長さは、各容量素子40, 42の容量値に応じて調整される。これにより、FETグループ60, 62のそれぞれにおいて、容易な設計変更により各容量素子の容量値を所望の大きさとすることができる。

[0044] 以上説明した各実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更又は改良され得るとともに、本発明にはその等価物も含まれる。即ち、各実施形態に当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、各実施形態が備える各要素およびその配置、材料、条件、形状、サイズなどは、例

示したものに限定されるわけではなく適宜変更することができる。また、各実施形態が備える各要素は、技術的に可能な限りにおいて組み合わせることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。

### 符号の説明

[0045] 10…入力端子、20…出力端子、30…FET、40, 42, 50…容量素子、60, 62, 64, 66, 68…FETグループ、70…基板、80, 82, 84, 86, 88…金属層、100A, 100B…スイッチ回路

## 請求の範囲

### [請求項1]

信号が入力される入力端子と、  
前記信号が出力される出力端子と、  
前記入力端子及び前記出力端子の間において多段接続された複数の F E T であって、各ゲートに供給される制御電圧に応じてオン及びオフが制御される複数の F E T と、  
複数の容量素子と、  
を備え、  
前記複数の F E T は、  
互いに隣接する  $m$  個 ( $m$  は 2 以上の整数) の F E T を含む第 1 F E T グループと、  
互いに隣接する  $n$  個 ( $n$  は 2 以上の整数) の F E T を含み、かつ前記第 1 F E T グループより前記入力端子から遠い位置に設けられた第 2 F E T グループと、  
前記第 1 F E T グループと前記第 2 F E T グループとの間に接続された中間 F E T と、  
を含み、  
前記複数の容量素子は、  
 $m$  個の容量素子 ( $C 1_1, C 1_2, \dots, C 1_m$ ) と、  
 $n$  個の容量素子 ( $C 2_1, C 2_2, \dots, C 2_n$ ) と、  
中間容量素子と、  
を含み、  
前記容量素子 ( $C 1_i$ ) ( $i$  は 1 以上  $m$  以下の整数) は、前記第 1 F E T グループのうち前記入力端子側の先頭から連続する  $i$  個の F E T に並列接続され、  
前記容量素子 ( $C 2_j$ ) ( $j$  は 1 以上  $n$  以下の整数) は、前記第 2 F E T グループのうち前記入力端子側の先頭から連続する  $j$  個の F E T に並列接続され、

前記中間容量素子は、前記中間F E Tに並列接続された、  
スイッチ回路。

[請求項2] 前記容量素子 ( $C_{1_1}$ ) の容量値及び前記容量素子 ( $C_{1_m}$ ) の容量値は、前記容量素子 ( $C_{1_x}$ ) ( $x$ は2以上 $m-1$ 以下の整数) の容量値より大きい、

請求項1に記載のスイッチ回路。

[請求項3] 前記第1 F E Tグループ、前記中間F E T及び前記第2 F E Tグループは、基板の主面上において、第1方向に沿ってこの順に配列され、

前記容量素子 ( $C_{1_1}$ ,  $C_{1_2}$ ,  $\dots$ ,  $C_{1_m}$ ) は、前記第1 F E Tグループと、前記第1 F E Tグループ上に形成された第1金属層と、により形成され、

前記容量素子 ( $C_{2_1}$ ,  $C_{2_2}$ ,  $\dots$ ,  $C_{2_n}$ ) は、前記第2 F E Tグループと、前記第2 F E Tグループ上に形成された第2金属層と、により形成され、

前記中間容量素子は、前記中間F E Tと、前記中間F E T上に形成された中間金属層と、により形成され、

前記第1金属層及び前記第2金属層は、前記入力端子側から前記出力端子側に向かって前記第1方向に延出された、

請求項1又は2に記載のスイッチ回路。

[請求項4] 前記基板の主面の平面視において、前記第1及び第2金属層の前記基板の主面と平行かつ前記第1方向と直交する第2方向の長さは、それぞれ、前記容量素子 ( $C_{1_1}$ ,  $C_{1_2}$ ,  $\dots$ ,  $C_{1_m}$ ) 及び前記容量素子 ( $C_{2_1}$ ,  $C_{2_2}$ ,  $\dots$ ,  $C_{2_n}$ ) の容量値に応じて調整される、

請求項3に記載のスイッチ回路。

[図1]

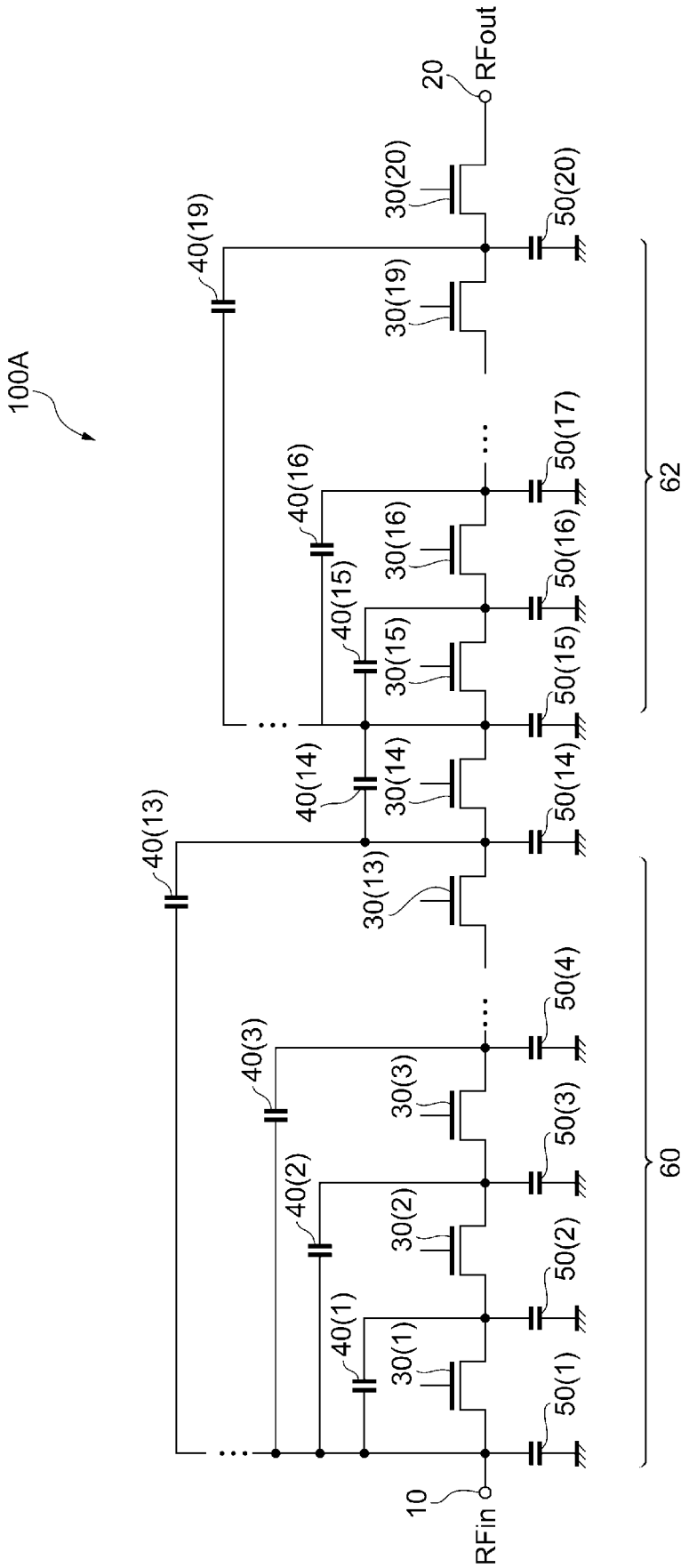


図 1

[圖2]

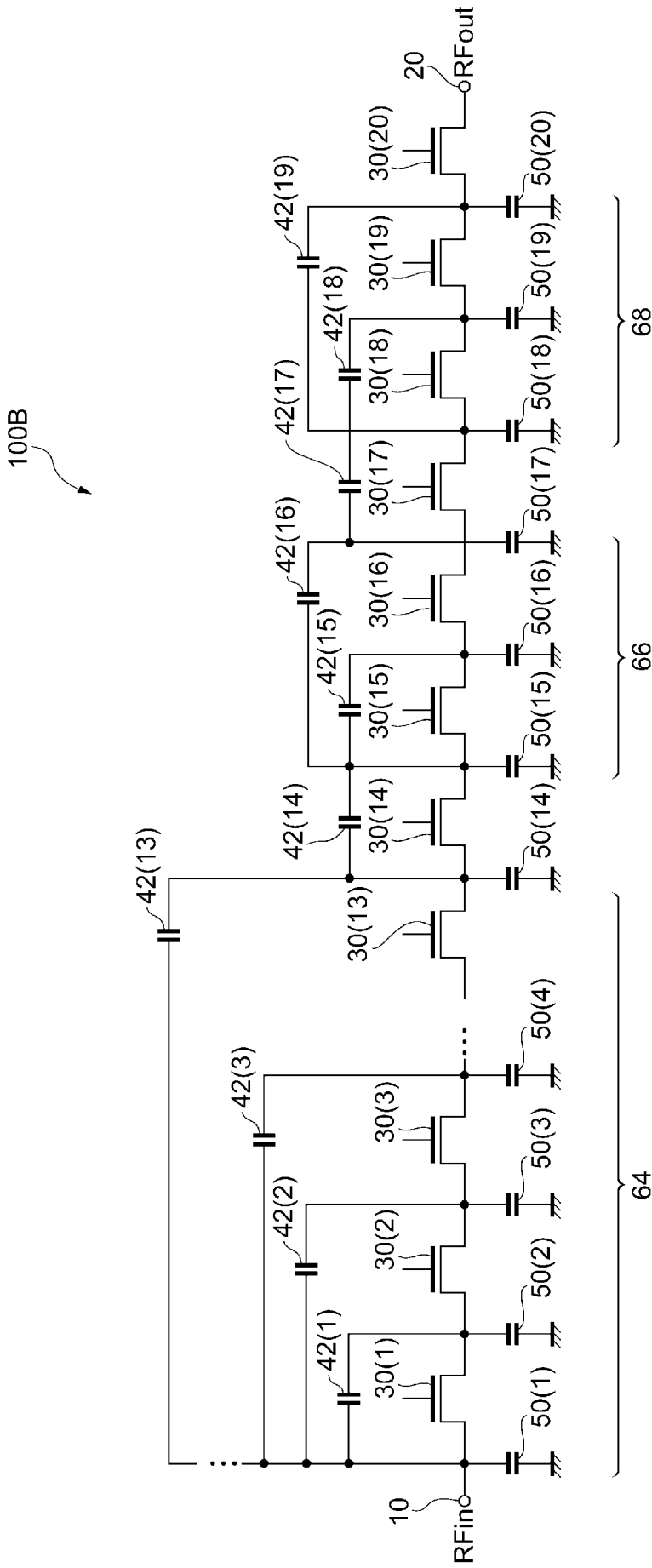
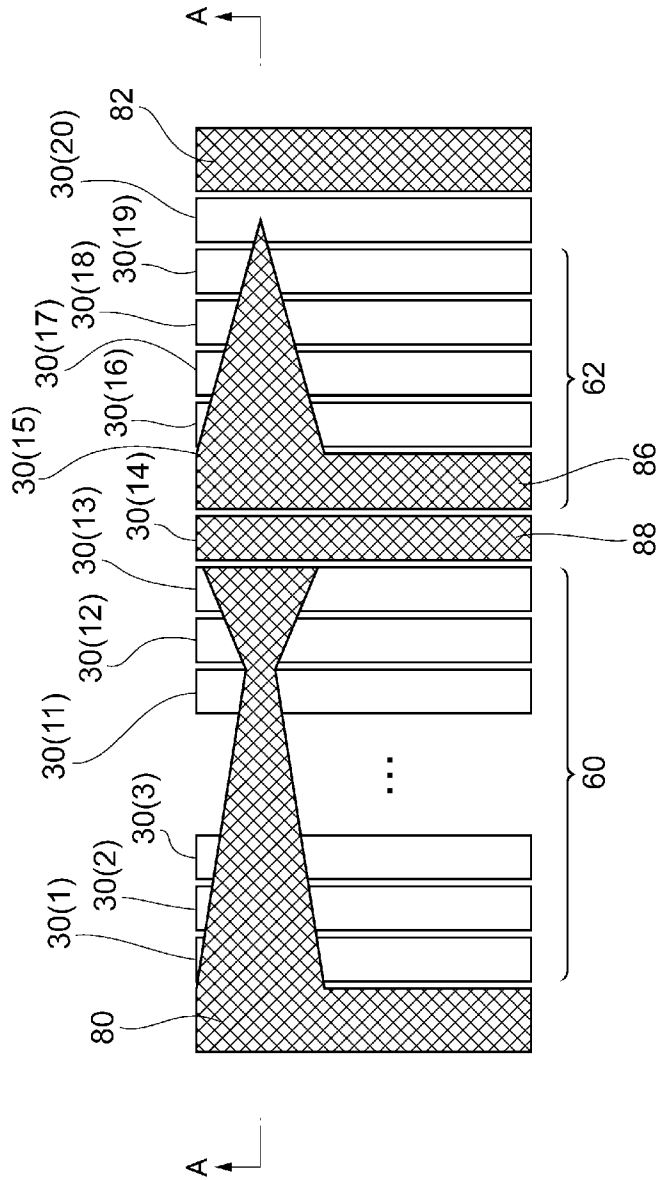


圖 2

[3]

100A



[3]

[図4]

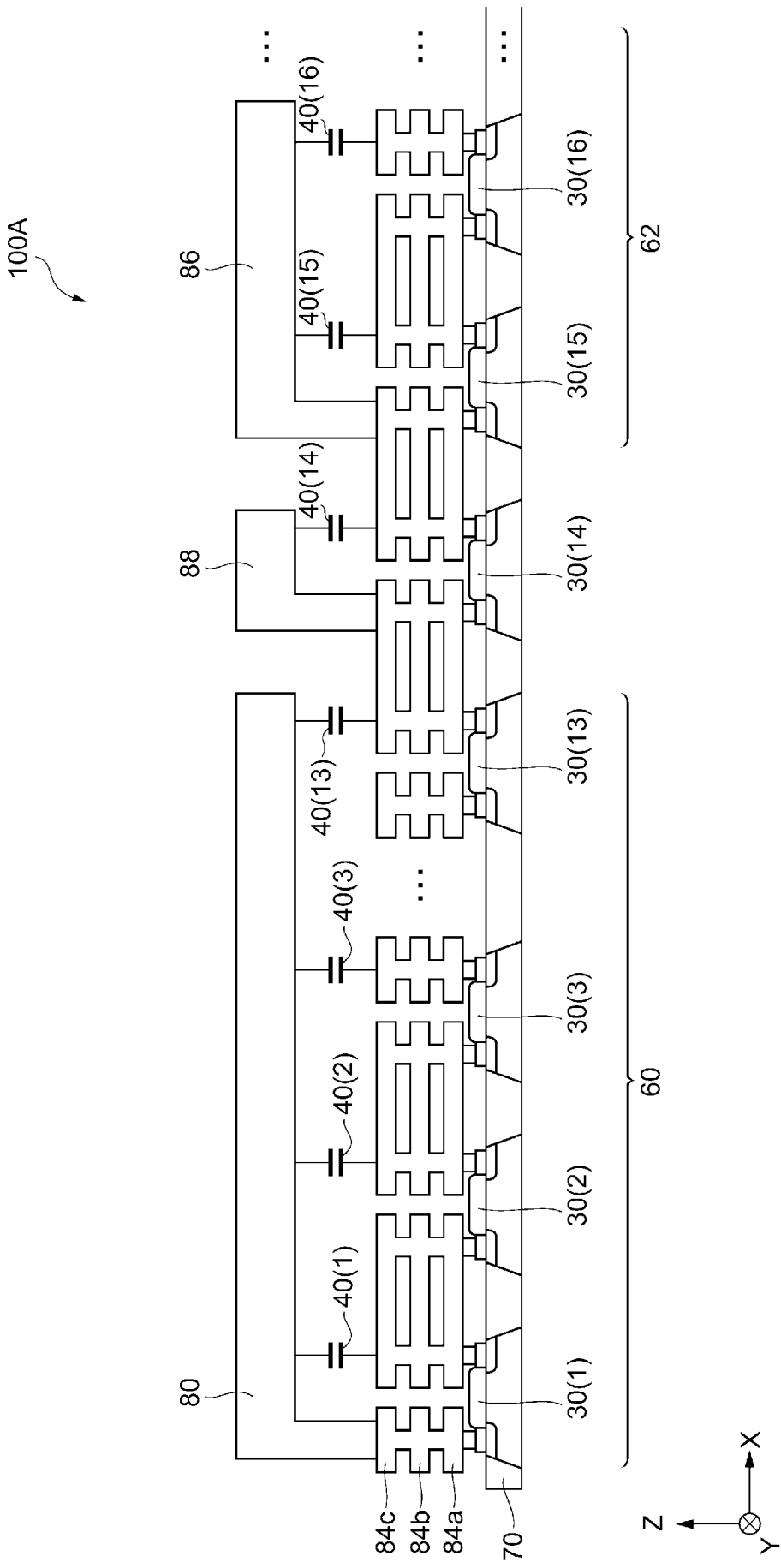


図 4

[図5]

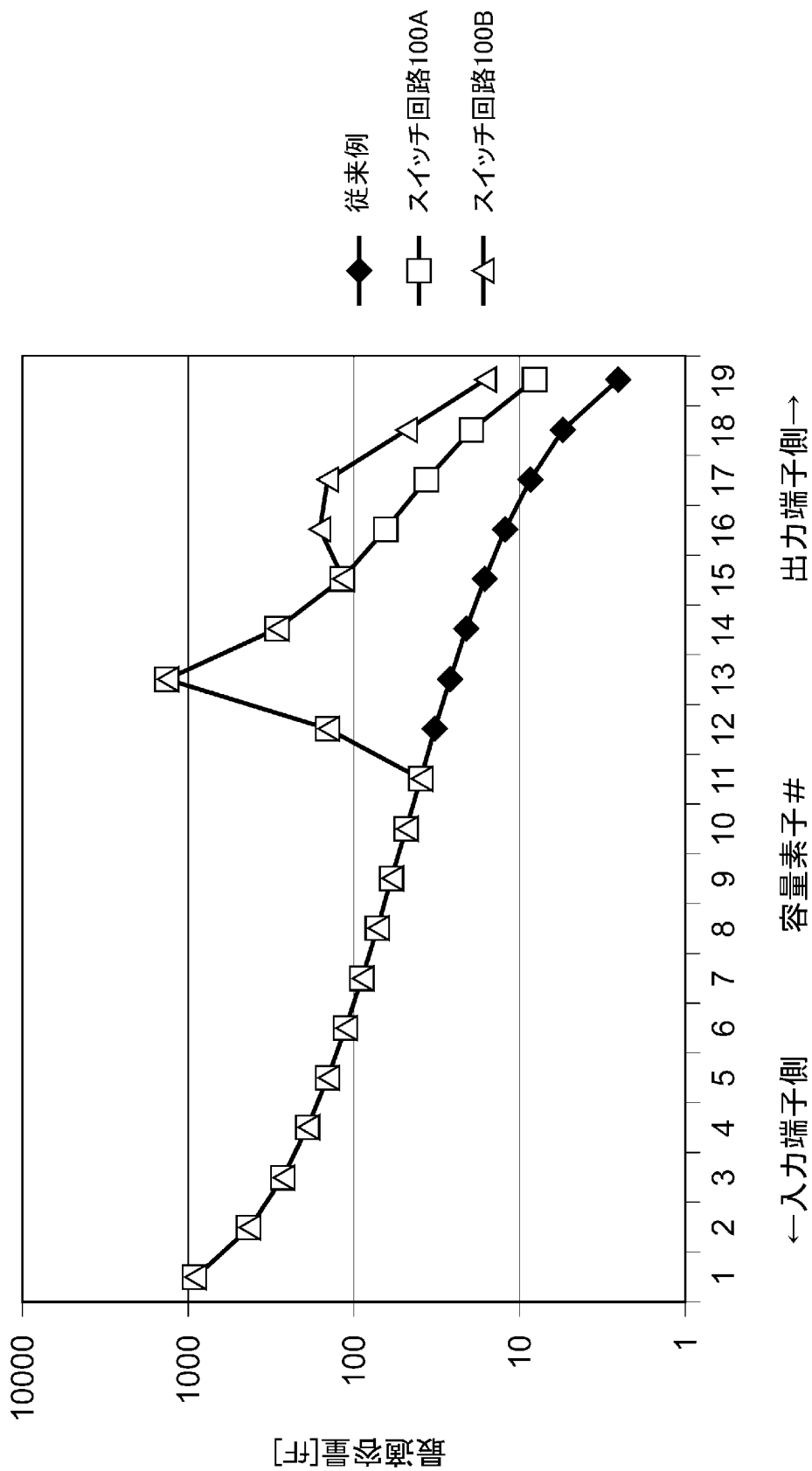


図5

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/002181

**A. CLASSIFICATION OF SUBJECT MATTER**

Int. Cl. H03K17/687(2006.01) i, H01P1/15(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03K17/687, H01P1/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
 Published unexamined utility model applications of Japan 1971-2018  
 Registered utility model specifications of Japan 1996-2018  
 Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-171498 A (TOSHIBA CORP.) 23 September 2016 & US 2016/0269025 A1	1-4
A	JP 2011-249466 A (RENESAS ELECTRONICS CORP.) 08 December 2011 & US 2011/0294445 A1 & CN 102299702 A	1-4
A	US 2014/0312958 A1 (PEREGRINE SEMICONDUCTOR CORPORATION) 23 October 2014 & JP 2011-515832 A & WO 2009/108391 A1	1-4

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
12.04.2018

Date of mailing of the international search report  
24.04.2018

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer  
  
Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K17/687(2006.01)i, H01P1/15(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K17/687, H01P1/15

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-171498 A (株式会社東芝) 2016.09.23 & US 2016/0269025 A1	1-4
A	JP 2011-249466 A (ルネサスエレクトロニクス株式会社) 2011.12.08 & US 2011/0294445 A1 & CN 102299702 A	1-4
A	US 2014/0312958 A1 (PEREGRINE SEMICONDUCTOR CORPORATION) 2014.10.23 & JP 2011-515832 A & WO 2009/108391 A1	1-4

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

12.04.2018

国際調査報告の発送日

24.04.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 亮

電話番号 03-3581-1101 内線 3576

5W

3363