



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0067745

(43) 공개일자 2013년06월25일

(51) 국제특허분류(Int. Cl.)

H04B 1/04 (2006.01)

(21) 출원번호 10-2011-0134620

(22) 출원일자 2011년12월14일

심사청구일자 2011년12월14일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김철우

서울특별시 성북구 길음로 16, 605동 1301호 (길
음동, 길음뉴타운)

송준영

경기 수원시 권선구 호매실동 LG삼익아파트
110-1503

이현우

경기도 이천시 부발읍 경충대로 2241, 신하6리
104동 804호 (삼익아파트)

(74) 대리인

특허법인주원

전체 청구항 수 : 총 10 항

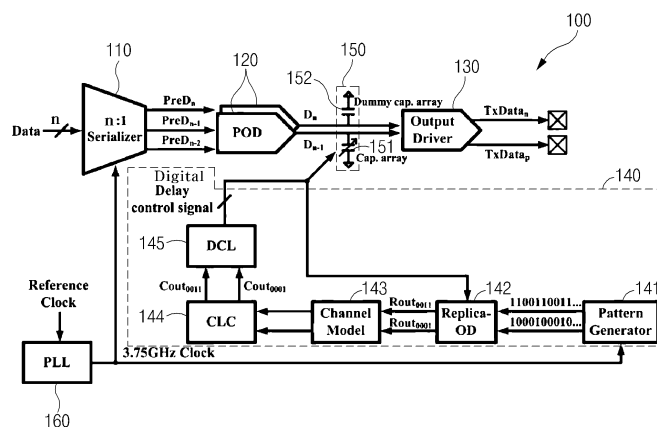
(54) 발명의 명칭 데이터 통신용 송신기

(57) 요약

본 발명은 채널을 모델링함에 의해 채널의 상황에 맞게 최적의 프리-엠퍼시스 정도를 결정하여 출력 드라이버의 프리-엠퍼시스를 수행하게 할 수 있고 디지털 지연 신호에 의해 지연 데이터의 지연값을 조절하여 시스템상의 잡음에 안정적인 동작을 할 수 있는 데이터 통신용 송신기에 관한 것이다.

일례로, 입력단과, 채널과 연결되는 출력단을 가지며, 상기 입력단으로 입력되는 데이터를 직렬 데이터들로 변환하는 직렬화기; 상기 직렬 데이터들을 1차적으로 프리-엠퍼시스하여 프리-엠퍼시스 데이터들을 생성하는 프리-출력 드라이버; 상기 프리-엠퍼시스 데이터들을 입력받아 출력 데이터들을 생성하는 출력 드라이버; 상기 채널의 상황을 모사하여 상기 출력 드라이버의 프리-엠퍼시스에 적용되는 지연 데이터의 지연값을 조절하도록 구성된 프리-출력 컨트롤러; 및 상기 출력 드라이버와 상기 프리-출력 컨트롤러와 상기 프리-출력 컨트롤러 사이에 설치되어 상기 지연값에 따른 커패시턴스가 조절되는 가변 커패시터를 포함하며, 상기 출력 드라이버는 상기 프리-엠퍼시스 데이터들을 상기 지연값에 의해 조절하여 2차적으로 프리-엠퍼시스하는 것을 특징으로 하는 데이터 통신용 송신기가 개시된다.

대표도 - 도1



특허청구의 범위

청구항 1

입력단과, 채널과 연결되는 출력단을 가지는 데이터 통신용 송신기에 있어서,
 상기 입력단으로 입력되는 데이터를 직렬 데이터들로 변환하는 직렬화기;
 상기 직렬 데이터들을 1차적으로 프리-엠퍼시스하여 프리-엠퍼시스 데이터들을 생성하는 프리-출력 드라이버;
 상기 프리-엠퍼시스 데이터들을 입력받아 출력 데이터들을 생성하는 출력 드라이버;
 상기 채널의 상황을 모사하여 상기 출력 드라이버의 프리-엠퍼시스에 적용되는 지연 데이터의 지연값을 조절하도록 구성된 프리-출력 컨트롤러; 및
 상기 프리-출력 드라이버와 상기 출력 드라이버와 상기 프리-출력 컨트롤러 사이에 설치되어 상기 지연값에 따른 커패시턴스가 조절되는 가변 커패시터를 포함하며,
 상기 출력 드라이버는 상기 프리-엠퍼시스 데이터들을 상기 지연값에 의해 조절하여 2차적으로 프리-엠퍼시스하는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 2

제 1 항에 있어서,
 상기 프리-출력 드라이버와 상기 출력 드라이버는 동일한 구조로 형성되는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 3

제 1 항에 있어서,
 상기 프리-출력 컨트롤러는
 제 1 데이터 패턴과 제 2 데이터 패턴을 발생시키는 패턴 발생기;
 상기 출력 드라이버와 동일한 구조로 형성되며, 상기 제 1 데이터 패턴과 제 2 데이터 패턴을 통과시켜 모사 데이터 패턴들을 발생시키는 복제 출력 드라이버;
 상기 채널의 상황을 모사할 수 있도록 구성되어 상기 모사 데이터 패턴들을 통과시키는 채널 모델링 필터;
 상기 채널 모델링 필터를 통과한 상기 모사 데이터 패턴들을 디지털 신호 패턴들로 변환하는 디지털 신호 변환기; 및
 상기 지연값을 조절하는 디지털 지연 제어 신호를 발생시키는 디지털 컨트롤 로직을 포함하는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 4

제 3 항에 있어서,
 상기 채널 모델링 필터는 저항과 커패시터를 포함하는 저대역 통과 필터로 구현되며, 조절 신호를 통해 데이터의 감쇄 정도를 조절할 수 있도록 구성되는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 5

제 3 항에 있어서,
 상기 디지털 컨트롤 로직은
 상기 디지털 신호 패턴이 입력되는 센스-엠프리파이드 플립 플롭; 및
 상기 센스-엠프리파이드 플립 플롭의 출력이 일정하게 유지될때까지 출력이 증가되는 카운터를 포함하는 것을

특징으로 하는 데이터 통신용 송신기.

청구항 6

제 5 항에 있어서,

상기 디지털 컨트롤 로직은 상기 센스-애플리파이드 플립 플롭의 출력이 "0"이 되면 상기 카운터의 출력을 고정하여 상기 지연값을 결정하는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 7

제 3 항에 있어서,

상기 가변 커패시터의 커패시턴스는 상기 디지털 지연 제어 신호에 의해 조절되는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 8

제 3 항에 있어서,

상기 디지털 지연 제어 신호는 상기 복제 출력 드라이버에 입력되는 것을 특징으로 하는 데이터 통신용 송신기.

청구항 9

제 3 항에 있어서,

상기 제 1 데이터 패턴은 고주파 성분이 가장 적은 데이터 패턴이고,

상기 제 2 데이터 패턴은 고주파 성분이 가장 많은 데이터 패턴인 것을 특징으로 하는 데이터 통신용 송신기.

청구항 10

제 9 항에 있어서,

상기 제 1 데이터 패턴은 1100, ..., 1100의 데이터 패턴이고,

상기 제 2 데이터 패턴은 1000, ..., 1000의 데이터 패턴인 것을 특징으로 하는 데이터 통신용 송신기.

명세서

기술분야

[0001] 본 발명은 데이터 통신용 송신기에 관한 것으로, 특히 채널을 모델링함에 의해 채널의 상황에 맞게 최적의 프리-엠퍼시스 정도를 결정하여 출력 드라이버의 프리-엠퍼시스를 수행하게 할 수 있고 디지털 지연 신호에 의해 지연 데이터의 지연값을 조절하여 시스템상의 잡음에 안정적인 동작을 할 수 있는 데이터 통신용 송신기에 관한 것이다.

배경기술

[0002] 반도체 공정의 발전과 더불어 고해상도를 구현하기 위한 데이터의 처리량 및 전송량은 급격하게 증가되었으나, 이에 비해서 채널의 발전 속도는 이를 따라가지 못하고 있다. 상기 채널의 발전 속도가 데이터의 처리량을 따라가지 못함으로 인하여 채널에서 데이터 신호의 감쇄가 일어나게 된다.

[0003] 이를 위해, 송신기에서는 채널의 대역폭의 제한으로 인한 채널의 데이터 감쇄를 복원하기 위해 프리-엠퍼시스를 출력 드라이버에 적용하게 되었고, 수신기에서는 등화기를 적용하게 되었다.

[0004] 상기 프리-엠퍼시스는 원래의 데이터로 구동되는 메인 탭과 지연 데이터를 통하여 구동되는 보조 탭을 통하여 구현되는 것으로, 상기 프리-엠퍼시스의 정도는 보조 탭에 흐르는 전류의 양을 조절함으로써 조절된다. 상기 전류의 양을 적절하게 조절하는 것은 채널의 데이터 감쇄에 대한 정보에 달려있다. 상기 전류의 양이 채널의 데이터 감쇄 정도와 맞지 않는다면, 데이터 패턴에 의한 지터에 의해서 출력된 데이터의 지터 성분이 커질 수 있다. 따라서, 프리-엠퍼시스를 수행하기 위한 최적의 전류의 양을 통해 프리-엠퍼시스를 통한 고주파 성분의 증폭 정도를 결정하는 것이 중요하다.

[0005] 그런데, 위와 같이 보조 탭에 흐르는 전류의 양을 통해 프리-엠퍼시스의 정도를 조절하는 방식은 적절한 고주파 성분의 증폭 정도를 결정할 수 없다. 이에 따라, 케이블을 별도로 모델링한 후에 채널에서 데이터의 손상을 보상할 수 있을 정도의 고주파 성분을 증폭하도록 보조 탭의 전류의 양을 조절하여 보상 정도가 결정되는 방식이 일반적으로 이용되고 있다. 이와 같은 경우 칩의 동작 환경에 따라서 변해야 하는 전류의 양을 조절하기 어려우며, 또한 전류의 양을 조절하는 것이 일반적인 아날로그 전압을 이용하여 이루어지기 때문에 일정하게 유지되는 것이 용이하지 않다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 특히 채널을 모델링함에 의해 채널의 상황에 맞게 최적의 프리-엠퍼시스 정도를 결정하여 출력 드라이버의 프리-엠퍼시스를 수행하게 할 수 있고 디지털 지연 신호에 의해 지연 데이터의 지연값을 조절하여 시스템상의 잡음에 안정적인 동작을 할 수 있는 데이터 통신용 송신기를 제공하는 데 있다.

과제의 해결 수단

[0007] 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 데이터 통신용 송신기는 입력단과, 채널과 연결되는 출력단을 가지며, 상기 입력단으로 입력되는 데이터를 직렬 데이터들로 변환하는 직렬화기; 상기 직렬 데이터들을 1차적으로 프리-엠퍼시스하여 프리-엠퍼시스 데이터들을 생성하는 프리-출력 드라이버; 상기 프리-엠퍼시스 데이터들을 입력받아 출력 데이터들을 생성하는 출력 드라이버; 상기 채널의 상황을 모사하여 상기 출력 드라이버의 프리-엠퍼시스에 적용되는 지연 데이터의 지연값을 조절하도록 구성된 프리-출력 컨트롤러; 및 상기 프리-출력 드라이버와 상기 출력 드라이버와 상기 프리-출력 컨트롤러 사이에 설치되어 상기 지연값에 따른 커패시턴스가 조절되는 가변 커패시터를 포함하며, 상기 출력 드라이버는 상기 프리-엠퍼시스 데이터들을 상기 지연값에 의해 조절하여 2차적으로 프리-엠퍼시스하는 것을 특징으로 한다.

[0008] 상기 프리-출력 드라이버와 상기 출력 드라이버는 동일한 구조로 형성될 수 있다.

[0009] 상기 프리-출력 컨트롤러는 제 1 데이터 패턴과 제 2 데이터 패턴을 발생시키는 패턴 발생기; 상기 출력 드라이버와 동일한 구조로 형성되며, 상기 제 1 데이터 패턴과 제 2 데이터 패턴을 통과시켜 모사 데이터 패턴들을 발생시키는 복제 출력 드라이버; 상기 채널의 상황을 모사할 수 있도록 구성되어 상기 모사 데이터 패턴들을 통과시키는 채널 모델링 필터; 상기 채널 모델링 필터를 통과한 상기 모사 데이터 패턴들을 디지털 신호 패턴들로 변환하는 디지털 신호 변환기; 상기 지연값을 조절하는 디지털 지연 제어 신호를 발생시키는 디지털 컨트롤 로직을 포함할 수 있다.

[0010] 상기 채널 모델링 필터는 저항과 커패시터를 포함하는 저대역 통과 필터로 구현되며, 조절 신호를 통해 데이터의 감쇄 정도를 조절할 수 있도록 구성될 수 있다.

[0011] 상기 디지털 컨트롤 로직은 상기 디지털 신호 패턴이 입력되는 센스-엠프리파이드 플립 플롭; 및 상기 센스-엠프리파이드 플립 플롭의 출력이 일정하게 유지될때까지 출력이 증가되는 카운터를 포함할 수 있다.

[0012] 상기 디지털 컨트롤 로직은 상기 센스-엠프리파이드 플립 플롭의 출력이 "0"이 되면 상기 카운터의 출력을 고정하여 상기 지연값을 결정할 수 있다.

[0013] 상기 가변 커패시터의 커패시턴스는 상기 디지털 지연 제어 신호에 의해 조절될 수 있다.

[0014] 상기 디지털 지연 제어 신호는 상기 복제 출력 드라이버에 입력될 수 있다.

[0015] 상기 제 1 데이터 패턴은 고주파 성분이 가장 적은 데이터 패턴이고, 상기 제 2 데이터 패턴은 고주파 성분이 가장 많은 데이터 패턴일 수 있다.

[0016] 상기 제 1 데이터 패턴은 1100, ..., 1100의 데이터 패턴이고, 상기 제 2 데이터 패턴은 1000, ..., 1000의 데이터 패턴일 수 있다.

발명의 효과

[0017] 본 발명의 실시예에 따른 데이터 통신용 송신기는 채널 모델링 필터를 포함하는 프리-엠퍼시스 컨트롤러를 구비함으로써, 종래의 데이터 송신기에서 채널의 정보를 알 수 없어 출력 드라이버가 미리 정해진대로만 프리-엠퍼

시스를 행하여 채널의 상황을 반영하지 못하는 경우와 비교하여 채널의 상황을 반영하면서 지연 데이터의 지연 값을 조절하여 최적의 프리-엠퍼시스 정도를 결정할 수 있다. 이에 따라, 본 발명의 실시예에 따른 데이터 송신기는 출력 드라이버가 채널의 상황을 반영하면서 지터 성분이 최대한 줄어든 상태의 지연 데이터를 프리-엠퍼시스하게 함으로써, 채널에서 동작하는 칩의 반도체 공정, 동작 온도 및 전압에 상관없이 최적의 프리-엠퍼시스를 통해 채널에서 손실이 일어나는 데이터의 고주파 성분을 미리 증폭시켜 채널에서 데이터의 손실을 보상시킬 수 있다.

- [0018] 또한, 본 발명의 실시예에 따른 데이터 송신기는 디지털 컨트롤 로직을 포함하는 프리-엠퍼시스 컨트롤러를 구비함으로써, 프리-엠퍼시스 정도를 아날로그 전압을 조절하여 조절하는 것이 아니라 지연 데이터의 지연값을 디지털 지연 신호로 조절하여 시스템상의 잡음에 안정적으로 동작하게 할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 일 실시예에 따른 데이터 통신용 송신기의 구조를 보여주는 블록도이다.

도 2는 프리-출력 드라이버와 출력 드라이버의 구조를 보여주는 회로도이다.

도 3은 도 1의 채널 모델링 필터의 회로도이다.

도 4는 도 1의 디지털 컨트롤 로직의 구조를 보여주는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하 도면을 참조하면서 본 발명의 실시예를 통해 본 발명을 상세히 설명하기로 한다.

- [0021] 도 1은 본 발명의 일 실시예에 따른 데이터 통신용 송신기의 구조를 보여주는 블록도이고, 도 2는 프리-출력 드라이버와 출력 드라이버의 구조를 보여주는 회로도이고, 도 3은 도 1의 채널 모델링 필터의 회로도이고, 도 4는 도 1의 디지털 컨트롤 로직의 구조를 보여주는 회로도이다.

- [0022] 도 1 내지 도 4를 참조하면, 본 발명의 일 실시예에 따른 데이터 통신용 송신기(100)는 직렬화기(Serializer)(110), 프리-출력 드라이버(Pre-Output Driver; POD)(120), 출력 드라이버(Output Driver)(130), 프리-엠퍼시스 컨트롤러(140), 커패시터부(150), 위상 고정 루프 회로(Phase Locked Loop; PLL)(160)를 포함하여 구성된다. 이러한 데이터 통신용 송신기(100)는 케이블의 채널을 통해 데이터를 수신기로 전송한다.

- [0023] 상기 직렬화기(110)는 데이터 통신용 송신기(100)의 입력단으로 입력되는 n (n 은 2 이상의 자연수)비트의 데이터(Data)를 $n:1$ 의 직렬 데이터로 변환한다. 이러한 직렬화기(110)는 위상 고정 루프 회로(160)에서 생성된 클럭을 바탕으로 $PreD_n$, $PreD_{n-1}$, $PreD_{n-2}$ 의 직렬 데이터들을 생성한다. 여기서, 상기 $PreD_n$ 직렬 데이터는 메인 데이터이고, $PreD_{n-1}$ 직렬 데이터는 $PreD_n$ 직렬 데이터로부터 1UI만큼 지연된 데이터이며, $PreD_{n-2}$ 직렬 데이터는 $PreD_n$ 직렬 데이터로부터 2UI만큼 지연된 데이터이다.

- [0024] 상기 프리-출력 드라이버(120)는 $PreD_n$, $PreD_{n-1}$, $PreD_{n-2}$ 의 직렬 데이터들에 대해 1차적으로 프리-엠퍼시스를 행한 후 D_n , D_{n-1} 의 프리-엠퍼시스 데이터들을 생성한다. 여기서, 상기 D_{n-1} 프리-엠퍼시스 데이터는 D_n 프리-엠퍼시스 데이터로부터 1UI만큼 지연된 데이터이며, 프리-엠퍼시스는 채널에서 손실이 일어나는 데이터의 고주파 성분을 미리 증폭시켜 채널에서 데이터의 손실을 보상하는 것이다. 상기 프리-출력 드라이버(120)는 도 2에 도시된 바와 같은 회로로 구성된다. 도 2에 도시된 바와 같이, 상기 프리-출력 드라이버(120)는 케이블의 임피던스를 매칭하기 위한 저항을 포함하여 구성된다. 그리고, 도 2에 도시된 바와 같이, 상기 프리-출력 드라이버(120)는 기존 출력 드라이버의 최종단에 프리-엠퍼시스를 위해 설치된 탭을 이동시켜 구현한 프리-엠퍼시스를 하기 위한 탭을 포함하도록 구성된다. 이에 따라, 상기 프리-출력 드라이버(120)는 기존 출력 드라이버의 탭 수를 줄이게 함으로써, 탭이 줄어든 상태의 출력 드라이버(130)에서 프리-엠퍼시스의 수행이 이루어지도록 하여 전력 소모를 줄이게 할 수 있다. 한편, 탭이 줄어든 상태의 출력 드라이버(130)로 인해, 출력 드라이버(130)를 구동하는 프리-출력 드라이버(120)의 수도 줄어들게 될 수 있다.

- [0025] 상기 출력 드라이버(130)는 프리-출력 드라이버(120)에서 생성된 D_n , D_{n-1} 의 프리-엠퍼시스 데이터들을 입력 받고, D_n , D_{n-1} 의 프리-엠퍼시스 데이터들을 이용하여 2차적으로 프리-엠퍼시스를 행함으로써 TxData_n, TxData_p의 출력 데이터들을 생성하여 데이터 통신용 송신기(100)의 출력단, 즉 채널의 입력단으로 전송한다. 상기 출력 드라이버(130)는 프리-출력 드라이버(120)와 동일한 구조로 형성된다.

- [0026] 상기 프리-엠퍼시스 컨트롤러(140)는 출력 드라이버(130)의 프리-엠퍼시스를 위해 필요한 지연 데이터의 지연값을 조절하도록 구성된다. 구체적으로, 상기 프리-엠퍼시스 컨트롤러(140)는 패턴 발생기(Pattern Generator)(141), 복제 출력 드라이버(Replica-OD)(142), 채널 모델링 필터(Channel Model)(143), 디지털 신호 변환기(CML-to-Logic Converter; CLC)(144) 및 디지털 컨트롤 로직(DCL)(145)을 포함한다.
- [0027] 상기 패턴 발생기(141)는 데이터 패턴에 의해 지터가 가장 적게 발생하는 제 1 데이터 패턴과, 데이터 패턴에 의해 지터가 가장 크게 발생하는 제 2 데이터 패턴을 발생시킨다. 여기서, 상기 제 1 데이터 패턴은 고주파 성분이 가장 적은 1100, ..., 1100의 데이터 패턴일 수 있으며, 상기 제 2 데이터 패턴은 고주파 성분이 가장 많은 1000, ..., 1000의 데이터 패턴일 수 있다. 이는 고주파 성분이 가장 많은 데이터 패턴과 고주파 성분이 가장 적은 데이터 패턴 간의 지터 성분이 가장 크기 때문에, 그 지터 성분을 최소한으로 줄이도록 지연 데이터의 지연값을 조절하여 출력 드라이버(130)의 프리-엠퍼시스를 하는 것이 효율적이기 때문이다.
- [0028] 상기 복제 출력 드라이버(142)는 패턴 발생기(141)로부터 제 1 데이터 패턴과 제 2 데이터 패턴을 입력받아 통과시켜 Rout₀₀₁₁, Rout₀₀₀₁의 모사 데이터 패턴들을 발생시킨다. 상기 복제 출력 드라이버(142)는 출력 드라이버(130)를 복제하여 구성된다. 이는 출력 드라이버(130)가 채널을 통과하는 지연 데이터의 지터 성분을 미리 복제 출력 드라이버(142)로부터 생성된 Rout₀₀₁₁, Rout₀₀₀₁의 모사 데이터 패턴들로부터 측정하고 예측하게 하도록 하기 위한 것과 관련하여, 채널을 통과하기 이전의 출력 드라이버(130)를 통과하는 지연 데이터를 모사하기 위함이다. 여기서, 상기 복제 출력 드라이버(142)는 출력 드라이버(130)와 동일한 구조를 가지지만 채널과 직접 연결되어 있지 않기 때문에 적은 전류 소모량을 가진다.
- [0029] 상기 채널 모델링 필터(143)는 케이블의 채널을 모델링한 필터이다. 상기 채널 모델 필터(143)는 케이블을 구현하는 저항, 커패시터, 인덕터 중 인덕터가 칩 상에 구현될 때 복잡하고 면적이 증가되는 것을 방지하기 위해, 도 3에 도시된 바와 같은 회로로 구성된다. 즉, 상기 채널 모델링 필터(143)는 도 3에 도시된 바와 같이 간단한 회로로 채널 상에서 데이터의 감쇄 정도를 구현할 수 있도록 저항과 커패시터를 포함하는 저대역 통과 필터로 구현되며, 조절 신호(Control signal)를 통해 데이터의 감쇄 정도를 조절할 수 있도록 구성된다. 이러한 채널 모델링 필터(143)는 데이터 통신용 송신기에 실제 케이블을 연결하였을 때 케이블이 가질 수 있는 채널의 데이터 감쇄 정도를 외부에서 디지털 신호를 통해 조절하여 복제 출력 드라이버(142)로부터 생성된 Rout₀₀₁₁, Rout₀₀₀₁의 모사 데이터 패턴에 적용시킬 수 있다. 여기서, 상기 복제 출력 드라이버(142)와 채널 모델링 필터(143)를 통과한 데이터 패턴은 서로 다른 주파수 성분을 지니기 때문에 감쇄 정도가 서로 다르다. 이 때문에, 상기 복제 출력 드라이버(142)와 채널 모델링 필터(143)를 통과한 데이터 패턴은 디지털 신호로 다시 바뀌는 경우 데이터 패턴 간 지연 차이가 생긴다. 이 지연 차이는 디지털 컨트롤 로직(145)을 이용하여 맞춰짐으로써 데이터 패턴에 따른 지터가 최소화될 수 있고, 이로써 최적화된 프리-엠퍼시스 정도가 결정될 수 있다.
- [0030] 상기 디지털 신호 변환기(144)는 복제 출력 드라이버(142)와 채널 모델링 필터(143)로부터 Rout₀₀₁₁, Rout₀₀₀₁의 모사 데이터 패턴들을 입력받고 통과시켜 Cout₀₀₁₁, Cout₀₀₀₁의 디지털 신호 패턴들로 변환한다. 이러한 Cout₀₀₁₁, Cout₀₀₀₁의 디지털 신호 패턴들은 지연 데이터의 지연값을 조절하는 데 아날로그 신호 패턴보다 용이하다.
- [0031] 상기 디지털 컨트롤 로직(145)은 도 4에 도시된 바와 같이 센스-앰플리파이드 플립 플롭(Sense-amplitude Flip Flop; SAFF)(145a)과 카운터(145b)를 포함하여 구성되며, Cout₀₀₁₁, Cout₀₀₀₁의 디지털 신호 패턴들의 지연이 얼마나 차이가 나는지를 감지하고 그 차이를 맞출 수 있도록 디지털 지연 제어 신호(Digital Delay Control Signal)를 발생시킨다. 상기 디지털 지연 제어 신호는 프리-출력 드라이버(120)의 출력단의 커패시턴스를 조절하여 프리-엠퍼시스를 위한 지연 데이터의 지연값을 조절하는데 이용된다. 이러한 디지털 지연 제어 신호는 패턴 발생기(141)에서 발생시킨 제 1 데이터 패턴과 제 2 데이터 패턴에도 적용되도록 복제 출력 드라이버(142)에 입력된다. 한편, 도시하진 않았지만, 상기 복제 출력 드라이버(142)에는 디지털 지연 제어 신호에 의해 커패시턴스가 조절될 수 있는 가변 커패시터가 내장되어 있다.
- [0032] 상기 센스-앰플리파이드 플립 플롭(145a)은 다른 마스터-슬레이브 플립 플롭이나 D-플립플롭과는 다르게 데이터 패턴들의 매우 작은 지연 차이를 감지할 수 있다. 상기 센스-앰플리파이드 플립 플롭(144)은 매 주기마다 출력을 "0"으로 리셋시켜 초기화된다. 여기서, Cout₀₀₀₁의 디지털 신호 패턴이 샘플링되는 순간 Cout₀₀₀₁의 디지털 신호 패턴이 "1"에서 "0"으로 바뀔 때까지 초기화를 하는 특성에 의하여 센스-앰플리파이드 플립 플롭(145a)의 출력은 "1"과 "0"을 반복하고 지연값이 같아져서 샘플링을 하는 순간이 "0"으로 유지될 때까지 카운터(145b)의 출력값이 증가된다. 상기 카운터(145b)의 출력값이 증가함에 따라 디지털 지연 제어 신호에 의해 조절되는 커패시

턴스는 증가하게 되고, 이러한 동작을 통해 프리-엠퍼시스를 위한 지연 데이터의 지연값은 증가된다.

- [0033] 이와 같이 디지털 컨트롤 로직(145)에 의해 생성된 디지털 지연 제어 신호를 통해 실제 채널에서 데이터의 감쇄 정도가 반영된 데이터 패턴들의 지연의 차이가 줄어들도록 커패시턴스가 조절된 후, 출력 드라이버(130)에서 프리-엠퍼시스가 행해진다.
- [0034] 위와 같은 구성을 가지는 프리-엠퍼시스 컨트롤러(140)는 복제 출력 드라이버(142)와 채널 모델링 필터(143)를 통과한 데이터 패턴들의 지터 성분을 측정하고 그 측정값을 반영하여 지연 데이터의 지연값을 조절할 수 있도록 디지털 값을 변화시키도록 한다. 이러한 동작은 피드백 회로로 구성되어 지속적으로 지터 성분을 비교하여 디지털 값을 변화시킴으로써 지연값을 변화시킨다. 즉, 반복적인 피드백 시스템을 이용하여 지연 데이터의 지연 차이를 최소화할 수 있는 지연값을 찾아 커패시턴스를 조절함으로써, 최적화된 지연값을 찾을 수 있다. 이로써 채널에서 동작하는 칩의 반도체 공정, 칩의 동작 전압 및 온도의 변화에 맞추어서 최적화된 지연값을 가진 지연 데이터가 출력 드라이버(130)에 입력되어 프리-엠퍼시스가 이루어진다. 이에 따라, 채널에서 데이터의 감쇄 정도를 반영하여 지터 성분이 최대한 줄어든 상태의 지연 데이터가 출력 드라이버(130)에서 프리-엠퍼시스될 수 있다.
- [0035] 상기 커패시터부(150)는 프리-출력 드라이버(120)와 출력 드라이버(130)와 프리-출력 컨트롤러(140) 사이에 설치되며, 가변 커패시터(151)와 더미 커패시터(152)를 포함하여 구성된다. 상기 가변 커패시터(151)는 디지털 컨트롤 로직(145)에 의해 생성된 디지털 지연 제어 신호를 통해 데이터 패턴들의 지연의 차이가 줄어든 커패시턴스를 가지도록 조절된다. 상기 더미 커패시터(152)는 가변 커패시터(151)의 최소 용량과 같은 용량을 가지도록 구성된다.
- [0036] 상기 위상 고정 루프 회로(160)는 기준 클럭(Reference Clock)를 이용하여 직렬화기(110)에서 사용되는 클럭을 만들어 직렬화기(110)와 패턴 발생기(141)에 제공한다.
- [0037] 상기와 같이 본 발명의 일 실시예에 따른 데이터 송신기(100)는 채널 모델링 필터(143)를 포함하는 프리-엠퍼시스 컨트롤러(140)를 구비함으로써, 종래의 데이터 송신기에서 채널의 정보를 알 수 없어 출력 드라이버가 미리 정해진대로만 프리-엠퍼시스를 행하여 채널의 상황을 반영하지 못하는 경우와 비교하여 채널의 상황을 반영하면서 지연 데이터의 지연값을 조절하여 최적의 프리-엠퍼시스 정도를 결정할 수 있다.
- [0038] 이에 따라, 본 발명의 일 실시예에 따른 데이터 송신기(100)는 출력 드라이버(130)가 채널의 상황을 반영하면서 지터 성분이 최대한 줄어든 상태의 지연 데이터를 프리-엠퍼시스하게 함으로써, 채널에서 동작하는 칩의 반도체 공정, 동작 온도 및 전압에 상관없이 최적의 프리-엠퍼시스를 통해 채널에서 손실이 일어나는 데이터의 고주파 성분을 미리 증폭시켜 채널에서 데이터의 손실을 보상시킬 수 있다.
- [0039] 또한, 상기와 같이 본 발명의 일 실시예에 따른 데이터 송신기(100)는 디지털 컨트롤 로직(145)을 포함하는 프리-엠퍼시스 컨트롤러(140)를 구비함으로써, 프리-엠퍼시스 정도를 아날로그 전압을 조절하여 조절하는 것이 아니라 지연 데이터의 지연값을 디지털 지연 신호로 조절하여 시스템상의 잡음에 안정적으로 동작하게 할 수 있다.
- [0040] 본 발명은 첨부된 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

부호의 설명

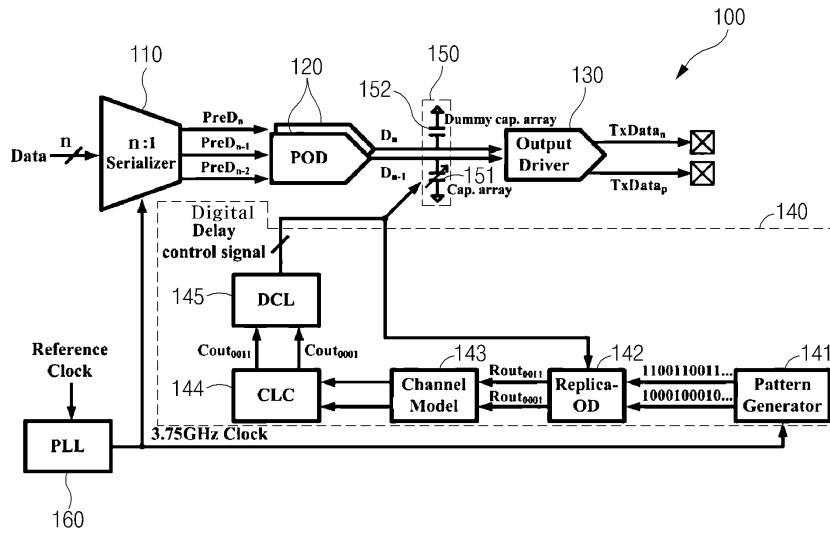
- | | |
|-------------------------|-----------------|
| [0041] 100: 데이터 통신용 송신기 | 110: 직렬화기 |
| 120: 프리-출력 드라이버 | 130: 출력 드라이버 |
| 140: 프리-출력 컨트롤러 | 141: 패턴 발생기 |
| 142: 복제 출력 드라이버 | 143: 채널 모델링 필터 |
| 144: 디지털 신호 변환기 | 145: 디지털 컨트롤 로직 |
| 145a: 센스-엠프리파이드 플립 플롭 | 145b: 카운터 |
| 150: 커패시터부 | 151: 가변 커패시터 |

152: 더미 커패시터

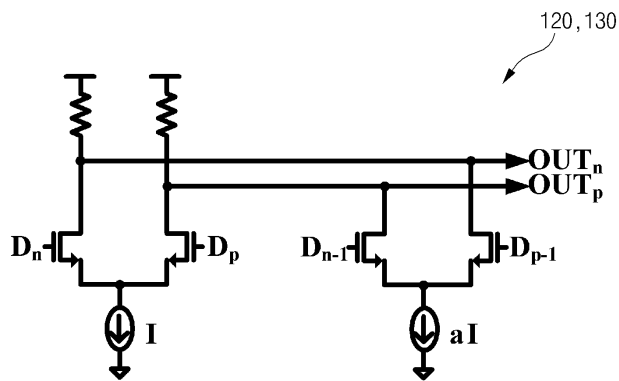
160: 위상 고정 루프 회로

도면

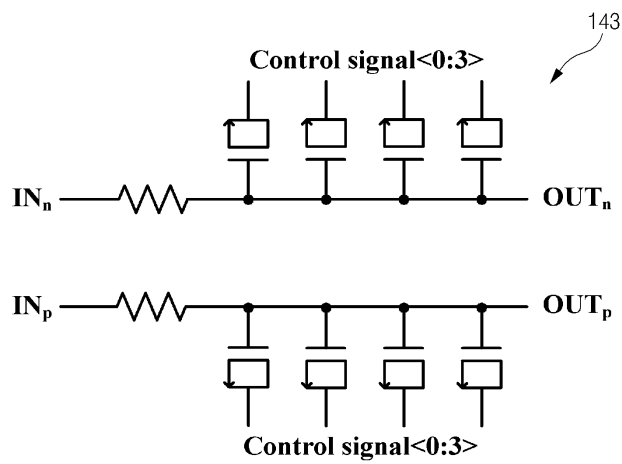
도면1



도면2



도면3



도면4

