

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4017204号
(P4017204)

(45) 発行日 平成19年12月5日(2007. 12. 5)

(24) 登録日 平成19年9月28日(2007. 9. 28)

(51) Int. Cl.

F I

GO 1 T 1/20 (2006. 01)

GO 1 T 1/20 E

HO 1 L 31/09 (2006. 01)

HO 1 L 31/00 A

請求項の数 4 (全 9 頁)

(21) 出願番号	特願平8-225743	(73) 特許権者	390041542
(22) 出願日	平成8年8月28日(1996. 8. 28)		ゼネラル・エレクトリック・カンパニイ
(65) 公開番号	特開平9-171080		GENERAL ELECTRIC CO
(43) 公開日	平成9年6月30日(1997. 6. 30)		MPANY
審査請求日	平成15年5月7日(2003. 5. 7)		アメリカ合衆国、ニューヨーク州、スケネ
(31) 優先権主張番号	08/523323		クタデイ、リバーロード、1 番
(32) 優先日	平成7年9月5日(1995. 9. 5)	(74) 代理人	100093908
(33) 優先権主張国	米国 (US)		弁理士 松本 研一
		(72) 発明者	ジャック・ディーン・キングスレイ
			アメリカ合衆国、コロラド州、グラント・
			ジャンクション、バハマズ・ウェイ、2 6
			5 6 番

最終頁に続く

(54) 【発明の名称】 固体放射線イメージング装置

(57) 【特許請求の範囲】
【請求項 1】

構成要素が基板より上のレベルに配置されていて、イメージング装置読出しの間に画像アーチファクトの少ない画像を作成するための固体放射線イメージング装置において、行および列から成るイメージング配列パターンに配置された複数の画素であって、当該画素の各々が薄膜スイッチング・トランジスタに結合された光センサを有している複数の画素、

上記イメージング配列パターンの第1の軸に沿って上記基板に対する第1のレベルに配置された複数の走査線であって、上記イメージング配列パターン内の各々の画素行に対してそれぞれの走査線が設けられ、それぞれの走査線の各々が、上記イメージング配列パターン内のそれぞれの画素行に沿って配置された画素の各々に対する上記スイッチング・トランジスタのそれぞれのゲート電極に結合されている複数の走査線、

上記イメージング配列パターンの第2の軸に沿って上記基板に対する第2のレベルに配置された複数のデータ線であって、上記イメージング配列パターン内の各々の画素列に対してそれぞれのデータ線が設けられ、それぞれのデータ線の各々が、上記イメージング配列パターン内のそれぞれの画素列に沿って配置された画素の各々に対する上記スイッチング・トランジスタのそれぞれの読出し電極に結合されている複数のデータ線、および

上記基板に対する上記第1のレベルに配置される複数の遮蔽線であって、当該遮蔽線の各々が、上記画素の一部分と上記データ線の隣接部分との間に上記第2の軸に沿って配置されたそれぞれの画素遮蔽用枝部分を有している複数の遮蔽線を含んでおり、

上記画素遮蔽用枝部分は、上記データ線の隣接部分から前記第1の軸の方向に遮蔽線ギャップ距離だけ離れており、

上記イメージング配列パターン内に配置された前記複数の遮蔽線は、遮蔽共通電圧源に結合され、該複数の遮蔽線が同じ一定電位に維持されることを特徴とする固体放射線イメージング装置。

【請求項2】

上記画素遮蔽用枝部分が、上記画素の各々の両側に上記第2の軸に沿って配置されている請求項1記載の固体放射線イメージング装置。

【請求項3】

それぞれの画素の行に対する上記遮蔽線が、この遮蔽線を遮蔽のために配置した画素行とは異なる画素行に対する走査線に電氣的に結合されている請求項1記載の固体放射線イメージング装置。

10

【請求項4】

上記遮蔽線の各々が母線部分を有し、上記画素遮蔽用枝部分がそれぞれ上記遮蔽線の上記母線部分から伸びている請求項1記載の固体放射線イメージング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に固体放射線イメージング装置に関するものであり、更に詳しくはこのような固体放射線イメージング装置で幻影（phantom）ノイズおよび画像アーチファクトを低減するための構造に関するものである。

20

【0002】

【従来の技術】

固体放射線イメージング装置は典型的には、行および列に配列された複数の画素を有する大形のフラットパネル・イメージング装置を含む。各画素は、スイッチング・トランジスタを介して2つの別個のアドレス線（すなわち、走査線およびデータ線）に結合された光センサ（例えば、ホトダイオード）を含む。各々の画素行では、各々のスイッチング・トランジスタ、典型的には薄膜電界効果トランジスタ（FET）のゲート電極が共通の走査線に結合される。各々の画素列では、各々のトランジスタの読出し電極（例えば、FETのソース電極）がデータ線に結合される。動作の際、放射線（例えば、X線束）がパルス式にオン状態にされ（すなわち供給され）、被検体を通過したX線がイメージング配列に入射する。放射線はシンチレータ材に入射し、画素の光センサがX線とシンチレータとの相互作用によって発生する光の量を（ダイオードを横切る電荷の変化により）測定する。この代わりに、X線で直接に光センサに電子正孔対を発生させることもできる（これは通常、「直接検出」と呼ばれる）。このような光センサの電荷データを読み出すには、各々の画素行を順次に駆動し（すなわち、走査線に信号を印加して、その走査線に結合されたスイッチング・トランジスタを導電状態にし）、それぞれの駆動された画素から信号をそれぞれのデータ線を介して読み出す（すなわち、導電状態のスイッチング・トランジスタとそのデータ線に結合された対応する読出し電極とを介して、ホトダイオードの電荷信号がデータ線に結合される）。このように、画素に結合された走査線の駆動と、その画素に結合されたデータ線からの読出しとの組み合わせにより、所与の画素をアドレス指定することができる。

30

40

【0003】

フラットパネル・イメージング装置の性能は、データ線と画素ホトダイオード電極との間の容量結合により劣化する。詳しく述べると、通常のイメージング装置の動作では、画素の読出しの間、X線束はオン状態に留まっている。このような動作の一例は、手術または携帯用に使用される可能性のある小形の装置またはあまり複雑でない装置によるX線透視の場合である。このような装置は軽量で低コストのX線発生器を使用しており、このX線発生器は適当な出力信号を作成するために、連続的にオン状態にしなければならない。更に一般的に、このような装置は、読出し期間の間の放射を防止するために関連の期間の間

50

にX線ビームをオンとオフに素早く繰り返し切り換えるように構成されていない。もう1つの例は、放射線療法に使用されるイメージング装置であり、このイメージング装置では、放射線源が（伝達される線量を最大にするため）連続的にオン状態にされるかまたは、周期的にパルス式にオン状態にされる。これらのパルスは読出し期間の間に生じ得る。このように画素を読み出しながら同時にイメージング装置を励起すると、画像アーチファクトまたは「幻影（phantom）」画像が生じる。幻影画像は、それぞれのホットダイオード電極と隣接のデータ線との間の容量結合の結果として生じる。所与のデータ線に結合された所与の画素の読出しの間、他の画素電極（例えば、読み出されない画素）の電位は、放射線束がイメージング装置に当たるので変化し続ける。読出し中でない画素の電位の変化はデータ線に容量結合され、これにより付加的な電荷が誘起される。この付加的な電荷は、増幅器により読み出され、アドレス指定された画素からの信号の一部として供給される。この影響により、画像に漏話またはコントラストの劣化が生じる。この影響は一般に、表示の中の明るい線として見られる。

10

【0004】

【発明が解決しようとする課題】

漏話が最小であるとともに、X線束が印加されている間に画素が読み出される動作モードを含む多数の動作モードで安定で正確な画像を発生することができる固体イメージング装置を提供することが望ましい。

【0005】

【課題を解決しようとする手段】

20

本発明では、画素のホットダイオードと読出しデータ線との間の容量結合を低減し、したがって幻影画像または画像アーチファクトを低減する固体放射線イメージング装置が提供され、このイメージング装置は、走査線および関連するスイッチング・トランジスタのゲート電極の両者と同じ装置内レベル（すなわち、装置の中の同じ高さの所）に配置された複数の遮蔽線を含む。遮蔽線は、データ線と同じ軸に沿った方向に伸び、且つそれぞれの画素のホットダイオードの部分とデータ線の隣接部分との間に配置されたそれぞれの画素遮蔽用枝部分を含む。遮蔽線は、遮蔽線ギャップ距離だけデータ線の隣接部分から離れている。遮蔽線は一般的には母線部分を含む。この母線部分は走査線と同じ軸に沿った方向に伸びるか、またはその代わりにデータ線の軸に沿った方向に伸び、遮蔽線の枝部分は母線部分から伸びる。遮蔽線が共通電位に維持されるように、遮蔽線は典型的には遮蔽電圧源に結合される。遮蔽線は典型的には走査線と同じ導電性材料で構成され、イメージング装置の製造工程の間に、走査線の導電性材料の堆積およびパターン形成と同時に製造される。

30

【0006】

新規性があると考えられる本発明の特徴は、特許請求の範囲に明確に述べられている。しかし添付の図面を参照した以下の説明により、本発明自体の構成および動作方法は、本発明の上記以外の目的および利点とともに、最も良く理解することができよう。全図を通じて、同じ参照番号は同じ部品を表す。

【0007】

【発明の詳しい説明】

固体放射線イメージング装置100は、行および列から成るマトリクス状のイメージング配列パターンとして配列された複数の画素110（その内の代表的な1つの画素が図1に示されている）を含む。イメージング装置100は第1の軸101および第2の軸102（これらは説明のためのもので、限定するものではない）を有する。第1の軸101はそれに沿って画素の行がそろえられる軸であり、第2の軸102はそれに沿って画素の列がそろえられる軸である。各画素110には、光センサ120および薄膜スイッチング・トランジスタ130が含まれる。光センサ120は一般的にホットダイオードで構成され、その能動領域（すなわち、光電性領域）と一致する画素電極122を有する。スイッチング・トランジスタ130は一般的に、ゲート電極132、ドレイン電極134、およびソース電極すなわち読出し電極136を有する薄膜電界効果トランジスタ（FET）で構成される。イメージング装置100は更に、複数のデータ線140および走査線150も含む

40

50

。イメージング配列パターン内の各々の画素行に対して第1の軸101に沿って、少なくとも1つの走査線150が配置される。各走査線は、その画素行の中の画素のそれぞれのゲート電極132に結合される。イメージング配列パターン内の各々の画素列に対して第2の軸102に沿って、少なくとも1つのデータ線が配置される。このデータ線は、その画素行の中の画素のそれぞれの読出し電極136に結合される。

【0008】

1つの画素110の部分的な横断面図が図2に示されている。ホットダイオード120は基板105の上方に配置される。説明を容易にするため、画素電極122と基板105の間には複数の誘電体層がされ得るが、図には包括的に第1の誘電体層121として示されている。ホットダイオードは光電性物質体124（典型的にはアモルファス・シリコンより成る）を含み、光電性物質体124は、イメージング配列の上に配置される共通電極126（典型的には酸化インジウム錫より成る）に電氣的に結合される。窒化シリコンなどより成る第2の誘電体層123が、光電性物質体124の側壁の一部をおおって伸びる。ポリイミドなどより成る第3の誘電体層125が、イメージング配列内の共通電極126と他の構成要素との間に配置される（第2の誘電体層123および第3の誘電体層125の中のパイア（via）を介した光電性物質体124に対するコンタクトを除く）。

【0009】

図2に示されるようなイメージング配列には、配列内の導電性構成要素相互間に容量結合の数個の源がある。例えば、各データ線140と隣接の画素電極122との間に容量結合がある。本明細書中で使用される用語、「隣接」の導電性構成要素とは、空間的に互いに接近しているが、物理的に直接接触していない構成要素であって、したがってその2つの構成要素の間に直接の導電性経路（すなわち短絡）が存在しないような構成要素を指す。解析のため、データ線と隣接のホットダイオードのベース電極との間の結合は2つの静電容量に分解される。その第1の静電容量C10（説明のために図2に破線で表してあり、配列内の個別のコンデンサ構成要素を表すものではない）は、主として、基板と画素電極122の下に配置された物質とを介した結合を表す。（ここで、本明細書で使用される用語「下」、「上方」、「上」等は基板に対する構成要素の相対位置を表すために使用されるもので、イメージング配列の配置方向、使用、または動作に対するどのような制約も意味するものではないことに留意されたい）。第2の静電容量C20は、ベース電極122より上の配列要素を介した容量結合を表す。「下方の経路」の静電容量C10は、「上方の経路」の静電容量C20に比べて、誘起静電容量に対する寄与が大きくなることが多いということが観測された。他の容量結合の源は、画素電極122と共通電極126との間（図2にC21で表されている）、およびデータ線140と共通電極126との間（図2にC22で表されている）にある。（一般的には小さい走査線の寄生静電容量を除いた）総画素静電容量 C_{px} は次式で表される。

【0010】

$$C_{px} = 2(C10 + C20) + C21$$

画素電極の面積がデータ線の面積よりずっと大きいので、 C_{px} はC21（ベース電極と共通電極との間の静電容量）により支配される。総画素静電容量は画素の両側のデータ線に対する誘起静電容量の関数であり、したがってC10とC20との和が2倍される。

【0011】

容量結合効果は、画素の読出しを行っている時間のすべてまたは一部の間にイメージング装置が励起される（すなわち、当該放射線（例えばX線）がイメージング装置に入射する）動作において重要であることが最も多い。イメージング装置が励起される期間の間に読み出される信号は、イメージング装置が励起されない期間の間に読み出される信号より大きくなる。平均信号に対して正規化された増加の1つの近似は、次のように表すことができる。

【0012】

【数1】

$$2[(C10 + C20) / C_{px}] \times Z_1 \times Z_2$$

10

20

30

40

50

ここで、 $Z_1 \equiv [(\text{読出しチャンネル当たりの画素数}) / (\text{放射線ビームに照射された画素の走査線の数})]$ 、 $Z_2 \equiv [(\text{積分時間}) / (\text{線走査時間})]$ 。

式 $(C10 + C20)$ は、単一の画素電極と1つの隣接のデータ線との間の結合静電容量を表す。配列のレイアウトでは、各データ線140は一般的に、2つの画素電極122に隣接する。線走査時間に対する増幅器の積分時間の比は比較的小さく、約0.85である。連続透視検査またはパルス状透視検査では、X線ビーム・オン時間がフレーム間時間のかなりの部分であれば、結合効果の大きさは $2[(C10 + C20) / C_{px}]$ である。この比により、容量性結合効果の大きさを明らかにする有用な方法が得られる。図1および図2を参照して説明した構成を有するイメージング装置の場合には、構造から計算した、またはイメージング装置データから推定した $2[(C10 + C20) / C_{px}]$ の値は約0.5%の範囲にある。この値はかなり大きい。それは、X線イメージング装置における代表的なコントラスト変調が約0.1%から約10%までの範囲内にあるからである。

10

【0013】

本発明によれば放射線イメージング装置100に、複数の遮蔽線170（図3および図4）を設ける。遮蔽線170は、画素電極122と隣接のデータ線140との間の容量性結合を小さくするように配置される。遮蔽線170は基板105の上方の第1のレベル172に配置される。この第1のレベルは、基板105の上方に配置される走査線150のレベルと同じレベルである。典型的には、遮蔽線170は、走査線と同じ導電性材料（例えば、モリブデン、クロム、チタン等）で構成され、遮蔽線170は同じ金属堆積およびパターン形成工程で走査線と同時に形成される（したがって、製造プロセスに余分な工程が付加されることはない）。遮蔽線170を設けた本発明の構造により、それぞれの画素電極122とデータ線140との間に遮蔽効果が得られるので、これらの構成要素の間に誘起される静電容量は小さくなる。特に、画素電極の下レベルに遮蔽線を位置決めすることにより、誘起される静電容量値C10（図2に示されるような「下方の経路」の静電容量）が小さくなる。アース平面電極を使用して誘起される静電容量を小さくするもう1つの手法が、本出願人による1995年9月5日出願の米国特許出願第08/523,324号に示されている。

20

【0014】

各遮蔽線170は母線部分174を含み、この母線部分174から、画素電極122と隣接データ線部分140との間に配置されるようにそれぞれの画素遮蔽用枝部分176が伸びる。図3に示される本発明の一実施例では、遮蔽線の母線部分174は画素110の行に平行な第1の軸101に沿ってそろえられる。この代わりに、遮蔽線の母線部分174は画素110の列に平行な第2の軸102に沿った方向に伸びるようにする。

30

【0015】

画素遮蔽用枝部分176は、データ線140の隣接部分から遮蔽線ギャップ距離Gだけ離れるように配置される。この距離は約2 μm から約20 μm までの範囲にあり、典型的には約5 μm である（図3に示すようにギャップ距離Gは、データ線140の部分から遮蔽線170を隔てている最短の横方向距離部分である）。遮蔽線ギャップ距離の最小値は一般に、プロセス手法（例えば、写真印刷プロセス）、およびイメージング装置で導電性の構造を確実に製造することができる分解能によって制限される。最大距離は充てん係数、およびホトダイオードの能動領域を含む配列領域の部分の最適化に関する配慮によって決められる。

40

【0016】

本発明の一実施例では、図3および図4に示すように、画素電極122のどの部分の下に位置しないように遮蔽線170が配置される。図5に示されるような本発明の代替実施例では、遮蔽線170はオーバーラップ距離Dだけ画素電極122の下に伸びる。オーバーラップ距離Dは一般的に、約1 μm から約20 μm までの範囲にある。したがって遮蔽線の枝部分の幅は、オーバーラップ距離Dの大きさに応じて、約2 μm から約50 μm まで変わり得る。

【0017】

50

モデル解析では図3および図4に示される遮蔽線構造は、比較的小さな遮蔽線ギャップ距離、例えば約 $5\text{ }\mu\text{m}$ 未満で距離で静電容量を小さくするのに非常に有効である。(図3および図4に示される構造に類似した構造を有する装置に基づく)このような解析により、データ線140と画素電極122との間の静電容量は、ギャップ距離が約 $2\text{ }\mu\text{m}$ の場合には約 0.1 pF/cm の値から約 0.06 pF/cm の値へと小さくなり、ギャップ距離が約 $5\text{ }\mu\text{m}$ の場合にはデータ線140と画素電極122との間の静電容量は約 0.09 pF/cm の値から約 0.05 pF/cm の値へと小さくなる。

【0018】

画素電極122の下に遮蔽線170の一部分を配置することは、データ線140と画素電極122との間の静電容量を小さくする上での遮蔽線170の有効性を高める役目を果たす。典型的には、ギャップ距離が約 $5\text{ }\mu\text{m}$ の場合、該静電容量は約 0.1 pF/cm の値から約 0.001 pF/cm の値へ減少する。

遮蔽線170は更に遮蔽共通電圧源190(図3)に結合される。遮蔽共通電圧源190は、アドレス指定されている画素のまわりに配置された遮蔽線(およびそれに取り付けられた遮蔽線枝部分)を固定電位に維持する。図3に示される構成では、イメージング配列の動作中、すべての遮蔽線が同じ一定電位に維持されるように、各遮蔽線は電圧源190に結合される。遮蔽線の存在は画素電極122とデータ線140との間の電界線を乱す傾向があるので、イメージング配列のそれらの2つの構成要素の間の静電容量を小さくする。上記の代りの実施例では、遮蔽共通電圧源190がイメージング配列の共通電極126に対して使用されるのと同じ電圧源で構成され、遮蔽線がバイア(via)177を介して共通電極126に結合される。(バイア177の代表的な1つが図3に示されている。説明を容易にするため、1つの図に相異なる代替実施例をしているが、所与のイメージング配列では一般的に1つの形式の接続構造だけが使用されることに留意されたい。)バイア177はイメージング配列中に設けられて、イメージング配列の第1のレベルの遮蔽線170とホットダイオード構造の上方に配置された共通電極材(典型的には、酸化インジウムスズ)との間の導電性の経路を提供する。代替実施例では、遮蔽線170を隣接する画素の走査線150に結合して(図示しない)、所与の画素行に対する遮蔽線が他の1つの画素行、典型的には次の隣接の画素行に対する走査線と同じ電位に維持されるようにすることが出来る。このようにして、画素の特定の行がアドレス指定されている間、遮蔽線が一定の電位に保持される。遮蔽線が結合されている走査線がアドレス指定されるとき、遮蔽線は電位の変化を受けるが、そのときその遮蔽線により遮蔽されるその特定の画素行はアドレス指定されていない。

【0019】

このように本発明の遮蔽線構造は、データ線と画素電極との間に誘起される静電容量を小さくすることによりイメージング装置の性能を向上する。

以上、本発明を図示し説明してきたが、熟練した当業者には明らかなように、本発明の趣旨および範囲を逸脱することなく、開示された実施例に対して変形および変更を加えることができる。したがって、本発明の趣旨の中に入るこのような変形および変更をすべて包含するように特許請求の範囲を記述してあることが理解されるはずである。

【図面の簡単な説明】

【図1】従来技術によるイメージング装置の配列の一部の平面図である。

【図2】図1の線I-Iに沿って見た代表的な画素の部分横断面図である。

【図3】本発明の一実施例による遮蔽線を設けたイメージング装置の配列の平面図である。

【図4】図3の線I-I-I-Iに沿って見た代表的な画素の部分横断面図である。

【図5】本発明の他の1つの実施例による代表的な画素の部分横断面図である。

【符号の説明】

- 100 固体放射線イメージング装置
- 101 第1の軸
- 102 第2の軸

10

20

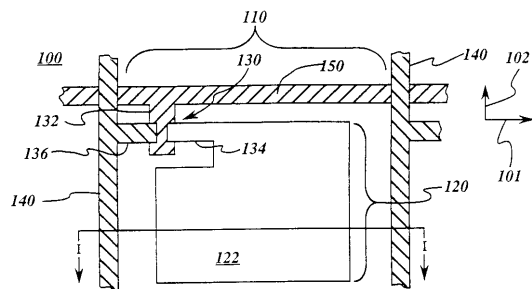
30

40

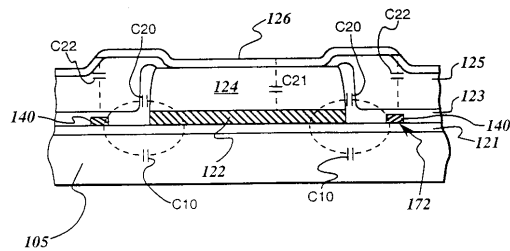
50

- 105 基板
- 110 画素
- 120 光センサ
- 121 第1の誘電体層
- 122 画素電極
- 123 第2の誘電体層
- 124 光電性物質体
- 125 第3の誘電体層
- 126 共通電極
- 130 薄膜スイッチング・トランジスタ
- 132 ゲート電極
- 134 ドレイン電極
- 136 読出し電極
- 140 データ線
- 150 走査線
- 170 遮蔽線
- 174 遮蔽線の母線部分
- 176 遮蔽線の画素遮蔽用枝部分
- G 遮蔽線ギャップ距離

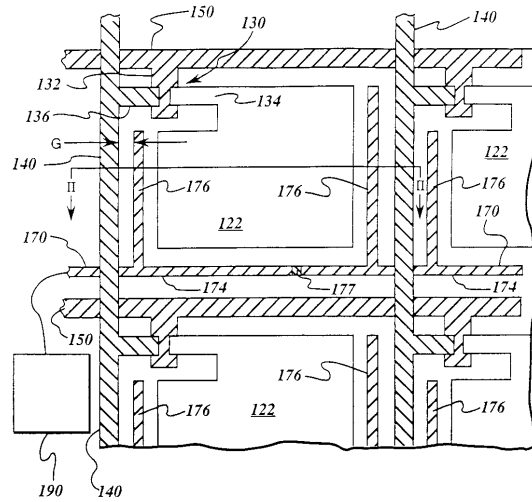
【図1】



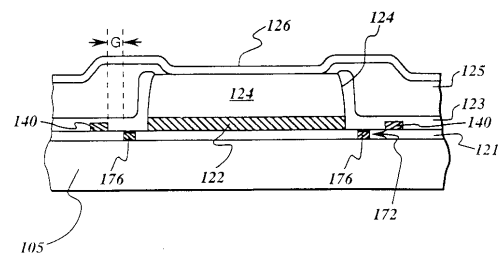
【図2】



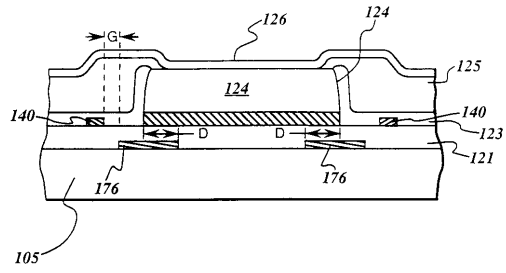
【図3】



【図4】



【図 5】



フロントページの続き

(72)発明者 ジョージ・エドワード・ポシン
アメリカ合衆国、ニューヨーク州、スケネクタディ、アルゴンキン・ロード、2361番

審査官 山口 敦司

(56)参考文献 特開平06-045578 (JP, A)
特開平06-209097 (JP, A)
特開平01-144675 (JP, A)
特開平03-175486 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G01T 1/00 - 7/12
H01L 31/09
H01L 27/14
H01L 29/76