



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：200937199

(43) 公開日：中華民國98(2009)年9月1日

(21) 申請案號：097147627

(22) 申請日：中華民國97(2008)年12月8日

(51) Int. Cl. : G06F13/14 (2006.01)

(30) 優先權主張：2007/12/14

英國

0724439.5

(71) 申請人：芯思睿科技股份有限公司 ICERA INC
美國

(72) 發明人：摩里斯 馬休 MORRIS, MATTHEW；龐德 安德魯 BOND, ANDREW

(72) 代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：22 項 圖式數：3 共 25 頁

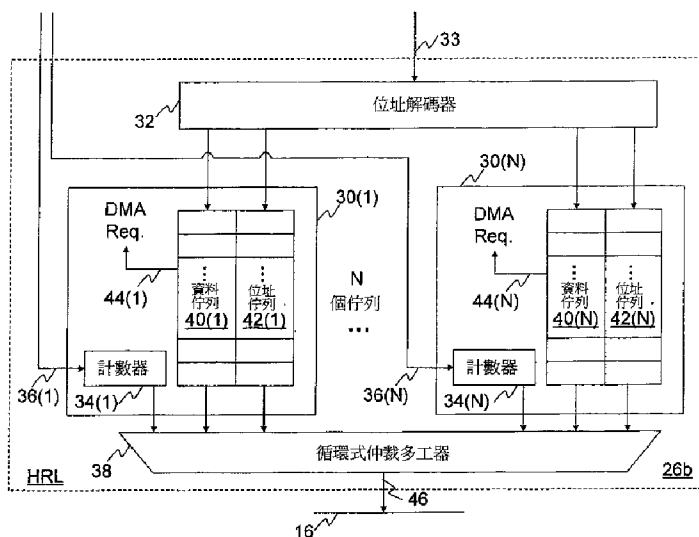
(54) 名稱

資料轉移技術

DATA TRANSFER

(57) 摘要

一種積體電路，其包含：多個晶片上裝置；一DMA引擎；及用於執行用以設定該資料轉移引擎以執行一轉移之程式碼之一CPU，該設定包含指示一來源裝置及目的裝置的位址。該積體電路還包含遭配置以在該設定程式碼遭執行之後的一時間產生一觸發的時序裝置；及遭配置以在該時間決定要遭轉移的資料的數量的轉移控制裝置。該DMA引擎遭配置以接收來自該時序裝置的該觸發及來自該轉移控制裝置的針對該數量的一指示，及遭配置以依據該觸發來把該數量之資料轉移到該目的週邊介面。



- 30(1)...(N)：佇列
區塊
- 32：位址解碼器
- 33：輸入
- 34(1)...(N)：計數
器
- 36(1)...(N)：控制
匯流排
- 38：循環式仲裁多工
器
- 40(1)...(N)：資料
佇列
- 42(1)...(N)：位址
佇列
- 44(1)...(N)：路由
- 46：輸出



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：200937199

(43) 公開日：中華民國98(2009)年9月1日

(21) 申請案號：097147627

(22) 申請日：中華民國97(2008)年12月8日

(51) Int. Cl. : G06F13/14 (2006.01)

(30) 優先權主張：2007/12/14

英國

0724439.5

(71) 申請人：芯思睿科技股份有限公司 ICERA INC

美國

(72) 發明人：摩里斯 馬休 MORRIS, MATTHEW；龐德 安德魯 BOND, ANDREW

(72) 代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：22 項 圖式數：3 共 25 頁

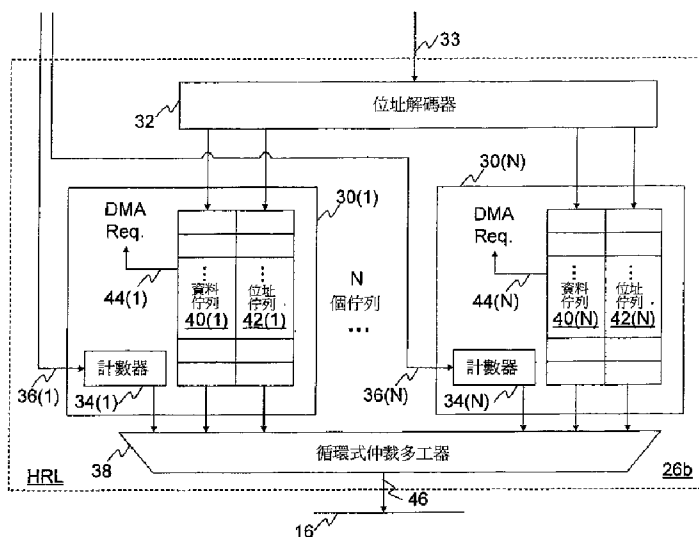
(54) 名稱

資料轉移技術

DATA TRANSFER

(57) 摘要

一種積體電路，其包含：多個晶片上裝置；一DMA引擎；及用於執行用以設定該資料轉移引擎以執行一轉移之程式碼的一CPU，該設定包含指示一來源裝置及目的裝置的位址。該積體電路還包含遭配置以在該設定程式碼遭執行之後的一時間產生一觸發的時序裝置；及遭配置以在該時間決定要遭轉移的資料的數量的轉移控制裝置。該DMA引擎遭配置以接收來自該時序裝置的該觸發及來自該轉移控制裝置的針對該數量的一指示，及遭配置以依據該觸發來把該數量之資料轉移到該目的週邊介面。



- 30(1)...(N)：佇列區塊
32：位址解碼器
33：輸入
34(1)...(N)：計數器
36(1)...(N)：控制匯流排
38：循環式仲裁多工器
40(1)...(N)：資料佇列
42(1)...(N)：位址佇列
44(1)...(N)：路由
46：輸出

六、發明說明：

【發明所屬之技術領域】

發明領域

本發明關於用於轉移電腦系統中的資料之一資料轉移
5 引擎。

【先前技術】

發明背景

直接記憶體存取(DMA)指的是電腦系統中的一個特
徵，藉由這個特徵，資料可在記憶體裝置及/或記憶體映射
10 週邊裝置之間直接轉移而不需要透過中央處理單元(CPU)
傳遞該資料。

儘管DMA現在很普遍，但在無DMA的情況下，CPU將
必須把資料從目的裝置讀到該CPU的一個或多個運算元暫
存器，然後把該資料從它的運算元暫存器寫到目的裝置。
15 這將是處理器資源的一種浪費，尤其是在幾個位元組遭轉
移的時候，因為CPU將必須在整個轉移過程中遭佔用。

而使用DMA，在CPU上運行的軟體僅設定該DMA引擎
以直接轉移資料，藉由使用來源位址，目的位址及要遭轉
移的資料之數量來規劃該DMA引擎。在該設定之後，接著，
20 該CPU可繼續其他的任務，而該DMA引擎獨立於CPU來完
成該轉移。

但是，該DMA轉移提前遭設定的事實可引入時序難題。

【發明內容】

發明概要

習知地，要設定一DMA，規劃該DMA的軟體必須提供相關設定資訊給該DMA。然而，儘管在DMA遭設定時的該時間點上此資訊可能是正確的，但在設定的時間點與資料實際遭轉移的時間點之間，該資訊可發生變化。例如，該

5 來源裝置那時可能有額外的資料或者該目的裝置之可得以接收該資料的儲存容量可能已減少。

依據本發明之一層面，提供一種積體電路晶片，它包含：多個可定址的晶片上裝置；用以在該等裝置之間轉移資料的一DMA資料轉移引擎；及用以執行用於設定該資料

10 轉移引擎以執行一轉移之轉移設定程式碼的一中央處理單元，該設定包含：從該等多個裝置中向資料轉移引擎指示一來源裝置的位址與一目的裝置的位址；遭配置以在該轉移設定程式碼遭執行之後的一時間產生一觸發的時序裝置；及遭配置以在該時間決定要遭轉移的資料的數量的轉

15 移控制裝置；其中該DMA引擎遭配置以接收來自該時序裝置之該觸發及來自該轉移控制裝置之針對該數量之一指示，且遭配置以根據該觸發把該數量之資料轉移到該目的週邊介面。

因此藉由產生針對資料之該數量以及該觸發的決定來

20 啟動該DMA轉移，本發明允許在執行該轉移本身的時間點上而不是在DMA設定的時間點上決定要轉移的資料之該數量。要轉移的資料之該數量不需要在規劃該DMA的時間點上遭指示，因此該軟體不必提前設定該數量。

在本發明的一尤其有利的應用中，該等裝置包括至少

一個用於一外部週邊裝置的週邊介面，且該目的裝置是該等週邊介面之一。

5 本發明已經認識到的是，上述時序問題在寫資料到外部週邊裝置的驅動軟體的情況中是尤其有問題的。典型地，這樣的軟體只具有有限的時間量運行在該CPU上，所以必須提前設定轉移，然後允許硬體計時器決定該等轉移何時發生。

10 在實施例中，該目的週邊介面可以是在無線通訊中使用的一RF介面。該RF介面可遭組配以透過一無線蜂巢式網路通訊。

上述時序問題在RF驅動軟體的情況中是尤其有問題的尤其是對蜂巢式通訊來說，因為對與典型地遭排程用於該RF驅動之處理器時間量相關之該週邊裝置上之輸出的連續要求。因此本發明對無線通訊有一尤其有利的應用。

15 在進一步的實施例中，轉移控制裝置可遭組配以依據在該來源裝置中有多少等待遭轉移的資料來決定該數量。

該轉移控制裝置可遭組配以依據該目的週邊介面的一個或多個暫存器中可得以接收資料的空間來決定該數量。

20 該時序裝置可遭配置以依據一外部時序事件來決定該時間。

該外部時序事件可透過一啟動週邊裝置而不是透過該目的週邊裝置及與該來源裝置相關聯的一週邊裝置來產生，而該控制裝置可遭配置以依據從該啟動週邊裝置接收到的一指示來決定該數量。

該時序裝置可遭配置以在該轉移和至少一個其他的轉移之該等時序之間做出仲裁，並且依據該仲裁產生該觸發。

該時序裝置可遭配置以依據在該設定中由該中央處理單元指定的一時間來決定該時間。

- 5 該資料轉移引擎可包含第一DMA級和第二DMA級，且該第一DMA級可遭配置以將來自該來源裝置之資料提供給該第二DMA級。

10 對遭定時在不為該來源裝置或目的裝置所知的一外部時序事件時啟動的DMA來說，本發明具有尤其的優勢而不是專有的優勢。進一步說，要轉移的位元組之數目可藉由可能既不是該來源裝置也不是該目的裝置的一啟動週邊裝置來產生。

15 依據本發明之另一層面，提供了一種在一積體電路晶片中轉移資料的方法，該方法包含以下步驟：執行用於設定一DMA資料轉移引擎以執行一轉移之轉移程式碼，該設定包含：從多個可定址晶片上裝置中向該資料轉移引擎指示一來源裝置及目的裝置的位址；決定在該轉移程式碼遭執行之後的一時間，該轉移應在該時間發生，且在該時間產生一觸發；在該時間，決定要轉移的資料之數量；把該
20 觸發及針對該數量的一指示提供給資料轉移引擎；及依據該DMA引擎接收到該觸發，使用該DMA引擎把來自該來源裝置之該數量之資料轉移到該目的裝置。

為了對本發明有一個更好的理解及顯示如何實行本發明，現在將以範例的方式參考附圖。

圖式簡單說明

第1圖是軟體數據機電腦系統的一示意性方塊圖，

第2圖是一DMA資料轉移引擎的一示意性方塊圖，及

第3圖是一DMA引擎的一較低層的一示意性方塊圖。

5 【實施方式】

較佳實施例之詳細說明

第1圖示意性地說明了供在一行動終端機(諸如行動電話)中使用的一積體電路包2。該電路2包含連接著一指令記憶體10、一資料記憶體12、一指令快取記憶體6，及一資料快取記憶體8的一中央處理單元(CPU)4。指令記憶體10、資料記憶體12、指令快取記憶體6，及資料快取記憶體8的每一個都遭連接到一直接記憶體存取(DMA)資料轉移引擎14，該轉移引擎14接著連接到包含一資料匯流排和一位址匯流排的一系統互連體16。

15 該系統互連體16在該DMA資料轉移引擎14、一記憶體控制器18，及以連接到外部裝置(即在積體電路2外部)的週邊介面20與22的形式的各種晶片上裝置之間連接。該記憶體控制器18連接到一個或多個外部記憶體裝置(未表示)。例如，該記憶體控制器18可支援與RAM(諸如SDRAM或行動
20 DDR)的連接、與快閃記憶體(諸如NAND快閃或NOR快閃)的連接，及/或與一安全ROM的連接。週邊介面的例子包括一類比射頻(RF)介面22及一個或多個額外的週邊介面20。一個或多個額外的週邊介面20的每一個連接到一各自的外部裝置(也未表示)。例如該等週邊介面20可包括一USIM介

面20a、一電源管理介面20b、一UART介面20c、一音訊介面20d，及/或一通用I/O介面20e。該RF介面22與一外部射頻前端及天線(也未表示)連接，且最終透過空中介面與一無線蜂巢式網路連接。在有多個週邊介面的時候，一些或全部這些週邊介面可透過一週邊匯流排(也未表示)連接到該系統互連體16。

在一較佳的實施例中，使用的晶片是藉由Icera設計並且以Livanto®的商標名稱銷售的。這樣的一晶片具有例如在WO2006/117562中所描述的一已特定化的處理器平台。

在本發明的一較佳的應用中，該積體電路2遭組配為一軟體數據機或“軟數據機”，使用一無線蜂巢式網路來處理無線通訊。軟體數據機背後的原理是在一通用的可規劃的可再組配的處理器中執行該等無線通訊所需的信號處理的主要部分，而不是在專用的硬體上執行。

較佳地，該軟體數據機是一軟基頻數據機。也就是說，在接收端，從自天線接收RF信號直到且包括混合降頻至基頻的所有的無線電功能都以專用硬體來實施。同樣地，在發射端，從自基頻混合升頻到輸出RF信號至天線的所有的功能都以專用硬體來實施。然而，該基帶域中的所有功能都以遭儲存於指令記憶體10、資料記憶體12及外部記憶體上的軟體來實施，且藉由處理器4執行。

在一較佳的實施例中，該RF介面22的該接收部分中的專用硬體可包含一低雜訊放大器(LNA)，用以將接收到的RF信號降頻轉換到中頻(IF)及用以從IF降頻轉換到基頻的

混合器、RF及IF濾波器級，及一類比到數位轉換(ADC)級。對於多個接收分集支路中的每一個而言，在每一同相和正交的基頻支路上提供一ADC。該RF介面22的發射部分中的該專用硬體可包含一數位到類比轉換(DAC)級，及用以將基頻信號升頻轉換到IF及從IF升頻轉換到RF的混合器、RF及IF濾波器級，及一功率放大器(PA)。可取捨地，這些級的其中一些可在一外部前端中遭實施(在這種情況下，就其本身而論，該RF介面可能不輸入且不輸出RF信號，但是在其遭組配以以RF通訊為最終目的而與該RF前端通訊已升頻/降頻轉換或已部分地處理之信號的意義上來說，它仍然指的是一個RF介面)。該RF介面的該“週邊”是該天線及任何需要在該晶片2外部的相關聯前端。執行這種無線電功能所需硬體的細節對於該技藝中具有通常知識者來說是習知的。

接收到的資料藉由該系統互連體16、DMA資料轉移引擎14及資料記憶體12遭從該RF介面22傳遞到該處理器4來進行信號處理。要遭發射的資料藉由該資料記憶體12、DMA資料轉移引擎14及系統互連體16遭從該處理器4傳遞到該RF介面22。

運行在該處理器4上的該軟體數據機然後可處理諸如下述之功能：

- 調變與解調，
- 交錯與解交錯，
- 速率匹配與解匹配，
- 通道估計，

- 等化，
- 耙式處理，
- 位元對數相似度比(LLR)計算，
- 發射分集處理，
- 5 -接收分集處理，
- 多輸入多輸出(MIMO)處理，
- 語音編解碼，
- 透過功率控制或適應性調變及編碼的鏈路適應，及/或
- 蜂巢格量測。

10 現關於第2圖對該DMA資料轉移引擎14作更詳細的討論。在實施例中，該資料轉移引擎14包含多個不同的DMA引擎階層級(hierarchical stage)：較低層DMA引擎26，在本文中指的是HRL(硬體已調節潛時)，及一個或多個較高層DMA引擎24。該(等)較高層DMA引擎24遭配置以接收來自

15 資料快取記憶體8、資料記憶體12、記憶體控制器18、RF介面22及額外的週邊介面20中的任一個之資料(若需要，可透過該系統互連體16)；及寫資料到該指令快取記憶體6、指令記憶體10、資料快取8記憶體、資料記憶體12及記憶體

20 控制器18。較低層HRL DMA引擎26是一“附加”，其特定地遭配置以透過該系統互連體16來將資料寫入到該等週邊介面20及22的記憶體可定址暫存器，即，寫入到週邊介面而不是儲存記憶體。該資料轉移引擎14還包含連接到該等DMA層級24及26的一計時器28及轉移控制器29。該計時器28及控制器29之操作在下文中遭討論。

該結構是層級式的，即，一較低層DMA引擎26之資料緩衝器由一較高層DMA引擎24來饋送。

在操作中，該CPU 4執行藉由如下動作來設定一DMA轉移的程式碼：隨著與該轉移相關聯的任何時序條件，將源位址和目的位址寫入到一較高層DMA引擎24的暫存器。該CPU 4可設定在任何該等不同的記憶體已定址裝置6、8、10、12、18、20及22之間的一些這樣的轉移。這些轉移在該計時器28的控制下可遭定時在某些時間發生，例如藉由一外部時序事件或過去某一預定時間段來觸發。進一步，因為DMA引擎14只具有有限數目的通道，所以這些轉移的時序可能會相互衝突，因此該計時器28也可遭組配以在該等轉移之該等時序之間做出仲裁，例如基於該等轉移的相對延遲及/或根據優先方案。

時序問題尤其與用於一週邊裝置的驅動軟體有關，典型地，該驅動軟體只具有有限的時間量在CPU上運行，因此需要提前(在其他任務遭排程之前，例如用於其他週邊裝置的其他驅動軟體)設定一個或多個轉移。因此，在該設定之後，該硬體計時器28當一個轉移停止的時候，當資料緩衝器為一新的轉移而遭再規劃的時候，及當該新的轉移遭啟動的時候計時。該系統計時器28確保這些暫存器寫入發生在正確的時間，即使用於此週邊裝置的該驅動軟體不再現時地遭排程並遭該CPU 4執行。

由於對與在該CPU 4上遭排程用於該RF驅動之時間量有關之經由該RF介面22之輸出(分頁、交遞、蜂巢格量值、

語音資料等)的連續要求，一軟體數據機的用於該RF介面22的RF驅動，尤其對於無線蜂巢式通訊而言，特別易受這些難題的影響。

習知地，透過該CPU 4的該設定還將必須包括把要遭轉移的位元組之數目的一指示寫入到該較高層DMA引擎24。然而，正如所述，在該轉移遭設定的時間與該轉移實際遭執行的時間之間，情況可能會變化。例如該來源裝置可能有額外的資料要轉移或該目的裝置可能已經改變了可得以用來接收遭轉移資料的儲存空間。

這個問題對定時在該源週邊介面或該目的週邊介面都不知曉的由一外部週邊裝置產生的一外部時序事件時啟動的DMA轉移來說是特別(不是專有)地重要，因為這個事件相對於該驅動之該排程動作的時序無法遭知曉。

因此，本發明的實施例遭提供轉移控制邏輯元件29，該轉移控制邏輯元件29遭組配以決定要遭轉移之資料的數量，其中，該決定在該轉移實際發生的時候而不是在其透過CPU 4遭設定的時候遭執行。(當然，這並不是準確地在轉移的那個時刻實現，但要點是與該轉移而不是與該設定相關聯地遭執行)。該計時器28提供該觸發且該控制器29提供已決定的位元組之數目的一指示到該HRL 26，該HRL 26在收到該觸發時把位元組之該數目寫入到討論中的這個週邊裝置20或22。

該控制邏輯元件29可遭組配以基於在來源裝置之資料的可得性或在轉移時可得的空間來做決定。該數量甚至可

基於來自啓動(launching)週邊裝置而不是該來源和目的週邊裝置的輸入來決定。

該HRL 26及其與一較高層DMA引擎24、計時器28及控制器29之介面現在關於第3圖來進一步詳細地討論。

5 該HRL 26包含具有連接到該較高層DMA引擎24的一輸入33的一位址解碼器32。該HRL 26進一步包含N個佇列區塊30(1)...30(N)，每一區塊具有包含一組先入先出(FIFO)資料緩衝器之一各自的資料佇列40(1)...40(N)，及包含一組 FIFO 位址緩衝器之一各自的相對應的位址佇列

10 42(1)...42(N)。每一個資料佇列40(1)...40(N)和位址佇列42(1)...42(N)具有連接到該位址解碼器32的一各自的輸入。對每一個資料佇列40(1)...40(N)，該位址解碼器32還提供路由44(1)...44(N)來透過該較高層DMA引擎24從來源裝置8、12、18、20、22擷取資料並把它傳遞到該各自的資料

15 佇列40(1)...40(N)。該HRL 26進一步包含一循環式(round-robin)仲裁多工器38，與每一個資料佇列40(1)...40(N)和位址佇列42(1)...42(N)的一輸出遭連接到該多工器38之一各自的輸入。該多工器38具有連接到該系統互連體16的一輸出46。

20 另外，每一個佇列區塊30(1)...30(N)包含一各自的計數器34(1)...34(N)，每一計數器具有連接到該多工器38之一各自的控制輸入的一輸出。每一計數器34(1)...34(N)還具有一輸入，該輸入透過一各自的控制匯流排36(1)...36(N)(本文中所指的是一SIC(簡單互連)介面或匯流排)來連接到該計

時器28及控制器29。每一SIC控制匯流排36(1)...36(N)較佳地包含來自該計時器28的一單一觸發線及來自該控制器29的7位元寬的計數匯流排。在實施例中，是這個控制介面36有利地允許把一DMA寫入一週邊介面的時序與透過該CPU
5 4之轉移之該設定的時序分離。

在操作中，該較高層DMA引擎24傳遞該來源及目的位址到該HRL 26b的位址解碼器32。該位址解碼器32找到一間置佇列區塊30(每一區塊30係用於到一不同目的地之轉移)，並且傳遞該等目的位址到此區塊的位址佇列42中。該
10 位址解碼器32還利用該來源位址來經由路由44透過該較高層DMA引擎24請求來自該來源裝置8、12、18、20或22的該相對應的來源資料，並且把該已擷取的資料傳遞到該資料佇列40。較佳地，該資料佇列中的每一項都是32位元字組寬。因此，該等佇列儲存資料字組對及相對應的目的位址，
15 以藉由該較高層DMA引擎24來饋送而將該資料寫入到目的裝置。

如果在該等佇列40中無資料遭設定，則該HRL等待資料。假定在該觸發啟動該HRL寫入到該目的地之前資料是可得的，但這不是強制的。如果該等佇列40是空的，則到
20 該較高層DMA引擎的DMA請求信號將遭確認，然後資料將會在稍後遭下送到該HRL。

當該計時器28決定寫入到某一週邊裝置的操作到了該發生的時候，如以上所討論的，它透過該相對應的SIC控制匯流排36的該觸發線來提供一觸發信號到適當的佇列區塊

30的該計數器34。伴隨著該觸發信號，控制邏輯元件29在該觸發產生的時候也提供要遭轉移的位元組之數目的一計數。該計數器34然後計數出來自與它的相對應的目的位址配對的該資料佇列40的資料位元組之數目。

- 5 循環式仲裁多工器38輸出該等資料位元組及相對應的目的位址到該系統互連體16的資料與位址匯流排上，以一循環式的方式在任何具有等待輸出的資料之佇列區塊30之該等輸出之間循環。

- 10 使用HRL的例子是從在一不同的時鐘域內之被稱為蜂巢式計時器(CET)的一週邊裝置產生SIC信號的情況。該來源實際上是一CPU寫入(並不直接寫入到目的週邊裝置，取而代之的是，該CPU把位址和資料寫入到HRL佇列中)。該目的地是該RF介面FIFO組態暫存器。CPU及RF介面均不知何時該寫入將遭排程，因此其被提前設定並且該等CET信號在正確的時間執行該寫入。該CET異步於目標及目的裝置。

- 15 應了解以上實施例僅以例子的方式描述。例如不必使用不同層級的DMA，計時器與轉移控制器可在一單一DMA引擎中用來控制轉移。進一步，轉移可藉由其他時序事件觸發及/或要轉移資料的量可基於其他準則來決定。對該技藝中具有通常知識者而言，本發明的其他變化和使用在本文中給出之揭露內容後將顯而易見。本發明的範圍不受所描述的實施例的限制，而僅受後附專利申請範圍的限制。

【圖式簡單說明】

第1圖是軟體數據機電腦系統的一示意性方塊圖，

第2圖是一DMA資料轉移引擎的一示意性方塊圖，及

第3圖是一DMA引擎的一較低層的一示意性方塊圖。

【主要元件符號說明】

- 2...積體電路包、積體電路、晶片
- 4...中央處理單元(CPU)、處理器
- 6...指令快取記憶體
- 8...資料快取記憶體
- 10...指令記憶體
- 12...資料記憶體
- 14...直接記憶體存取(DMA)資料轉移引擎
- 16...系統互連體
- 18...記憶體控制器
- 20...週邊介面
 - 20a...USIM介面
 - 20b...電源管理介面
 - 20c...UART介面
 - 20d...音訊介面
 - 20e...通用I/O介面
- 22...類比射頻(RF)介面、週邊介面
- 24...較高層DMA引擎
- 26...較低層DMA引擎、較低層HRL DMA引擎
- 28...計時器

29...轉移控制器、轉移控制邏輯元件

30(1)...(n)...佇列區塊

32...位址解碼器

33...輸入

34(1)...(N)...計數器

36(1)...(N)...控制匯流排、控制介面

38...循環式仲裁多工器

40(1)...(N)...資料佇列

42(1)...(N)...位址佇列

44(1)...(N)...路由

46...輸出

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97147627

※ 申請日：97-12-8

※ IPC 分類：G06F13/14 (2006.01)

一、發明名稱：(中文/英文)

資料轉移技術/DATA TRANSFER

二、中文發明摘要：

一種積體電路，其包含：多個晶片上裝置；一DMA引擎；及用於執行用以設定該資料轉移引擎以執行一轉移之程式碼的一CPU，該設定包含指示一來源裝置及目的裝置的位址。該積體電路還包含遭配置以在該設定程式碼遭執行之後的一時間產生一觸發的時序裝置；及遭配置以在該時間決定要遭轉移的資料的數量的轉移控制裝置。該DMA引擎遭配置以接收來自該時序裝置的該觸發及來自該轉移控制裝置的針對該數量的一指示，及遭配置以依據該觸發來把該數量之資料轉移到該目的週邊介面。

三、英文發明摘要：

An integrated circuit comprising: a plurality of on-chip devices; a DMA engine; and a CPU for executing code to set up the data transfer engine to perform a transfer, the set-up comprising indicating the address of a source and destination device. The integrated circuit also comprises timing means arranged to generate a trigger at a time after the execution of the set-up code; and transfer control means arranged to determine, at that time, an amount of data to be transferred. The DMA engine is arranged to receive the trigger from the timing means and an indication of the amount from the transfer control means, and to transfer that amount of data to the destination peripheral interface in response to the trigger.

七、申請專利範圍：

1. 一種積體電路晶片，其包含：

多個可定址的晶片上裝置；

5 用於在該等裝置之間轉移資料的一直接記憶體存取(DMA)資料轉移引擎；及

用於執行用以設定該資料轉移引擎以執行一轉移之轉移設定程式碼的一中央處理單元，該設定包含從該等多個裝置中向該資料轉移引擎指示一來源裝置的位址及一目的裝置的位址；

10 遭配置以在該轉移設定程式碼遭執行之後的一時間產生一觸發的時序裝置；及

遭配置以在該時間決定要遭轉移的資料之數量的轉移控制裝置；

15 其中該DMA引擎遭配置以接收來自該時序裝置的該觸發及來自該轉移控制裝置的針對該數量之一指示，且遭配置以根據該觸發把該數量之資料轉移到該目的週邊介面。

2. 如申請專利範圍第1項所述之積體電路晶片，其中該等裝置包括至少一個用於一外部週邊裝置的週邊介面，且
20 該目的裝置是該等週邊介面之一。

3. 如申請專利範圍第2項所述之積體電路晶片，其中該目的週邊介面是在無線通訊中使用的一射頻(RF)介面。

4. 如申請專利範圍第3項所述之積體電路晶片，其中該RF介面遭組配以透過一無線蜂巢式網路通訊。

5. 如前述申請專利範圍中任一項所述之積體電路晶片，其中該轉移控制裝置遭組配以依據在該來源裝置中等待遭轉移的資料之多少來決定該數量。
6. 如前述申請專利範圍中任一項所述之積體電路晶片，其中該轉移控制裝置遭組配以依據在該目的週邊介面的
5 一個或多個暫存器中可接收資料的空間來決定該數量。
7. 如前述申請專利範圍所述之積體電路晶片，其中該時序裝置遭配置以依據一外部時序事件來決定該時間。
8. 如申請專利範圍第7項所述之積體電路晶片，其中該外
10 部時序事件是藉由一啓動週邊裝置而不是該目的週邊裝置及與該來源裝置相關聯的一週邊裝置產生的，且該控制裝置遭配置以依據從該啓動週邊裝置接收到的一指示來決定該數量。
9. 如前述申請專利範圍中任一項所述之積體電路晶片，其
15 中該時序裝置遭配置以在該轉移及至少一個其他的轉移之時序之間做出仲裁，且遭配置以根據該仲裁產生該觸發。
10. 如前述申請專利範圍中任一項所述之積體電路晶片，該
20 時序裝置遭配置以依據在該設定中由該中央處理單元指定的一時間來決定該時間。
11. 如前述申請專利範圍中任一項所述之積體電路晶片，其中該資料轉移引擎包含一第一DMA級及一第二DMA級，該第一DMA級遭配置以將來自該來源裝置之資料提供給該第二DMA級。

12. 一種在一積體電路晶片中轉移資料的方法，該方法包含以下步驟：

執行用於設定一DMA資料轉移引擎以執行一轉移之轉移程式碼，該設定包含從多個可定址的晶片上裝置中向該資料轉移引擎指示一來源裝置及一目的裝置的位址；

決定在該轉移程式碼遭執行之後的一時間，該轉移應在該時間發生，及在該時間產生一觸發；

在該時間，決定要轉移的資料的數量；

把該觸發及針對該數量的一指示提供給該資料轉移引擎；及

依據該DMA引擎接收到該觸發，使用該DMA引擎把來自該來源裝置之該數量之資料轉移到該目的裝置。

13. 如申請專利範圍第12項所述之方法，其中該等裝置包括至少一個用於一外部週邊裝置的週邊介面，且該目的裝置是該等週邊介面之一。

14. 如申請專利範圍第13項所述之方法，其中該目的週邊介面是一在無線通訊中使用的一RF介面。

15. 如申請專利範圍第14項所述之方法，包含透過一無線蜂巢式網路使用該RF介面通訊。

16. 如申請專利範圍第12項到第15項中任一項所述之方法，其中該決定該數量的步驟包含依據在該來源裝置中等待遭轉移的資料的多少來決定該數量。

17. 如申請專利範圍第12項到第16項中任一項所述之方

法，其中該決定該數量的步驟包含依據在該目的週邊介面的一個或多個暫存器中可得以接收資料的空間來決定該數量。

5 18. 如申請專利範圍第12項到第17項中任一項所述之方法，其中該決定該時間的步驟包含依據一外部時序事件來決定該時間。

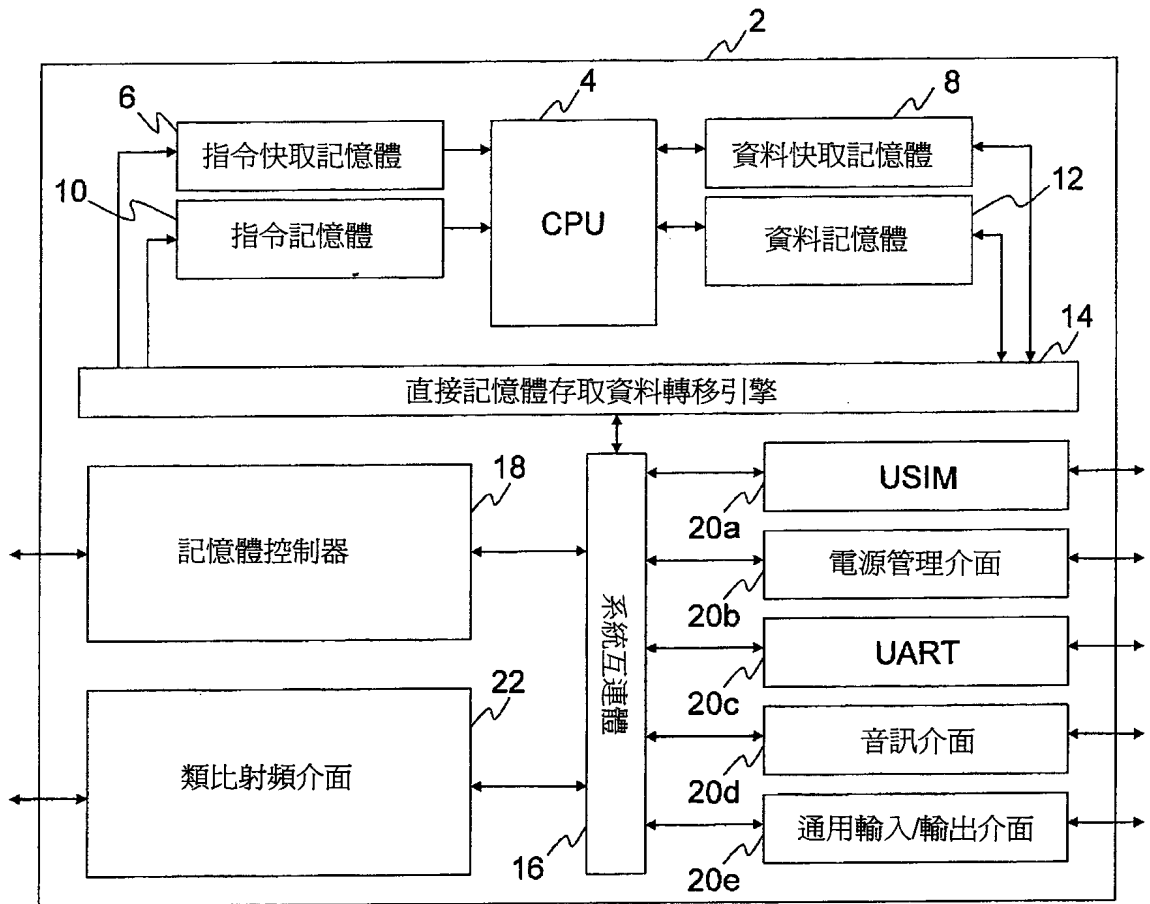
10 19. 如申請專利範圍第12項到第18項中任一項所述之方法，其包含使用一啟動週邊裝置而不是該目的週邊裝置及與該來源裝置相關聯的一週邊裝置來產生該外部時序事件，其中該決定該數量的步驟包含依據從該啟動週邊裝置接收到的一指示來決定該數量。

20. 如申請專利範圍第12項到第19項中任一項所述之方法，其包含在該轉移及至少一個其他的轉移之時序之間做出仲裁，及依據該仲裁產生該觸發。

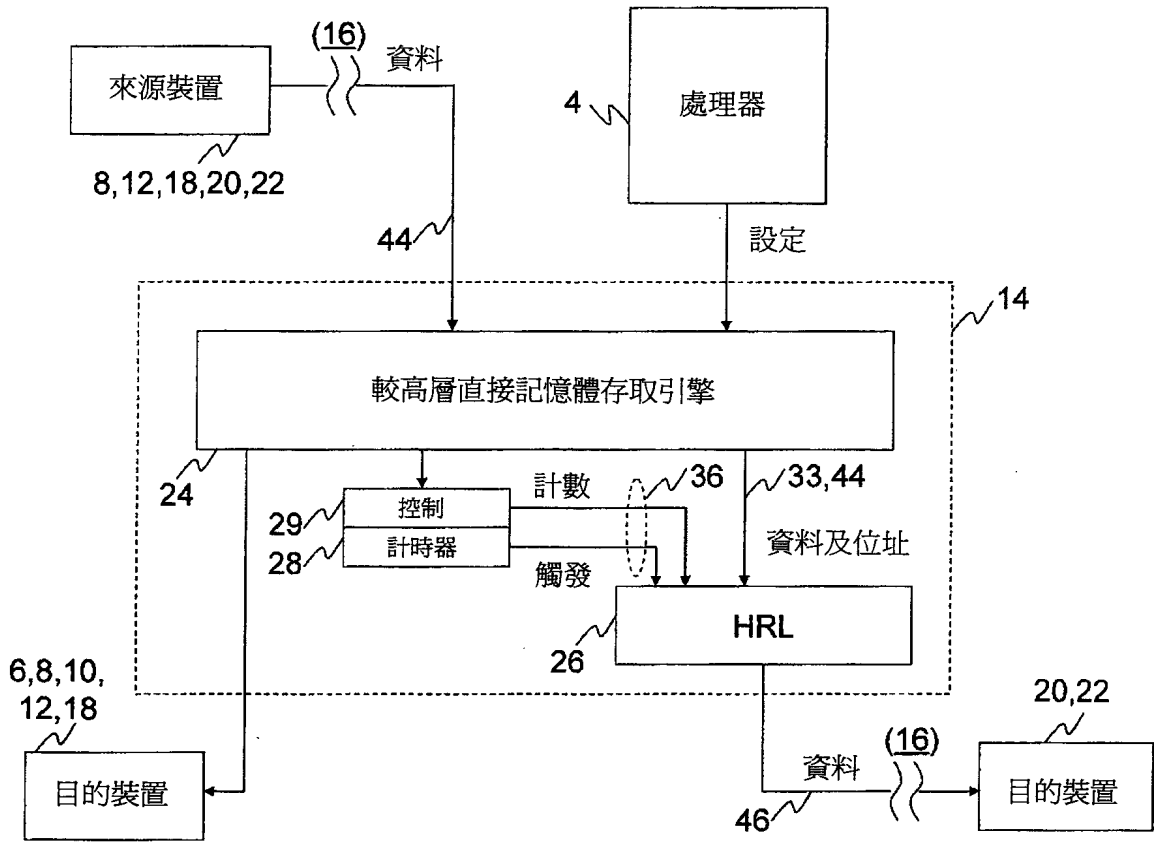
15 21. 如申請專利範圍第12項到第20項中任一項所述之方法，其中該決定該時間的步驟包含依據在該設定中由該中央處理單元指定的一時間來決定該時間。

20 22. 如前述申請專利範圍中任一項所述之方法，其中該資料轉移引擎包含一第一DMA級及一第二DMA級，並且該方法包含將來自該來源裝置資料提供給該第二DMA級。

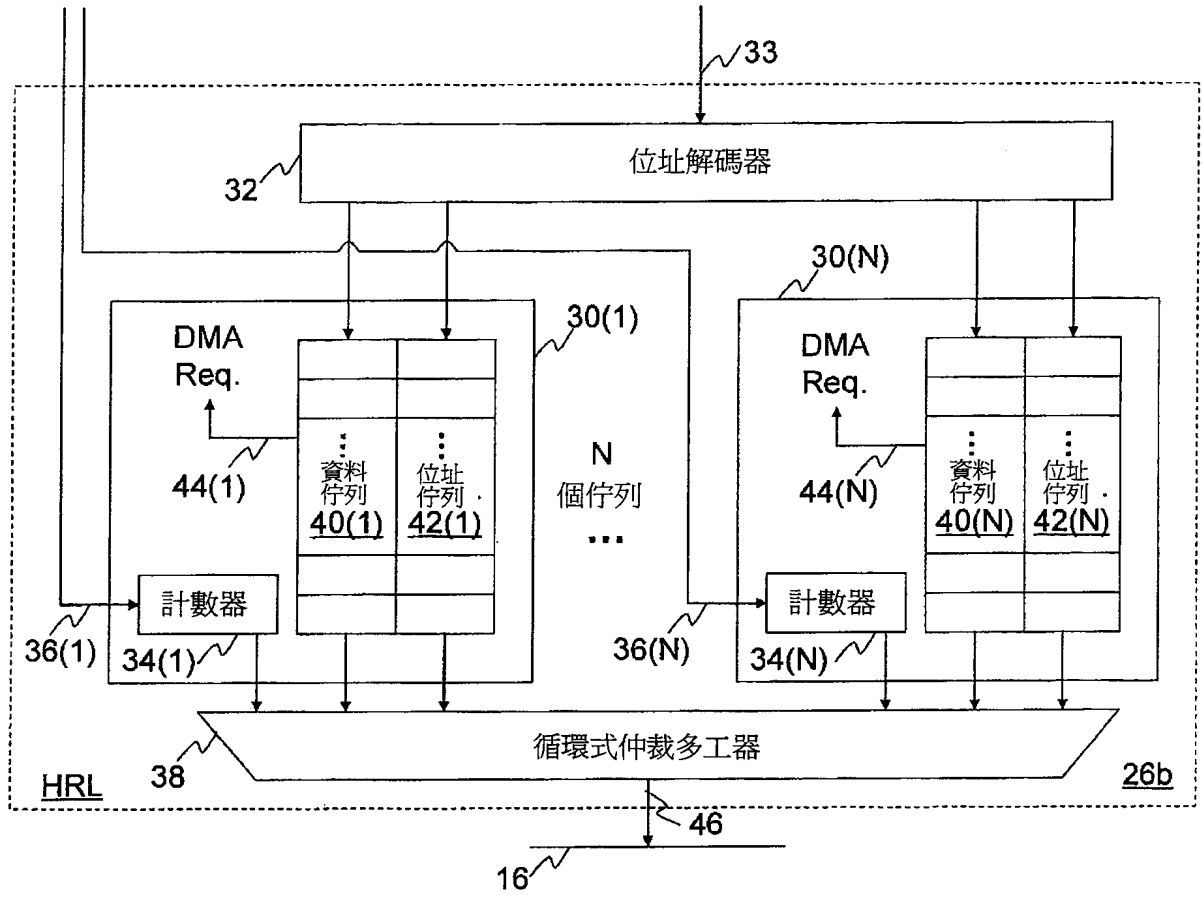
第1圖



第2圖



第3圖



四、指定代表圖：

(一)本案指定 表圖為：第 (3) 圖。

(二)本 表圖之元件符號簡單說明：

| | |
|---------------------|--------------------|
| 30(1)...(N)...佇列區塊 | 38...循環式仲裁多工器 |
| 32...位址解碼器 | 40(1)...(N)...資料佇列 |
| 33...輸入 | 42(1)...(N)...位址佇列 |
| 34(1)...(N)...計數器 | 44(1)...(N)...路由 |
| 36(1)...(N)...控制匯流排 | 46...輸出 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：