

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3550155号  
(P3550155)

(45) 発行日 平成16年8月4日(2004.8.4)

(24) 登録日 平成16年4月30日(2004.4.30)

(51) Int. Cl.<sup>7</sup>

G06F 13/36

F I

G06F 13/36 320A

請求項の数 1 (全 13 頁)

<p>(21) 出願番号 特願平3-242425                  (22) 出願日 平成3年8月29日(1991.8.29)                  (65) 公開番号 特開平4-349558                  (43) 公開日 平成4年12月4日(1992.12.4)                  審査請求日 平成10年6月5日(1998.6.5)                  (31) 優先権主張番号 9018991.1                  (32) 優先日 平成2年8月31日(1990.8.31)                  (33) 優先権主張国 英国(GB)</p>	<p>(73) 特許権者 592089054                  エヌシーアール インターナショナル インコーポレイテッド                  NCR International, Inc.                  アメリカ合衆国 45479 オハイオ、                  デイトン サウス パターソン ブールバード 1700                  (74) 代理人 100098589                  弁理士 西山 善章                  (72) 発明者 エドワード シー. キング                  アメリカ合衆国 94536 カリフォルニア、フリーモント、ノリス ロード 4945</p> <p style="text-align: right;">最終頁に続く</p>
---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

(54) 【発明の名称】 選択可能な中央処理ユニット付きワークステーションのアーキテクチャー

(57) 【特許請求の範囲】

【請求項 1】

いくつかの動作パラメータにおいて異なる一群の中央処理ユニットから選択された一つの中央処理ユニットと、  
 前記中央処理ユニットと外部バスとの間に接続されたバスインターフェース回路と、  
 前記中央処理ユニットと前記バスインターフェース回路とを接続するローカルバスと、  
 前記中央処理ユニットと前記バスインターフェース回路とに接続され、第1の周波数のクロック信号を供給するためのシステムクロックと、  
 前記バスインターフェース回路に接続されるとともに、当該回路に接続された中央処理ユニットの形式を示し且つ前記中央処理ユニットまたは前記バスインターフェース回路のいずれが前記ローカルバスのバスマスターであるかを示す信号を前記バスインターフェース回路に供給する制御線と、  
 を備え、  
 前記中央処理ユニットが、前記第1の周波数を、前記バスインターフェース回路との間のデータ転送に使用される第2の周波数に変換し、前記バスインターフェース回路が前記ローカルバスのバスマスターである旨の信号が前記制御線から前記バスインターフェース回路に供給されると、前記バスインターフェース回路は、前記第1の周波数を前記第2の周波数に変換することを特徴とするワークステーションのアーキテクチャー。

【発明の詳細な説明】

【0001】

**【産業上の利用分野】**

本発明はワークステーション、または中央処理ユニット（CPU）を含む型式の類似のデータプロセスシステムに関し、特に中央処理ユニットの選択に柔軟性があるワークステーションのアーキテクチャーに関する。

**【0002】****【従来の技術】**

公知ワークステーションはシステムボードに設けられた特定のCPU（中処理ユニット）、例えばインテル86386マイクロプロセッサを、メモリ等のチップユニット、種々の周辺インターフェース、およびシステムバス制御器と併せて使用する。中央処理ユニットおよび上記のデバイスは相互に通信し、またバッファを介して制御線、アドレス線およびデータ線を含むローカルバスを通して通信するが、すべてのユニットは該ローカルバスを介して行なわれる中央処理ユニットの厳格な制御の下に置かれる。一般的に、システムは特定の中央処理ユニットに合わせて設計される。このことは、いろいろの中央処理ユニットを使用するワークステーションにおいては非常に広範囲に異なるチップユニットが必要となることを意味する。ローカルバスもまた特定の構成に合わせて設計される。他のシステムとの互換性を維持するためには、いろいろのユニットおよびそれらのI/Oレジスタ（入出力レジスタ）の特性および機能が詳細な指定条件により厳しく定められてしまう。従ってそのようなシステムを拡張のためまたは性能改良のために変更することは困難である。

**【0003】****【発明が解決しようとする課題】**

本発明は特に中央処理ユニットの選択に柔軟性があるワークステーションアーキテクチャーを与えることを課題とする。

**【0004】**

本発明の別の課題は改良された性能を有するワークステーションを与えることである。

**【0005】**

このために、本発明は、いくつかの動作パラメータにおいて異なる一群の中央処理ユニットから選択された一つの中央処理ユニットと、前記中央処理ユニットと外部バスとの間に接続されたバスインターフェース回路と、前記中央処理ユニットと前記バスインターフェース回路とを接続するローカルバスと、前記中央処理ユニットと前記バスインターフェース回路とに接続され、第1の周波数のクロック信号を供給するためのシステムクロックと、前記バスインターフェース回路に接続されるとともに、当該回路に接続された中央処理ユニットの形式を示し且つ前記中央処理ユニットまたは前記バスインターフェース回路のいずれが前記ローカルバスのバスマスターであるかを示す信号を前記バスインターフェース回路に供給する制御線とを備え、前記中央処理ユニットが、前記第1の周波数を、前記バスインターフェース回路との間のデータ転送に使用される第2の周波数に変換し、前記バスインターフェース回路が前記ローカルバスのバスマスターである旨の信号が前記制御線から前記バスインターフェース回路に供給されると、前記バスインターフェース回路は、前記第1の周波数を前記第2の周波数に変換することを特徴とするワークステーションのアーキテクチャーを提供するものである。

**【0006】**

本ワークステーションは高度に統合された、自己完結型の、知能を持つ機能ブロック、および種々の型式の中央処理ユニットを柔軟に結合するためのレジスタを含む。各機能ブロックはメモリ制御器（MIB）、バスインターフェースブロックおよびマイクロチャンネル制御器（BIB）、またはローカル周辺機器制御器（PIB）のいずれかとして機能するアクティブインターフェースの役目をする。一つまたはそれ以上の機能ブロックMIB、BIB、または一つの機能ブロックPIBがローカルバスを介して、選択された中央処理ユニットと通信する。このローカルバスは、一層の柔軟性と改良された性能が得られるようにするため、在来のワークステーションのローカルバスと比較して特に拡張されている。特に本発明によるローカルバス（ホストP/Mバス）は該ローカルバスへのアクセ

10

20

30

40

50

スを有するプロセッサ型式を選択する線CT(0..1)を含んだ追加的制御線を、含んでいる。さらに、相応するリクエスト信号FREQb(0..3)と相応する付与信号BGNtb(0..3)を使用する最大四つのブロックMIBまたはBIBが、ホストP/Mバス上に存在することができる。これらの信号は実際の機能ブロックを選択する働きをする。ブロックBIBのみ(中央処理ユニット以外に)がバスマスターとなりえるので、ブロックBIBのみがFREQb線を必要とする。さらにホストP/Mバスは機能ブロック(BIB)の一つで発生されたバースト信号を他の機能ブロック(MIBまたはPIB)へ送る。これは特にマイクロチャンネルとメモリとの間の読み取り/書き込み動作におけるストリーミングモードに適用できる有効な手段である。この場合その機能ブロックBIBは機能ブロックユニットMIBを介してメモリヘータを送信するバスマスターの役割を果たす。

10

**【0007】**

各機能ブロックは当該機能ブロック内の各ユニット間の通信を可能にする内部トランザクションバスを含む。各ユニットはID番号(同定番号)を有し、この番号で内部トランザクションバスの特定の線を介してアドレスすることができる。各機能ブロックにはセットアップの手続きを通して個別的構成を行なうための構成化レジスタが設けられている。その構成化はとりわけホスト中央処理ユニットの周波数とメモリの容量に依存する。

**【0008】****【実施例】**

図1は本発明に基づくワークステーションまたはデータ処理システムのアーキテクチャーの好ましい実施例を示す。

20

**【0009】**

基本的には中央処理ユニット10はホストP/Mバス20を介して機能ブロック30、40、50と通信し、特にマイクロチャンネルへのアクセスのための一つまたは複数のバスインターフェース回路またはブロックBIB30と、メモリおよびキャッシュ制御のため一つまたは複数のメモリブロックMIB40と、ローカル周辺装置およびビデオグラフィックアレー(VGA)インターフェース回路またはブロックPIB50と通信する。ブロックBIB30およびMIB40はそれぞれ一つ以上設けることが可能であることに注意されたい。

**【0010】**

本発明の重要な特徴の一つは、中央処理ユニット10はいくつかの動作パラメータにおいて異なる一群の中央処理ユニット10から選択できることである。例えば、本開示のアーキテクチャーでは中央処理ユニット10はインテル80386、80386SX、80486マイクロプロセッサから選択できる。またインテル80387あるいは80387SX等のコプロセッサ12も数学的コプロセッサとして追加できる。

30

**【0011】**

機能ブロックBIB30はホストP/Mバス20と、在来アダプタボード等のデバイスを装着するための複数のスロット32aを備えたマイクロチャンネル32との間のインターフェースとして与えられ、当該ステーションの他の機能ブロックとの通信におけるマスターユニットとして働くことのできるマイクロプロセッサを備えた在来アダプタボードを含んでいる。さらに制御器32bは固定ディスクドライブを制御するマイクロチャンネルに接続されている。

40

**【0012】**

機能ブロック(MIB)MIB40はホストP/Mバス20と、ダイナミックRAMメモリ42との間に接続されるインターフェース回路を形成する。このDRAMは別のサイズを有してもよい。さらにMIB40は通常のBIOSROM(ROM)メモリ42aへのアクセスを制御する。

**【0013】**

周辺インターフェース機能ブロック(PIB)50はそれぞれの制御ブロックを介してホストP/Mバス20と種々の在来のシステムとの間および周辺制御ブロック52を介して

50

周辺デバイスとの間のインターフェースを形成する。例えばビデオグラフィックアレー制御器 5 2 a、周辺機器制御器 5 2 b、フレキシブルディスク制御器 5 2 c、キーボード/マウス制御器 5 2 d、および R T C / C M O S ラム ( R A M ) デバイス 5 2 e が設けられている。これらすべてのデバイスは当業者には公知であり、それゆえこれ以上詳述しない。

**【 0 0 1 4 】**

本実施例によれば、各機能ブロック B I B 3 0、M I B 4 0、P I B 5 0 は各々がホスト P / M バス 2 0 と各機能ブロック B I B 3 0、M I B 4 0、P I B 5 0 に接続される個々のデバイスとの間の通信を達成するために必要なすべての素子、例えばレジスタおよび論理回路等、を含むワンチップとして特に設計されている。

10

**【 0 0 1 5 】**

図 1 に示すように M 個の機能ブロック B I B 3 0 および N 個の M I B 4 0 はすべてホスト P / M バス 2 0 に接続出来る。これらブロック B I B 3 0 はそれぞれ、ホスト P / M バス 2 0 と相応する数のマイクロチャンネルバス 3 2 との間に接続される。M I B 4 0 はホスト P / M バス 2 0 および相応のメモリとの間に接続される。従って異なった中央処理ユニットおよび著しく異なったメモリ容量を備えた非常に広範な種類の構成が達成出来る。各チップはシステムの種々の構成に合致するよう非常に多様に構成できる。

**【 0 0 1 6 】**

各機能ブロック 3 0、4 0、5 0 にはシステムのすべての機能を一般的に統制している中央処理ユニットのオペレーションとは比較的独立なオペレーションを与えるある種の能力

20

**【 0 0 1 7 】**

基本的には各機能ブロック 3 0、4 0、5 0 はホスト P / M バス 2 0 と個々の内部トランザクションバスとの間のインターフェースユニットを含む。そのタイミングは中央処理ユニットクロックに基づいているが、各機能ブロック内の読み取りあるいは書き込み等のすべてのオペレーションはシステムの一サイクル内で独立に行なわれる。他方中央処理ユニットは少なくとも中央処理ユニットクロックの 2 サイクルを必要とする。従ってこの型式のシステムアーキテクチャは、中央処理ユニットに必要な待機状態が低減することにより著しく性能が改善され、高い全体的動作速度が得られる。

**【 0 0 1 8 】**

図 3 ないし図 1 1 は各機能ブロック 3 0、4 0、5 0 に含まれるユニットの詳細を示す。

30

**【 0 0 1 9 】**

特に図 8 を見ると、バスインターフェースブロック B I B 3 0 が示されているが、これは、好ましくは一個のマイクロチップ上に構成されており、ホスト P / M バスインターフェース H P I 3 4 を含む。この H P I 3 4 はホスト P / M バス 2 0 とシンクロナイザ 3 7 への通信接続を与える内部トランザクションバス 3 5 との間のインターフェースを形成する。シンクロナイザ 3 7 はマイクロチャンネル 3 2 へのアクセスのためマイクロチャンネルバス制御ユニット M C A 3 8 に接続される。

**【 0 0 2 0 】**

内部トランザクションバス 3 5 にはさらに、直接メモリアクセスを制御する D M A 制御器 3 6 が接続されている。

40

**【 0 0 2 1 】**

図 4 を参照する。ここに示すのは、メモリインターフェースブロック M I B 4 0 で、好ましくは一チップに造られ、基本的ユニットとしてユニット H I P 3 4 と同様のホスト P / M インターフェース 4 4 および内部トランザクションバス 4 5 を含む。このホスト P / M インターフェース 4 4 はホスト P / M バス 2 0 と内部トランザクションバス 4 5 との間のインターフェースとして働く。内部トランザクションバス 4 5 もブロック B I B 3 0 の内部トランザクションバス 3 5 と同様である。

**【 0 0 2 2 】**

内部トランザクションバス 4 5 を介してキャッシュ制御器 4 6 へのメモリアクセスが、並

50

びにダイナミックRAM制御器48を介してダイナミックRAMメモリ42に対するシステムメモリインターフェースバス43へのアクセスが、行なわれる。

【0023】

図10および図11には周辺インターフェースブロックPIB50が示されているが、これも好ましくは一チップに造られ、ホストP/Mバス20を内部トランザクションバス55に対して緩衝するホストP/Mインターフェース54を含む。このホストP/Mインターフェース54および内部トランザクションバス55は、ブロックBIB30およびMIB40の要素34および44並びに要素35、45に対応する。

【0024】

さらに、ブロックPIB50は、MCAバス制御のための同期ユニット56、システムおよび前記周辺ユニット52aないし53eへのアクセスのためのローカル周辺インターフェースユニット58を含む。これらのユニットは内部トランザクションバス55と通信するよう構成されている。

10

【0025】

上記のように、本発明のワークステーションは種々の型式の中央処理ユニット10を使用できる点で高度の柔軟性を与える。さらに加えて、本システムに含められるマイクロチャンネルおよびダイナミックRAMメモリユニットにはそれらの数において柔軟性がある。この事実は、予め定められた中央処理ユニット10が一つのマイクロチャンネルおよび一つのダイナミックメモリブロックのみとしか通信しない従来のワークステーションと対照的である。本発明のこの特徴は特に拡張されたホストP/Mバスによって達成される。このホ

20

【0026】

特に中央処理ユニット10内において、インテル80386等のマイクロプロセッサの在来の入/出力ポートは、アドレスポートA(2、...31)、データポートD(0、...31)、バイトイネーブルポートBEb(0、...3)およびアドレスステータス出力ADSbが示されている。出力ADSbは有効なバスサイクル定義およびアドレスが利用できることを示し、アドレスが駆動されると同一のクロックでアクティブに駆動される。出力ADSbはアクティブで低レベルとなる。本システムのクロックCLKは予定の周波数を有し、クロックオシレータ60で発生されて中央処理ユニット10の入力ポートCLKおよび機能ブロックBIB30、MIB40、PIB50に印加される。こ

30

【0027】

図3および図4からわかるように、機能ブロックBIB30、MIB40、およびPIB50は中央処理ユニットの入/出力ポートと同様な入出力ポートを与えられている。しかし、機能ブロックおよび中央処理ユニット10を相互に接続するための追加的ポートとその付随のバス線がさらに設けられている。

40

【0028】

本発明に関し以下のポートおよびこれらに対応する信号が特に注意すべきものである。

表 1

CT(0...1) : これはホストP/Mバス内に含まれる二線の組み合わせであり、ホストP/Mバスへのアクセスを持つプロセッサ(または機能ブロック)の型式を示すものである。例えば、CT1=1、およびCT0=0は中央処理ユニット10がインテル40486を意味するようである。これらの二線上の信号はブロックPIB50によって任意のブロックBIB30およびブロックMIB40の各々に送信されることに注意されたい。

BREQb(0...3) : これは四個のブロックBIB30がそれぞれ一リクエスト

50

線で P I B 5 0 に接続されていると仮定したときのホスト P / M バスリクエスト信号である。(詳細は後述する。)

B G N T b ( 0 . . . 3 ) : これは B R E Q b ( 0 . . . 3 ) でホスト P / M バスへのアクセス要求した機能ブロック B I B 3 0 に対し、機能ブロック P I B 5 0 から送信されるホスト P / M バス付与の信号である。(以下にさらに説明する。)

S B U R S T B L b : これはバーストモードでの転送を一次的に停止するがそのバースト条件を維持するため当該チップの機能ブロック B I B 3 0 の一つから発生される信号である。このチップは中央処理ユニット 1 0 が現在バスマスターでないときに限り、バーストオペレーションを特定するために発行される信号である。この信号は一次的にバーストモードでなされる転送を一次的に停止しするものの、バーストモードは保持するために使用される。この信号によってマスターユニットはバーストモードによる転送を一時的に停止することができる。

R D Y B : この「非バースト準備完了」は現在のバスサイクルが完了したことを示す。R D Y b 信号はシステムの機能ユニットが読み取り要求に呼応してバスのデータ線上に有効なデータを提示したことまたはシステムの機能ユニットが書き込みサイクルに呼応してプロセッサから有効なデータを受理したことを示す。

R D Y B L b : この「非バースト準備完了ブロック」は当該チップの機能ブロックの一つにより発生された R D Y b 信号である。

B R D Y b ( N ) : このバースト準備完了入力は、R D Y b が非バーストサイクルで行なう機能と同一の機能を、バーストサイクルで行なう。B R D Y b は読み取り信号に  
20 応答してデータ線上に有効なデータが与えられていること、または書き込み信号に  
応答してデータが線上に受理されていることを示す。データバス線上に与えられるデータは B R D Y b 信号がアクティブ状態でサンプル化されているときにプロセッサに格納される。

B R D Y B L b ( N ) : このバースト準備完了ブロックは当該チップの機能ブロックの一つにより発生された B R D Y b 信号である。

L O C K b : このバスロック線は現在のバスサイクルがロックされていることを示す。プロセッサは L O C K b が主張されるときはバスの保持を許さない。L O C K b は最初の  
30 ロックされたバスサイクル(以下、ロックバスサイクルという)の最初のクロックでアク  
ティブ化され、最後のロックバスサイクルの最後のクロックの後に非アクティブにされる。  
この最後のロックバスサイクルは準備完了信号が戻されたときに終了する。L O C K b  
はアクティブ時に低レベルである。もしも(ブロック P I B 5 0 からの) C T O および C  
T 1 信号が 1 1 に設定されると、システムがバースト状態に留まるかぎり L O C K b はア  
クティブである。この信号はマイクロチャンネル( M C A ) ストリーミングモードに使用  
される。C I N : この信号はシステム構成化ルーチンで使用する連鎖入力信号である。( C O U T 信号も参照のこと。)

C O U T : この連鎖入力信号はシステム構成化ルーチンで使用する信号である。特に一つの機能ブロックの構成を行なった後、そのブロックが次の機能ブロックにその C O U T 信号を送信し、これを C I N 信号として使用させる。

#### 【 0 0 2 9 】

本システムのもう一つの特徴は中央処理ユニット 1 0 が機能ブロックの一つに命令を送った後はそのブロックが中央処理ユニット 1 0 のその後の制御なしにこの命令を実行することである。例えばブロック B I B 3 0 に送られるそのような命令にマイクロチャンネル 3 2 からダイナミック R A M メモリ 4 2 へ送られる書き込みデータがある。各機能ブロックはそのようなプロセスを実行するためのフリップフロップ等の論理回路を含むことは当業者に明白であろう。これはすべて所謂「状態決定装置」に含まれている。「状態決定装置」は当業者が特定の条件および実行すべきプロセスに応じて用意できる。

#### 【 0 0 3 0 】

ここで図 1 2 を参照すると、上に掲げた信号の流れおよび目的が説明されている。例えば番号 3 0<sub>0</sub> ないし 3 0<sub>3</sub> と記された四つの機能ブロック B I B 0 ないし B I B 3 が設けられている。また番号 4 0<sub>0</sub> ないし 4 0<sub>2</sub> と記された二つの機能ブロック M I B 0 ないし M  
50

IB1が設けられている。

【0031】

これらの線はすべて、アドレス線A(2、...31)およびデータ線D(0、...31)と同様、ホストP/Mバス20の一部である。

【0032】

別の特徴として、使用したホストプロセッサの型式を示すか、またはブロックBI30がホストP/Mバスへのアクセスを有するバスマスターであるかを示す二つの線CT0およびCT1(場合により一つの線のみで示すか呼称する)が設けられている。これら二つの線はサイクルに応じて動的に切り替えることができることに注意されたい。この情報はブロックPI50からすべてのブロックMI40およびすべてのブロックBI30に送信される。例えばCT0=1、CT1=0は中央処理ユニット10が486型プロセッサのマスターであり、CT0=1、CT1=1はバスマスターがブロックBI30であることを示す。

10

【0033】

図10ないし図12において、オッシレータ60および特にそのホストP/Mインターフェース54が調停器回路54bを含む。各ブロックBI30<sub>0</sub>-30<sub>3</sub>はそれぞれホストP/Mバスリクエスト線REQ(0)ないしREQ(3)によりブロックPI50に接続される。またブロックPI50はホストP/Mバス付与信号を得るため線BGN0ないしBGN3を介して各ブロックBI0-3に接続される。

【0034】

これらの作用を説明する。もしもブロックBI30<sub>0</sub>-30<sub>3</sub>の一つがホストP/Mバス20にアクセスする必要があると、当該ブロックはブロックPI50に相応のリクエスト信号REQ0-3を送る。この信号は個々のブロックBIに割り当てられた予定の優先性に従って調停器54bが調停し、その調停に基づき最高の優先性を持つリクエストBI30<sub>0</sub>-30<sub>3</sub>に当該アクセスが付与される。

20

【0035】

従ってホスト中央処理ユニット10はこの仕事から開放されるという改良された性能が得られる。

【0036】

上述したように本発明に基づくワークステーションは種々の中央処理ユニット10を使用することができる。さらにワークステーションはいろいろの周波数、例えば16MHzないし33MHzで動作することができる。従って同一の機能ブロックBI30、MI40、PI50を使用して非常に多数のシステム構成が利用できる。これらの設計変更には特定の構成に合うように機能ブロックを適合させる必要がある。

30

【0037】

この目的で各機能ブロックはそのホストP/MインターフェースHIP34、44、54内に、構成化レジスタを含むことが望ましい。これらの構成化レジスタの一つの例として、ホストP/Mインターフェース54に含まれる構成化レジスタを図10に示す。

【0038】

原理上、すべての機能ブロックは「プログラムオプション選択」手続きとして知られる設定手続きで構成できる。本発明の好ましい実施例に使用した特定の設定手続きは、「ワークステーションのシステム構成法」と題する同時係属出願に詳述してある。

40

【0039】

図12および表1(信号の定義)を参照して、本ワークステーション実施例の基本的動作を説明する。このアーキテクチャー是一群の中央処理ユニット10、例えばインテル80386、80386SXまたは80486から一つを選択してホストP/Mバス20に接続することができる設計となっている。中央処理ユニット群は動作特定の異なるものの群でよい。例えばインテル80386はその動作のタイミングをとるため、システムクロック信号(PCLK)の周波数を二分する。これとは対照的にインテル80486はクロック信号を分割せず、システムクロックと同一の周波数で動作する。

50

## 【0040】

システムが設置されたとき接続される中央処理ユニット10の型式が与えられる。例えば特定に中央処理ユニット10の型式を示すべく、設置者によって予定の配置にスイッチ類が設定できる。好ましい実施例ではこれらスイッチ類は中央処理ユニットの型式を示すためPIBボード上で設定される。前に述べたように、制御線CT(0..1)は二本の線を含む。従って開示した実施例では四つの信号(0,0)、(1,0)、(0,1)、(1,1)を与えることができる。これらの内の三つは80386、80386SX、または80486中央処理ユニット10がホストP/Mバス20に接続されているか否かを示すために予約されている。第四の信号はブロックBI B30がバスマスターであるときにアクティブ化される。本ワークステーションの特徴はブロックBI B30がホストP/Mバス20のバスマスターとなって中央処理ユニット10を開放することができることを思い起こされたい。もしも三つ以上の異なる型式の中央処理ユニット10がワークステーションに接続される可能性があれば、明らかにもっと多数のCT線を使用できる。

10

## 【0041】

本システムの動作を開始すると、オシレータ60が予定周波数でクロック信号を発生する。ホストP/Mバス20に接続されたある種の型式の中央処理ユニット10はその動作のタイミングをとるためそのクロック信号の周波数を変更する。上記のように、80386中央処理ユニット10はその周波数を二分する。オシレータ60からのクロック信号もまたブロックBI B30に与えられる。ブロックBI B30は中央処理ユニット10と同様の方法でクロック信号の周波数を変更することによりCT線上の信号に応答する。例えばもしもCT線上の信号が、中央処理ユニット10が80386であることを示すと、ブロックBI B30はその周波数を二分する。他方、もしも当該プロセッサが80486であることをCT線上の信号が示すと、このプロセッサはクロック信号の周波数を変更しないので、30はその周波数を変更しない。

20

## 【0042】

ブロックBI B30はこの変更された周波数を使用してブロックBI B30と中央処理ユニット10との間のデータ転送のタイミングをとる。さらにクロック信号の周波数を中央処理ユニット10と同一の周波数に変更することにより、いろいろの機能ブロックと中央処理ユニット10との間の通信がシステムの始動時および初期化段階で可能となる。

30

## 【0043】

本システムの動作においてはCT線で与えられる信号は、中央処理ユニット10がバスマスターであるかぎりホストP/Mバス20に接続された中央処理ユニットの型式を示し続ける。もしもブロックBI B30は調停後にバスマスターになると、CT線上の信号は動的に変化し、ブロックBI B30がバスマスターであることを指示する。言い換えると、バスマスターの機能は中央処理ユニット10からブロックBI B30へ移されるのである。(これはブロックMI B40およびブロックBI B30に与えられる信号CTIN(0..1)(図3ないし図7)の、信号CT(0..1)への動的変更によって図示してある)。従って中央処理ユニットの型式を同定すること、および中央処理ユニット10もしくはブロックBI B30のいずれがバスマスターであるかを同定することの二重の目的でCT信号が使用される。

40

## 【図面の簡単な説明】

【図1】本発明に基づくワークステーションアーキテクチャーの全体図で、いろいろの機能ブロックおよびそれらの接続を示す。

【図2】図3ないし図7の配置を示す図である。

【図3】いろいろの機能ブロックを相互に接続するのに使用されるホストP/Mバスの詳細を示す図の一部である。

【図4】いろいろの機能ブロックを相互に接続するのに使用されるホストP/Mバスの詳細を示す図の他の一部である。

【図5】いろいろの機能ブロックを相互に接続するのに使用されるホストP/Mバスの詳細を示す図の他の一部である。

50

【図6】いろいろの機能ブロックを相互に接続するのに使用されるホストP/Mバスの詳細を示す図の他の一部である。

【図7】いろいろの機能ブロックを相互に接続するのに使用されるホストP/Mバスの詳細を示す図の他の一部である。

【図8】バスインターフェースブロックBIBのブロック線図である。

【図9】メモリインターフェースブロックMIBのブロック線図である。

【図10】ローカル周辺装置およびビデオグラフィックアレーのブロック線図の一部である。

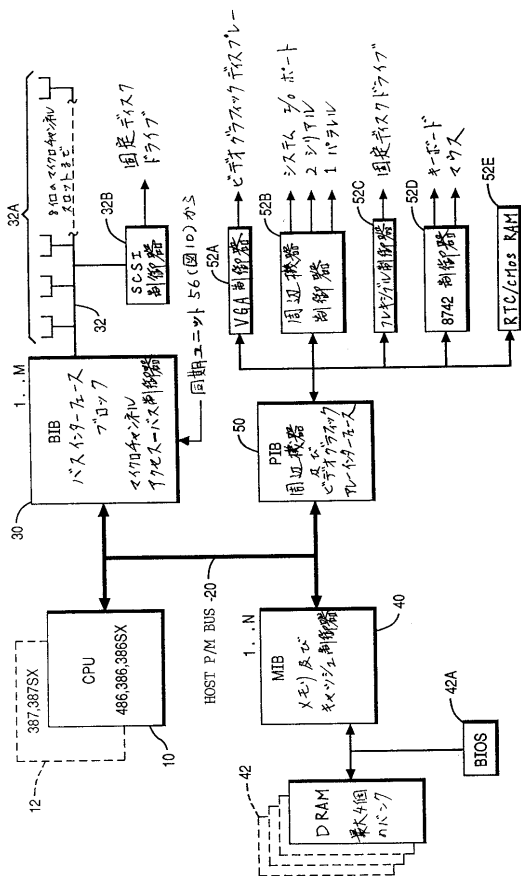
【図11】ローカル周辺装置およびビデオグラフィックアレーのブロック線図残りの一部である。

【図12】本発明の一態様にかかる複数のブロックBIBおよびMIBを示す図である。

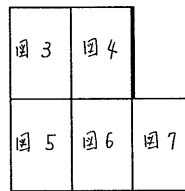
【符号の説明】

- 10 中央処理ユニット
- 20 ローカルバス
- 32 外部バス
- 52 外部バス
- 30、40、50 インターフェース回路

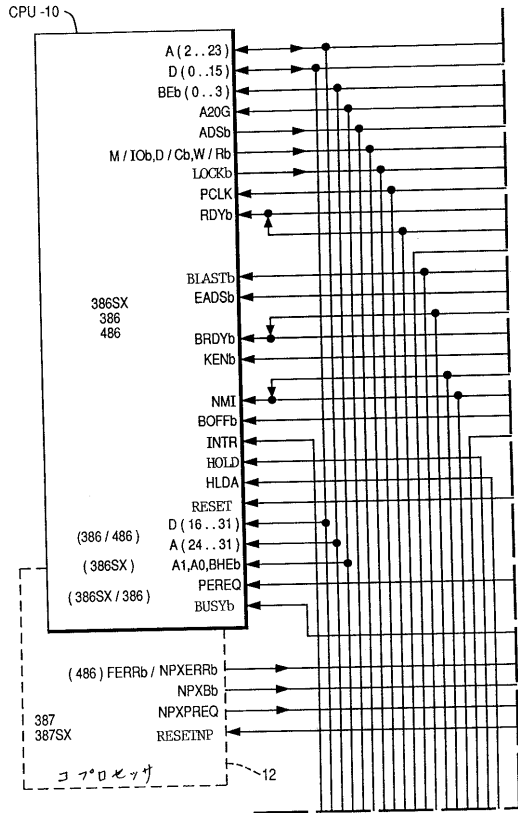
【図1】



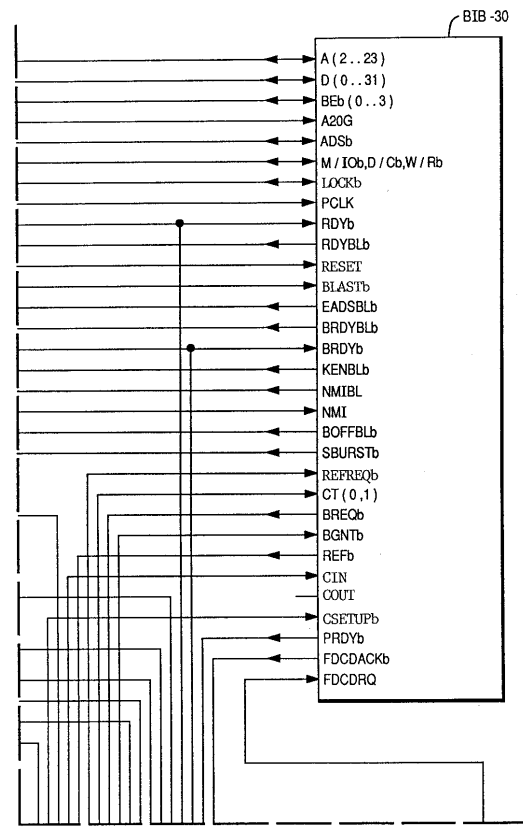
【図2】



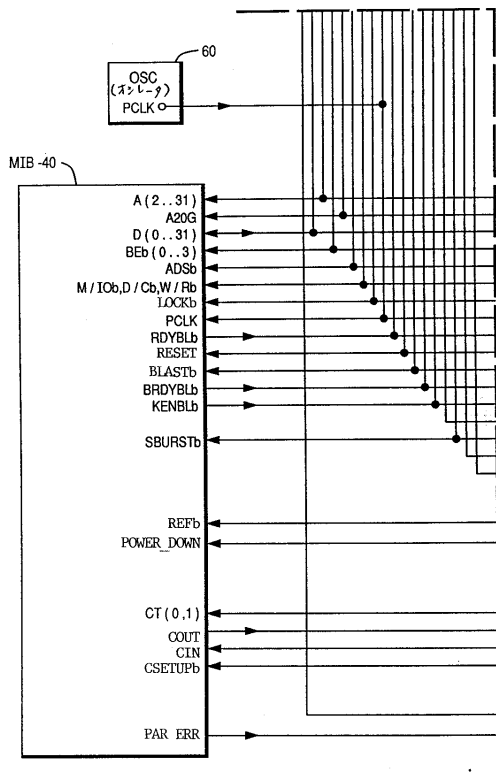
【 図 3 】



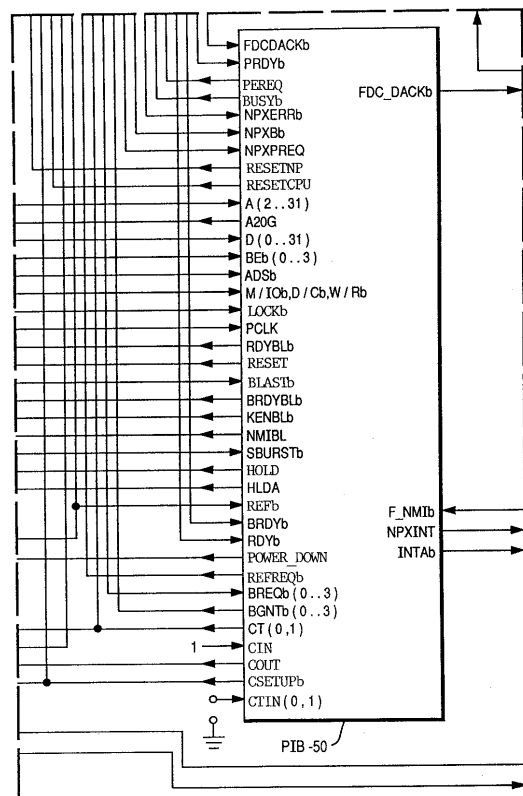
【 図 4 】



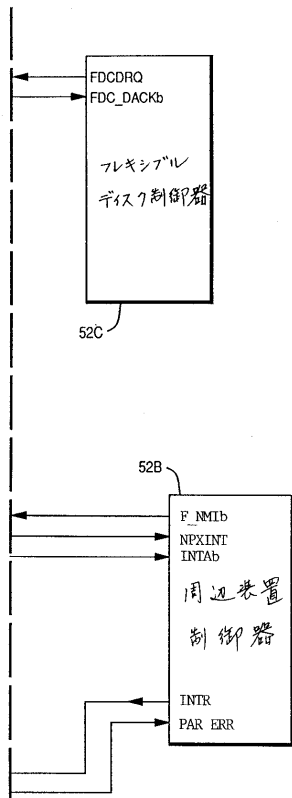
【 図 5 】



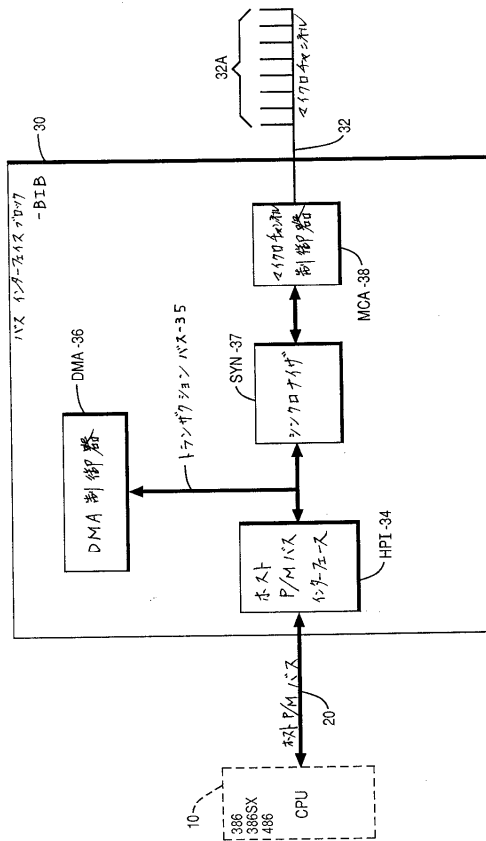
【 図 6 】



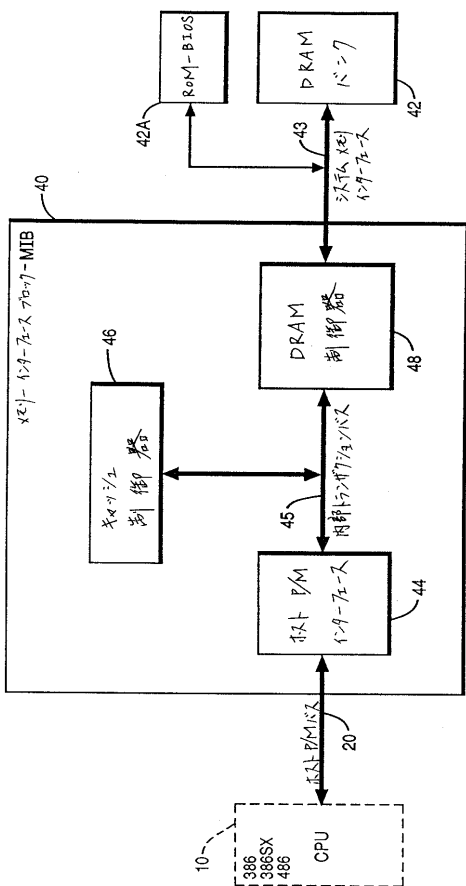
【 図 7 】



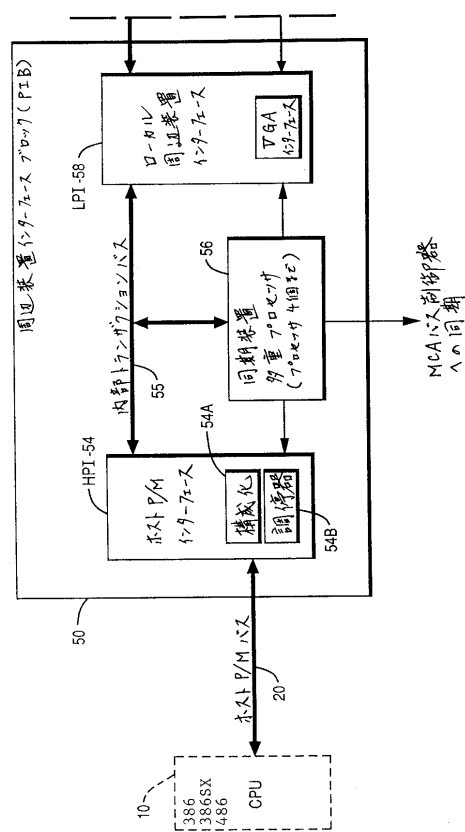
【 図 8 】



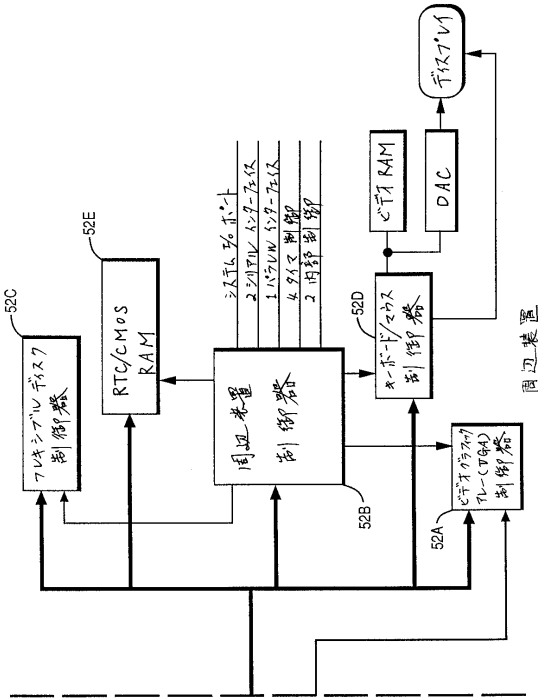
【 図 9 】



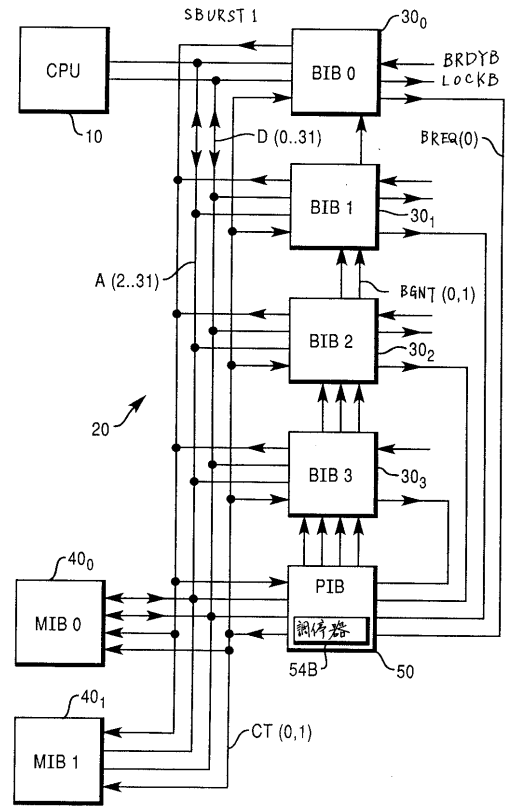
【 図 10 】



【 図 1 1 】



【 図 1 2 】



---

フロントページの続き

(72)発明者 アントン ゴーベル  
西ドイツ 8872 バーゴ、ピンセンタールシュトラッセ 50

審査官 石井 茂和

(56)参考文献 特開昭63-141119(JP,A)  
特開昭63-141119(JP,A)  
使用レポートFM-16, ASCII, 日本, 株式会社アスキー, 1985年 1月 1日,  
VOL. 9、NO. 1, p156-161  
「MULTIPLE MICROPROCESSOR INTERFACE FOR A GENERAL-P  
「INTEL 80386 OR INTEL P9 DETECTION」IBM TECHNICAL D  
万木喜弘, PC ATバスとの互換性を持たせたMCAと差別化したEISA, 日経バイト, 日本, 日経BP社, 1990年 1月, 第67号, 228-242

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G06F 13/36 320  
WPI(DIALOG)