



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년10월08일

(11) 등록번호 10-1449005

(24) 등록일자 2014년10월01일

(51) 국제특허분류(Int. Cl.)

H01L 33/10 (2010.01) H01L 33/22 (2010.01)

(21) 출원번호 10-2007-0120649

(22) 출원일자 2007년11월26일

심사청구일자 2012년11월13일

(65) 공개번호 10-2009-0054008

(43) 공개일자 2009년05월29일

(56) 선행기술조사문현

JP2006054420 A

JP2007096327 A

US05874747 A

전체 청구항 수 : 총 11 항

(73) 특허권자

엘지이노텍 주식회사

서울특별시 중구 한강대로 416 (남대문로5가, 서
울스퀘어)

(72) 발명자

박형조

광주광역시 광산구 비아로62번길 12, 중흥아파트
112동 1405호 (도천동)

(74) 대리인

서교준

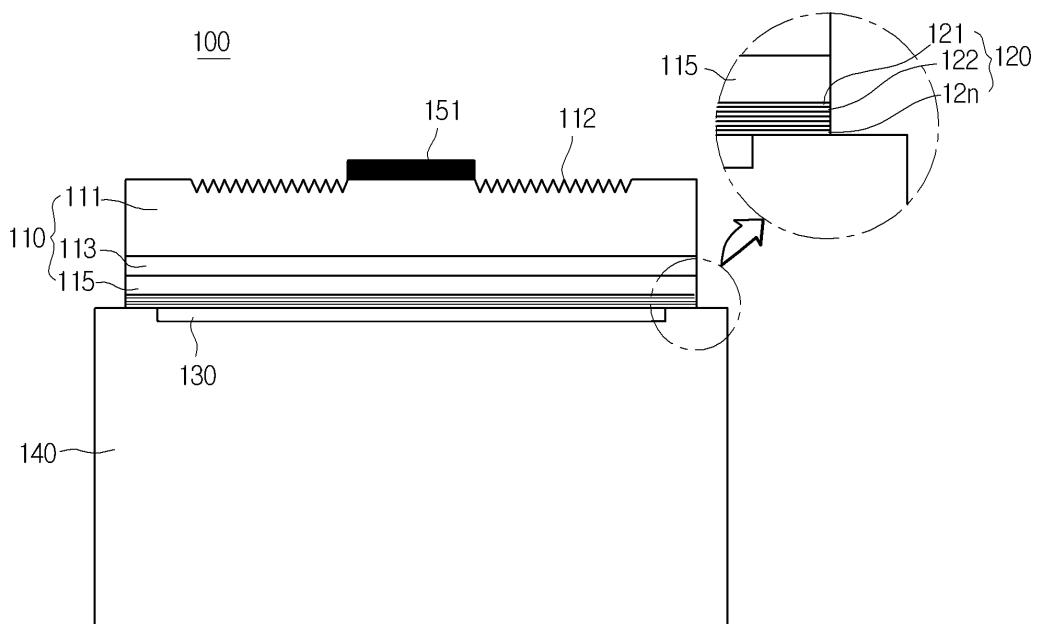
심사관 : 김태연

(54) 발명의 명칭 반도체 발광소자 및 그 제조방법

(57) 요약

본 발명의 실시 예는 반도체 발광소자 및 그 제조방법에 관한 것이다.

본 발명의 실시 예에 따른 반도체 발광소자는, 적어도 제 1도전성 반도체층, 활성층 및 제 2도전성 반도체층을 포함하는 발광 구조물; 상기 발광 구조물 위에 서로 다른 매질이 교대로 적층된 반사막; 상기 반사막 위에 형성된 오믹층; 상기 오믹층 위에 형성된 전도성 지지기판을 포함한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

제1 도전형 반도체층, 상기 제1 도전형 반도체층 아래에 활성층 및 상기 활성층 아래에 제2 도전형 반도체층을 포함하는 발광 구조물;

상기 발광 구조물 아래에 배치되고, 제1 굴절률을 갖는 제1층과 상기 제2 굴절률과 다른 제2 굴절률을 갖는 제2층을 포함하는 반사막;

상기 제1 도전형 반도체층 위에 배치되는 제1 전극;

상기 반사막 아래에 배치되는 오믹층; 및

상기 오믹층 아래에 배치되고 구리를 포함하는 전도성 지지부재를 포함하고,

상기 오믹층은 복수의 돌출부를 갖고, 상기 복수의 돌출부는 상기 제2 도전형 반도체층의 하면을 향하여 돌출되고,

상기 반사막은 상기 복수의 돌출부 사이에 배치되고,

상기 오믹층은 상기 제2 도전형 반도체층의 하면 및 상기 반사막의 하면에 접촉되고,

상기 제1 도전형 반도체층의 상면은 상기 제1 전극이 형성되는 제1 영역 및 러프니스를 갖는 제2 영역을 포함하며,

상기 전도성 지지부재의 양 측벽은 상기 발광 구조물의 측벽으로부터 외측으로 연장되며

상기 반사막과 상기 돌출부는 상기 제2 도전형 반도체층의 하면에 접촉되는 반도체 발광소자.

청구항 2

제1항에 있어서, 상기 오믹층은 Pt, Ni, Au, Rh, Pd 중 적어도 하나를 포함하는 반도체 발광소자.

청구항 3

제2항에 있어서, 상기 제1도전형 반도체층은 N형 반도체층을 포함하며,

상기 제2도전형 반도체층은 P형 반도체층을 포함하는 반도체 발광소자.

청구항 4

제3항에 있어서, 상기 제1도전형 반도체층은 AlGaN 반도체를 포함하며,

상기 제2도전형 반도체층은 AlGaN 반도체를 포함하는 반도체 발광소자.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 오믹층은 상기 반사막 아래에 배치된 바텀부를 포함하는 반도체 발광소자.

청구항 6

제5항에 있어서, 상기 오믹층의 바텀부의 상면은 상기 반사막의 하면에 접촉되는 반도체 발광소자.

청구항 7

제5항에 있어서, 상기 오믹층의 바텀부 둘레는 상기 전도성 지지부재가 배치되는 반도체 발광소자.

청구항 8

제5항에 있어서, 상기 복수의 돌출부는 상기 오믹층의 바텀부 사이의 영역으로 돌출되는 반도체 발광소자.

청구항 9

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 제1층 및 제2층은 서로 다른 두께를 갖는 반도체 발광소자.

청구항 10

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 제1층은 35~80nm의 두께이고,

상기 제2층은 30~75nm의 두께인 반도체 발광소자.

청구항 11

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 전도성 지지부재는 상기 반사막의 너비보다 넓은 너비를 갖는 반도체 발광소자.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명의 실시 예는 반도체 발광소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] III-V족 질화물 반도체(group III-V nitride semiconductor)는 물리적, 화학적 특성으로 인해 발광 다이오드(LED) 또는 레이저 다이오드(LD) 등의 발광 소자의 핵심 소재로 각광을 받고 있다. III-V족 질화물 반도체는 통상 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질로 이루어져 있다.

[0003] 발광 다이오드(Light Emitting Diode : LED)는 화합물 반도체의 특성을 이용하여 전기를 적외선 또는 빛으로 변환시켜서 신호를 주고 받거나, 광원으로 사용되는 반도체 소자의 일종이다.

[0004] 이러한 질화물 반도체 재료를 이용한 LED 혹은 LD의 광을 얻기 위한 발광 소자에 많이 사용되고 있으며, 핸드폰의 키패드 발광부, 전광판, 조명 장치 등 각종 제품의 광원으로 응용되고 있다.

발명의 내용

해결 하고자하는 과제

- [0005] 본 발명의 실시 예는 DBR(Distributed bragg reflector)를 이용한 수직형 반도체 발광소자 및 그 제조방법을 제공한다.
- [0006] 본 발명의 실시 예는 90% 이상의 높은 반사 특성을 갖는 반사막과 오믹층을 포함하는 반도체 발광소자 및 그 제조방법을 제공한다.

과제 해결수단

- [0007] 본 발명의 실시 예에 따른 반도체 발광소자는, 적어도 제 1도전성 반도체층, 활성층 및 제 2도전성 반도체층을 포함하는 발광 구조물; 상기 발광 구조물 위에 서로 다른 매질이 교대로 적층된 반사막; 상기 반사막 위에 형성된 오믹층; 상기 오믹층 위에 형성된 전도성 지지기판을 포함한다.
- [0008] 본 발명의 실시 예에 따른 반도체 발광소자 제조방법은 기판 위에 적어도 제 1도전성 반도체층, 활성층 및 제 2도전성 반도체층을 포함하는 발광 구조물을 형성하는 단계; 상기 발광 구조물 위에 서로 다른 매질이 교대로 적층된 반사막을 형성하는 단계; 상기 반사막 위에 오믹층을 형성하는 단계를 포함한다.

효과

- [0009] 본 발명의 실시 예에 따른 반도체 발광소자 및 그 제조방법에 의하면, DBR 구조를 이용하여 반사 특성을 개선시켜 줄 수 있다.
- [0010] 또한 반사막이 활성층과 동일 크기로 형성되고, 90% 이상의 반사 특성을 갖고 있어, 외부발광효율을 개선시켜 줄 수 있다.
- [0011] 또한 LED의 파장에 대해서 반사막의 각 매질 두께를 최적화하여 형성할 수 있어, 300~700nm의 파장 영역에서도 높은 반사특성을 유지할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0012] 이하, 첨부된 도면을 참조하여 실시 예를 설명하면 다음과 같다. 이러한 실시 예를 설명함에 있어서, 각 층의 위 또는 아래에 대한 정의는 각 도면을 기준으로 설명하기로 한다.
- [0013] 도 1은 본 발명의 제 1실시 예에 따른 반도체 발광소자를 나타낸 단면도이다.
- [0014] 도 1을 참조하면, 반도체 발광소자(100)는 발광 구조물(110), 반사막(120), 오믹층(130) 및 전도성 지지기판(140)을 포함한다.
- [0015] 상기 발광 구조물(110)은 적어도 제 1도전성 반도체층(111), 활성층(113), 제 2도전성 반도체층(115)을 포함하며, 두 개의 도전성 반도체층(111, 115) 사이에 활성층(113)이 개재된 구성으로 이루어진다.
- [0016] 상기 제 1도전성 반도체층(111)은 n형 반도체층으로 구현될 수 있으며, 상기 n형 반도체층은 GaN층, AlGaN층, InGaN층 등과 같은 GaN계 화합물 반도체 중 어느 하나로 이루어질 수 있고, n형 도편트가 도핑된다.
- [0017] 상기 제 1도전성 반도체층(111)의 아래에는 활성층(113)이 형성된다. 상기 활성층(113)은 제 1도전성 반도체층(111) 위에 단일 또는 다중 양자우물 구조로 형성되는 데, 예컨대, InGaN 우물층/GaN 장벽층을 한 주기로 하여, 단일 또는 다중 양자 우물 구조로 형성될 수 있다.
- [0018] 상기 활성층(113) 아래에는 제 2도전성 반도체층(115)이 형성된다. 상기 제 2도전성 반도체층(115)은 p형 도편트가 도핑된 p형 반도체층으로 구현될 수 있다. 상기 p형 반도체층은 GaN층, AlGaN층, InGaN층 등과 같은 GaN계 화합물 반도체 중에서 어느 하나로 이루어질 수 있다.
- [0019] 또한 상기의 제 2도전성 반도체층(115)의 아래에는 제 3도전성 반도체층(미도시)을 형성할 수도 있다. 여기서 제 3도전성 반도체층은 n형 반도체층으로 구현될 수 있다. 또한 실시 예에서는 제 1도전성 반도체층(102)이 p형 반도체층이고, 제 2도전성 반도체층(115)이 n형 반도체층으로 구현될 수도 있으며, 이에 한정하지는 않는다.

- [0020] 상기 제 2도전성 반도체층(115) 아래 또는 발광 구조물(110) 아래에는 반사막(120)이 형성된다. 상기 반사막(120)은 서로 다른 매질(121~12n)이 적층되는 DBR(Distributed Bragg Reflector) 구조를 이용하여 특정 파장을 반사하게 된다.
- [0021] 상기 반사막(120)은 예컨대, 300~700nm 파장의 광을 반사시켜 줄 수 있으며, 서로 다른 두 매질(121, 122)이 한 페어(one pair)로 이루어져 십 페어 이상(예: 10 ~ 30 pair)로 형성될 수 있다. 예컨대, 서로 다른 두 매질은 AlN층 및 GaN층일 수 있으며, 이러한 AlN층 및 GaN층 이외에도, AlGaN, InN, InGaN, AlInGaN 등을 이용하여 하나의 페어로 구성할 수도 있다. 여기서, 상기 반사막(120)의 두 매질은 굴절률 차이가 큰 물질들을 이용할 수 있다.
- [0022] 또한 상기 반사막(120)의 각 페어에서 제 1매질의 두께는 35~80nm이고, 제 2매질의 두께는 30~75nm로 이루어질 수 있다. 여기서, 제 1매질은 AlN층일 수 있고, 제 2매질은 GaN층일 수 있으며 AlN층-GaN층 또는 GaN층-AlN층의 구조로 형성될 수 있다. 또한 제 1 매질과 제 2매질의 두께는 서로 다르게 형성될 수 있으나, 서로 같은 두께로 형성될 수도 있다.
- [0023] 상기 반사막(120)의 각 매질 두께는 발광 파장과 각 매질의 굴절율을 이용하여 수학식 1과 같이 구할 수 있다.
- [0024] [수학식 1]
- [0025] $T = \lambda / (4n)$
- [0026] 상기 T는 각 매질의 두께이며, λ 는 파장이고, n은 각 매질의 굴절률(Refractive index)이다.
- [0027] 여기서, 발광 파장이 450nm일 경우, AlN층의 굴절률(Refractive index)이 2.12이면 AlN층의 두께는 53.1nm가 되며, GaN층의 굴절률이 2.44이면 GaN층의 두께는 46.1nm로 구해질 수 있다.
- [0028] 이러한 방식으로 파장에 따라 반사막(120)의 각 매질의 두께를 최적화시켜 줄 수 있다. 또한 도 12에 도시된 바와 같이, 450nm 파장에서 반사막이 AlN-GaN 페어 수가 10페어 이상이면 반사율이 94% 이상으로 나타나고, 11페어 이상이면 95~99%의 반사율로 나타나게 됨으로써, 전체적으로 높은 반사도를 갖게 된다. 여기서, 반사막의 매질들의 페어 수와 두께를 LED 파장에 따라 조절할 수 있다.
- [0029] 이때 상기 반사막(120)이 활성층(113)의 발광 영역(또는 활성층 영역)과 동일한 크기로 형성되어 있어서, 반사 특성을 극대화할 수 있어, 외부 발광효율을 개선시켜 줄 수 있다.
- [0030] 상기 반사막(120) 위에는 오믹층(130)이 형성되며, 상기 오믹층(130) 위에는 전도성 지지부재 또는 전도성 지지 기판(140)이 형성된다. 상기 오믹층(130)은 반사막(120)과 전도성 지지기판(140) 사이의 저항 차이를 줄여주며 전극 역할을 수행하는 것으로, 오믹 특성이 좋고 투과성이 낮은 금속 예컨대 Pt, Ni, Au, Rh, Pd 중 적어도 하나 또는 이들의 합금 형태를 포함한다.
- [0031] 상기 전도성 지지기판(140)은 구리 또는 금으로 이루어질 수 있으며, 구리에 도금이나 웨이퍼 본딩 기술을 이용하여 형성할 수 있으며, 이에 대해 한정하지는 않는다.
- [0032] 도 2내지 도 10은 본 발명의 제 1실시 예에 따른 반도체 발광소자의 제조방법을 나타낸 도면이다.
- [0033] 도 2를 참조하면, 분리용 기판(101) 위에 벼파층(103)이 형성된다. 상기 분리용 기판(101)은 사파이어 기판(Al_2O_3), GaN, SiC, ZnO, Si, GaP, InP, 그리고 GaAs 등으로 이루어진 군에서 선택되며, 상기 벼파층(103)은 3족과 5족 원소가 결합된 형태이거나 GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN 중에서 어느 하나로 이루어질 수 있으며, 도편트가 도핑될 수도 있다. 이러한 분리용 기판(101) 또는 벼파층(103) 위에는 언도프드 반도체 층이 형성될 수 있으며, 상기 벼파층(103)과 언도프드 반도체층 중 어느 한 층 또는 두 층 모두 형성하거나 형성하지 않을 수도 있으며, 이러한 구조에 대해 한정되지는 않는다.
- [0034] 상기 벼파층(103) 위에는 적어도 제 1도전성 반도체층(111), 활성층(113) 및 제 2도전성 반도체층(115)을 포함하는 발광 구조물(110)이 형성될 수 있다. 이러한 발광 구조물(110)은 적어도 2개의 도전성 반도체층(111, 115)과 이들 사이에 활성층(113)이 개재되는 것으로, 실시 예에서는 기술적 범위 내에서 추가 또는 변경 가능하며 상기 구조로 한정하지는 않는다.
- [0035] 상기 발광 구조물(110)의 제 2도전성 반도체층(115) 위에는 반사막(120)이 형성된다. 상기 반사막(120)은 서로 다른 매질(121~12n)이 하나의 페어(121, 122)로 형성되어, 십 페어 이상으로 형성될 수 있다. 여기서, 반사막(120)은 AlN층과 GaN층이 하나의 페어로 하고, 10~30페어로 형성될 수 있다. 또한 반사막(120)의 두 매질

(121, 122)은 굴절률 차이가 큰 물질로서, DBR 구조로 형성하여 특정 파장(예: 300~700nm)을 반사시켜 줄 수 있다.

[0036] 도 3을 참조하면, 상기 발광 구조물(110) 위에 반사막(120)이 형성되면, 외곽부 영역(A1)에 대해 메사 에칭을 수행하게 된다.

[0037] 도 4를 참조하면, 상기 반사막(120) 위에는 오믹층(130)이 형성된다. 상기 오믹층(130)은 오믹 특성이 좋고 투과성이 낮은 금속 중에서 이용할 수 있으며, 예컨대, Pt, Ni, Au, Rh, Pd 중 적어도 하나 또는 이들의 합금 형태로 이용할 수 있다. 여기서, 상기 오믹층은 반사막의 표면 전체에 형성될 수도 있으며, 또는 오믹층은 소자의 외곽부와의 전기적인 특성을 고려하여 반사막의 외곽부 영역은 형성하지 않을 수도 있다. 이러한 반사막(120)은 MOCVD, MBE 또는 HVPE 등의 증착법을 사용하여 형성할 수도 있다.

[0038] 도 5를 참조하면, 상기 오믹층(130)이 형성되면, 상기 오믹층(130) 위에 전도성 지지부재 또는 전도성 지지기판(140)을 형성할 수 있다.

[0039] 도 6을 참조하면, 상기 전도성 지지기판(140)이 형성되면, 상기 전도성 지지기판(140)을 베이스로 위치시킨 후 상기 분리용 기판(101)을 제거하게 된다. 여기서, 상기 분리용 기판(101)은 물리적 또는/및 화학적 방법으로 제거할 수 있으며, 물리적 방법은 LLO(laser lift off) 방식으로 제거할 수 있다.

[0040] 도 7을 참조하면, 상기 분리용 기판을 제거하면 분리용 기판이 제거된 베퍼층(103)의 표면에 대해 Ga 산화물을 제거하는 공정을 수행하게 된다. 이러한 공정은 수행하지 않을 수도 있다.

[0041] 도 8을 참조하면, 발광 구조물(110)의 위에 배치된 베퍼층(103)을 제거해 준다. 이때 상기 베퍼층(103)은 건식 또는 습식 식각 방법, 또는 연마 공정을 통해 제거할 수 있다. 이때 상기 베퍼층(103)에 도전성 도편트가 도핑되어 있으면, 저항 값이 작게 되면 상기 베퍼층을 제거하지 않을 수도 있다.

[0042] 도 9를 참조하면, 상기 제 1도전성 반도체층(111)의 표면 일부 영역(A2) 또는 전체 영역에 대해 소정의 식각 방법으로 러프니스(102)를 형성해 줄 수 있으며, 이러한 제 1도전성 반도체층(111)의 표면에 도 10과 같이 제 1전극(151)을 형성해 준다. 여기서 상기 러프니스 구조는 반드시 형성하지 않을 수도 있으며, 상기한 러프니스 형상이나 구조로 한정하지는 않는다.

[0043] 도 11은 본 발명의 제 2실시 예에 따른 반도체 발광소자(100A)를 나타낸 측 단면도이다. 이러한 제 2실시 예는 제 1실시 예와 동일한 부분에 대해 중복 설명은 생략하며 간략하게 설명하기로 한다.

[0044] 도 11을 참조하면, 발광구조물(110)의 제 2도전성 반도체층(115) 아래에 반사막(120)이 형성되며, 상기 반사막(120) 아래에 오믹층(130)이 형성된다. 상기 반사막(120)은 제 2도전성 반도체층(115)의 표면에 요철 형태로 형성되며, 상기 요 형태의 홈에는 상기 오믹층(130)의 일부(132)가 삽입된다. 이에 따라 제 2도전성 반도체층(115)의 표면에는 반사막(120) 및 오믹층(130)이 함께 접촉된다.

[0045] 본 발명의 실시 예에서는 반사막의 각 매질의 두께와 페어 수를 LED 파장에 따라 조절하여 높은 반사도를 갖게 할 수 있으며, 특히 300~700nm의 파장 영역에서도 높은 반사특성을 갖도록 형성할 수 있다.

[0046] 본 발명에 따른 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "directly"와 "indirectly"의 의미를 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[0047] 이상에서 본 발명에 대하여 그 바람직한 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

[0048] 도 1은 본 발명의 제 1실시 예에 따른 반도체 발광소자를 나타낸 측 단면도.

[0049] 도 2 내지 도 10은 본 발명의 제 1실시 예에 따른 반도체 발광소자 제조과정을 나타낸 도면.

[0050] 도 11은 본 발명의 제 2실시 예에 따른 반도체 발광소자의 측 단면도.

[0051] 도 12는 본 발명의 제 1실시 예에 따른 반사막의 AlN-GaN 페어 수에 따른 반사도를 나타낸 도면.

[0052] <도면의 주요 부분에 대한 부호의 설명>

[0053] 100, 100A : 반도체 발광소자 101 : 분리용 기판

[0054] 103 : 벼파총 110 : 발광 구조물

[0055] 111 : 제 1도전성 반도체층 113 : 활성층

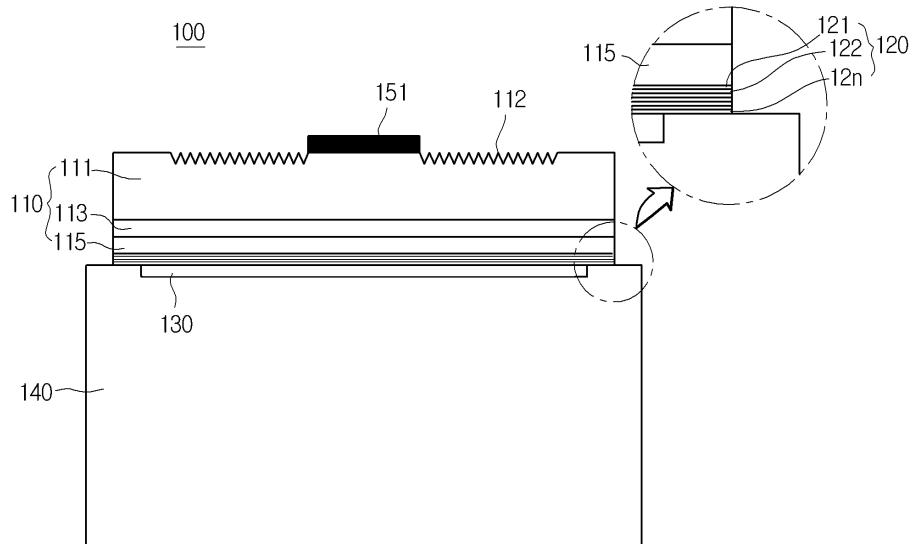
[0056] 115 : 제 2도전성 반도체층 120 : 반사막

[0057] 130 : 오믹층 140 : 전도성 지지기판

[0058] 151 : 제 1전극

도면

도면1



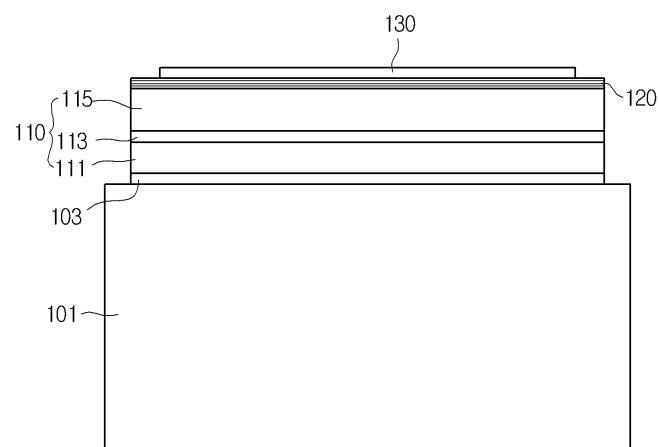
도면2



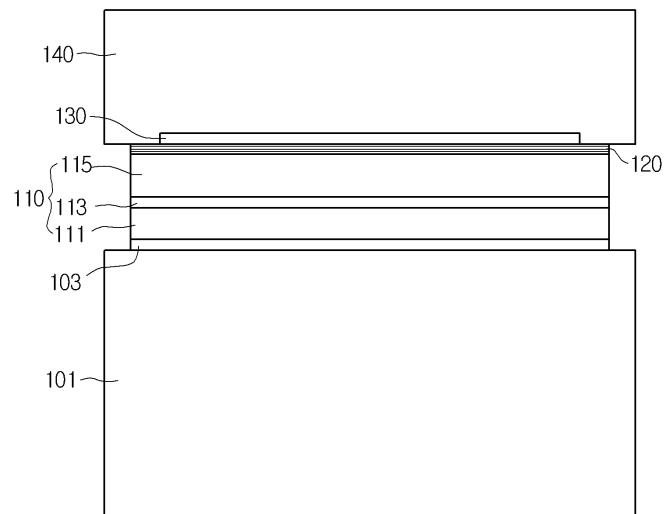
도면3



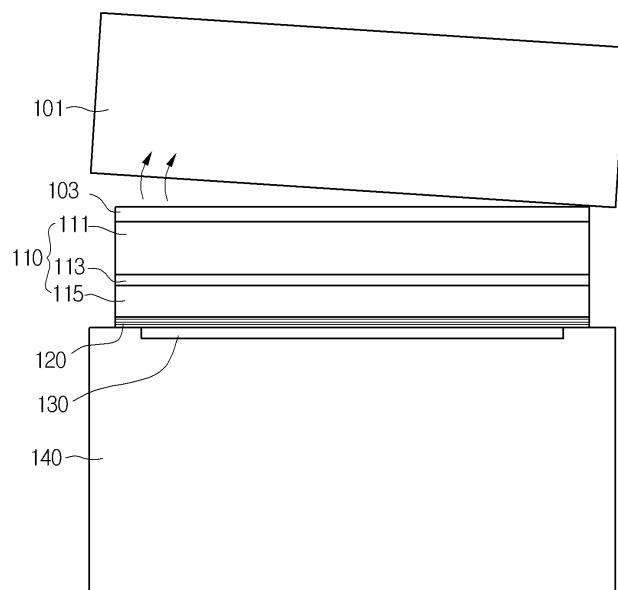
도면4



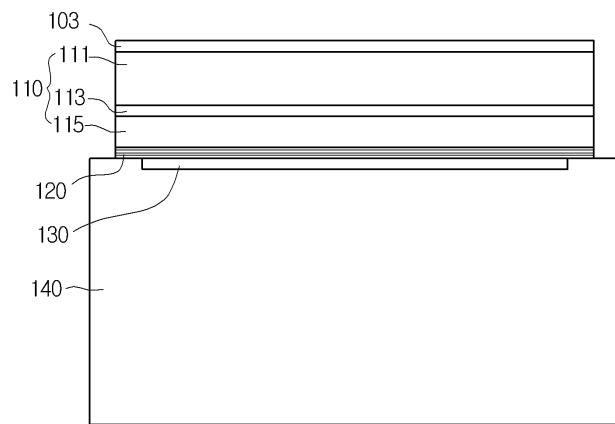
도면5



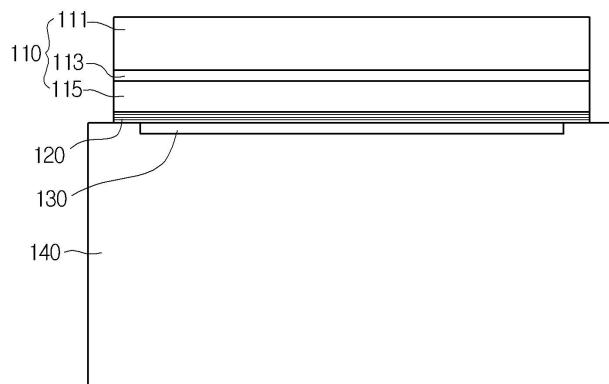
도면6



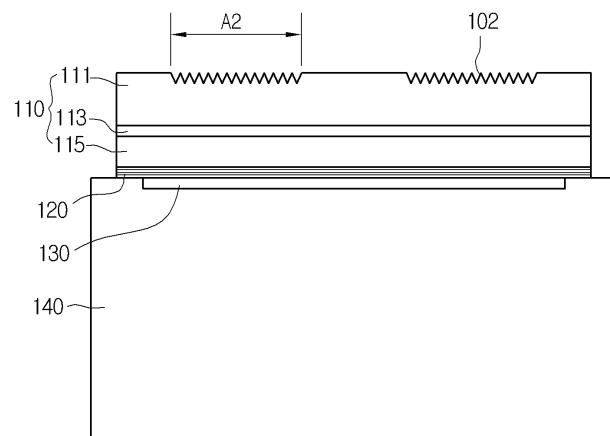
도면7



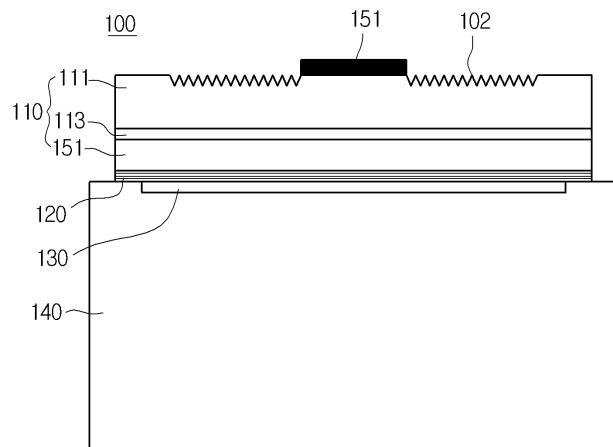
도면8



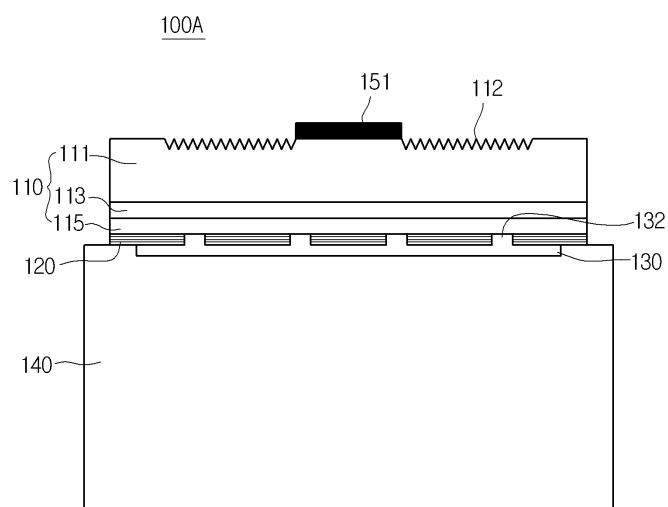
도면9



도면10



도면11



도면12

