

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成28年4月28日(2016.4.28)

【公表番号】特表2015-520434(P2015-520434A)

【公表日】平成27年7月16日(2015.7.16)

【年通号数】公開・登録公報2015-045

【出願番号】特願2015-503586(P2015-503586)

【国際特許分類】

G 06 F 12/00 (2006.01)

G 06 F 1/08 (2006.01)

【F I】

G 06 F 12/00 5 6 4 C

G 06 F 1/04 3 2 0 Z

【手続補正書】

【提出日】平成28年3月7日(2016.3.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

パルスクロックを生成するための方法であって、

低電圧ドメインでの未加工クロック入力に基づいて、高電圧ドメイン内の前記パルスクロックを出力するためのパルスクロック生成回路を構成するステップであって、前記パルスクロック生成回路が、前記低電圧ドメインから前記高電圧ドメインへの電圧レベルシフトを与えるように構成された内蔵型レベルシフタを備えるステップを備え、

前記パルスクロックの立上りエッジが、前記未加工クロックの立上りエッジから、プログラム可能立上りエッジ遅延だけ遅延され、

前記パルスクロックのプログラム可能パルス幅が、前記高電圧ドメイン内の前記パルスクロック生成回路の出力から、前記低電圧ドメイン内の前記パルスクロック生成回路の入力へのフィードバック経路に基づき、

前記フィードバック経路が、前記プログラム可能パルス幅を与えるための選択的パルス幅拡張論理部と、予想されるメモリアレイ読取りアクセス遅延を一致するような読取り遅延を与えるための読取り遅延模倣論理部とを備える方法。

【請求項2】

多周期メモリ読取りまたは書き込み動作の持続期間全体にわたるように、前記パルスクロックの単一パルスを構成するステップを含む、請求項1に記載の方法。

【請求項3】

前記フィードバック経路を通して前記パルスクロック生成回路をリセットするステップをさらに含む、請求項1に記載の方法。

【請求項4】

メモリ書き込み動作用の前記プログラム可能立上りエッジ遅延が前記読取り遅延よりも大きい、請求項1に記載の方法。

【請求項5】

前記フィードバック経路を通して前記パルスクロック生成回路に自己リセットおよび自己タイミング機能性を提供するステップをさらに含む、請求項1に記載の方法。

【請求項6】

メモリ書き込み動作用の前記プログラム可能パルス幅が、メモリ読み取り動作用の前記プログラム可能パルス幅よりも大きくなるようにプログラムされる、請求項1に記載の方法。

【請求項7】

未加工クロックに結合された、低電圧ドメイン内の入力と、
パルスクロックに接続された、高電圧ドメイン内の出力と、
前記低電圧ドメインから前記高電圧ドメインへの電圧レベルシフトを与えるように構成された内蔵型レベルシフタと、
前記パルスクロックの立上りエッジを、前記未加工クロックの立上りエッジから、プログラム可能立上りエッジ遅延だけ遅延させるための選択的遅延論理部と、
前記高電圧ドメイン内のパルスクロック生成回路の前記出力から、前記低電圧ドメイン内の前記パルスクロック生成回路の前記入力へのフィードバック経路であって、前記パルスクロックのプログラム可能パルス幅を与えるための選択的パルス幅拡張論理部、およびメモリアレイ読み取りアクセス遅延と一致するような読み取り遅延を与えるための読み取り遅延模倣論理部を備えるフィードバック経路とを備えるパルスクロック生成回路。

【請求項8】

前記フィードバック経路が、前記パルスクロック生成回路に自己リセットおよび自己タイミング機能性を与えるようにさらに構成される、請求項7に記載のパルスクロック生成回路。

【請求項9】

前記パルスクロックを低論理レベルに駆動するように構成された、前記フィードバック経路に接続された入力リセット信号をさらに備える、請求項7に記載のパルスクロック生成回路。

【請求項10】

前記パルスクロックを安定させるためのラッチをさらに備える、請求項7に記載のパルスクロック生成回路。

【請求項11】

前記ラッチによって生じる電荷共有を削減するためのプルアップトランジスタをさらに備える、請求項10に記載のパルスクロック生成回路。

【請求項12】

前記パルスクロックのパルス挙動を有効にするための入力イネーブル信号をさらに備える、請求項7に記載のパルスクロック生成回路。

【請求項13】

前記入力イネーブル信号が、メモリアクセス動作の完了期間に対応する複数のクロック周期にわたって、前記パルスクロックのパルス挙動を有効にするように構成される、請求項12に記載のパルスクロック生成回路。

【請求項14】

請求項1から6のいずれか1項に記載の方法をコンピュータまたはプロセッサに実施させるための少なくとも1つの命令を含む、コンピュータプログラム。