



(12)发明专利申请

(10)申请公布号 CN 108550696 A

(43)申请公布日 2018.09.18

(21)申请号 201810339585.8

(51)Int.Cl.

(22)申请日 2016.03.08

H01L 45/00(2006.01)

(62)分案原申请数据

201610130129.3 2016.03.08

(71)申请人 江苏时代全芯存储科技有限公司

地址 223300 江苏省淮安市淮阴区淮河东路188号

申请人 江苏时代芯存半导体有限公司

英属维京群岛商时代全芯科技有限公司

(72)发明人 吴孝哲

(74)专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国

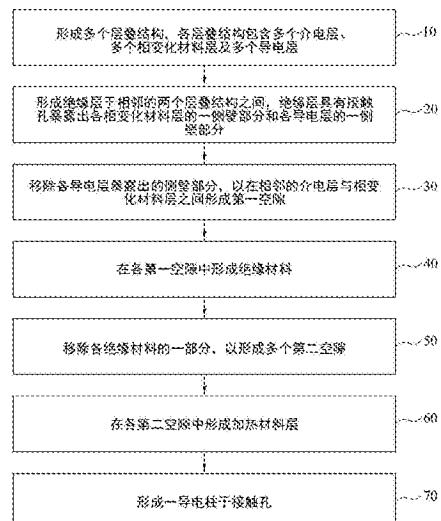
权利要求书1页 说明书8页 附图44页

(54)发明名称

相变化记忆体

(57)摘要

本发明揭露一种相变化记忆体。相变化记忆体包含相变化层、导电层、加热元件、第一绝缘垫以及接触结构。相变化层具有一主表面，导电层位于相变化层的主表面的一侧，且电性连接相变化层。加热元件接触相变化层的主表面。第一绝缘垫接触相变化层的主表面，且包含相对的第一侧面以及第二侧面，分别接触加热元件以及导电层。接触结构电性连接加热元件。此相变化记忆体具有低生产成本、稳定的品质及高的记忆单元密度。



1. 一种相变化记忆体，其特征在于，包含：

一相变化层，具有一主表面在一平面上延伸以及一侧表面邻接该主表面；

一导电层，位于该相变化层的该主表面的一侧并远离该侧表面，且该导电层电性连接该相变化层；

一加热元件，接触该相变化层的该主表面；

一第一绝缘垫，接触该相变化层的该主表面，且包含相对的第一侧面以及第二侧面，该第一侧面及该第二侧面分别接触该加热元件以及该导电层；以及

一接触结构，与该相变化层的该侧表面间隔一距离，该接触结构平行该相变化层的该侧表面，且该接触结构电性连接该加热元件。

2. 如权利要求1所述的相变化记忆体，其特征在于，其中该加热元件包含相对的第一侧壁以及第二侧壁，该第一侧壁接触该第一绝缘垫的该第一侧面。

3. 如权利要求1所述的相变化记忆体，其特征在于，还包含：

一第一介电层，位于该相变化层的上方，且实质上平行该主表面，其中该导电层、该加热元件和该第一绝缘垫夹置在该第一介电层与该相变化层之间。

4. 如权利要求3所述的相变化记忆体，其特征在于，还包含：

一第二介电层，位于该相变化层的下方，且实质上平行该主表面，其中该相变化层夹置在该导电层、该加热元件和该第一绝缘垫与该第二介电层之间。

5. 如权利要求2所述的相变化记忆体，其特征在于，还包含：

一第二绝缘垫，接触该加热元件的该第二侧壁；以及

一半导体结构，贯穿该第二绝缘垫，且具有一端嵌入该加热元件的该第二侧壁；其中该接触结构经由该半导体结构电性连接该加热元件。

6. 如权利要求5所述的相变化记忆体，其特征在于，其中该接触结构在垂直该主表面的一方向延伸，且该接触结构接触该半导体结构。

7. 如权利要求5所述的相变化记忆体，其特征在于，还包含：

一第一介电层，位于该相变化层的上方，且实质上平行该主表面，其中该导电层、该加热元件、该第一绝缘垫和该第二绝缘垫夹置在该第一介电层与该相变化层之间。

8. 如权利要求7所述的相变化记忆体，其特征在于，还包含：

一第二介电层，位于该相变化层的下方，且实质上平行该主表面，其中该相变化层夹置在该导电层、该加热元件、该第一绝缘垫和该第二绝缘垫与该第二介电层之间。

9. 如权利要求5所述的相变化记忆体，其特征在于，其中该接触结构包含：

一导电障碍层，该导电障碍层的一侧与该第一介电层、该半导体结构和该第一绝缘层接触；以及

一导电柱与该导电障碍层的另一侧接触。

10. 如权利要求5至9任一项所述的相变化记忆体，其特征在于，该半导体结构为二极体结构。

## 相变化记忆体

[0001] 本申请是申请日为2016年03月08日、申请号为201610130129.3、发明名称为“相变化记忆体以及制造相变化记忆体的方法”的专利申请的分案申请。

### 技术领域

[0002] 本发明是有关于一种相变化记忆体以及制造相变化记忆体的方法。

### 背景技术

[0003] 计算机或其他电子装置通常配置有各种类型的记忆体，例如随机存取记忆体(RAM)、只读记忆体(ROM)、动态随机存取记忆体(DRAM)、同步动态随机存取记忆体(SDRAM)、相变化随机存取记忆体(PCRAM)或快闪记忆体。相变化记忆体是非挥发性的记忆体，可通过量测记忆体单元的电阻值而获取储存于其中的数据。一般而言，相变化记忆体单元包含加热元件以及相变化单元，相变化单元会因为受热而发生相变化。当通入电流至加热元件时，加热元件将电能转变成热量，所产生的热量促使相变化单元发生相的改变，例如从非晶相(amorphous)转变成多晶相(polygonal crystalline)。相变化单元在不同的相具有不同的电阻值，经由侦测或读取相变化单元的电阻值，便得以判断记忆体单元的数据型态。对于相变化记忆体制造商而言，进一步降低记忆体的制造成本并且提高记忆体的品质，一直是努力的目标。

### 发明内容

[0004] 本发明的一方面是提供一种相变化记忆体。此相变化记忆体包含一相变化层、一导电层、一加热元件、一第一绝缘垫以及一接触结构。相变化层具有一主表面在一平面上延伸以及一侧表面邻接主表面。导电层位于相变化层的主表面的一侧并远离侧表面，且导电层电性连接相变化层。加热元件接触相变化层的主表面。第一绝缘垫接触相变化层的主表面，且包含相对的第一侧面以及第二侧面，第一侧面及第二侧面分别接触加热元件以及导电层。接触结构与相变化层的侧表面间隔一距离，接触结构平行相变化层的侧表面，且接触结构电性连接加热元件。

[0005] 在某些实施方式中，加热元件包含相对的第一侧壁以及第二侧壁，第一侧壁接触第一绝缘垫的第一侧面。

[0006] 在某些实施方式中，所述的相变化记忆体还包含一第一介电层，位于相变化层的上方，且实质上平行主表面。导电层、加热元件和第一绝缘垫夹置在第一介电层与相变化层之间。

[0007] 在某些实施方式中，所述的相变化记忆体还包含一第二介电层，位于相变化层的下方，且实质上平行主表面。相变化层夹置在导电层、加热元件和第一绝缘垫与第二介电层之间。

[0008] 在某些实施方式中，所述的相变化记忆体还包含一第二绝缘垫以及一半导体结构。第二绝缘垫接触加热元件的第二侧壁。半导体结构贯穿第二绝缘垫，且具有一端嵌入加

热元件的第二侧壁。接触结构经由半导体结构电性连接加热元件。

[0009] 在某些实施方式中,接触结构在实质上垂直主表面的一方向延伸,且接触结构接触半导体结构。

[0010] 在某些实施方式中,所述的相变化记忆体还包含一第一介电层,位于相变化层的上方,且实质上平行主表面,其中导电层、加热元件、第一绝缘垫和第二绝缘垫夹置在第一介电层与相变化层之间。

[0011] 在某些实施方式中,所述的相变化记忆体还包含一第二介电层,位于相变化层的下方,且实质上平行主表面,其中相变化层夹置在导电层、加热元件、第一绝缘垫和第二绝缘垫与第二介电层之间。

[0012] 在某些实施方式中,接触结构包含一导电障碍层以及一导电柱。导电障碍层的一侧与第一介电层、半导体结构以及第一绝缘层接触。导电柱与导电障碍层的另一侧接触。

[0013] 在某些实施方式中,半导体结构为一二极体结构。

## 附图说明

[0014] 图1A绘示根据本发明各种实施方式的制造相变化记忆体的方法的流程图;

[0015] 图1B绘示根据本发明某些优选实施方式的步骤流程图;

[0016] 图2A、3A、4A、5A、6A、7A、8A、9A、10A及12A分别绘示本发明某些实施方式在不同制程阶段的上视示意图;

[0017] 图2B、3B、4B、5B、6B、7B、8B、9B、10B及12B分别绘示本发明某些实施方式在不同制程阶段沿线段B-B'的剖面示意图;

[0018] 图2C、3C、4C、5C、6C、7C、8C、9C、10C及12C分别绘示本发明某些实施方式在不同制程阶段沿线段C-C'的剖面示意图;

[0019] 图2D、3D、4D、5D、6D、7D、8D、9D、10D及12D分别绘示本发明某些实施方式在不同制程阶段沿线段D-D'的剖面示意图;

[0020] 图6B-1、6D-1、7B-1、7D-1、8B-1、8D-1、9B-1、9D-1、10B-1分别为局部放大图;

[0021] 图11绘示图10D中各个相变化记忆单元的放大图。

## 具体实施方式

[0022] 为了使本发明的叙述更加详尽与完备,下文针对了本发明的实施态样与具体实施例提出了说明性的描述;但这并非实施或运用本发明具体实施例的唯一形式。以下所揭露的各实施例,在有益的情形下可相互组合或取代,也可在一实施例中附加其他的实施例,而无须进一步的记载或说明。

[0023] 在以下描述中,将详细叙述许多特定细节以使读者能够充分理解以下的实施例。然而,可在无此等特定细节的情况下实践本发明的实施例。在其他情况下,为简化附图,熟知的结构与装置仅示意性地绘示于图中。

[0024] 在本文中使用空间相对用语,例如“下方”、“之下”、“上方”、“之上”等,这是为了便于叙述一元件或特征与另一元件或特征之间的相对关系,如图中所绘示。这些空间上的相对用语的真实意义包含其他的方位。例如,当图示上下翻转180度时,一元件与另一元件之间的关系,可能从“下方”、“之下”变成“上方”、“之上”。此外,本文中所使用的空间上的相对

叙述也应作同样的解释。

[0025] 本发明的一方面是提供一种制造相变化记忆体的方法。图1A绘示根据本发明各种实施方式的制造相变化记忆体的方法1的流程图。方法1包含操作10、操作20、操作30、操作40、操作50、操作60以及操作70。图2A至图12C绘示本发明各种实施方式在不同制程阶段的示意图。虽然下文中利用一系列的操作或步骤来说明在此揭露的方法，但是这些操作或步骤所示的顺序不应被解释为本发明的限制。例如，某些操作或步骤可以按不同顺序进行及/或与其它步骤同时进行。此外，并非必须执行所有绘示的步骤才能实现本发明的实施方式。此外，在此的每一个操作或步骤可以包含数个子步骤或动作。

[0026] 在操作10中，形成多个层叠结构。图2A绘示本发明某些实施方式在执行操作10后的上视示意图，图2B、2C及2D分别绘示图2A中沿B-B'线段、C-C'线段及D-D'线段的剖面示意图。如图2B及2D所示，各层叠结构110包含多个介电层112、多个相变化材料层114及多个导电层116。各导电层116及各相变化材料层114夹置在相邻的两个介电层112之间。在某些实施方式中，在半导体基材102上重复地依序沉积介电层112、相变化材料层114以及导电层116。然后，在最上层的介电层112上形成一保护层108，保护层108的材料可例如为氮化硅(SiN)，但不以此为限。保护层108也可以是其他的绝缘保护材料所形成，例如氧化硅(SiO<sub>2</sub>)、氧化铝(Al<sub>2</sub>O<sub>3</sub>)、氮化铝(AlN)、玻璃或类似的材料、或上述的组合。之后，利用微影蚀刻制程形成多个层叠结构110。举例而言，可通过形成图案化光阻层104来定义层叠结构110的上视图案，然后进行干式非等向性蚀刻而形成层叠结构110，之后移除图案化光阻层104。相变化材料层114及导电层116的沉积顺序可以改变，例如在另外某些实施方式中，是重复地依序沉积介电层112、导电层116以及相变化材料层114。

[0027] 介电层112可以包含任何适合的介电材料，例如氮化硅、氧化硅、掺杂的硅玻璃等介电材料，介电层112也可以由低介电系数的介电材料所形成，例如磷硅酸盐玻璃(PSG)、硼磷硅玻璃(BPSG)、氟硅玻璃(FSG)、碳化硅材料、或上述的组合或类似材料。介电层112的厚度可依实际需求调整，例如为约5nm至约300nm。

[0028] 在某些实施方式中，相变化材料层114包含锗-锑-碲(GST)材料，例如Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>、Ge<sub>1</sub>Sb<sub>2</sub>Te<sub>4</sub>、Ge<sub>1</sub>Sb<sub>4</sub>Te<sub>7</sub>或上述的组合或类似的材料。其他相变化材料可例如为GeTe、Sb<sub>2</sub>Te<sub>3</sub>、GaSb、InSb、Al-Te、Te-Sn-Se、Ge-Sb-Te、In-Sb-Te、Ge-Se-Ga、Bi-Se-Sb、Ga-Se-Te、Sn-Sb-Te、In-Sb-Ge、Te-Ge-Sb-S、Te-Ge-Sn-O、Sb-Te-Bi-Se、Te-Ge-Sn-Au、Pd-Te-Ge-Sn、In-Se-Ti-Co、Ge-Sb-Te-Pd、Ag-In-Sb-Te、Ge-Te-Sn-Pt、Ge-Te-Sn-Ni、Ge-Te-Sn-Pd及Ge-Sb-Se-Te。相变化材料层114的厚度可依实际需求调整，例如为约5nm至约100nm。

[0029] 在某些实施例中，层叠结构110的上视图案为直条状，层叠结构110中的导电层116作为相变化记忆体的字元线(word line)。导电层116的材料可例如为包含钨(W)的金属材料，导电层116也可以包含其他的金属材料，例如钛(Ti)、铝(Al)、铜(Cu)、银(Ag)、金(Au)或上述材料的组合或类似的材料。导电层116的厚度可依实际需求调整，例如为约5nm至约100nm。

[0030] 在后续的图3A至10C中，附图编号中包含字母“A”的附图，例如图3A、4A、5A等图，为上视示意图；附图编号中包含字母“B”的附图，例如图3B、4B、5B等图，为沿线段B-B'的剖面示意图；附图编号中包含字母“C”的附图，例如图3C、4C、5C等图，为沿线段C-C'的剖面示意图；附图编号中包含字母“D”的附图，例如图3D、4D、5D等图，为沿线段D-D'的剖面示意图。

[0031] 在图1A的操作20中,形成绝缘层于相邻的两个层叠结构之间,绝缘层具有至少一个接触孔暴露出层叠结构的侧壁。图3A-3D及图4A-4D绘示本发明某些实施方式的实现操作20的示意图。首先,如图3A-3D所示,在相邻的两个层叠结构110之间形成绝缘层120。例如,先使用沉积制程沉积一层绝缘材料层覆盖层叠结构110,并填满两个相邻层叠结构110之间的间隙。然后,进行化学机械研磨制程移除沉积在各层叠结构110上方的绝缘材料层,而在相邻两个层叠结构之间形成绝缘层120。随后,如图4A-4D所示,在绝缘层120上方形成图案化光阻层106,并进行蚀刻制程,因此在绝缘层120中形成至少一个接触孔122。如图4D所示,接触孔122暴露出各介电层112的侧壁部分112a、各相变化材料层114的侧壁部分114a以及各导电层116的侧壁部分116a。

[0032] 在图1A的操作30中,移除各导电层暴露出的侧壁部分,以在相邻的介电层与相变化材料层之间形成第一空隙。请参照图5A-5D,经由接触孔122移除各导电层116露出的侧壁部分116a,而在相邻的介电层112与相变化材料层114之间形成第一空隙131(绘示在图5A、5B及5D中)。根据本发明的多个实施方式,使用湿式蚀刻制程进行操作30。湿式蚀刻制程的蚀刻剂经由接触孔122蚀刻各导电层116的侧壁部分116a,而形成第一空隙131,所以第一空隙131与接触孔122相互连通。此外,因湿式蚀刻为等向性蚀刻,蚀刻剂会从图5A绘示的X方向以及Y方向对层叠结构110的导电层116进行蚀刻,因此所形成的第一空隙131的宽度W1大于接触孔122的宽度Z。在一实施方式中,当导电层116包含钨材料时,湿式蚀刻制程可以选用含有过氧化氢( $H_2O_2$ )的蚀刻剂。在某些实施方式中,第一空隙131的高度实质上是由导电层116的厚度所决定。

[0033] 在图1A的操作40中,在各第一空隙131中形成绝缘材料140,如图5A-5D。在某些实施例中,使用例如化学气相沉积或原子层沉积制程整面性的沉积一层绝缘材料层,此绝缘材料层填满第一空隙131,并且披覆在其他的结构上;然后进行非等向蚀刻制程,移除位在第一空隙131以外的绝缘材料层,而得到填充在第一空隙131中的绝缘材料140。在各种实施方式中,绝缘材料140的厚度实质上与导电层116的厚度相同,而且绝缘材料140的侧壁部分142经由接触孔122而露出(绘示在图5D中)。此外,绝缘材料140的宽度实质上等于第一空隙131的宽度W1。根据本发明的多个实施方式,绝缘材料140与介电层112为不同的材料所制成。举例而言,绝缘材料140可例如为三氧化二铝或类似的材料,介电层112可例如为氧化硅或类似的材料。

[0034] 在操作50中,移除各绝缘材料140的侧壁部分142,而形成多个第二空隙132,如图6A至6D-1所示,其中图6B-1为图6B中区域F1的放大图,图6D-1为图6D中区域F2的放大图。根据本发明的多个实施方式,选用适当的蚀刻剂,并利用湿式蚀刻制程来移除各绝缘材料140的侧壁部分142,而形成第二空隙132。所选用的蚀刻剂对于绝缘材料140与介电层112必须具有适当选择比,让蚀刻剂实质上不移除介电层112的侧壁,但是却能够有效地移除绝缘材料140的侧壁部分142,如此才能形成第二空隙132。举例而言,当绝缘材料140的组成材料为三氧化二铝,介电层112的组成材料为氧化硅时,可以选用含有氢氧化钾(KOH)的蚀刻剂来蚀刻各绝缘材料140的侧壁部分142,而形成第二空隙132。因湿式蚀刻为等向性蚀刻,蚀刻剂会从图5A绘示的X方向以及Y方向对绝缘材料140进行蚀刻,因此所形成的第二空隙132的宽度W2大于接触孔122的宽度Z。

[0035] 在操作60中,在各第二空隙132中形成加热材料层150。操作60及其后的操作或步

骤存在多种可能的变化。根据本发明的某些实施方式,可选择性地在第二空隙132中形成例如二极体等半导体结构。但是,第二空隙中的半导体结构并非本发明的必要元件;在其他实施方式中,第二空隙中可以不形成半导体结构。

[0036] 以下详细说明根据本发明某些实施方式在第二空隙132中形成二极体结构的步骤。首先,操作60进一步包含形成第一型半导体材料160于各个第二空隙132中,如图6A-6D所示。第一型半导体材料160从接触孔122横向地嵌入各加热材料层150中,如图6D所示。有多种方式可以形成6A-6D绘示的结构。在一实施例中,首先以原子层沉积制程保形地形成一层加热材料的沉积层,此加热材料的沉积层披覆在第二空隙132的内侧表面以及其他结构上,但是加热材料沉积层不填满第二空隙132及/或接触孔122。然后,在加热材料沉积层上形成第一型半导体材料层,第一型半导体材料层填满第二空隙132的剩余空间。之后,进行非等向蚀刻制程,移除位在第二空隙132以外的加热材料沉积层以及第一型半导体材料层,而得到填充于第二空隙132中的加热材料层150以及第一型半导体材料160。从而,得到横向嵌入加热材料层150的第一型半导体材料160,第一型半导体材料160可例如为P+型的半导体材料。在某些实施例中,加热材料层150包含一第一部分151以及一第二部分152,分别位于第一型半导体材料160的上方及下方。此外,加热材料层150的宽度实质上等于第二空隙132的宽度W2。

[0037] 在形成第一型半导体材料160之后,进行图1B绘示的步骤61、步骤62、步骤63、步骤64、步骤65及步骤66,便能实现在第二空隙132中形成二极体结构。

[0038] 在步骤61中,移除各加热材料层150的一部分,而形成多个第三空隙133,如图7A至7D-1所示,其中图7B-1为图7B中区域F3的放大图,图7D-1为图7D中区域F4的放大图。根据本发明的多个实施方式,通过湿式蚀刻制程,并选用适当的蚀刻剂,来移除接触孔122中各加热材料层150的露出部分,而形成第三空隙133。举例而言,当加热材料层150包含例如氮化钽(TaN)等金属氮化物时,可以选用含有氢氧化铵(NH<sub>4</sub>OH)及过氧化氢(H<sub>2</sub>O<sub>2</sub>)的蚀刻剂来移除各加热材料层150的露出部分,而形成第三空隙133。因湿式蚀刻为等向性蚀刻,蚀刻剂会从图5A绘示的X方向以及Y方向对绝缘材料140进行蚀刻,因此所形成的第三空隙133的宽度W3大于接触孔122的宽度Z。在某些实施方式中,第三空隙133包含空隙133a及空隙133b,空隙133a及空隙133b分别位于第一型半导体材料160的上方及下方。

[0039] 在步骤62中,在各第三空隙133中形成第一绝缘栓171,如第7A至7D-1图所示。在某些实施方式中,使用例如化学气相沉积或原子层沉积技术整面性的沉积一层绝缘材料层,此绝缘材料层填满第三空隙133,并且披覆在其他结构上;然后进行非等向蚀刻制程,移除位在第三空隙133以外的绝缘材料层,而得到填充在第三空隙133中的第一绝缘栓171。第一绝缘栓171的宽度实质上等于第三空隙133的宽度W3。在一实施例中,第一绝缘栓171的材料为氮化硅(SiN)。在某些实施方式中,第一绝缘栓171包含绝缘栓171a及绝缘栓171b,绝缘栓171a及绝缘栓171b分别位于第一型半导体材料160的上方及下方。在某些实施方式中,第一绝缘栓171的材料可与介电层112相同或不同。在另外某些实施方式中,第一绝缘栓171的材料可与绝缘材料140相同或不同。

[0040] 在步骤63中,移除各第一型半导体材料160的一部分,而形成多个第四空隙134,如图8A至8D-1所示,其中图8B-1为图8B中区域F5的放大图,图8D-1为图8D中区域的放大图F6。在某些实施方式中,通过湿式蚀刻制程,并选用适当的蚀刻剂,经由接触孔122移除各第一

型半导体材料160露出的侧壁部分,而形成第四空隙134。因湿式蚀刻为等向性蚀刻,蚀刻剂会从图5A绘示的X方向以及Y方向对第一型半导体材料160进行蚀刻,因此所形成的第四空隙134的宽度W4大于接触孔122的宽度Z。

[0041] 在步骤64中,在各第四空隙134中形成第二型半导体材料180,如图8A至8D-1所示。第二型半导体材料180可包含例如N-型的半导体材料。在某些实施例中,使用例如化学气相沉积或原子层沉积技术整面性的沉积一层第二型半导体材料层,此第二型半导体材料填满第四空隙134,并且披覆在其他结构上;然后进行非等向蚀刻制程,移除位在第四空隙134以外的第二型半导体材料层,而形成嵌设在第四空隙134中的第二型半导体材料180。第二型半导体材料180的宽度实质上等于第四空隙134的宽度W4。第二型半导体材料180可例如为N-型的半导体材料,第二型半导体材料180与第一型半导体材料160接触,而形成二极体结构184。

[0042] 在步骤65中,移除各相变化材料层114暴露于接触孔122的侧壁部分114a(标示在图8D中),而形成多个第五空隙135,如图9A至9D-1所示,其中图9B-1为图9B中区域F7的放大图,图9D-1为图9D中区域F8的放大图。根据本发明的多个实施方式,通过湿式蚀刻制程,并选用适当的蚀刻剂,通过接触孔122来移除相变化材料层114暴露于接触孔122的侧壁部分114a,而形成第五空隙135。举例而言,当相变化材料层114包含锗-锑-碲材料时,可以选用含有硝酸(20wt%)的蚀刻剂来移除相变化材料层114的侧壁部分114a,而形成第五空隙135。因湿式蚀刻为等向性蚀刻,蚀刻剂会从图5A绘示的X方向以及Y方向对相变化材料层114进行蚀刻,因此所形成的第五空隙135的宽度W5大于接触孔122的宽度Z。

[0043] 在步骤66中,在各个第五空隙135中形成第二绝缘栓172,如图9A至9D-1所示。在某些实施例中,使用例如化学气相沉积或原子层沉积技术整面性的沉积一层绝缘材料层,此绝缘材料层填满第五空隙135,并且披覆在其他结构上;然后进行非等向蚀刻制程,移除位在第五空隙135以外的绝缘材料层,而得到嵌设在第五空隙135的第二绝缘栓172。第二绝缘栓172的宽度实质上等于第五空隙135的宽度W5。第二绝缘栓172阻隔相变化材料层114与接触孔122,避免相变化材料层114经由接触孔122而露出。在某些实施例中,第二绝缘栓172的组成材料与第一绝缘栓171的组成材料相同。

[0044] 如前文所述,根据本发明的其他实施方式,可以不形成诸如二极体结构等半导体结构于第二空隙132(标示在图6D)中。因此,上述形成第一型半导体材料160的步骤及上述步骤61-66,仅是本发明优选的实施方式。举例而言,当不形成半导体结构时,操作60所述的加热材料层150可填满第二空隙132。随后,进行步骤65所述的移除各相变化材料层114的一部分而形成多个第五空隙135,之后执行步骤66所述在各个第五空隙135中形成第二绝缘栓172。

[0045] 在操作70中,形成接触结构190于接触孔122中,如图10A-10D所示,其中图10B-1为图10B中区域F9的放大图。在某些实施方式中,接触结构190包含导电障碍层191以及导电柱192。在某些实施例中,首先保形地沉积一层导电障碍材料层披覆在接触孔122中,接着再沉积一层包含导电材料层填满接触孔122内的剩余空间。在一实施例中,沉积的导电障碍材料层及导电材料层也会沉积在接触孔122以外的其他结构上,因此在沉积导电材料层之后,进行化学机械研磨制程来移除位于接触孔122以外的导电障碍材料层及导电材料层,从而得到图10A-10D绘示的相变化记忆体结构。请参见图10D,在此所制造的相变化记忆体结构包

含多个相变化记忆单元100。在某些实施方式中，导电障碍层191的材料可例如为氮化钛，导电柱192的材料可例如为包含钨的金属材料。导电障碍层191用以避免导电柱192中的钨原子扩散到邻近的结构中。接触结构190也可以是其他的材料，例如钛(Ti)、铝(Al)、铜(Cu)、银(Ag)、金(Au)或上述材料的组合或类似的材料。图11绘示图10D中各个相变化记忆单元100的放大图，下文将更详细叙述图11中的各个元件。

[0046] 在执行操作70后，可选择性地在接触结构190上形成其他结构。举例而言，如图12A-12D所示，在接触结构190上形成位线(bit line)194。位线194经由接触结构190、二极体结构184及加热材料层150而电性连接相变化材料层114。

[0047] 在已知的三维的相变化记忆体中，必须重复地进行沉积-微影-蚀刻制程，才能制造三维的相变化记忆体。在此揭露的方法中，是先重复地依序沉积介电层112、相变化材料层114以及导电层116，然后利用一次微影蚀刻制程形成多个层叠结构110，因此能够减少进行微影-蚀刻制程的次数，从而降低相变化记忆体的生产成本。此外，相变化材料层114是沉积在平面上，所以能够使用物理气相沉积技术来形成，无须使用化学气相沉积制程或原子层沉积制程。在已知技术中，当使用化学气相沉积技术或原子层沉积技术来形成相变化层时，常会面临沉积的膜层品质不佳的问题。因此，在此揭露的方法改善了已知技术的缺点。

[0048] 根据以上揭露的内容，本发明的另一方面是提供一种相变化记忆体。请参照图11，相变化记忆体200包含相变化层210、导电层220、加热元件230、第一绝缘垫240以及接触结构250。相变化层210具有一个主表面210a，主表面210a在一平面上延伸。导电层220位于相变化层210的主表面210a的一侧，并且电性连接相变化层210。在某些实施方式中，导电层220接触相变化层210的主表面210a，且实质上平行相变化层210。加热元件230接触相变化层210的主表面210a。在某些实施方式中，加热元件230包含相对的第一侧壁231以及第二侧壁232。在各种实施例中，加热元件230还包含一个第三面233，第三面233邻接第一侧壁231及第二侧壁232，而且加热元件230的第三面233接触相变化层210的主表面210a。此外，第一绝缘垫240接触相变化层210的主表面210a，第一绝缘垫240包含相对的第一侧面241以及第二侧面242，第一侧面241及第二侧面242分别接触加热元件230以及导电层220。接触结构250电性连接加热元件230。在某些实施方式中，接触结构250包含导电障碍层251以及导电柱252。

[0049] 在多个实施方式中，相变化记忆体200还包含第二绝缘垫260以及半导体结构270。第二绝缘垫260接触加热元件230的第二侧壁232。半导体结构270横向贯穿第二绝缘垫260，并且半导体结构270具有一端部272嵌入加热元件230的第二侧壁232。接触结构250经由半导体结构270电性连接加热元件230。在一实施例中，接触结构250在实质上垂直于相变化层210的主表面210a的方向上延伸，而且接触结构250的导电障碍层251直接接触半导体结构270。当相变化记忆体处于操作状态时，电流的传递途径如图11的路径E所示，电流从接触结构250经由半导体结构270传导到加热元件230，再从加热元件230经由相变化层210传导到导电层220。电流的长距离传导主要是经由导电柱251来传递，只有当电流在导电柱252与半导体结构270之间传导时，电流才会通过导电柱252与半导体结构270之间的导电障碍层251。当电流通过加热元件230时，加热元件230将部分的电能转变为热，并通过加热元件230的第三面233对相变化层210进行加热，使相变化层210的主表面210a中接触加热元件230的局部发生相变化，而达到储存数据的目的。如前文所述，根据本发明的某些实施方式，可以

不形成半导体结构270，在这些实施方式中，电流可以从接触结构250传导到加热元件230，再从加热元件230经由相变化层210传导到导电层220；或者电流可以从导电层220传导到相变化层210，再从相变化层210经由加热元件230传导到导电层220。

[0050] 在另一实施方式中，相变化记忆体200还包含第一介电层281以及第二介电层282。第一介电层281位于相变化层210的上方，并且实质上平行相变化层210的主表面210a。导电层220、加热元件230以及第一绝缘垫240夹置在第一介电层281与相变化层210之间。第二介电层282配置在相变化层210的下方。

[0051] 虽然本发明已以实施方式揭露如上，然其并非用以限定本发明，任何熟悉此技艺者，在不脱离本发明的精神和范围内，当可作各种的更动与润饰，因此本发明的保护范围当视所附的权利要求书所界定的范围为准。

1

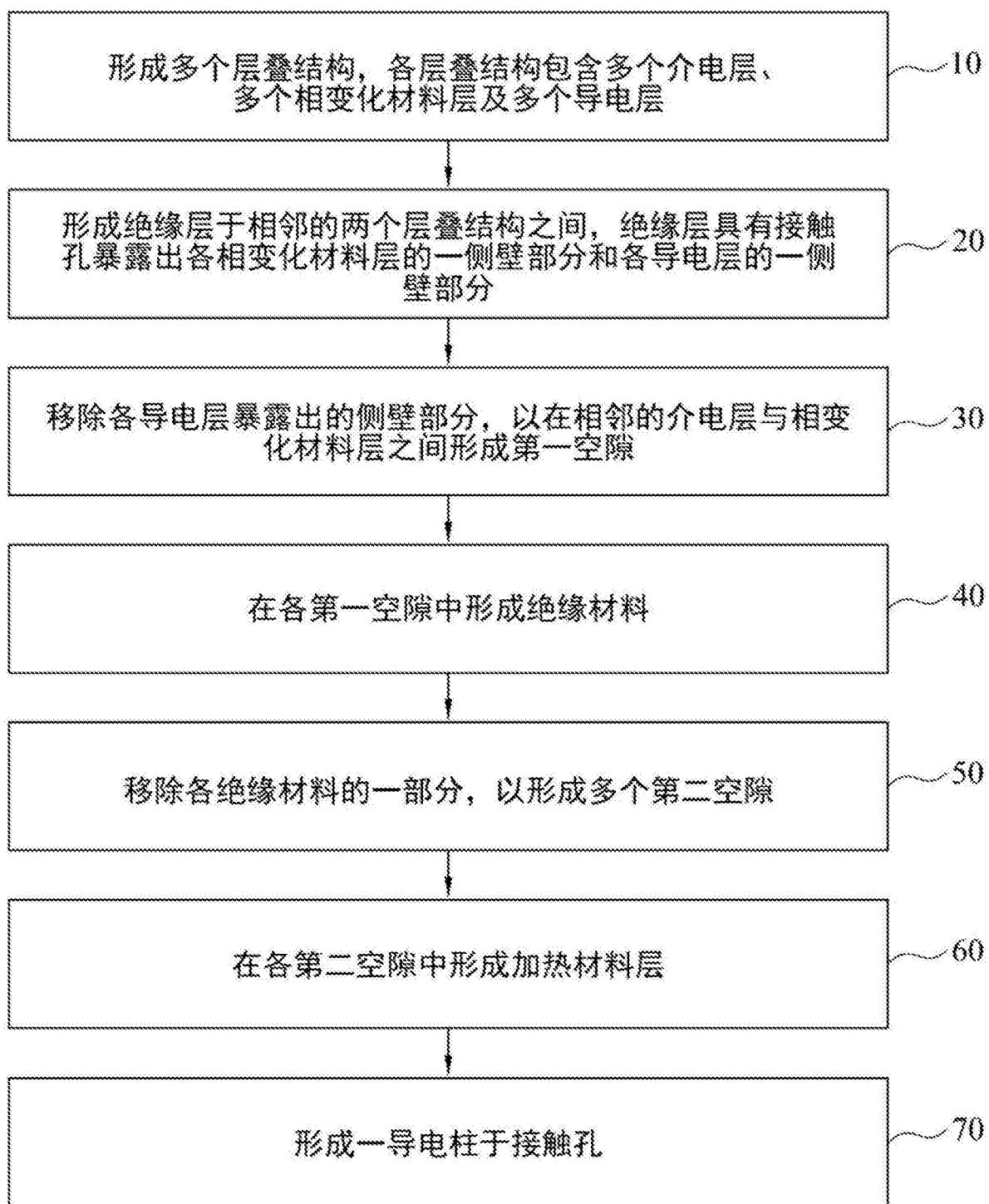


图1A

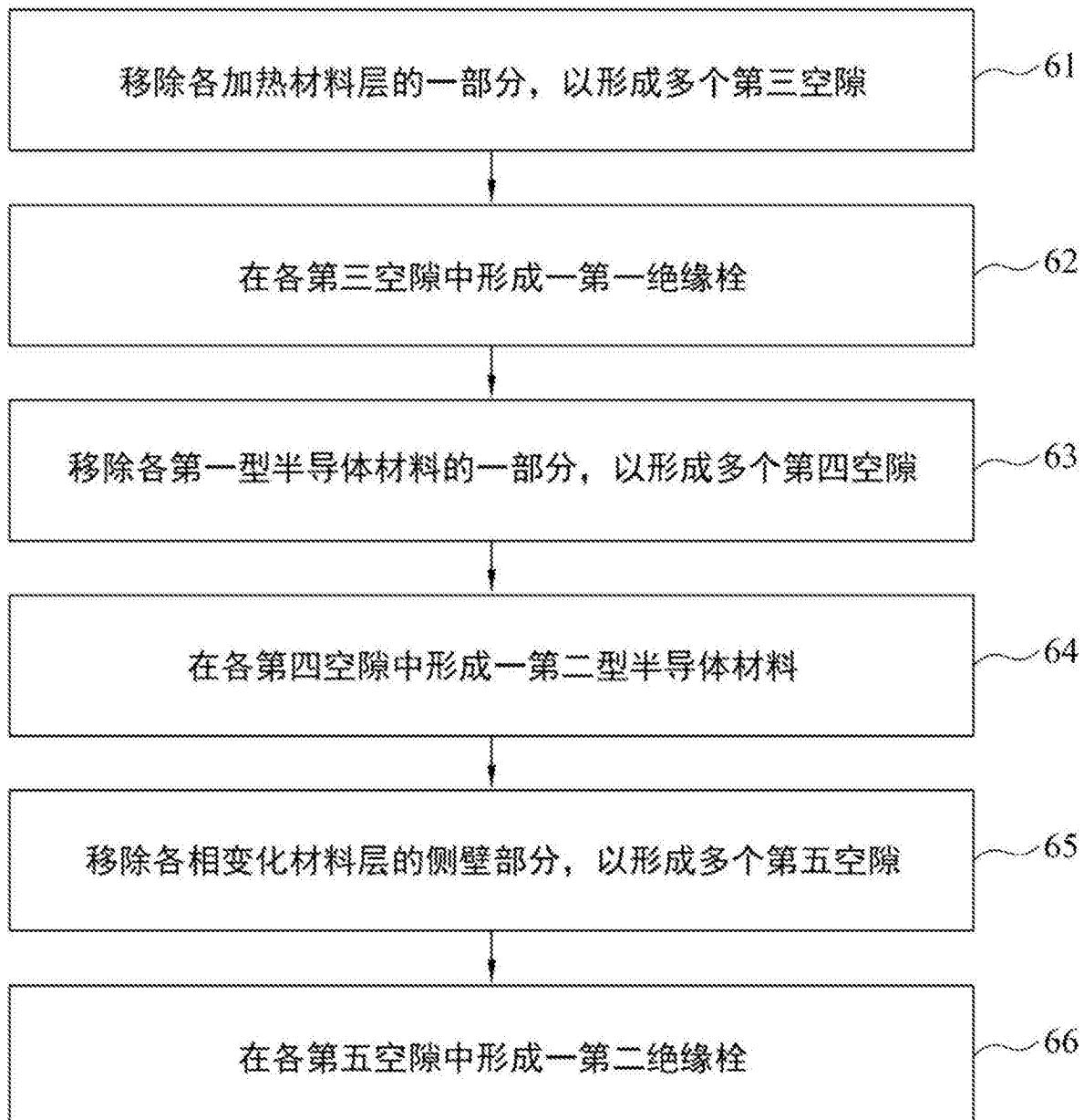


图1B

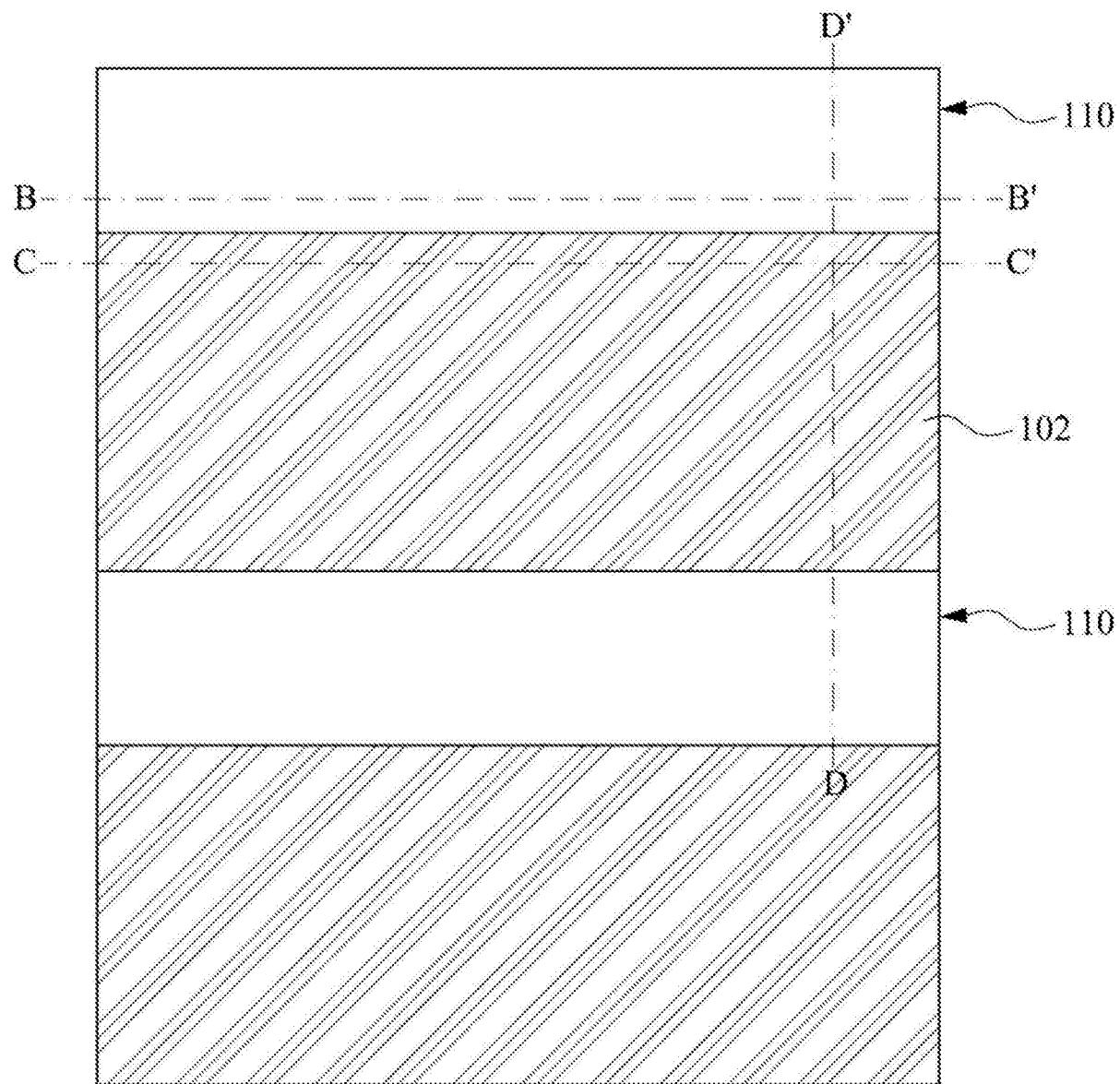


图2A

110

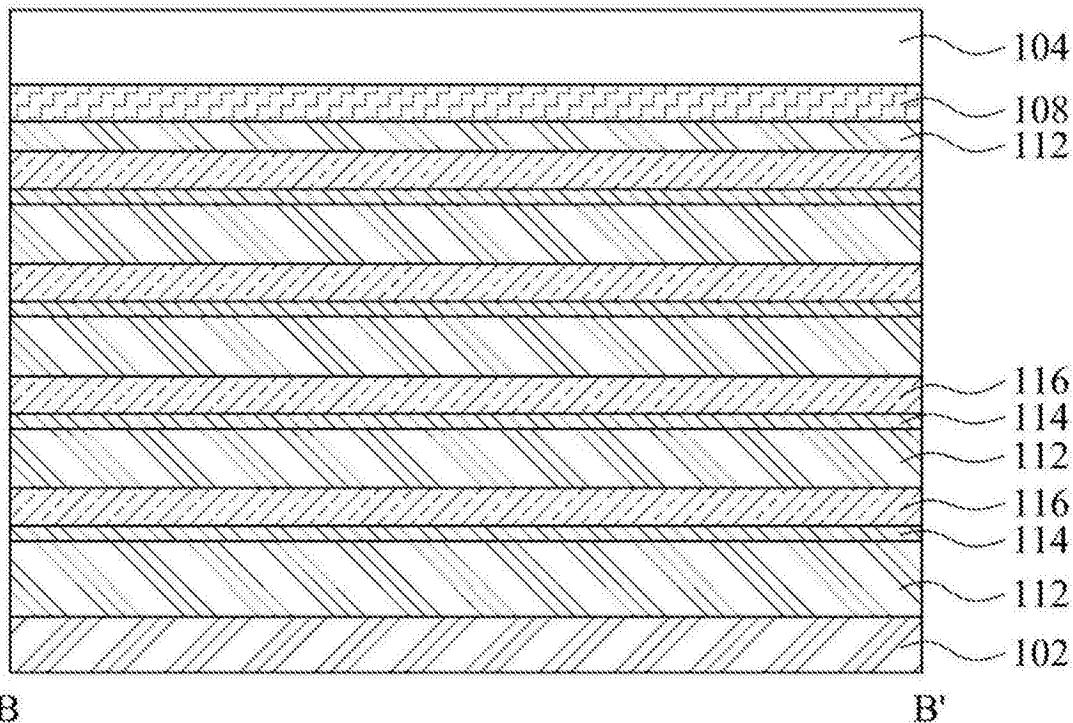


图2B



图2C

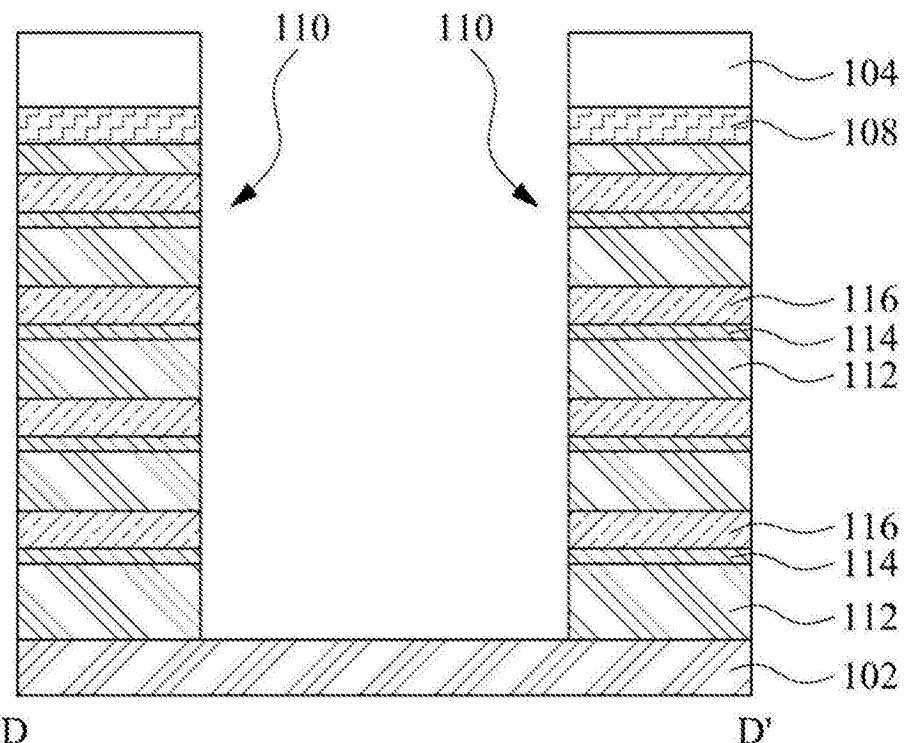


图2D

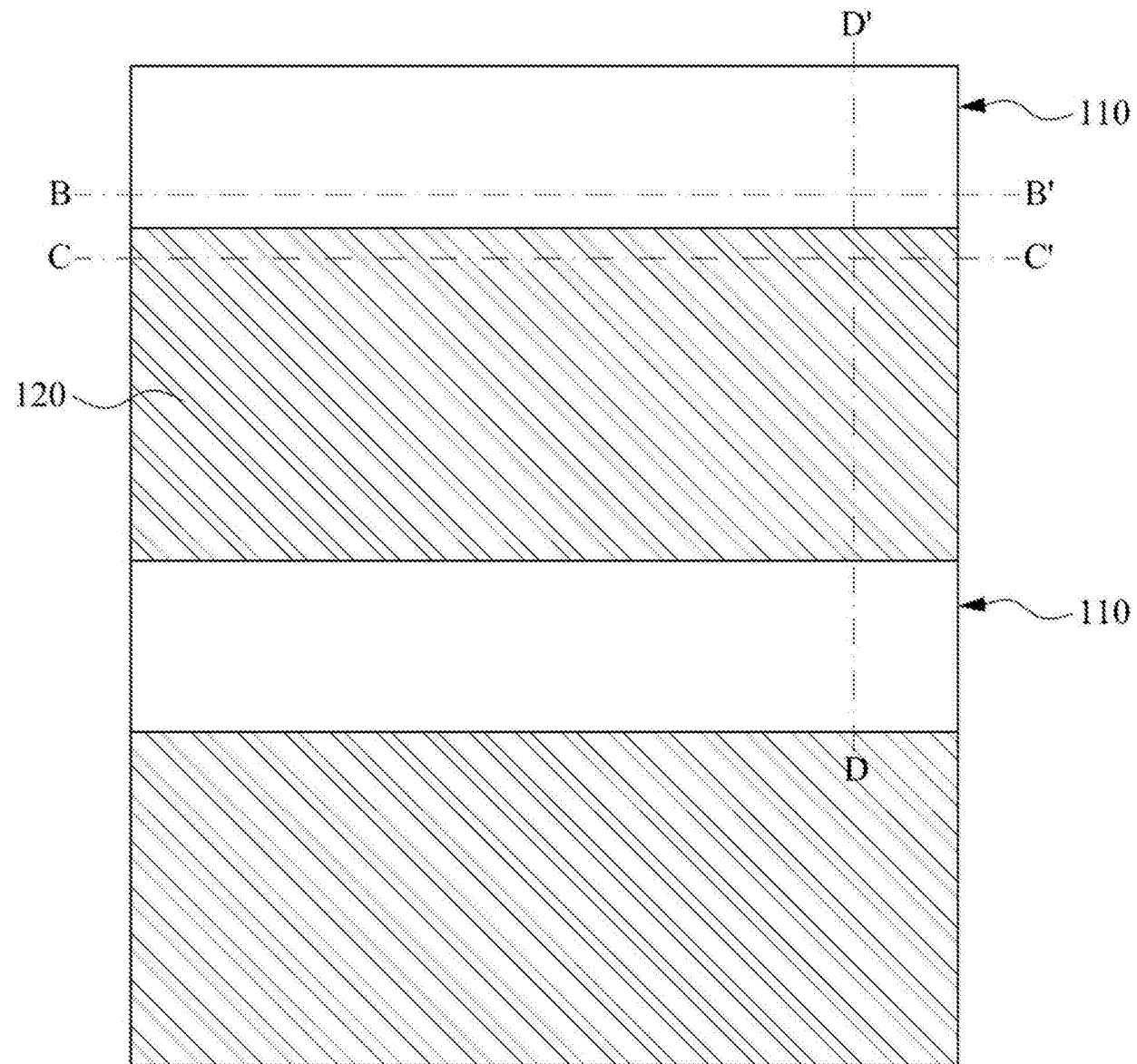
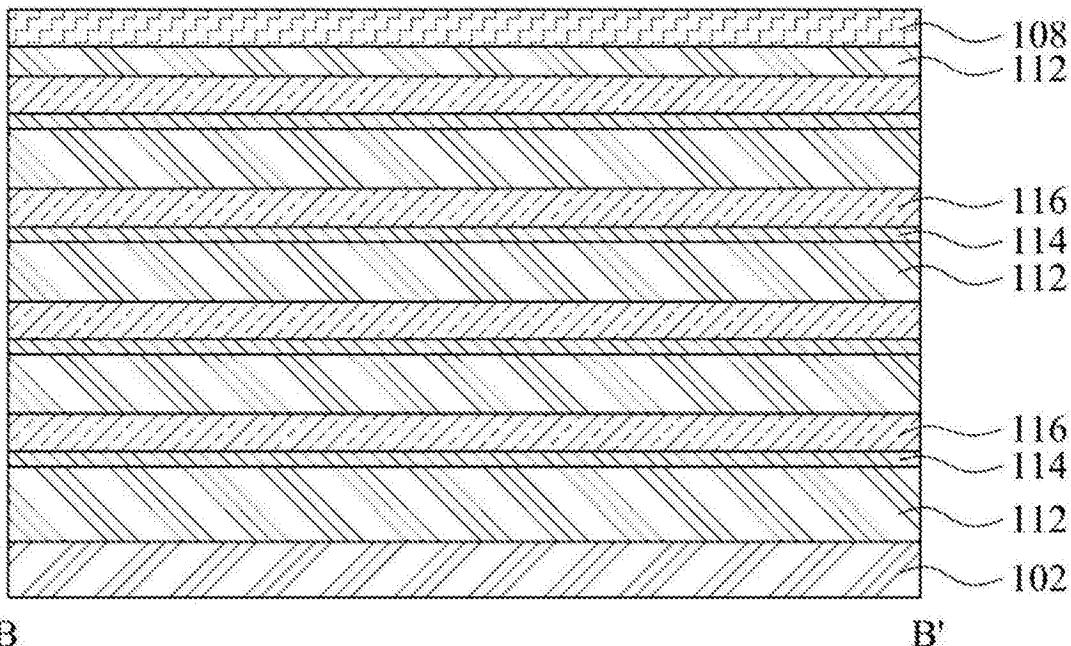


图3A

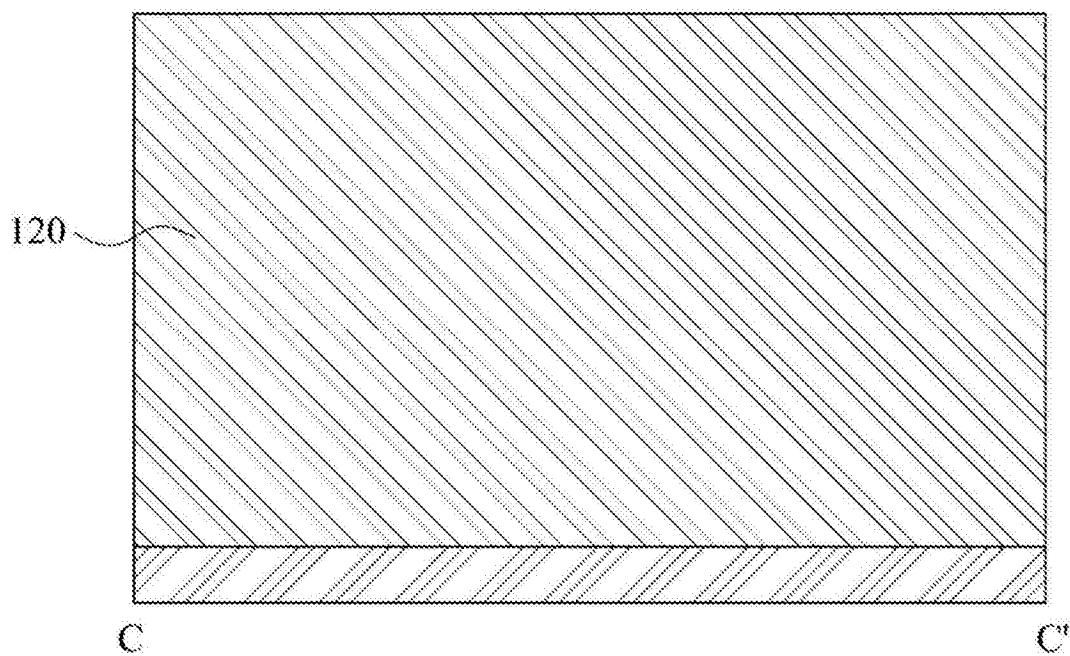
110



B

B'

图3B



C

C'

图3C

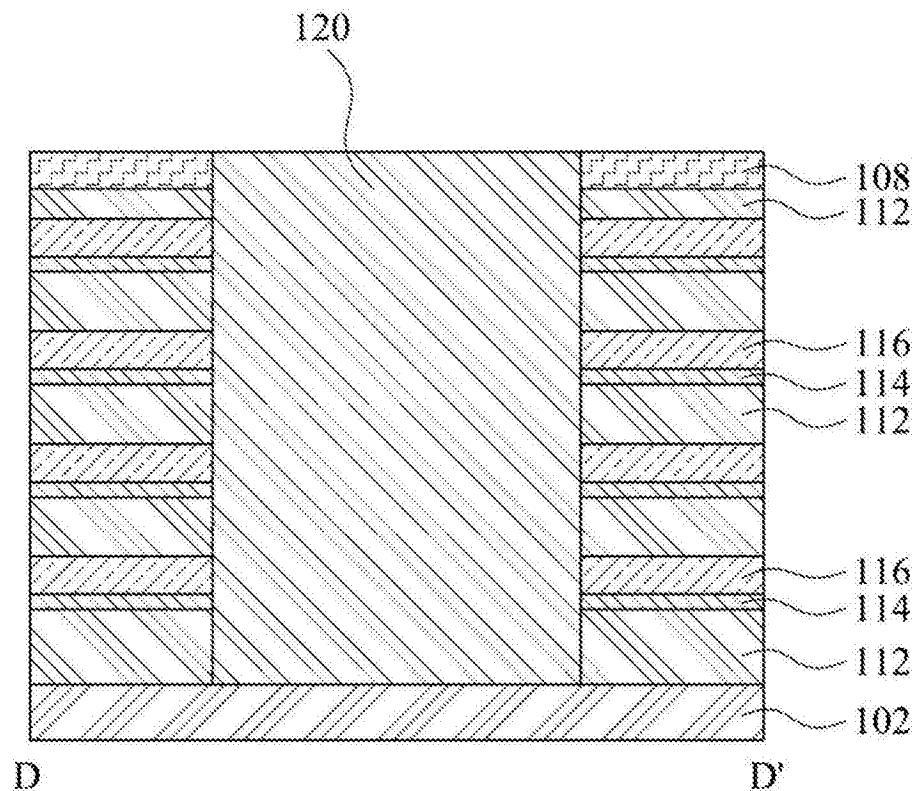


图3D

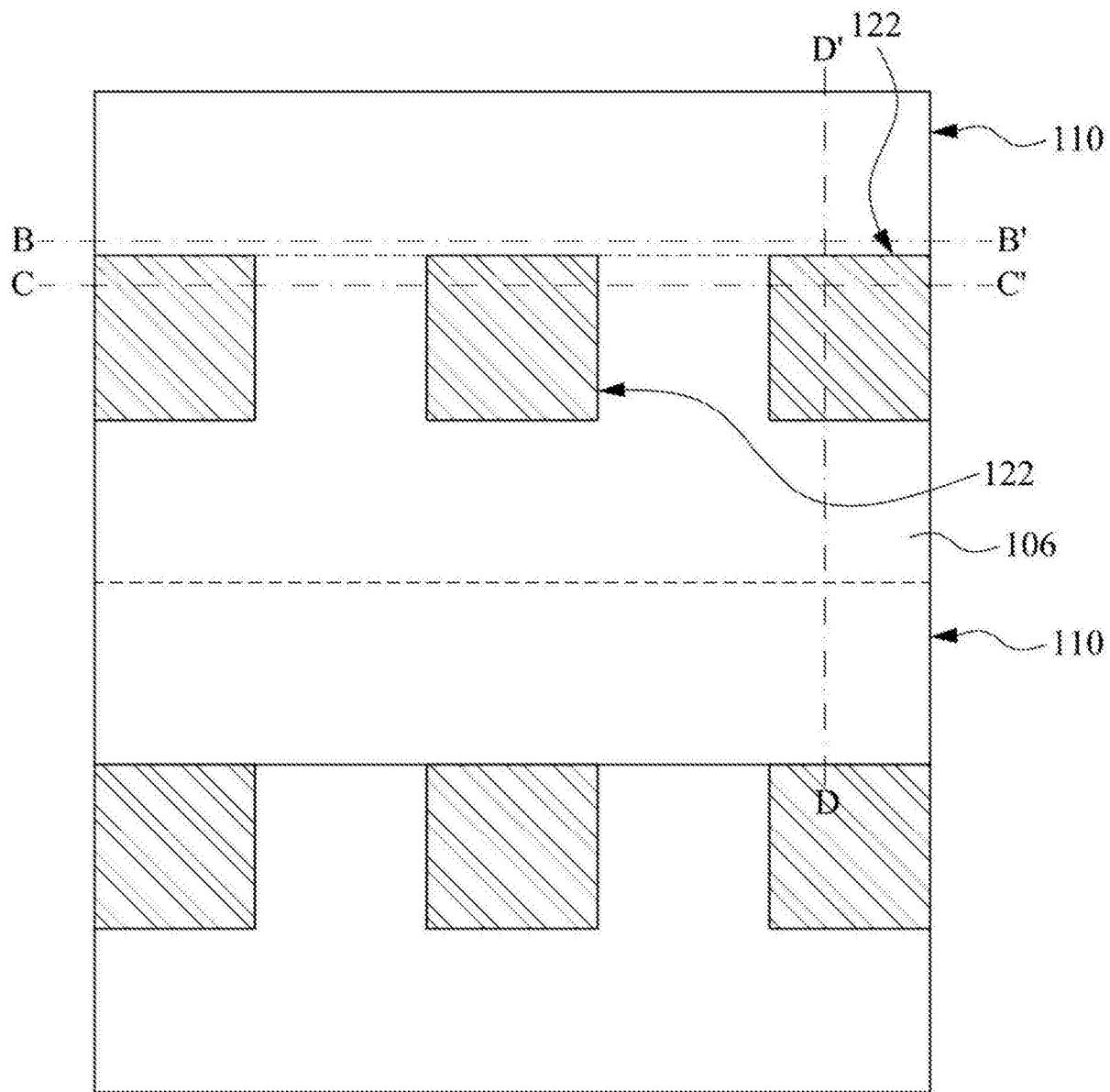


图4A

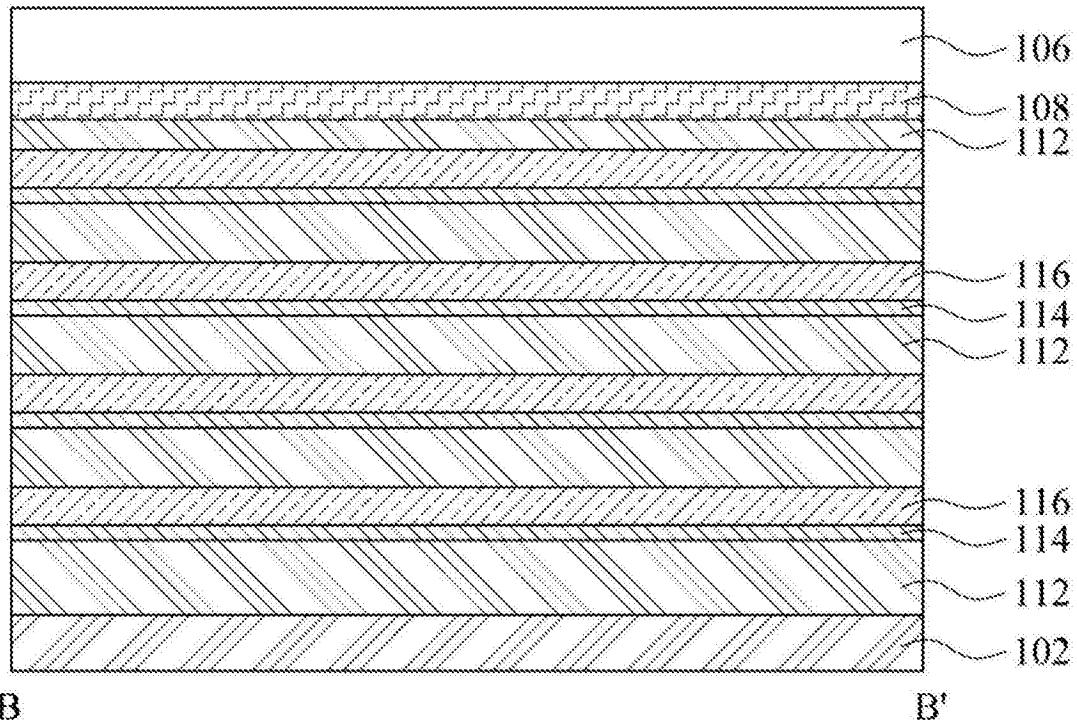


图4B

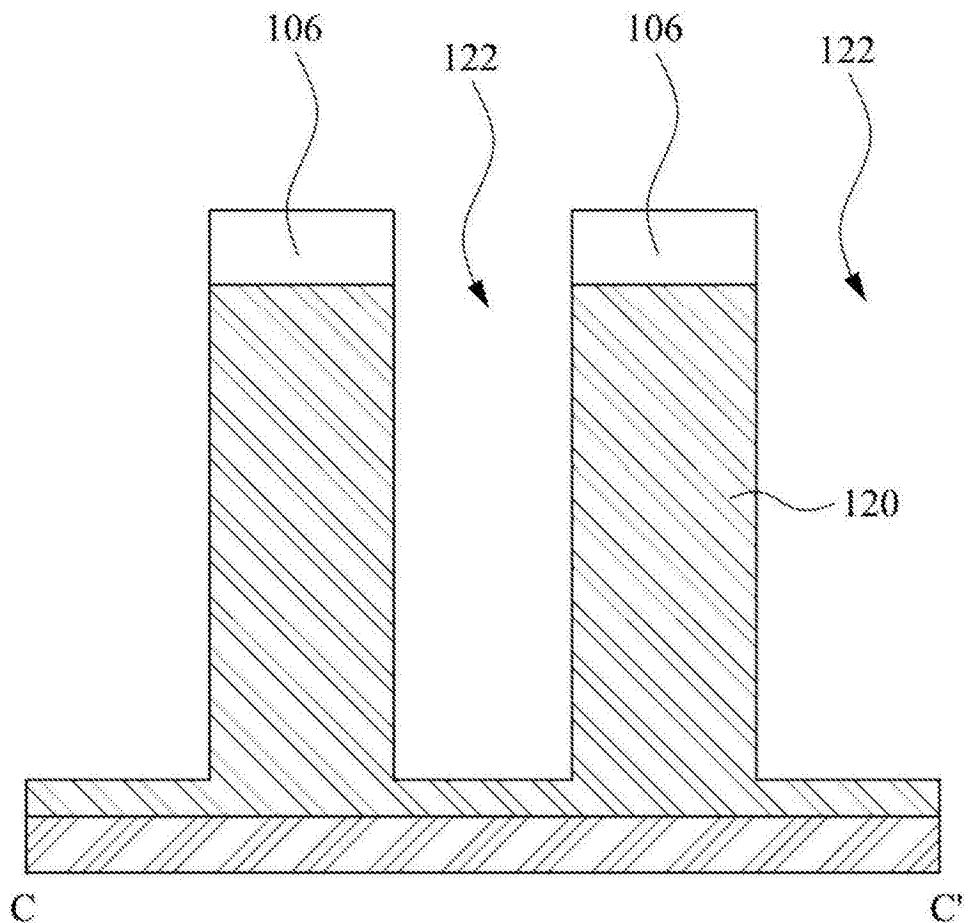


图4C

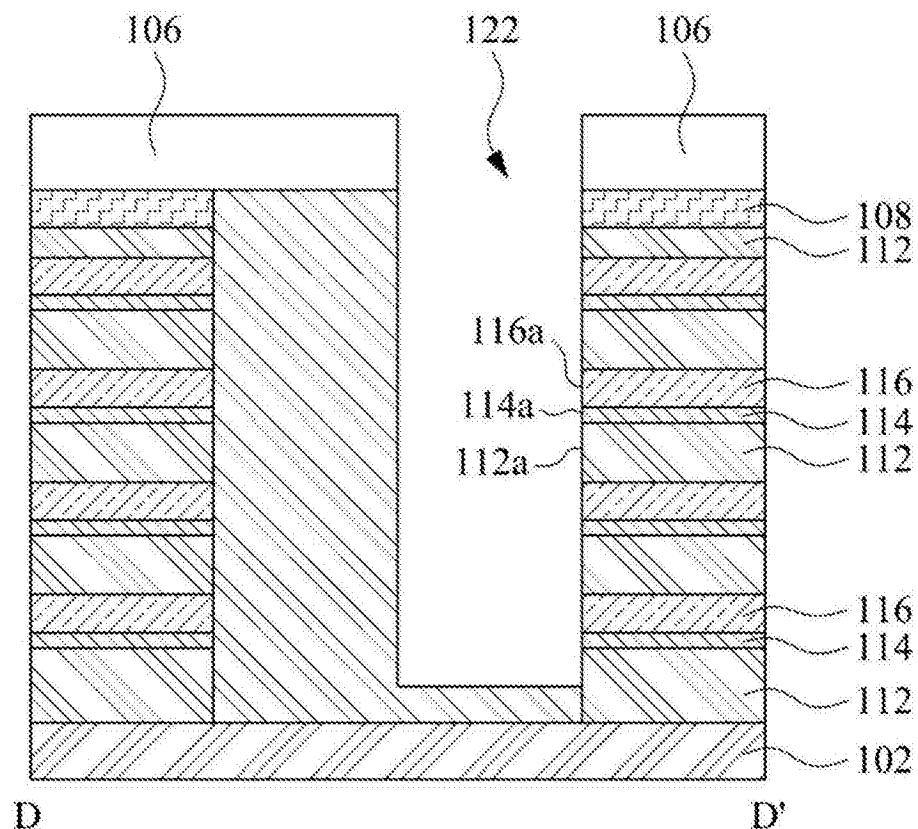


图4D

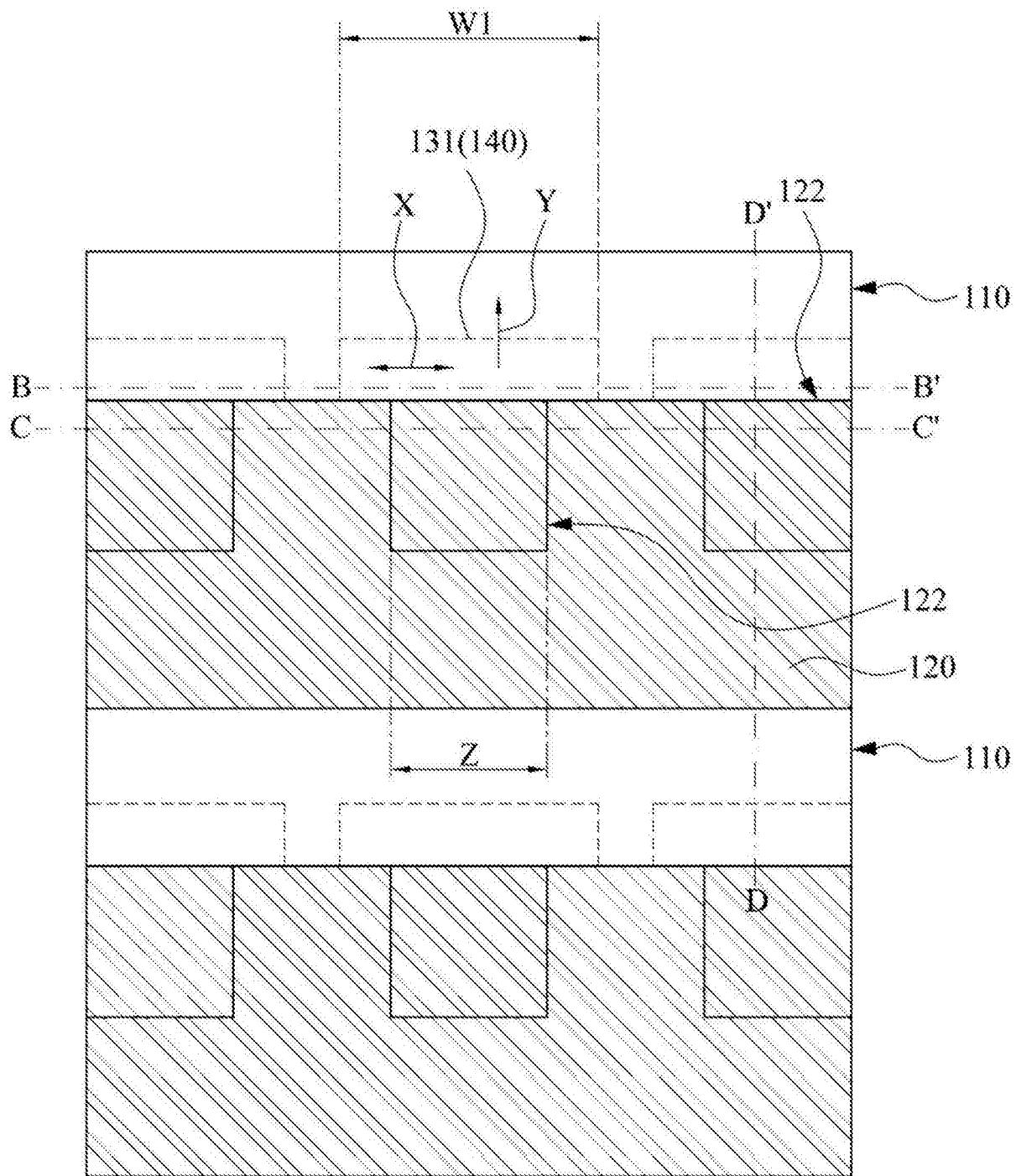


图5A

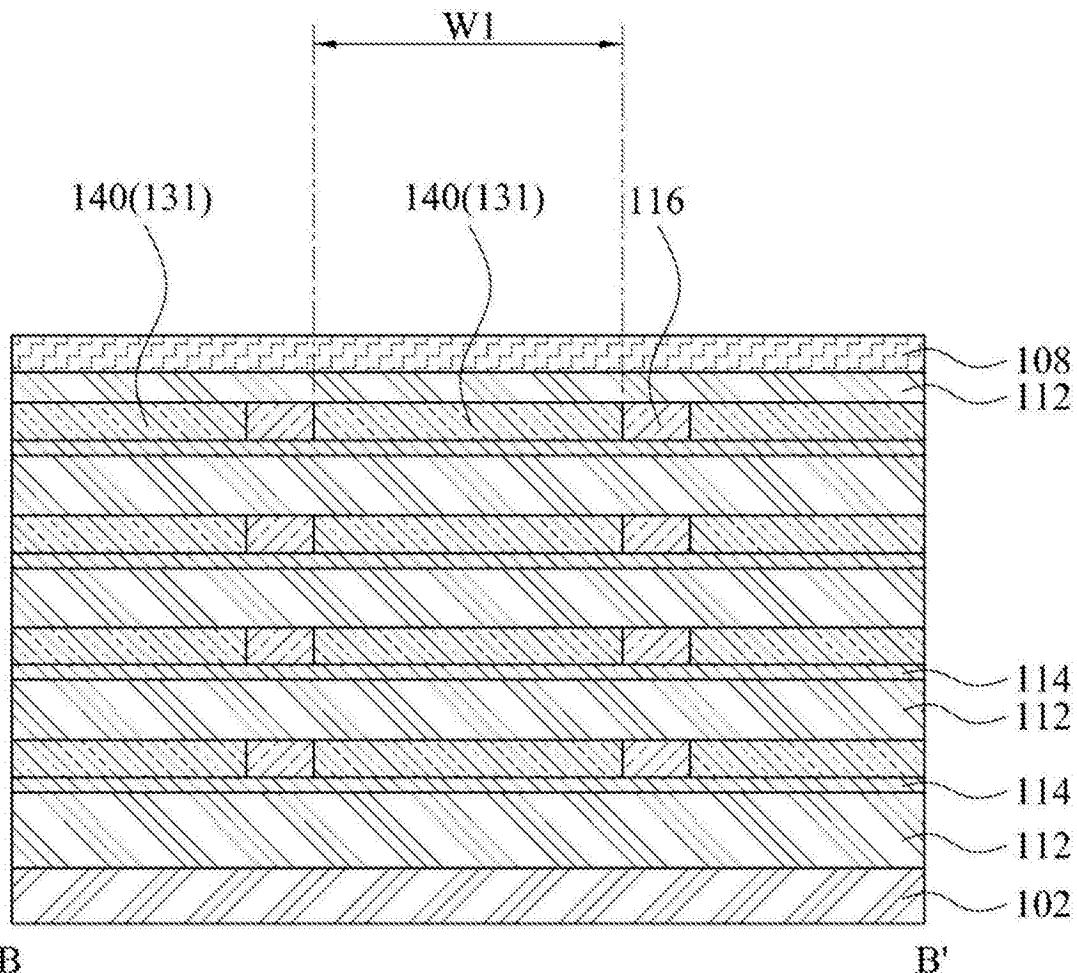


图5B

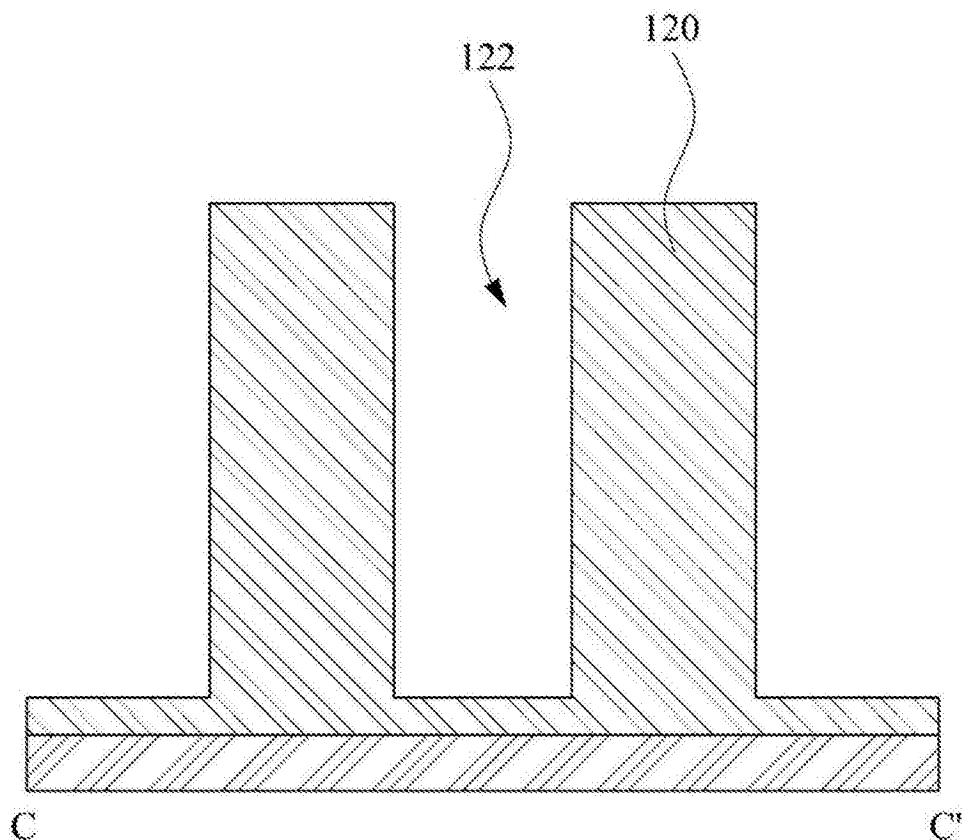


图5C

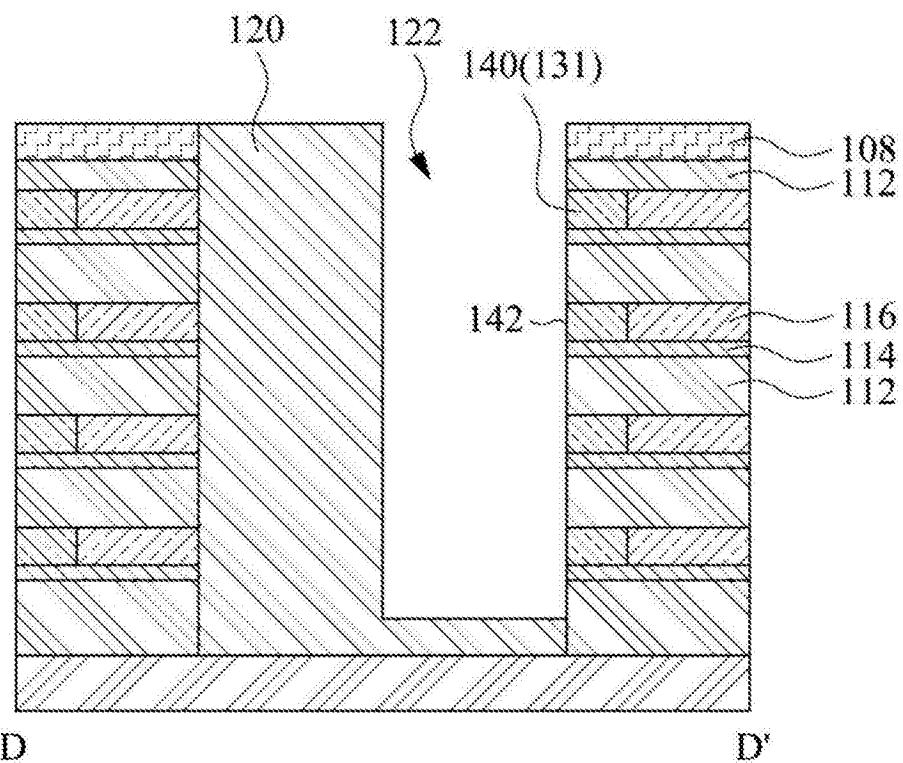


图5D

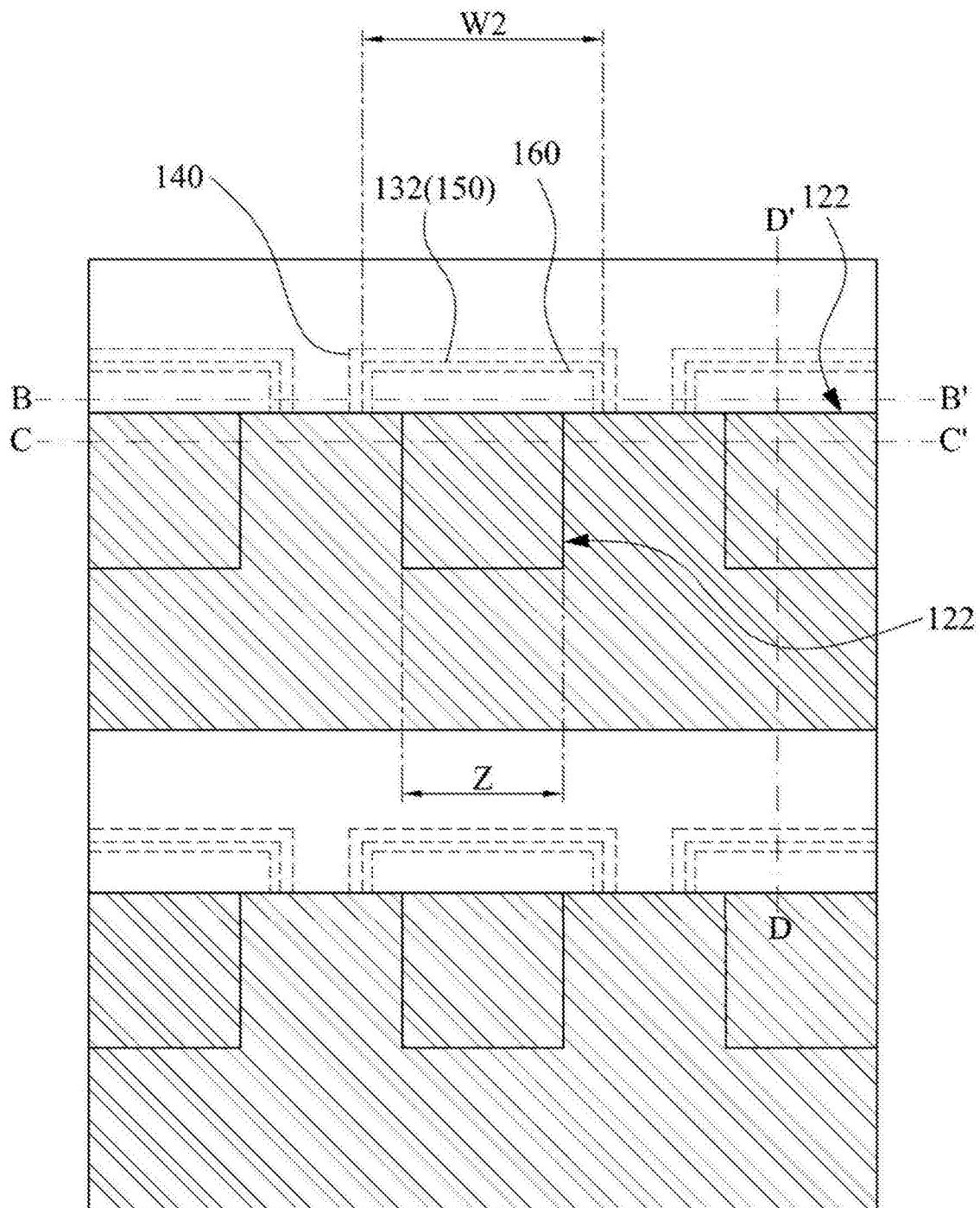
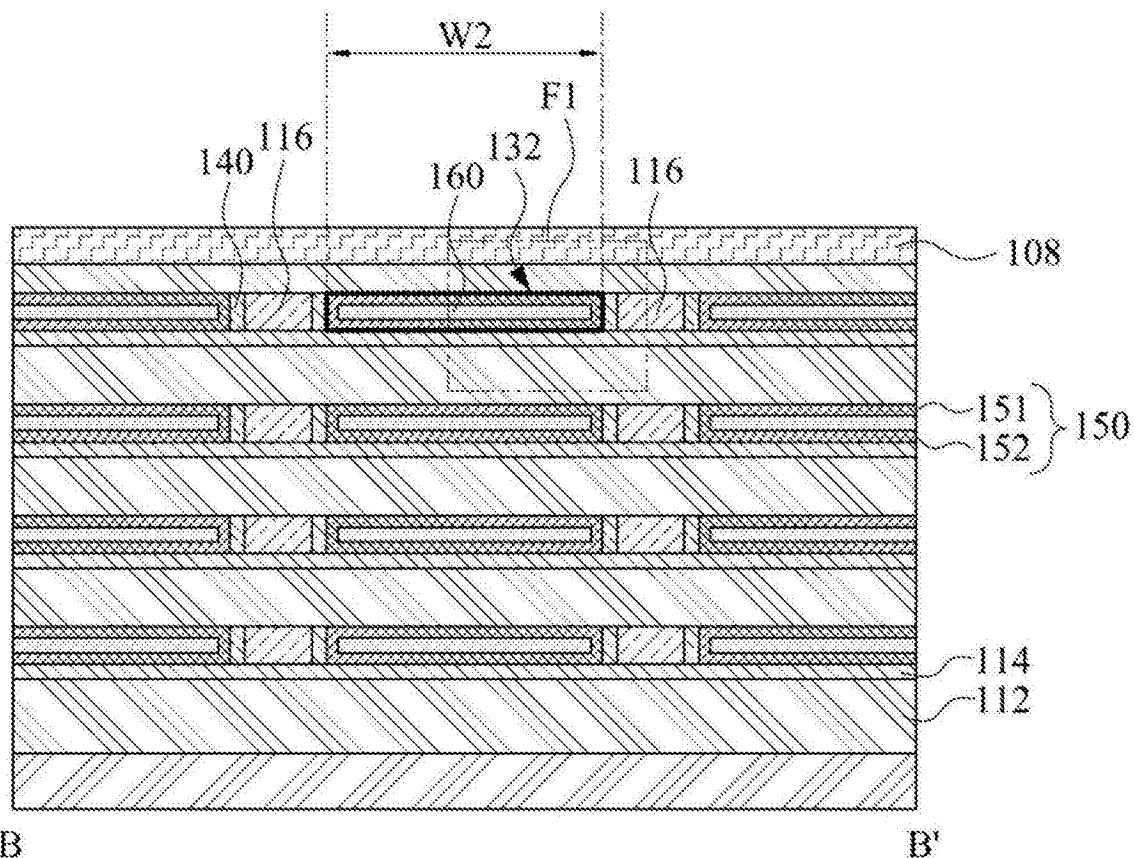


图6A



B

B'

图6B

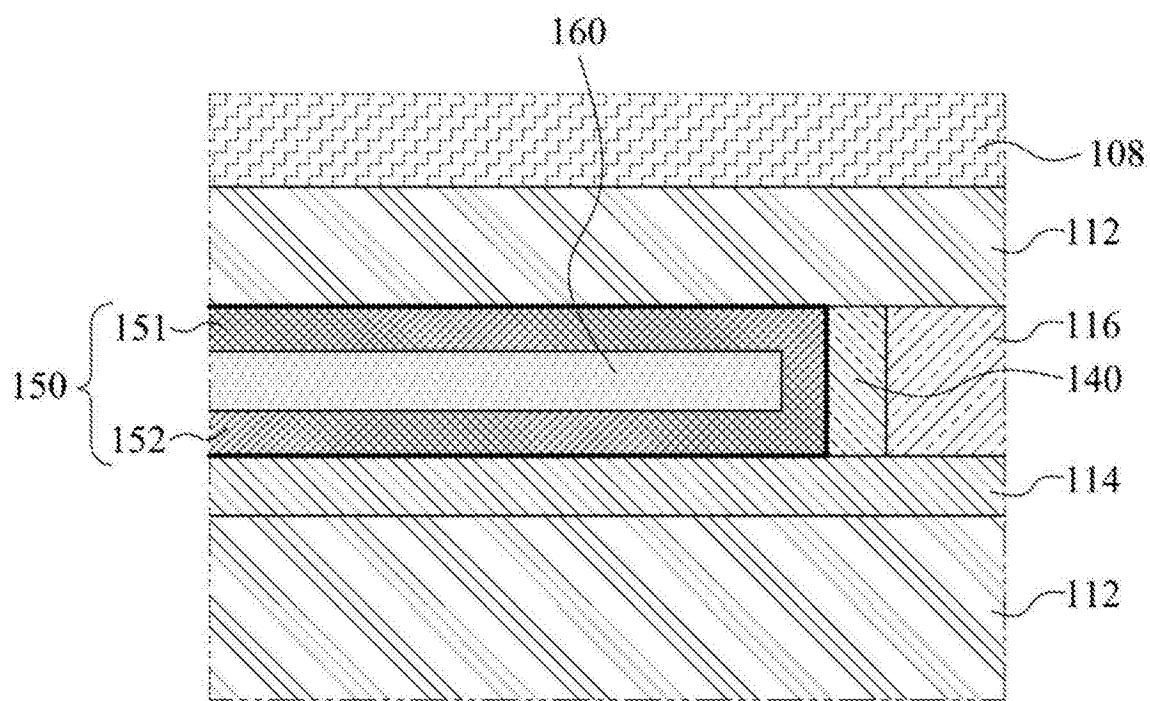


图6B-1

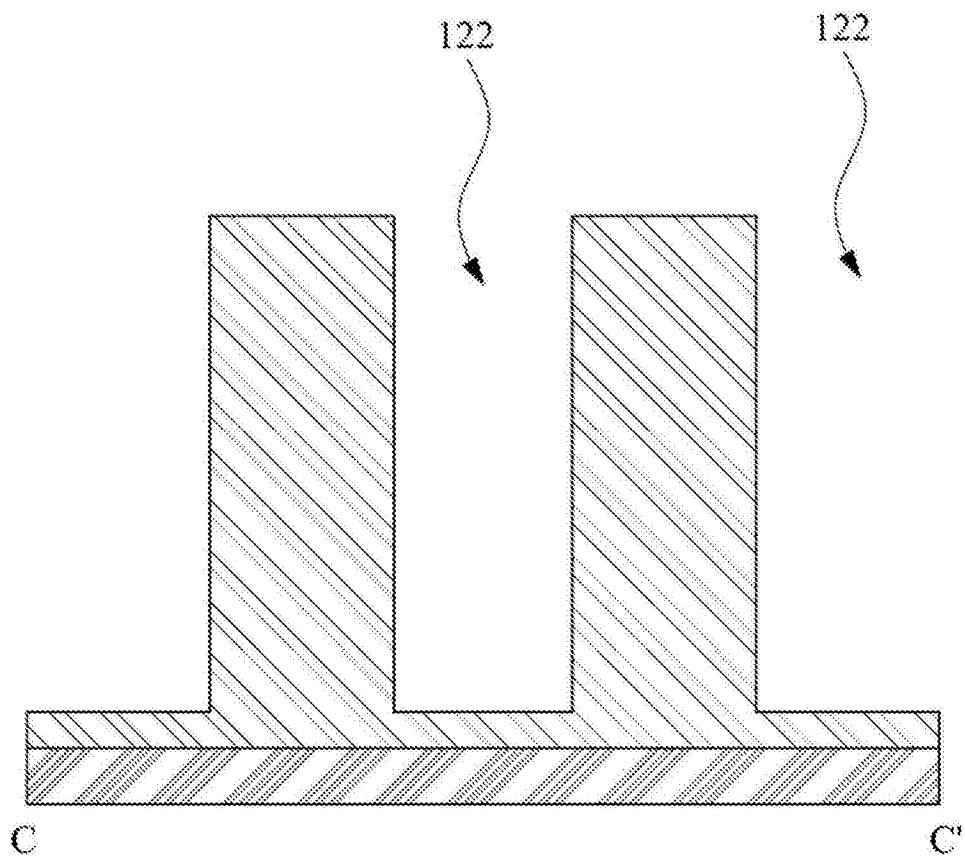


图6C

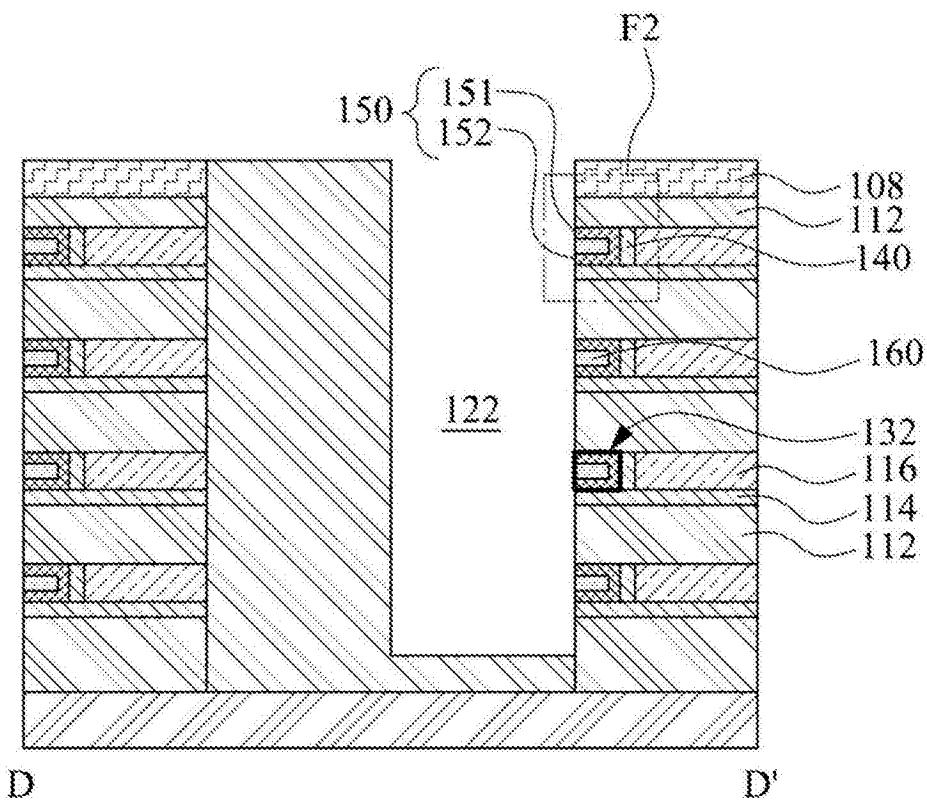


图6D

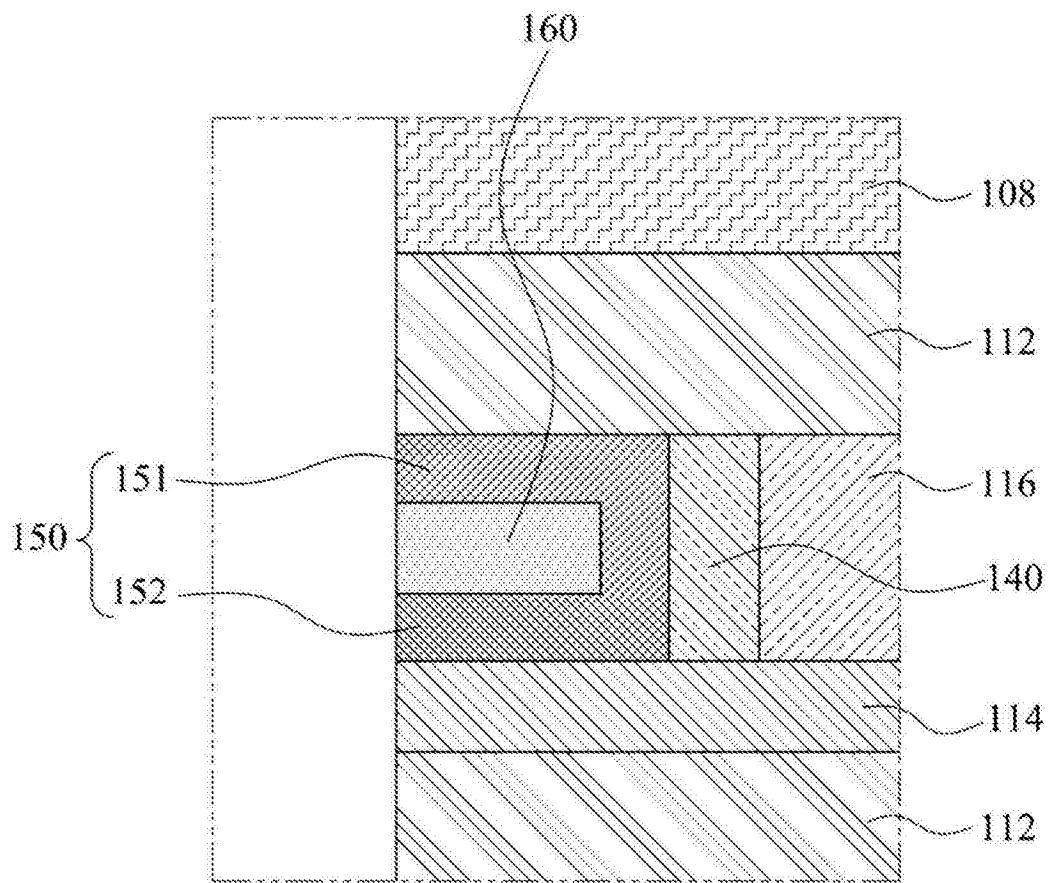


图6D-1

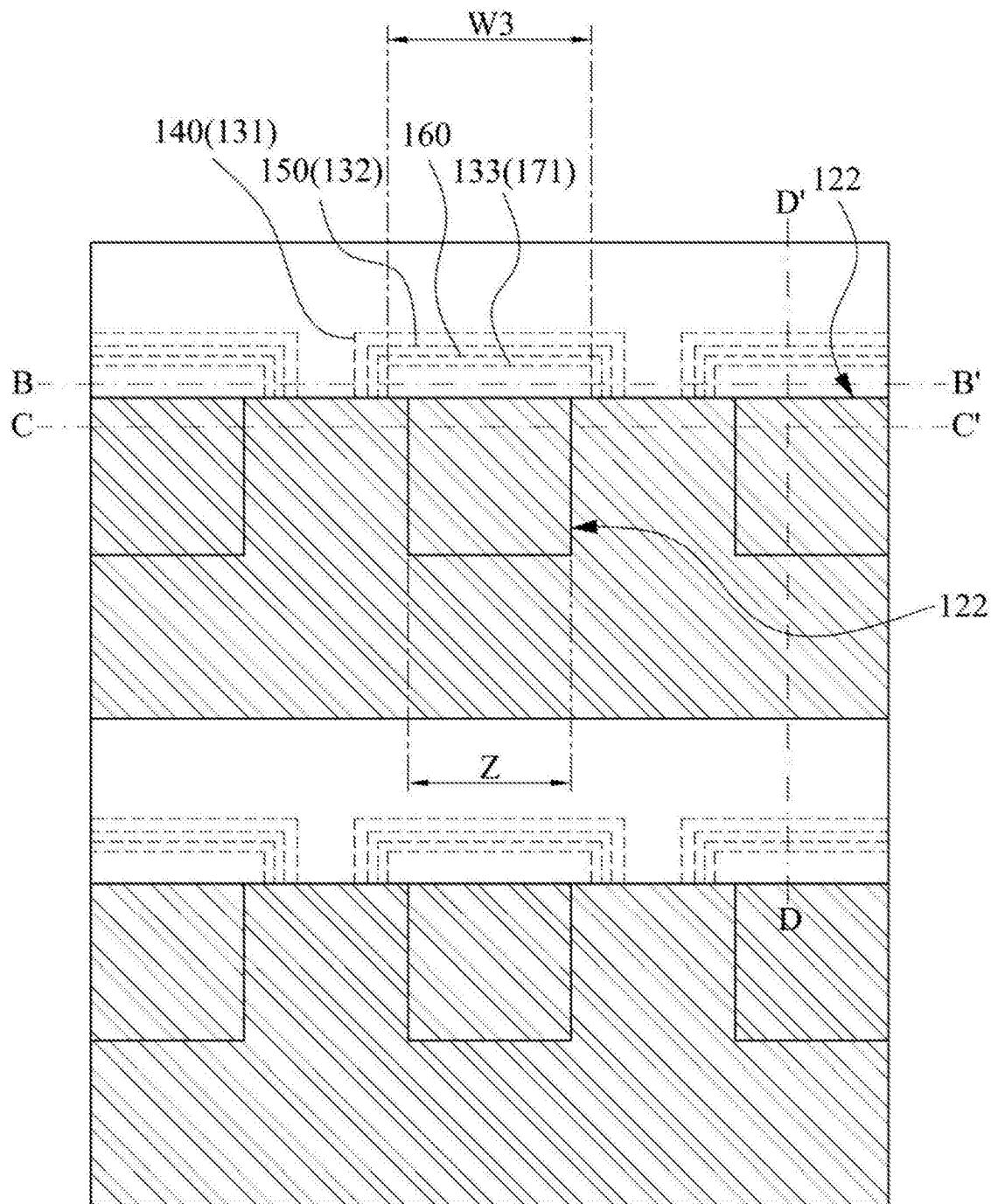


图7A

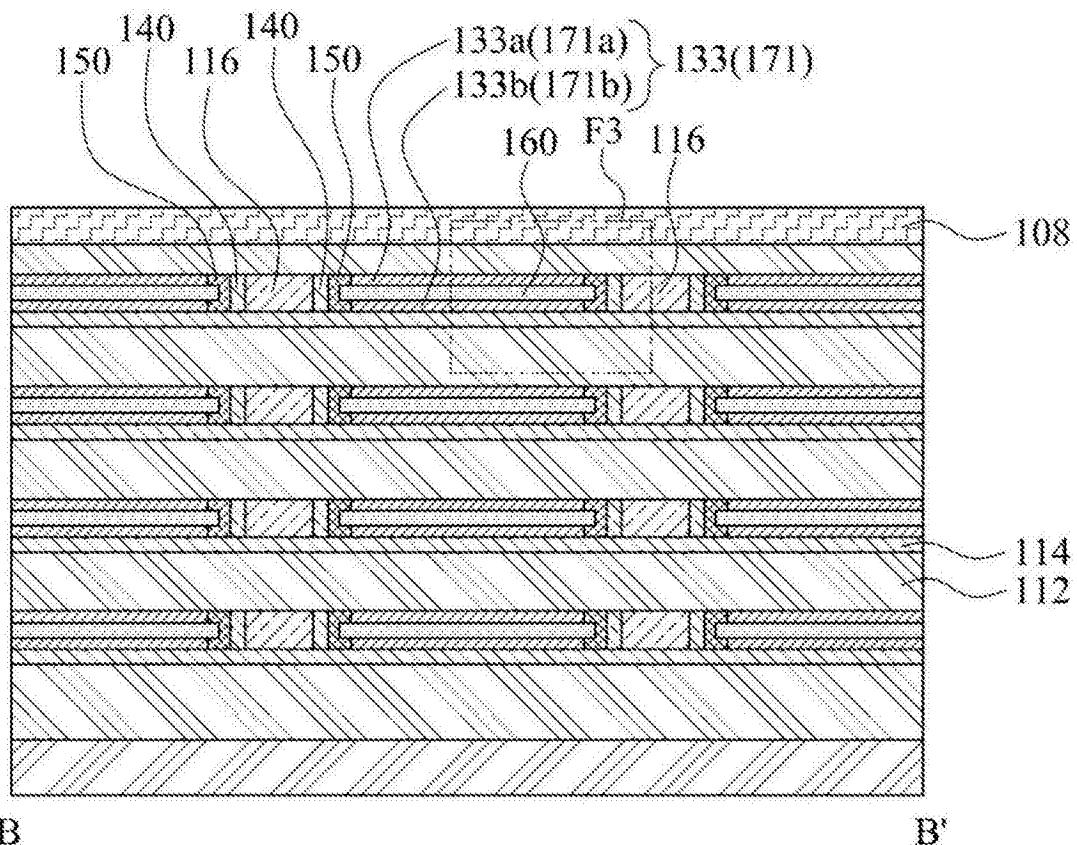


图7B

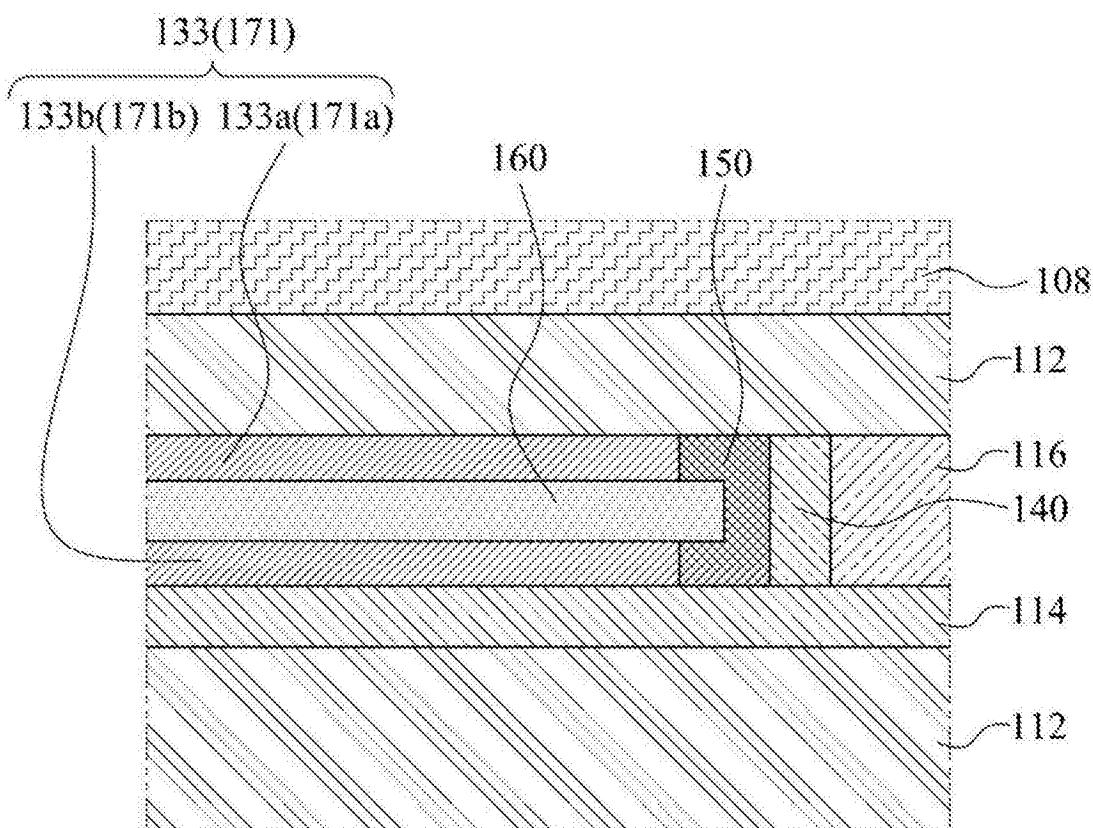


图7B-1

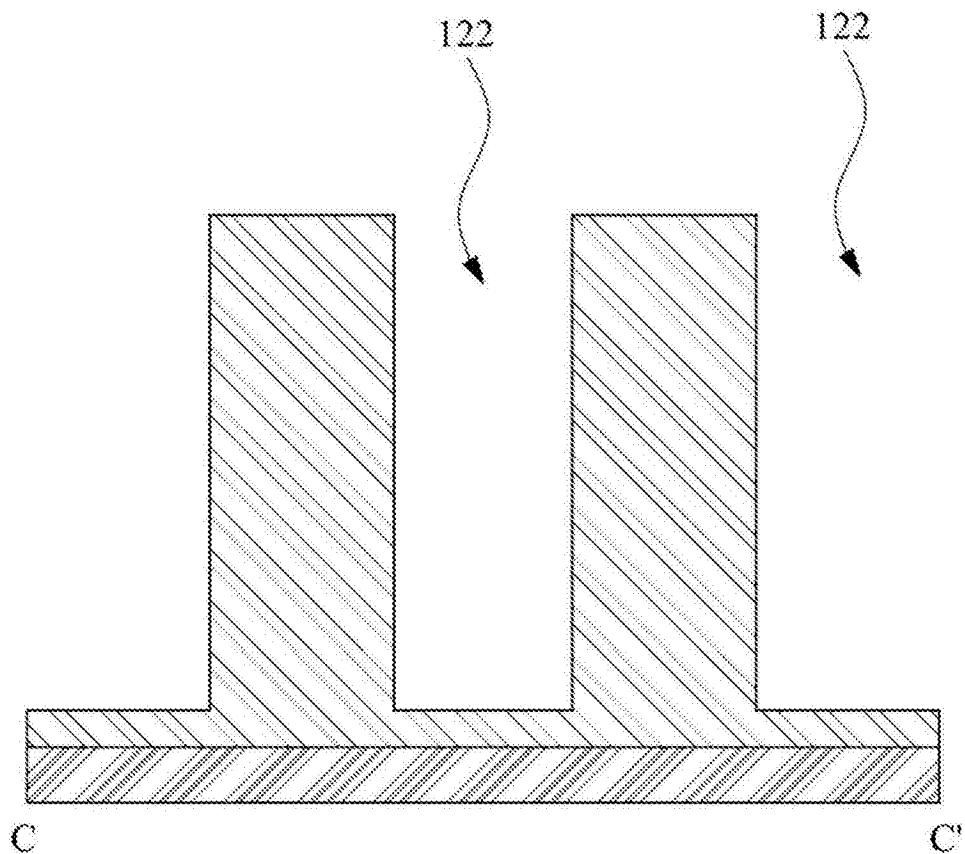


图7C

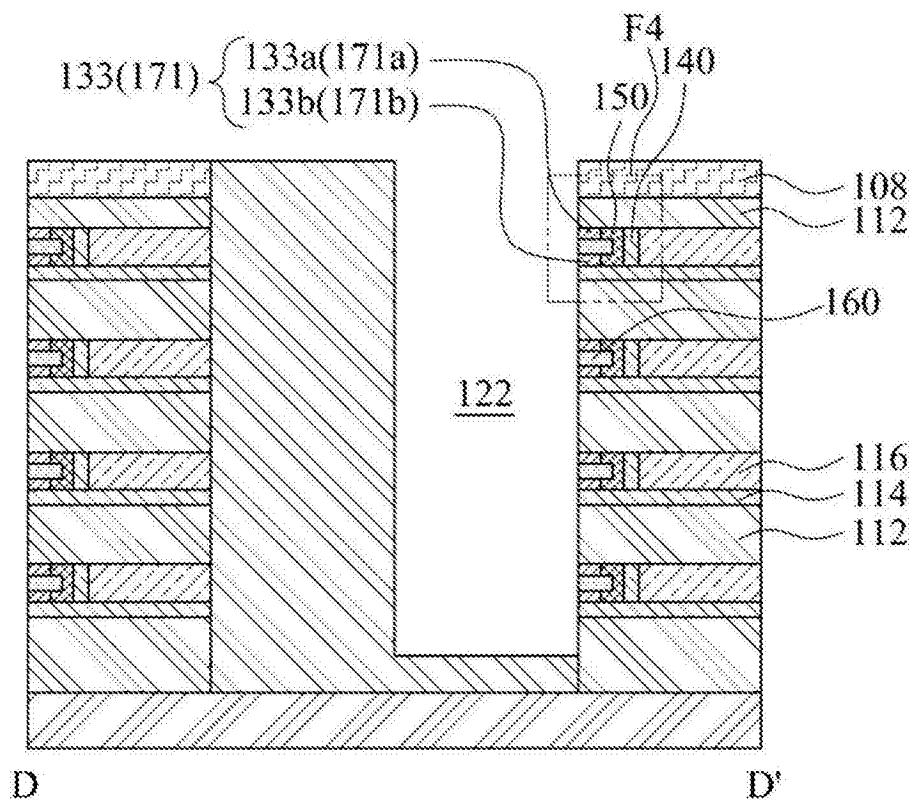


图7D

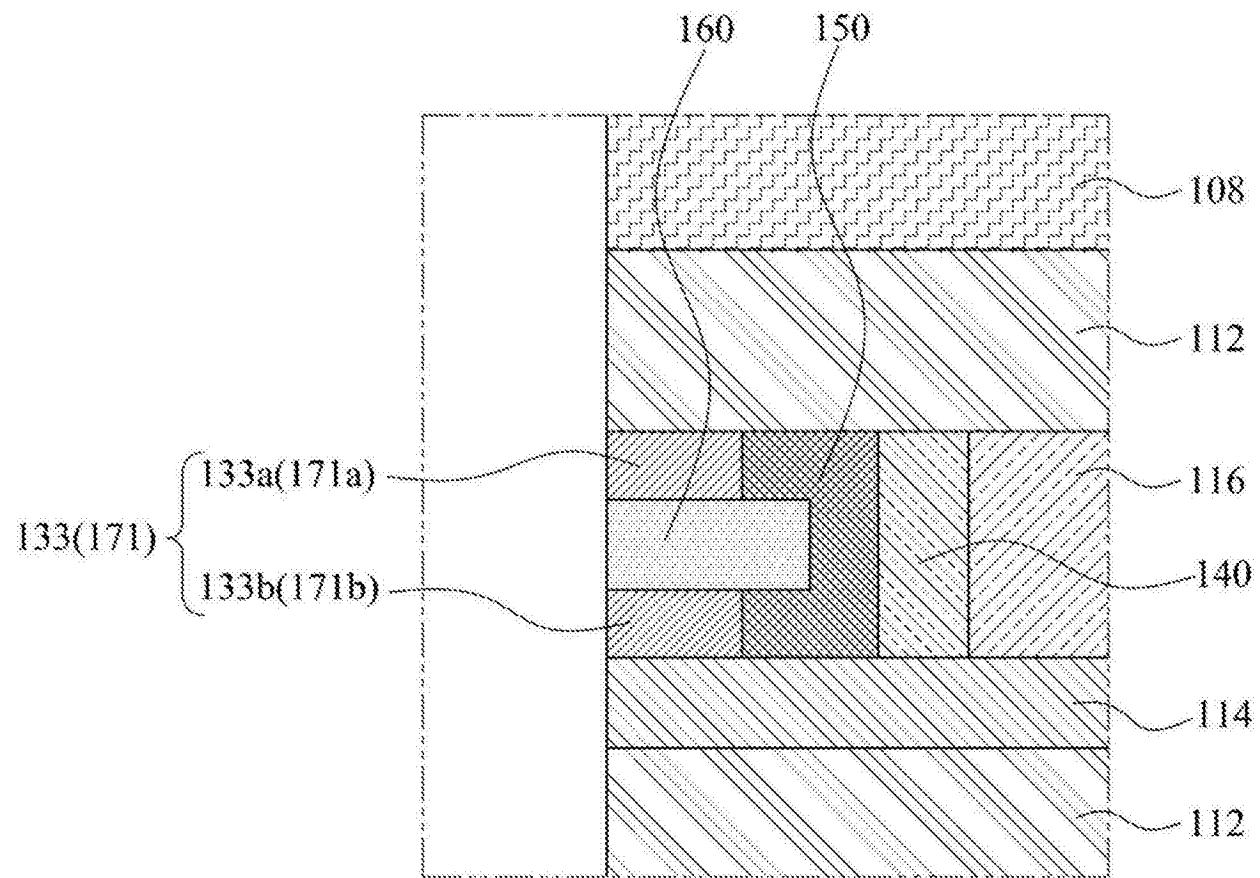


图7D-1

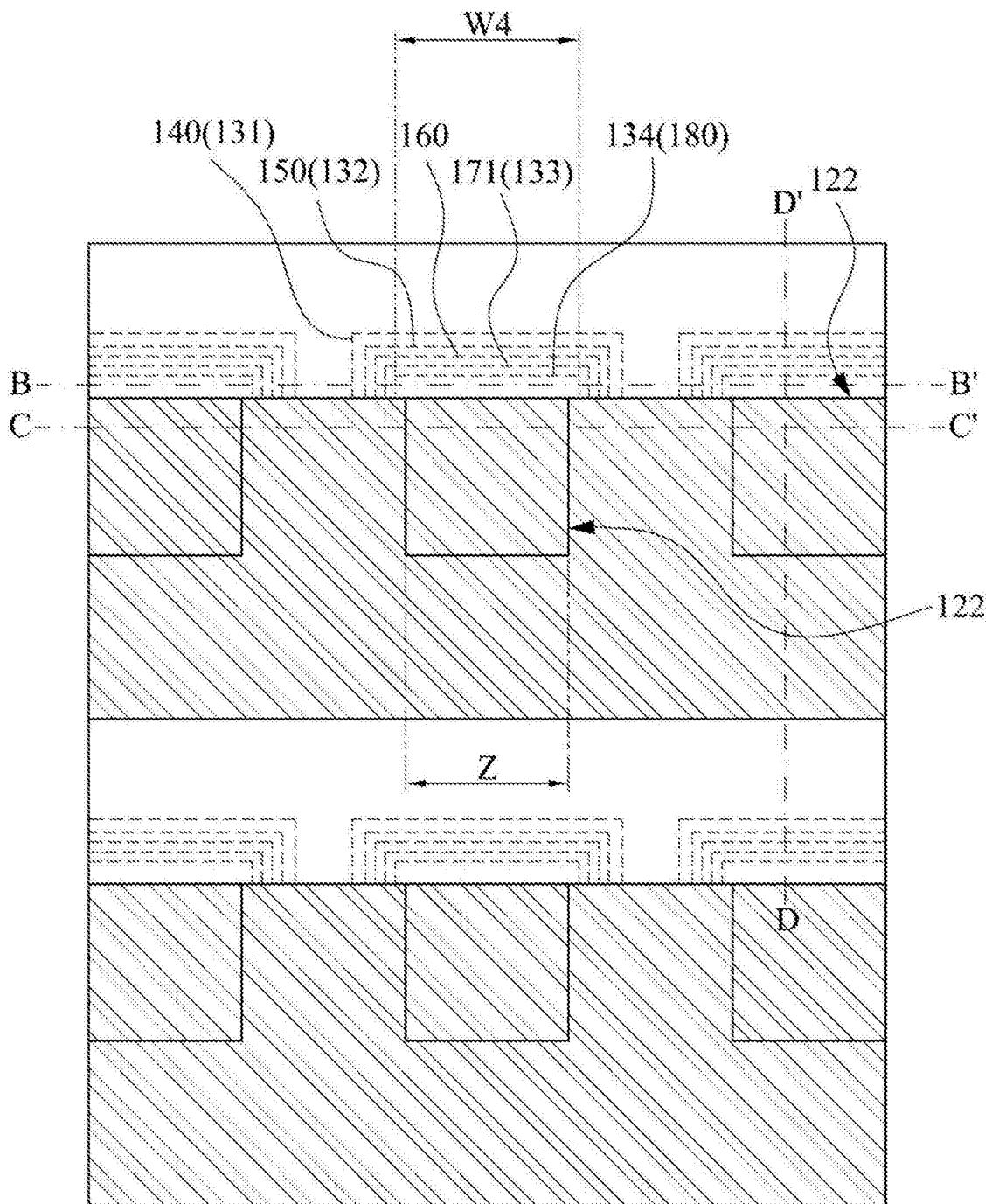


图8A

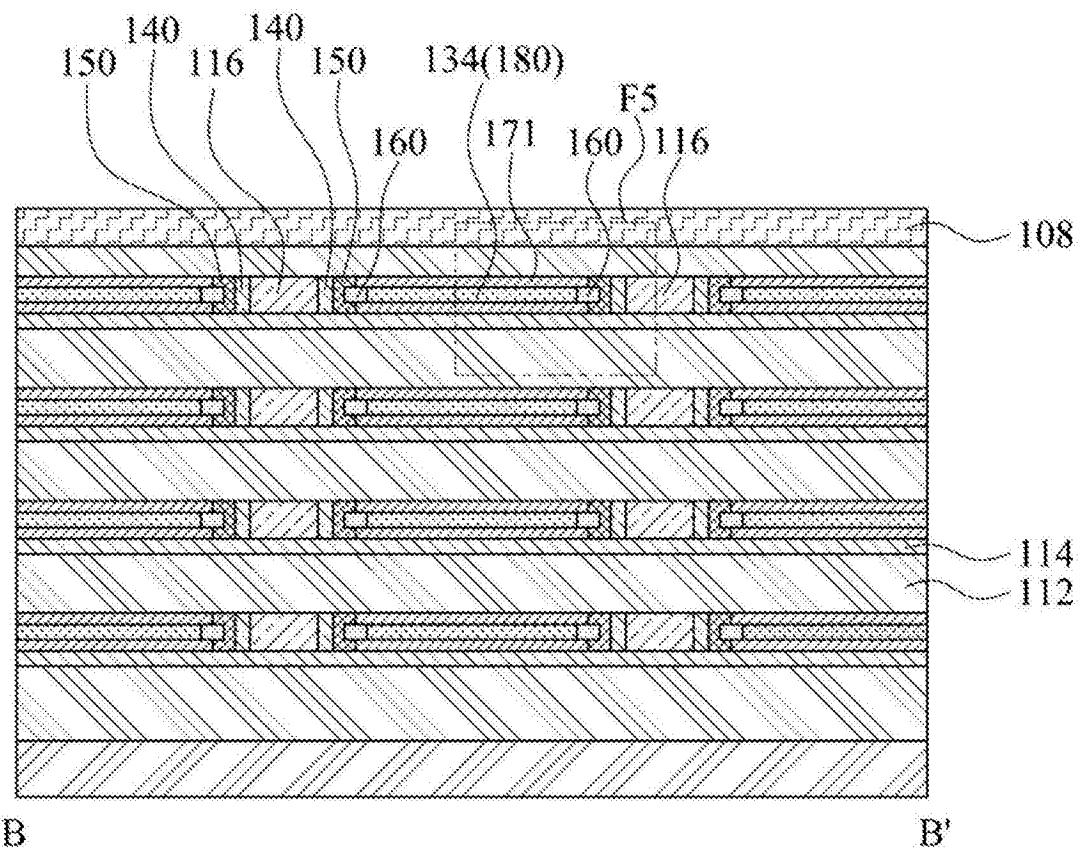


图8B

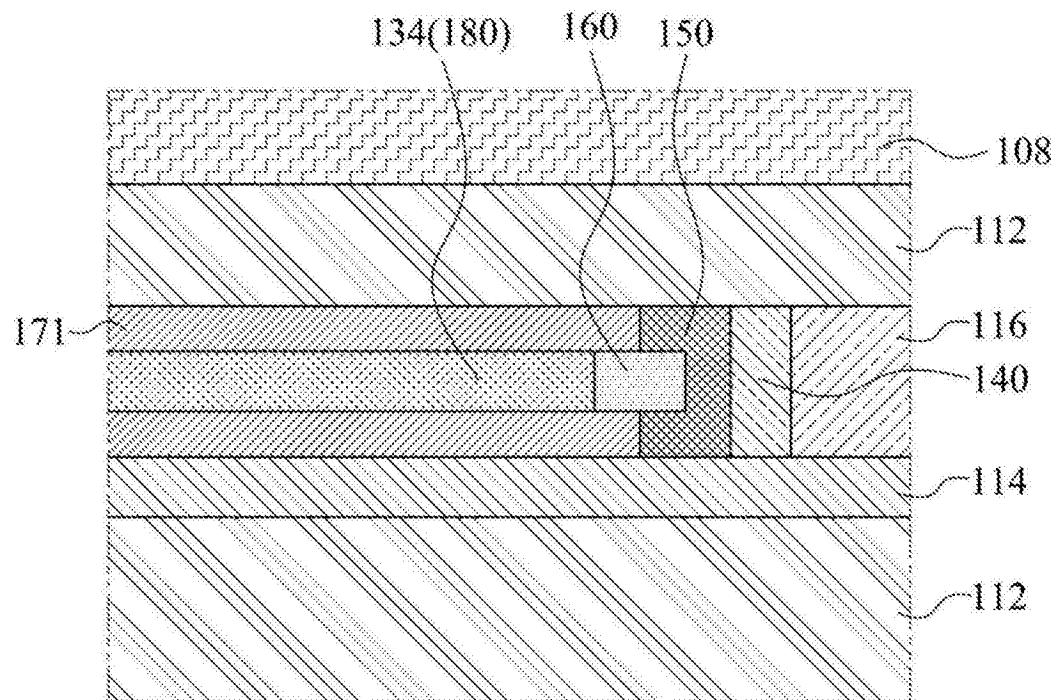


图8B-1

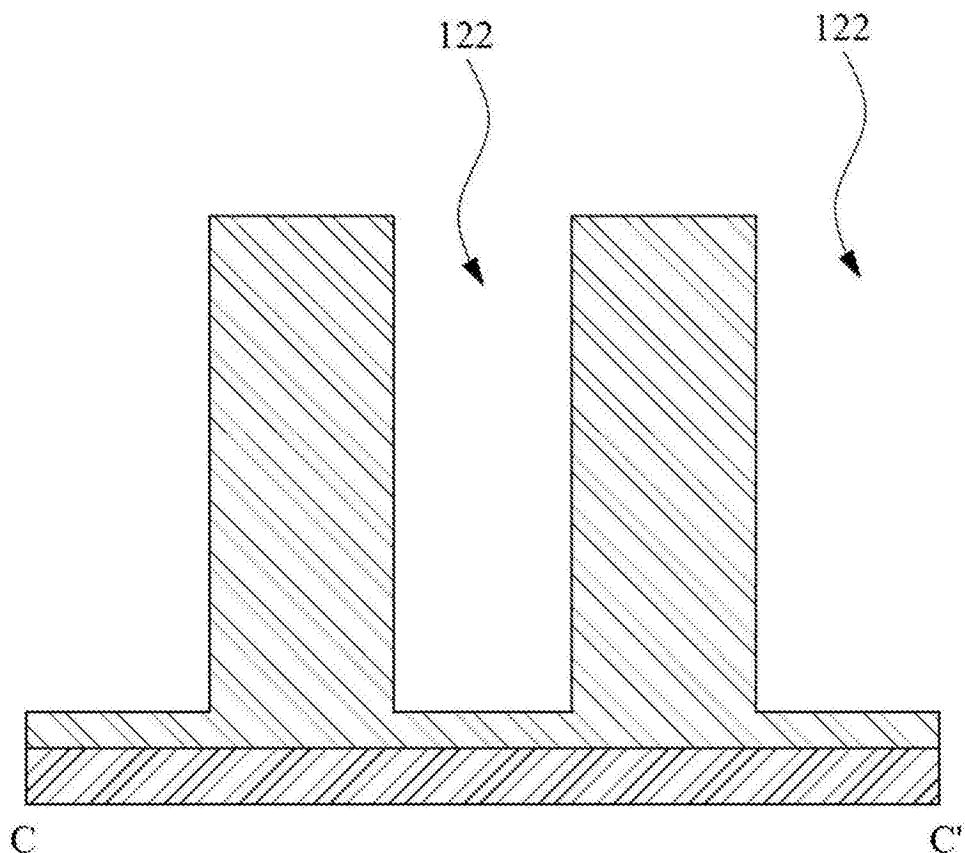


图8C

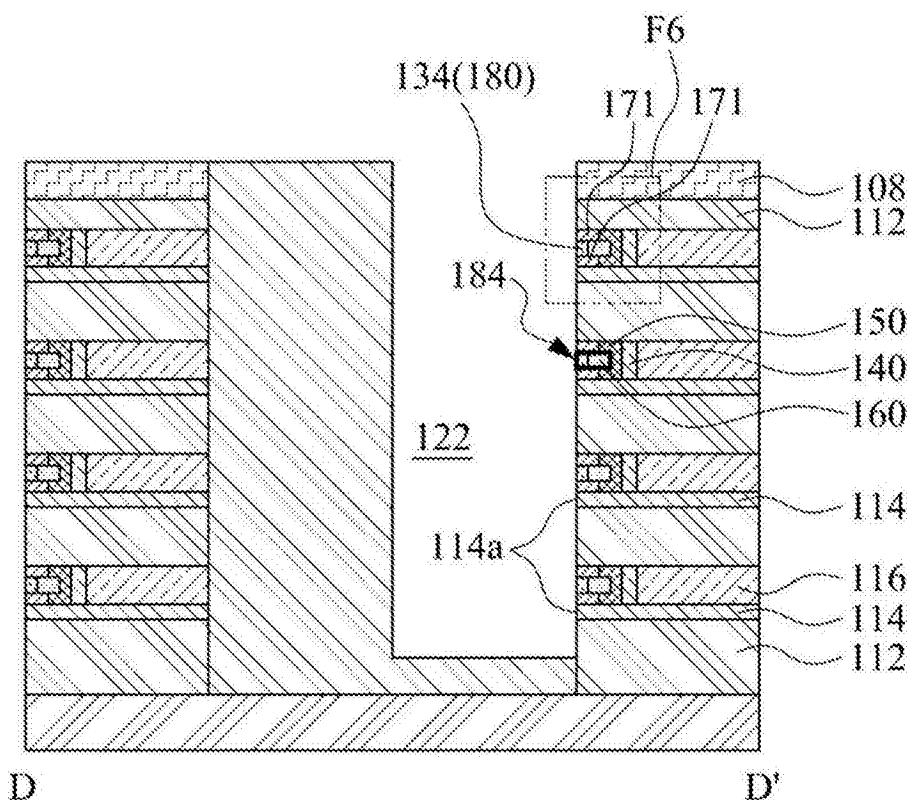


图8D

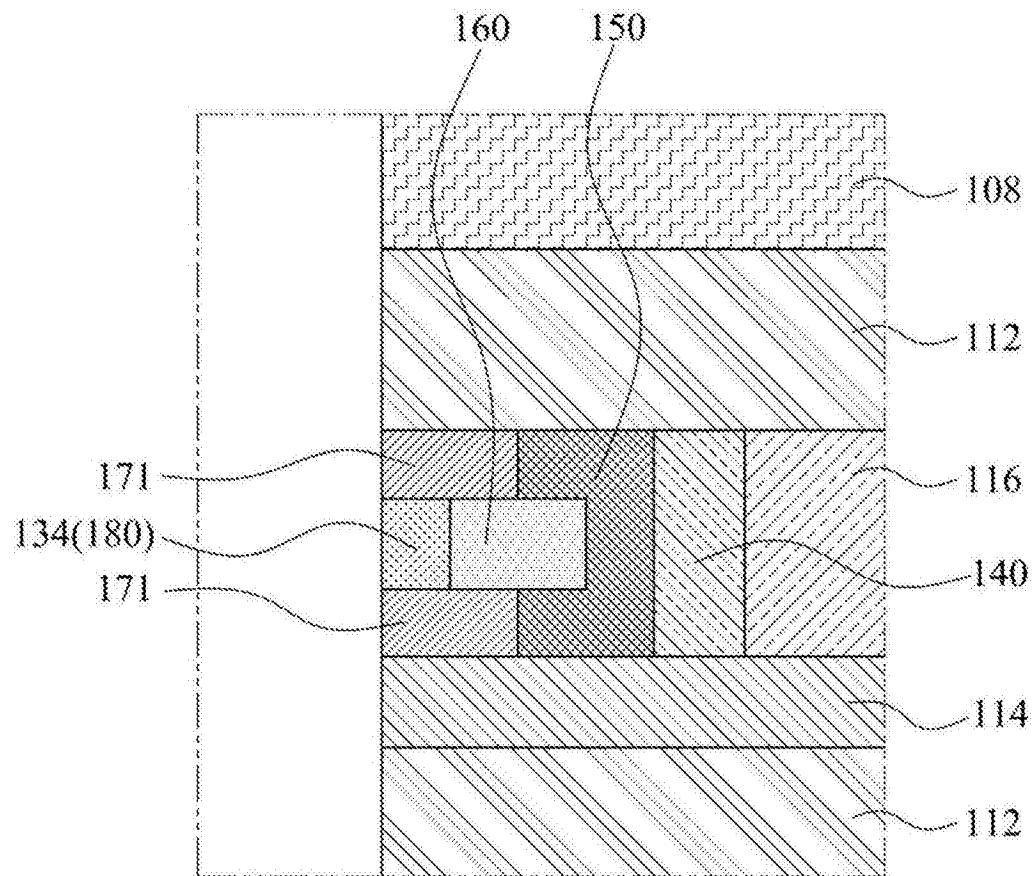


图8D-1

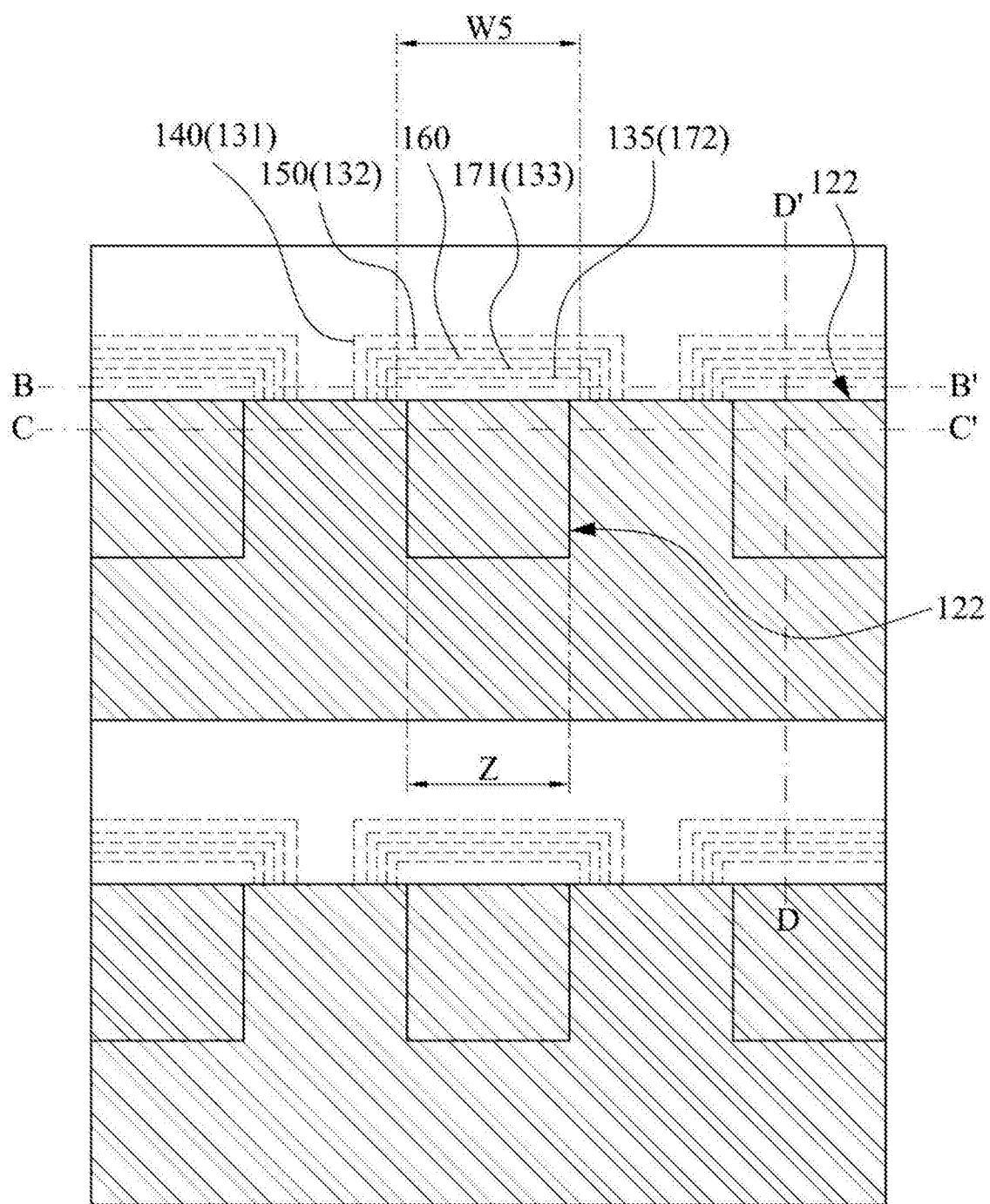


图9A

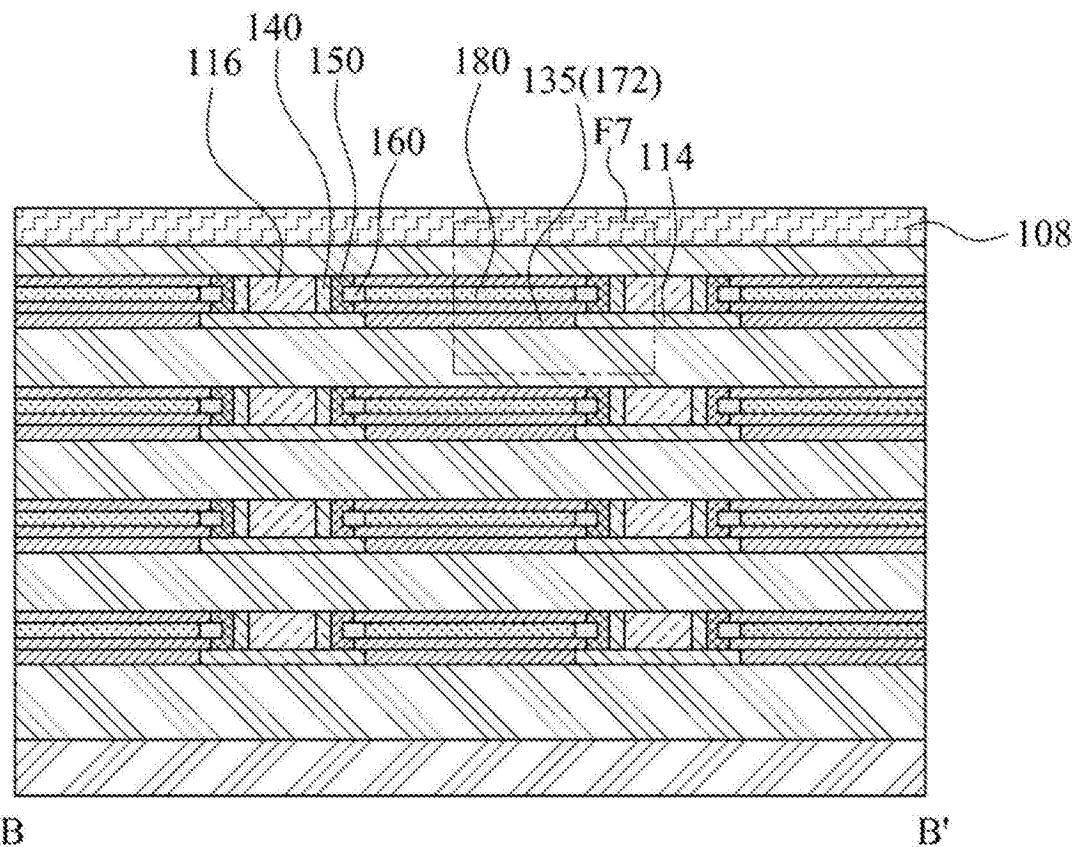


图9B

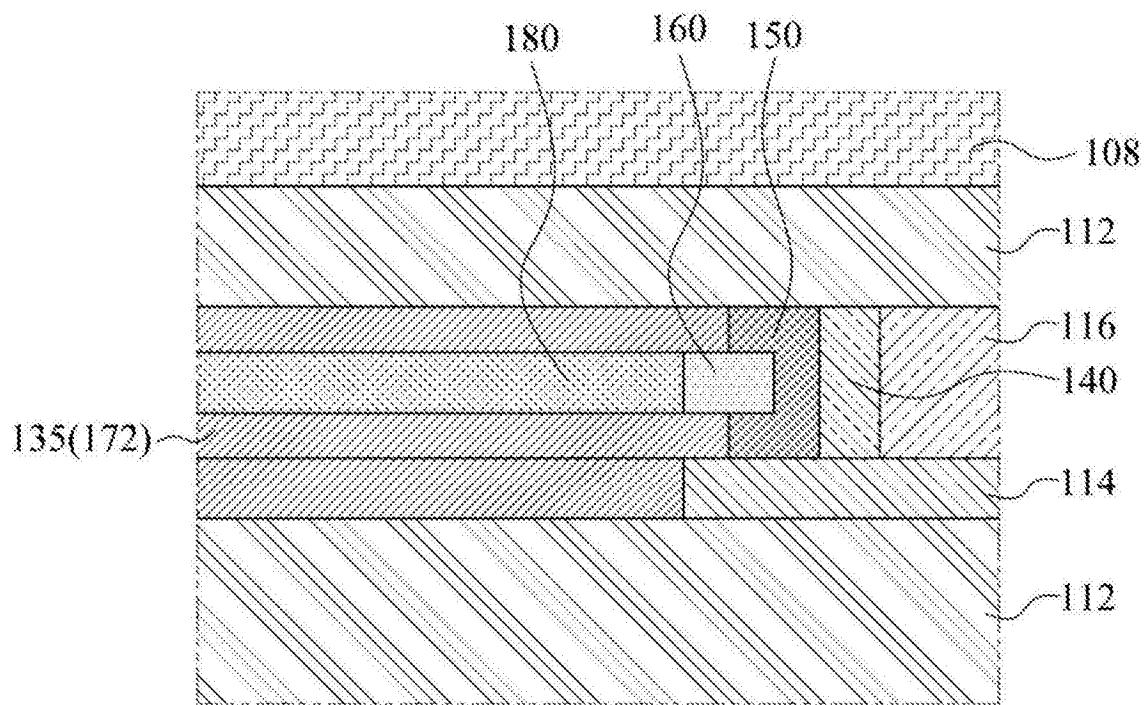


图9B-1

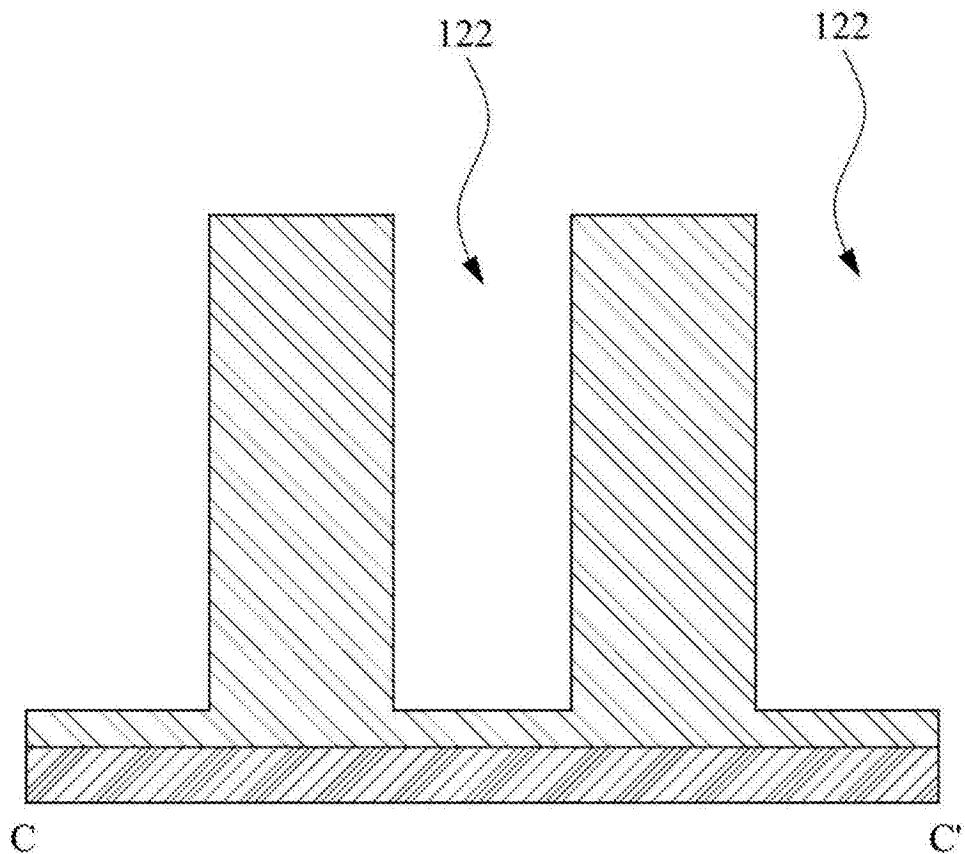


图9C

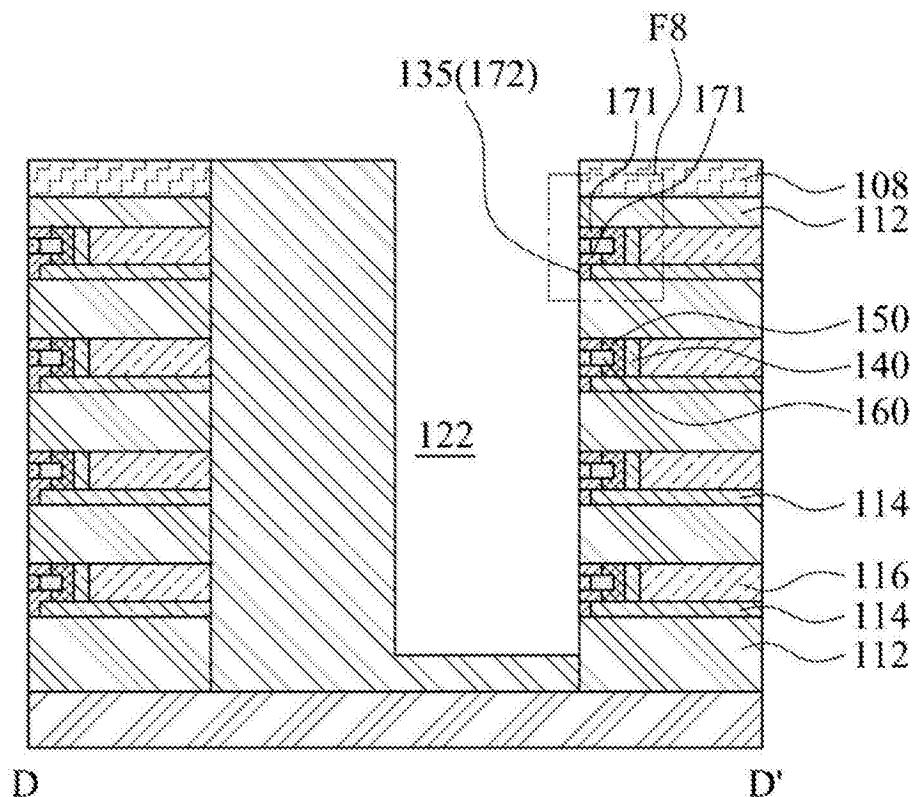


图9D

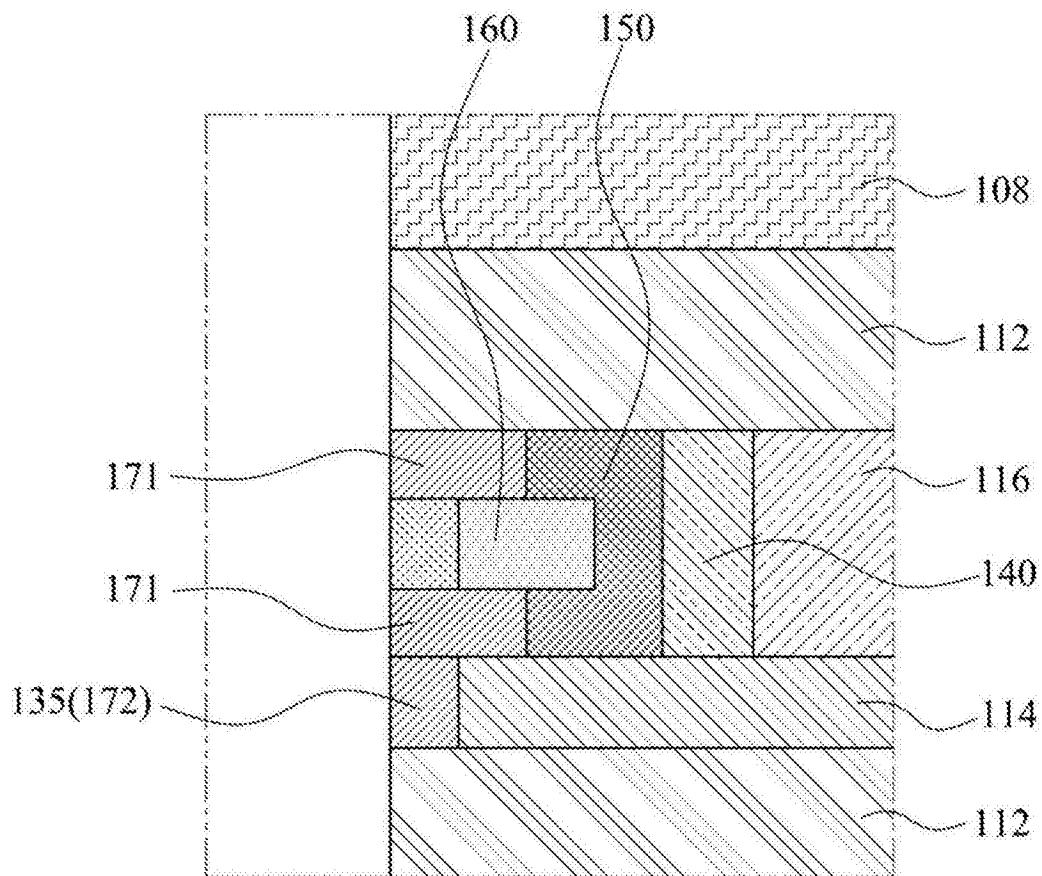


图9D-1

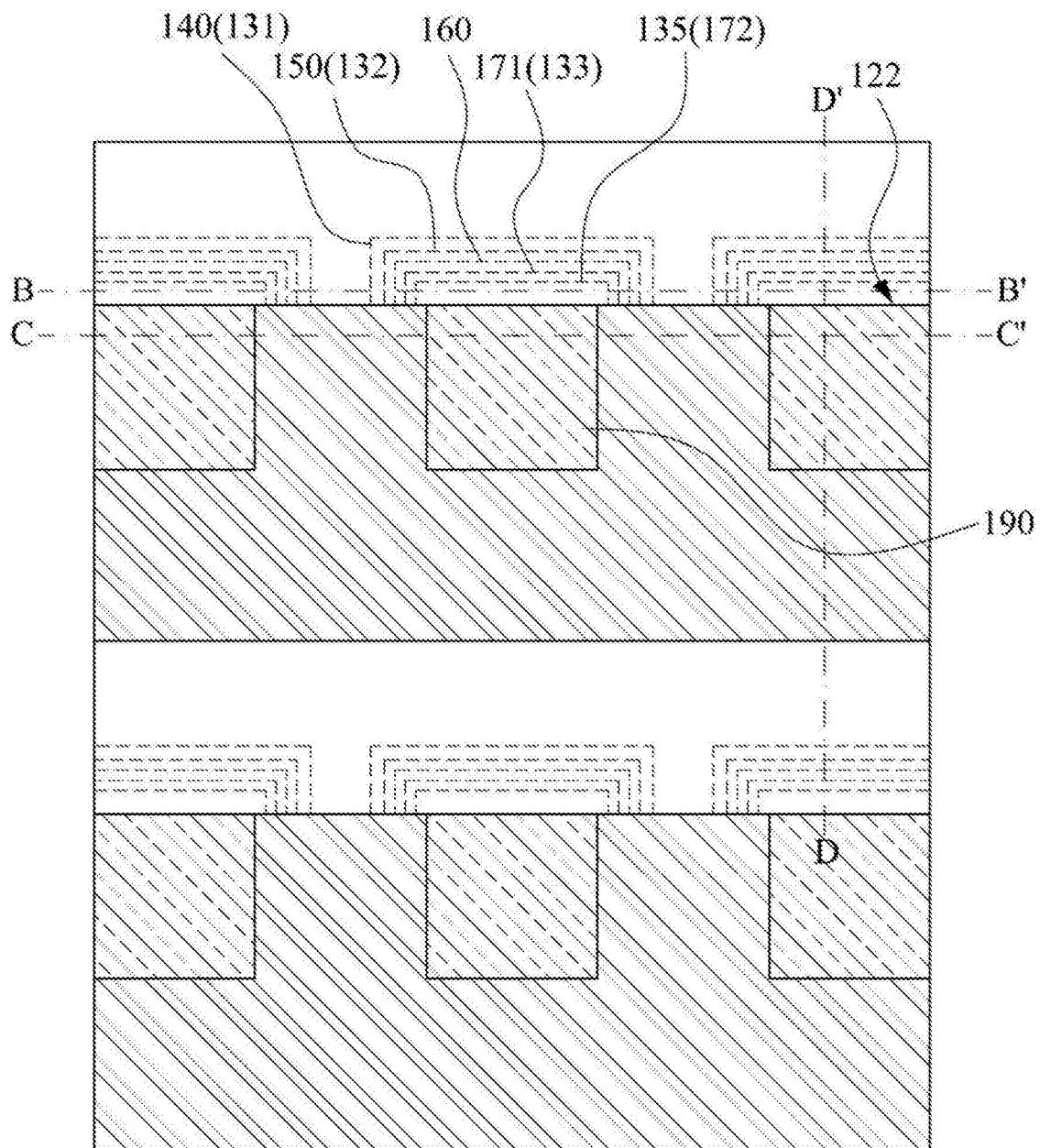


图10A

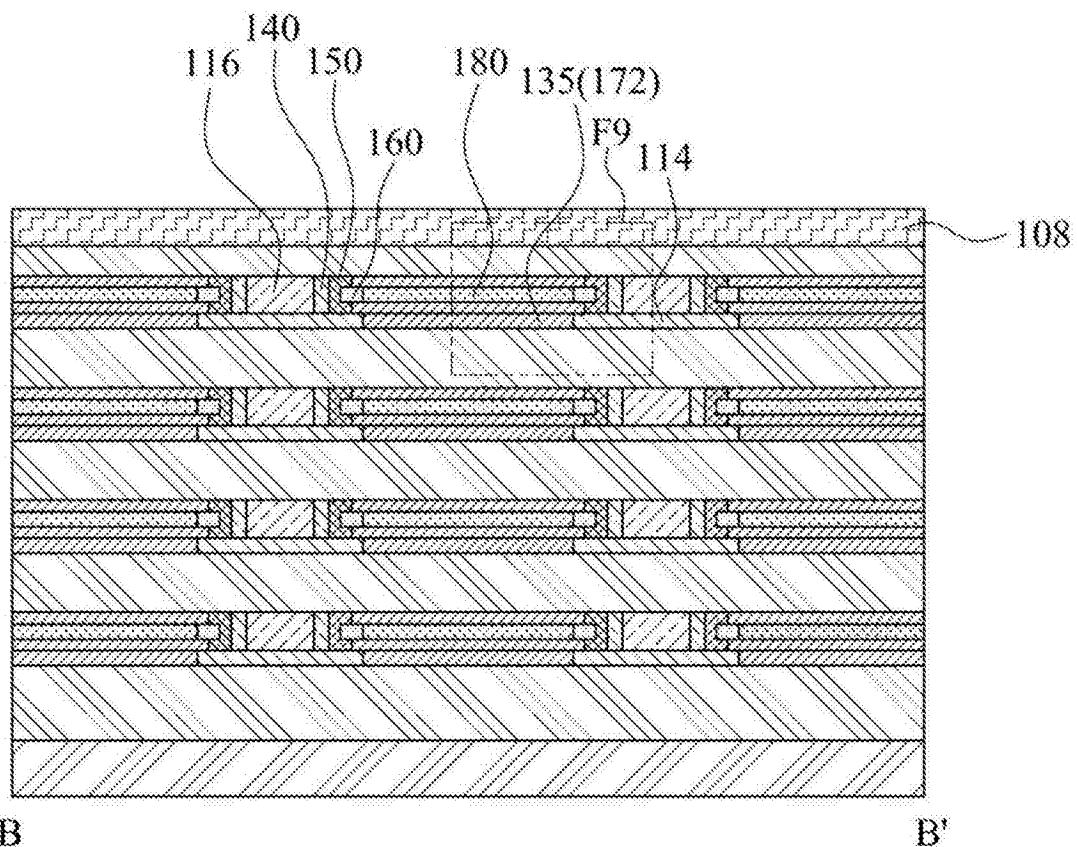


图10B

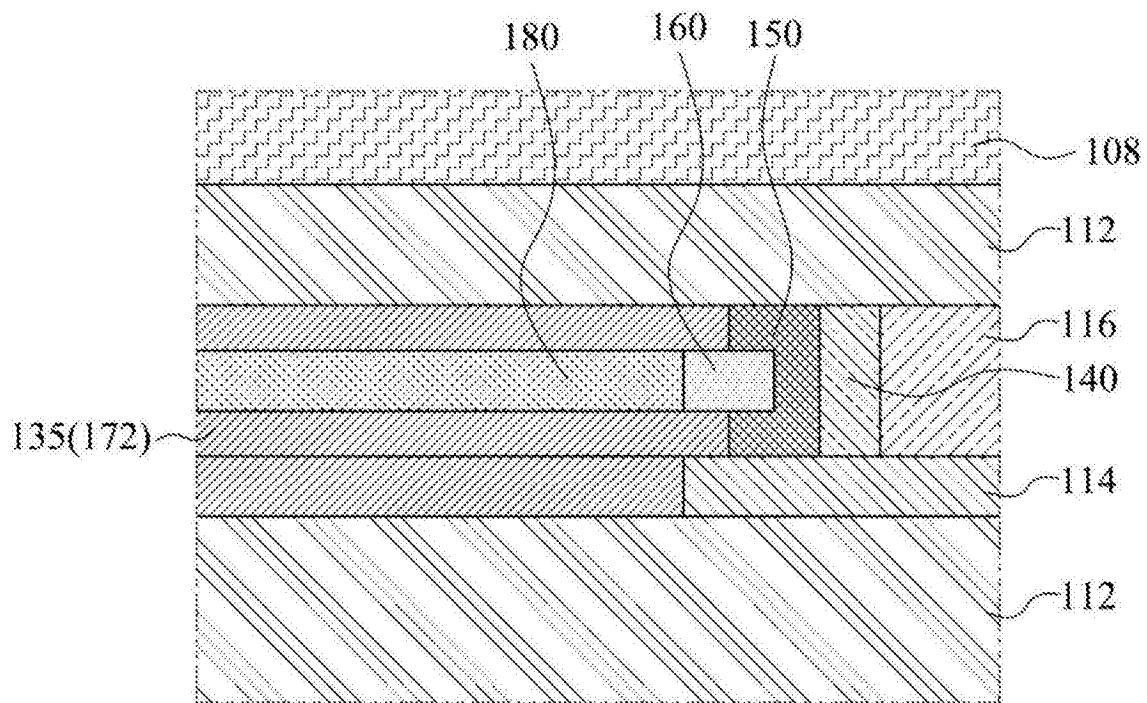


图10B-1

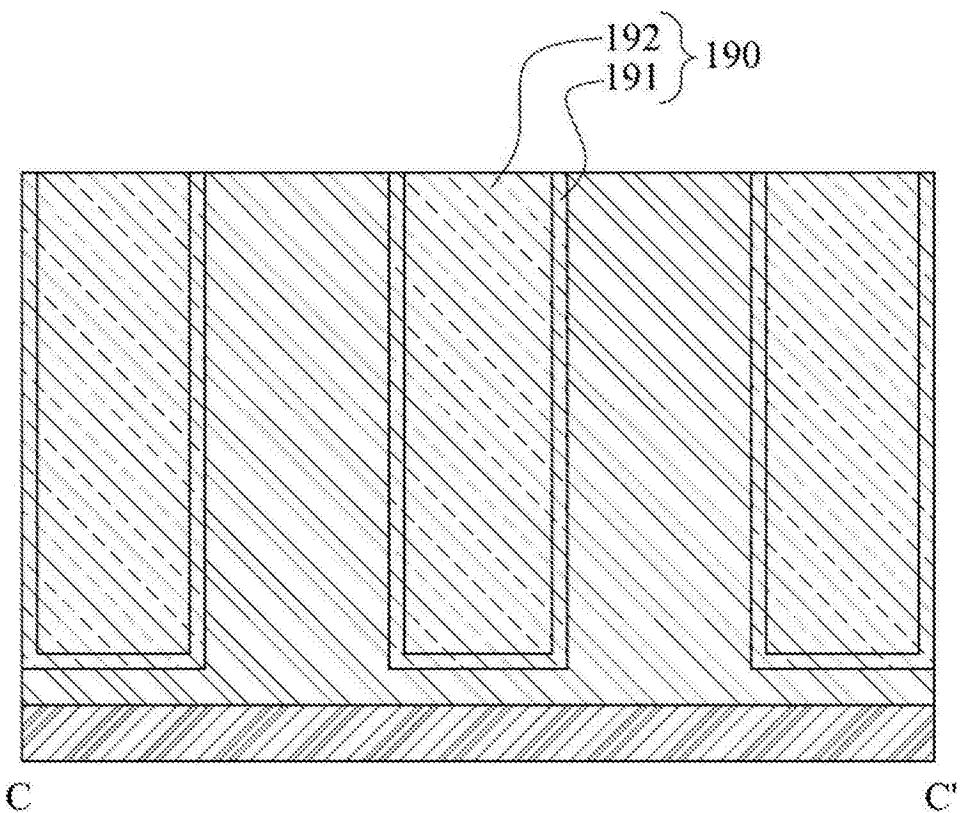


图10C

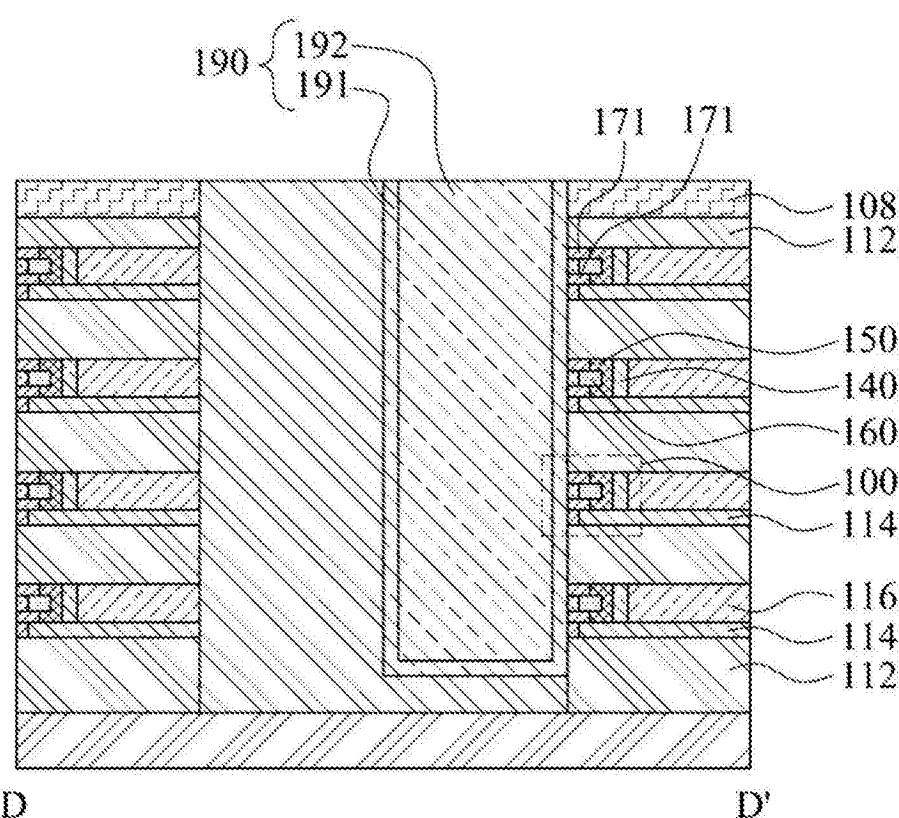


图10D

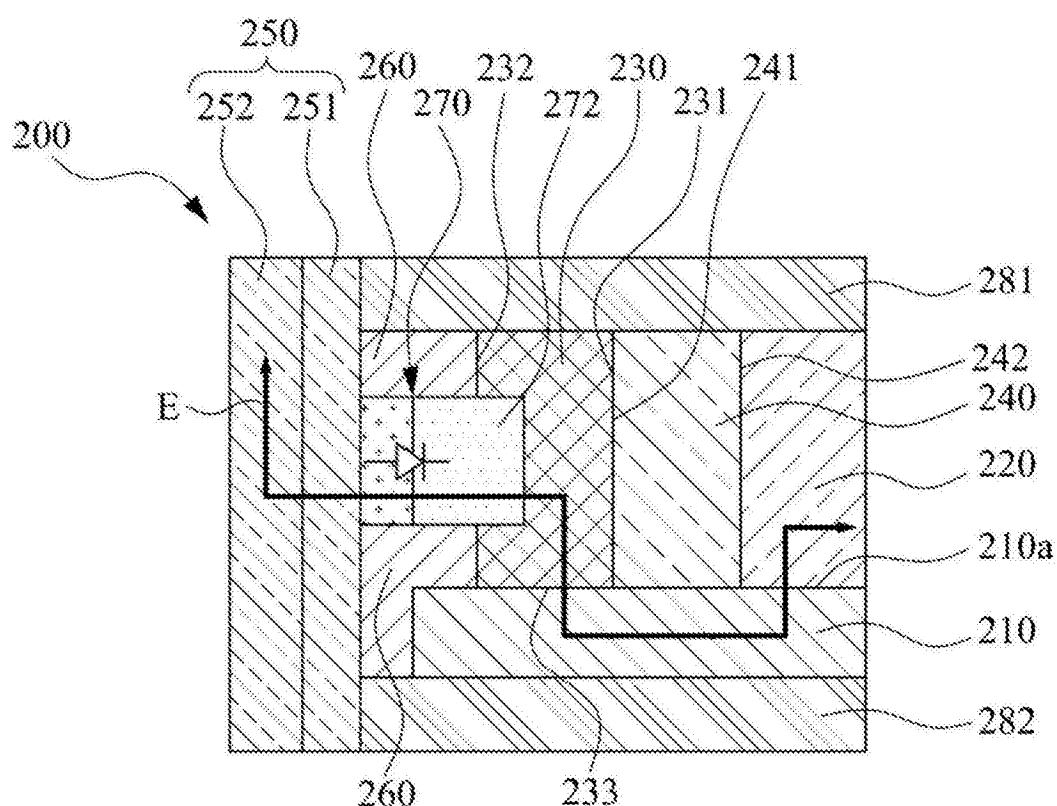


图11

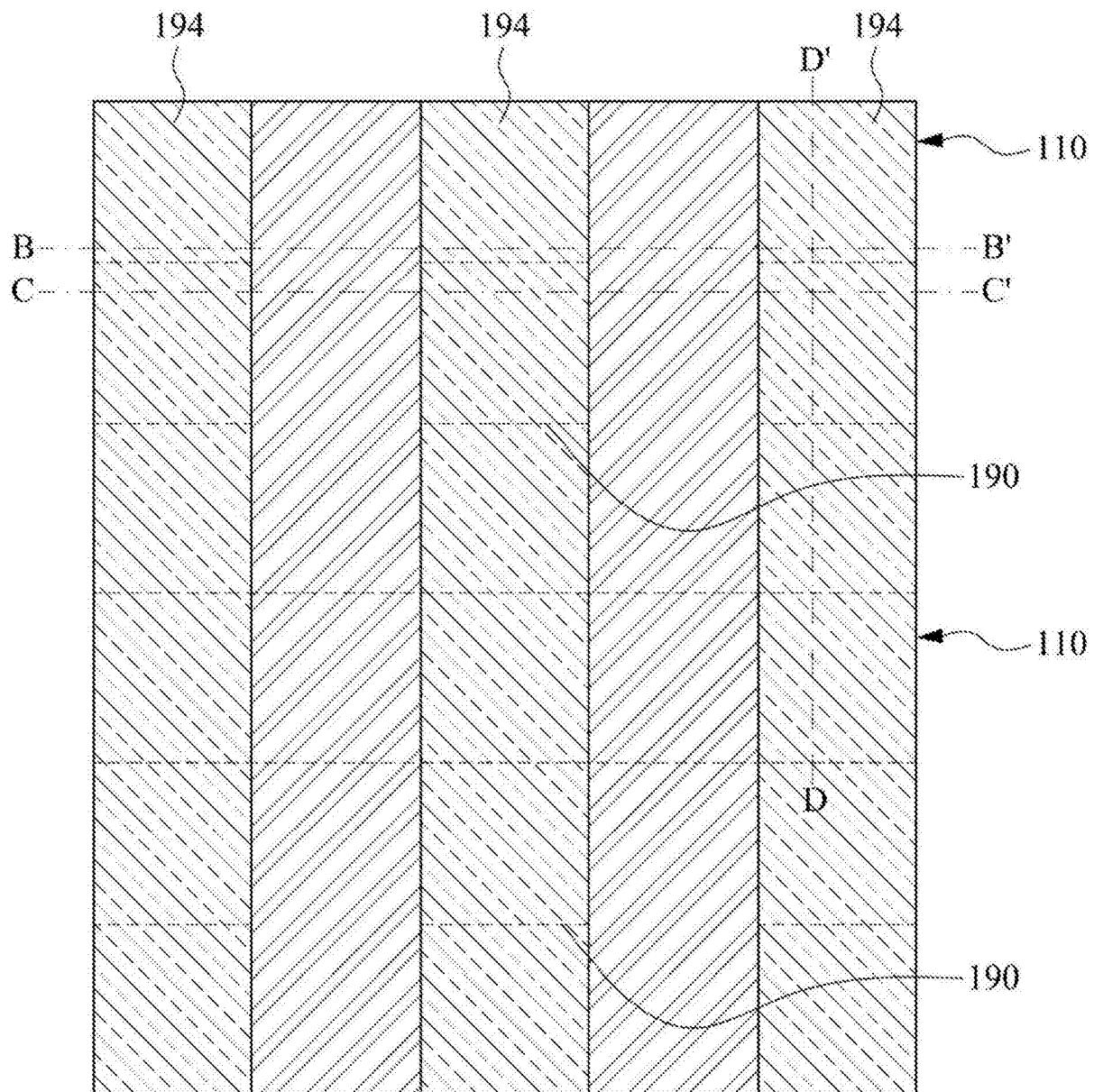


图12A

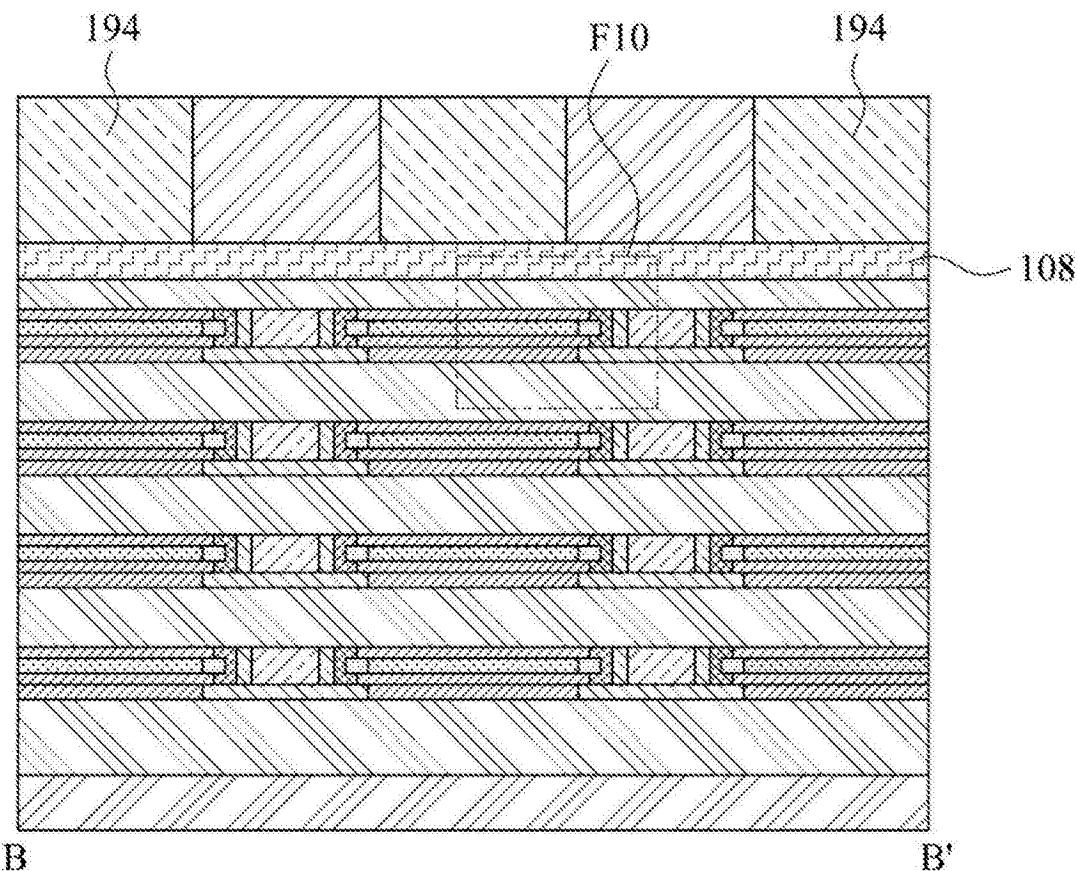


图12B

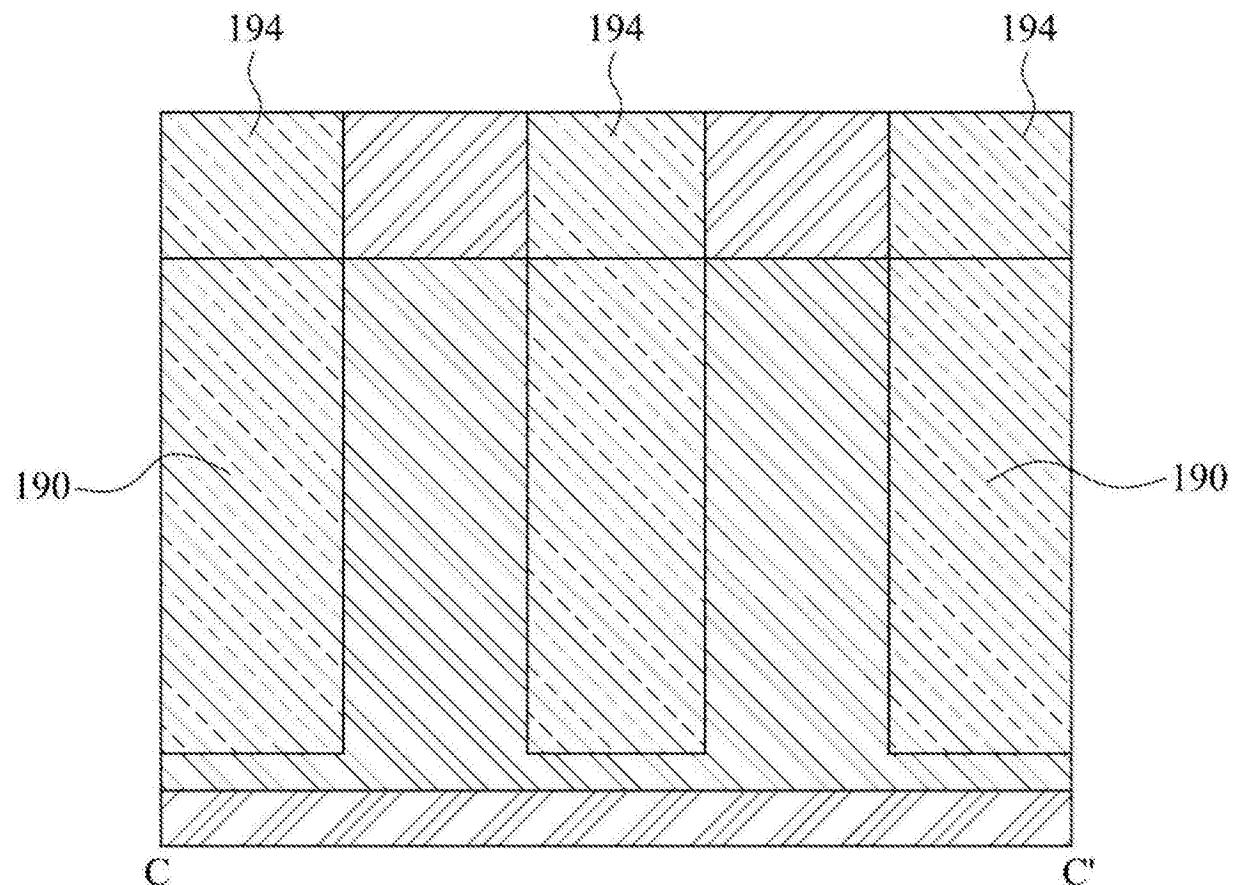


图12C

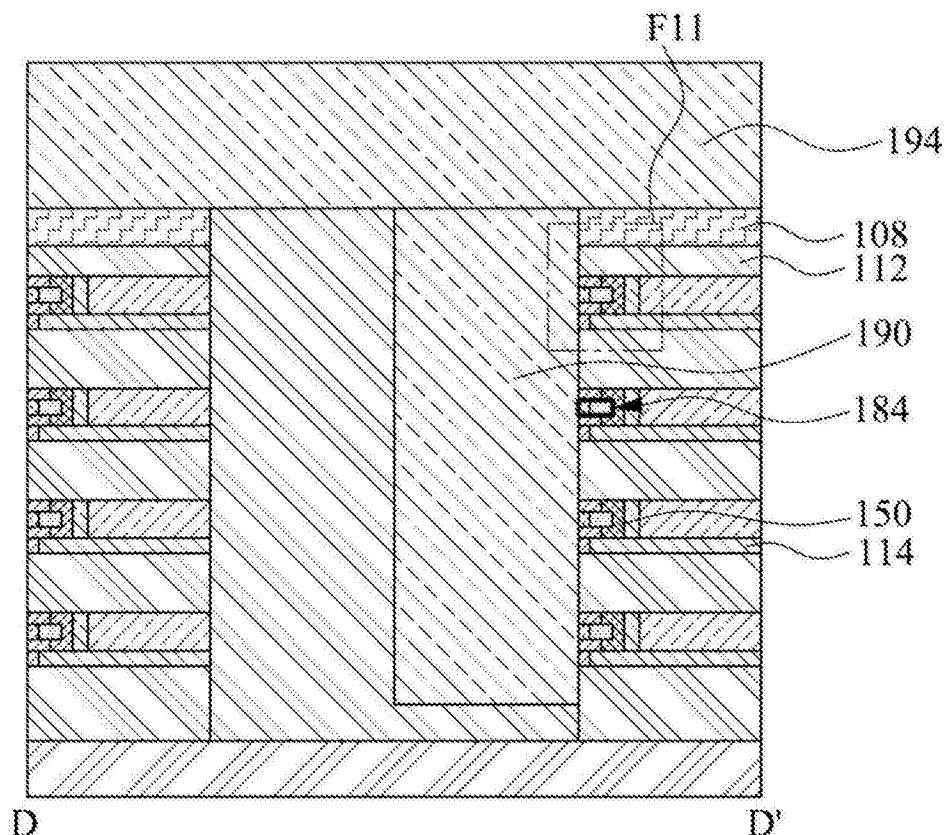


图12D