

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. Juni 2006 (08.06.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/058647 A1

(51) Internationale Patentklassifikation:

G11C 7/06 (2006.01) **G11C 16/02** (2006.01)

G11C 13/02 (2006.01)

(71) **Anmelder** (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) **Erfinder; und**

(75) **Erfinder/Anmelder** (nur für US): **LIAW, Corvin**
[DE/DE]; Nabburgerstr. 19, 81737 München (DE).
RÖHR, Thomas [DE/DE]; Gaussring 8, 85609 Aschheim
(DE).

(21) Internationales Aktenzeichen: PCT/EP2005/012542

(22) Internationales Anmeldedatum:

23. November 2005 (23.11.2005)

(25) Einreichungssprache:

Deutsch

(74) **Anwälte:** **BANSE, Klaus-Dieter** usw.; Wilhelm & Beck,
Nymphenburger Str. 139, 80636 München (DE).

(26) Veröffentlichungssprache:

Deutsch

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,

(30) Angaben zur Priorität:

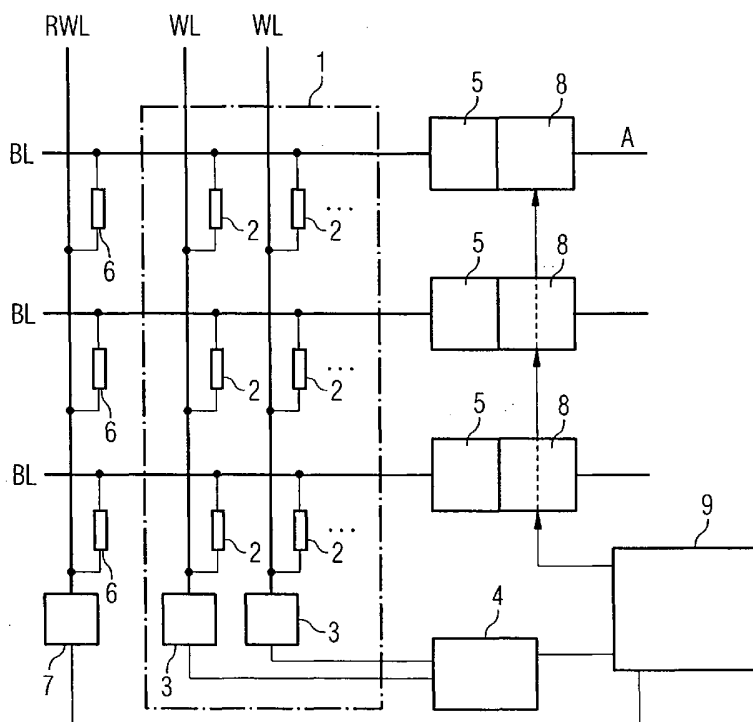
10 2004 058 132.0

2. Dezember 2004 (02.12.2004) DE

[Fortsetzung auf der nächsten Seite]

(54) **Title:** MEMORY CIRCUIT AND METHOD FOR ANALYSING MEMORY DATUM OF A CBRAM RESISTANCE MEM-
ORY CELL

(54) **Bezeichnung:** SPEICHERSCHALTUNG WIE VERFAHREN ZUM BEWERTEN EINES SPEICHERDATUMS EINER
CBRAM-WIDERSTANDSSPEICHERZELLE



(57) **Abstract:** The invention relates to a memory circuit comprising: memory cells provided with CBRAM-resistance elements which are arranged in a memory cell matrix on a bit line and on word lines; a reference resistance element which is connected to the bit line and to a reference word line; voltage sources which are joined, respectively, to the word lines and the reference line; a read amplifier on the bit line, which can be used to measure a bit line flow of the bit line having a constant bit line potential; a control unit which applies the activation potential onto the bit line in order to read one of the memory cells and voltage sources which are controlled in such a manner that in a first cycle, the activation potential is applied to the reference word line and the deactivation potential is applied to the word lines, and that in a second cycle the deactivation potential is applied to the reference word line, and that the activation potential is applied to the word line whereon the memory cell which can be read is located, and that the deactivation potential is applied to the remaining

word lines, and that an evaluation unit is connected to the read amplifier in order to determine an electric variable which depends on the bit line flow detected in the first cycle and the bit line flow detected in the second cycle, and for allocating the determined electric variable to a memory datum.

[Fortsetzung auf der nächsten Seite]

WO 2006/058647 A1



KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die vorliegende Erfindung betrifft eine Speicherschaltung umfassend: Speicherzellen mit CBRAM-Widerstandselementen, die in einer Speicherzellenmatrix an einer Bitleitung und an Wortleitungen angeordnet sind, ein Referenz-Widerstandselement, das an der Bitleitung und an einer Referenz-Wortleitung angeschlossen ist, Spannungsquellen, die jeweils mit den Wortleitungen und der Referenzwortleitung verbunden sind, ein Leseverstärker an der Bitleitung, der geeignet ist, bei konstant gehaltenem Bitleitungspotential einen Bitleitungsstrom von der Bitleitung zu messen; eine Steuereinheit, die zum Auslesen einer der Speicherzellen die das Aktivierungspotential an die Bitleitung anlegt und die Spannungsquellen so ansteuert, dass in einem ersten Zyklus an die Referenzwortleitung das Aktivierungspotential und an die Wortleitungen jeweils das Deaktivierungspotential angelegt sind, und dass in einem zweiten Zyklus an die Referenzwortleitung das Deaktivierungspotential angelegt ist, an die Wortleitung, an der sich die auszulesende Speicherzelle befindet, das Aktivierungspotential angelegt ist, und an die übrigen Wortleitungen das Deaktivierungspotential angelegt ist, eine Bewertungseinheit, die mit dem Leseverstärker verbunden ist, um eine elektrische Größe zu ermitteln, die von dem in dem ersten Zyklus erfassten Bitleitungsstrom und dem in dem zweiten Zyklus erfassten Bitleitungsstrom abhängt, und um die ermittelte elektrische Größe einem Speicherdatum zuzuordnen.

Beschreibung

Speicherschaltung wie Verfahren zum Bewerten eines Speicherdatums einer CBRAM-Widerstandsspeicherzelle

5

Die Erfindung betrifft eine Speicherschaltung (Conductive Bridging RAM), die CBRAM-Widerstandselemente als Speicherzellen umfasst. Die Erfindung betrifft weiterhin ein Verfahren zum Bewerten eines Speicherdatums einer CBRAM-

10 Widerstandsspeicherzelle.

Neuartige Speicherschaltungen speichern eine Information in einem Widerstandsnetzwerk, wobei Widerstandselemente in einer Matrix aus Wortleitungen und Bitleitungen angeordnet sind.

15 Die Widerstandselemente weisen einen veränderlichen Widerstand auf, womit eine Information als Speicherdatum gespeichert werden kann.

Als vielversprechend gelten CBRAM-Widerstandselemente (auch
20 PMC-Widerstandselemente genannt), bei denen der elektrische Widerstand in einem Festkörperelektrolyten durch Anlegen eines Programmierstromes eingestellt werden kann. Je nach Polarität und Höhe des Programmierstromes lässt sich in dem CBRAM-Widerstandselement ein relativ hoher bzw. ein relativ
25 niedriger Widerstand einstellen, der jeweils einen bestimmten detektierbaren Zustand definiert.

Die CBRAM-Widerstandselemente sind an den Schnittstellen zwischen Wortleitungen und Bitleitungen der Matrix aus den Speicherelementen angeordnet, so dass jedes CBRAM-
30 Widerstandselement einer Speicherzelle an einer solchen Schnittstelle mit einem Anschluss an der entsprechenden Wortleitung und mit einem weiteren Anschluss an der entsprechenden Bitleitung angeschlossen ist.

35

Zum Auslesen der durch die CBRAM-Widerstandselemente gebildeten Speicherzellen wird eine den Widerstandswert der Spei-

cherzelle repräsentierende elektrische Größe durch Anlegen einer Spannung oder eines Stroms an der adressierten Speicherzelle mit Hilfe einer Ausleseschaltung bestimmt und diese mit einer weiteren elektrischen Größe, die abhängig von einem Referenzbauelement bestimmt wird, verglichen und abhängig von dem Ergebnis des Vergleichs das auszulesende Speicherdatum ermittelt. Dies erfordert, dass das Referenzbauelement mit einer Referenz-Ausleseschaltung ausgelesen wird, die im wesentlichen gleichartig zu den mit den Bitleitungen verbundenen Ausleseschaltungen verbunden ist, um eine Vergleichsgröße zu erhalten. Da im Wesentlichen für jede der Bitleitungen ein separates Referenzbauelement vorgesehen werden muss, wird dadurch der Schaltungsaufwand erheblich erhöht.

- Es ist daher Aufgabe der vorliegenden Erfindung, eine Speicherschaltung der oben beschriebenen Art zur Verfügung zu stellen, bei der der Schaltungsaufwand reduziert werden kann. Es ist weiterhin Aufgabe der vorliegenden Erfindung, ein Verfahren zum Auslesen eines Speicherdatums aus einer CBRAM-Widerstandsspeicherzelle in einer Matrix-Anordnung von CBRAM-Widerstandsspeicherzellen zur Verfügung zu stellen, das mit einem reduzierten Schaltungsaufwand und mit einem geringeren Energieverbrauch durchgeführt werden kann.
- Diese Aufgabe wird durch die Speicherschaltung nach Anspruch 1 sowie durch das Verfahren nach Anspruch 8 gelöst.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

- Gemäß einem ersten Aspekt der vorliegenden Erfindung ist eine Speicherschaltung vorgesehen, die Speicherzellen mit CBRAM-Widerstandselementen umfasst. Die CBRAM-Widerstandselemente sind in einer Speicherzellenmatrix an einer Bitleitung und an Wortleitungen angeordnet, wobei die Widerstandswerte der CBRAM-Widerstandselemente durch Anlegen einer elektrischen Größe einstellbar sind, um ein Speicherdatum zu speichern.

Die Speicherschaltung umfasst weiterhin ein Referenz-Widerstandselement, das an der Bitleitung und an einer Referenzwortleitung angeschlossen ist, wobei der Widerstandswert des Referenzwiderstandselementes einem Widerstandsschwellwert entspricht. Es sind Spannungsquellen vorgesehen, die jeweils mit den Wortleitungen und der Referenz-Wortleitung verbunden sind, und schaltbar sind, um an die Wortleitung bzw. die Referenzwortleitung ein Aktivierungspotential oder ein Deaktivierungspotential zum Aktivieren bzw. Deaktivieren der Wortleitung bzw. Referenzwortleitung anzulegen. An der Bitleitung ist ein Leseverstärker vorgesehen, der geeignet ist, bei konstant gehaltenem Bitleitungspotential einen Bitleitungsstrom von der jeweiligen Bitleitung zu messen. Ferner ist eine Steuereinheit vorgesehen, die zum Auslesen einer der Speicherzellen das Aktivierungspotential an die Bitleitung anlegt und die Spannungsquellen so ansteuert, dass in einem ersten Zyklus an die Referenzwortleitung das Aktivierungspotential und an die Wortleitungen jeweils das Deaktivierungspotential angelegt sind, und dass in einem zweiten Zyklus an die Referenzwortleitung das Deaktivierungspotential angelegt ist, an die Wortleitung, an der sich die auszulesende Speicherzelle befindet, das Aktivierungspotential angelegt ist und an die übrigen Wortleitungen das Deaktivierungspotential angelegt ist. Der Leseverstärker ist mit einer Bewertungseinheit verbunden, in der eine Größe ermittelt wird, die von dem in dem ersten Zyklus erfassten Bitleitungsstrom und dem in dem zweiten Zyklus erfassten Bitleitungsstrom abhängt, um die ermittelte elektrische Größe einem Speicherdatum zuzuordnen.

Die erfindungsgemäße Speicherschaltung hat den Vorteil, dass für die vorzusehenden Referenz-Widerstandselemente kein separater Leseverstärker vorgesehen werden muss, der eine elektrische Vergleichgröße an die Bewertungseinheit liefert. Statt dessen werden die Referenz-Widerstandselemente an die Bitleitung, an der sich auch die auszulesenden CBRAM-Widerstandselemente befinden, angeschlossen, so dass das Referenz-Widerstandselement mit dem selben Leseverstärker aus-

gelesen werden kann, wie das auszulesende CBRAM-Widerstandselement. Dadurch kann ein zusätzlicher Leseverstärker eingespart werden.

5 Die Bewertung des Inhalts einer Speicherzelle, die durch ein CBRAM-Widerstandselement gebildet ist, wird in zwei Zyklen durchgeführt, wobei in einem ersten Zyklus zunächst an die Referenz-Wortleitung das Aktivierungspotential und an alle Wortleitungen das Deaktivierungspotential angelegt wird. Dies
10 bewirkt, dass über das Referenzwiderstandselement und die Bitleitung zu dem Leseverstärker ein Strom fließt, der mit Hilfe des Leseverstärkers gemessen wird und der nachfolgenden Bewertungseinheit in Form einer elektrischen Größe zur Verfügung gestellt wird. In einem zweiten Zyklus, der nach dem
15 ersten Zustand eingenommen wird, wird an die Referenz-Wortleitung sowie an die nicht ausgewählten Wortleitungen das Deaktivierungspotential angelegt und an die Wortleitung, an der sich die auszulesende Speicherzelle befindet, das Aktivierungspotential angelegt. Erneut wird durch den Leseverstärker der Bitleitungsstrom gemessen und eine entsprechende
20 davon abhängige Größe in der Bewertungseinheit zur Verfügung gestellt.

Abhängig von den in den beiden Zyklen gemessenen elektrischen
25 Größen, insbesondere der Differenz der elektrischen Größen, wird das entsprechende Speicherdatum zugeordnet.

Ein weiterer Vorteil besteht darin, dass durch die Verwendung des selben Leseverstärkers für das Auslesen des Referenzwiderstandselementes und des CBRAM-Widerstandselementes der Einfluss eines in dem Leseverstärker generierten Spannungsoffset auf der Bitleitung eliminiert wird, da der Offset beim Auslesen des Referenzwiderstandselementes und des CBRAM-Widerstandselementes die gleiche Höhe aufweist und sich der
30 Einfluss des Offsets in beiden Zyklen bei Differenzbildung gegenseitig aufhebt.
35

Gemäß einer bevorzugten Ausführungsform weist die Bewertungseinheit ein Speicherelement auf, das eine den während des ersten Zyklus gemessenen Bitleitungsstroms repräsentierende Größe speichert, wobei die Bewertungseinheit eine Differenz-

5 einheit aufweist, um die elektrische Größe abhängig von der Differenz des während des ersten Zyklus empfangenen Bitleitungsstroms und eines während des zweiten Zyklus empfangenen Bitleitungsstroms zu bilden. Insbesondere weist das Speicherelement einen Kondensator auf, um eine von dem während des

10 ersten Zyklus erfassten Bitleitungsstroms abhängige elektrische Größe zu speichern.

Es kann vorgesehen sein, dass der Leseverstärker einen Operationsverstärker mit einem Eingang aufweist, der mit der Bit-

15 leitung verbunden ist, wobei eine Gegenkopplungsschaltung vorgesehen ist, um das Bitleitungspotential auf der Bitleitung während der Erfassung des Bitleitungsstroms konstant zu halten.

20 Die Spannungsquellen und der Leseverstärker sind vorzugsweise so aufeinander abgestimmt, dass das Deaktivierungspotential der Spannungsquellen dem Bitleitungspotential, auf dem die entsprechende Bitleitung durch den entsprechenden Leseverstärker gehalten wird, entspricht. Auf diese Weise wird ge-

25 währleistet, dass die deaktivierten Wortleitungen bzw. eine deaktivierte Referenz-Wortleitung im Idealfall stromlos sind, da zwischen dem Deaktivierungspotential und dem Bitleitungspotential keine Spannung abfällt.

30 Gemäß einer Ausführungsform können die Referenz-Widerstandselemente mehrere verschaltete CBRAM-Widerstandselemente aufweisen, die jeweils auf einen einem ersten Zustand des Speicherdatums entsprechenden Widerstandswert, oder auf einen anderen einem zweiten Zustand des Speicherdatums entsprechenden

35 Widerstandswert eingestellt sind. Auf diese Weise können die Referenzwiderstandselemente ebenfalls mit Hilfe von CBRAM-

Widerstandselementen gebildet werden, die auf einen festen Wert programmiert sind.

Die Steuereinheit kann den ersten Zyklus, in dem die entsprechenden Potentiale angelegt sind, während einer ersten Zeitdauer einnehmen und den zweiten Zustand während einer zweiten Zeitdauer einnehmen. Auf diese Weise kann während der ersten Zeitdauer eine Kapazität abhängig von dem Bitleitungsstrom geladen bzw. entladen werden, um im ersten Zyklus ein definiertes Ladepotential abhängig von dem Bitleitungsstrom zu erreichen und so eine von dem Bitleitungsstrom abhängige Größe in dem ersten Zyklus zu speichern. Diese Größe wird als Bezugsgröße für die Bewertung des im zweiten Zyklus fließenden Bitleitungsstroms verwendet.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Bewerten eines Speicherdatums einer CBRAM-Widerstandsspeicherzelle vorgesehen. Die CBRAM-Widerstandsspeicherzelle ist in einer Gruppe von CBRAM-Widerstandsspeicherzellen an einer Bitleitung und an Wortleitungen angeordnet, wobei die Widerstandswerte der CBRAM-Widerstandsspeicherzellen durch Anlegen einer elektrischen Größe einstellbar sind, um ein jeweiliges Speicherdatum zu speichern. Es ist ein Referenz-Widerstandselement an der Bitleitung und an einer Referenz-Wortleitung angeschlossen, wobei der Widerstandswert des Referenz-Widerstandselementes einem Widerstandsschwellwert entspricht. Das Verfahren weist die Schritte auf: Anlegen eines Deaktivierungspotentials an die Wortleitungen und Anlegen eines Aktivierungspotentials an die Referenz-Wortleitung; Erfassen eines resultierenden Bitleitungsstromes in einem ersten Zyklus; Anlegen eines Deaktivierungspotentials an die Referenz-Wortleitung und Anlegen des Aktivierungspotentials an die Wortleitung, an der sich die auszulesende Speicherzelle befindet; Erfassen eines in dem zweiten Modus resultierenden Bitleitungsstroms; und Erzeugen einer elektrischen Größe, die von dem in dem ersten Zyklus erfassten Bitleitungsstroms und dem in dem zweiten

Zyklus erfassten Bitleitungsstroms abhängt und Zuordnen eines Speicherdatums.

Das erfindungsgemäße Verfahren hat den Vorteil, dass die
5 CBRAM-Widerstandsspeicherzelle und das Referenz-
Widerstandselement an einer einzigen Bitleitung angeschlossen
werden können, wobei ein Widerstandswert der CBRAM-
Widerstandsspeicherzelle und ein Widerstandswert des Referenz-
10 renzwiderstandselementes nacheinander ausgelesen werden, in-
dem ein entsprechender Bitleitungsstrom erfasst wird und das
Speicherdatum abhängig von dem beim Auslesen des Referenz-
Widerstandselementes und beim Auslesen der CBRAM-
Widerstandsspeicherzelle resultierenden Bitleitungsströme be-
stimmt wird.

15 Es kann weiterhin vorgesehen sein, dass eine in dem ersten
Zyklus resultierender Bitleitungsstrom repräsentierende Größe
gespeichert wird, um in oder nach dem zweiten Zyklus das
Speicherdatum abhängig dem im ersten Zyklus erfassten Bitlei-
20 tungsstrom zu bestimmen.

Gemäß einer Ausführungsform kann der Schritt des Anlegens des
Deaktivierungspotentials an die Wortleitungen und Anlegen ei-
nes Aktivierungspotentials an die Referenzwortleitung in dem
25 ersten Zyklus während einer ersten Zeitdauer durchgeführt
werden, um ein Speichern einer von dem Bitleitungsstrom ab-
hängigen Ladung in einer Kapazität vorzunehmen. Weiterhin
kann vorgesehen sein, dass der Schritt des Anlegens eines De-
aktivierungspotentials an die Referenzwortleitung und Anlegen
30 des Aktivierungspotentials an die Wortleitung, an der sich
die auszulesende Speicherzelle befindet, während einer zwei-
ten Zeitdauer durchgeführt werden. Vorzugsweise wird während
des ersten Zyklus ein Ladungsspeicher mit einer von dem Bit-
leitungsstrom abhängigen Größe geladen bzw. entladen und wäh-
35 rend des zweiten Zyklus der Ladungsspeicher mit einer von dem
Bitleitungsstrom abhängigen Größe entlade bzw. geladen.

Bevorzugte Ausführungsformen der vorliegenden Erfindung werden nachfolgend anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

5 Figur 1 schematisch ein Ausschnitt aus einer Speicherzellenmatrix mit Referenzwiderstandselementen und Speicherzellen mit CBRAM-Widerstandselementen gemäß einer Ausführungsform der Erfindung darstellt;

10 Figur 2 eine detailliertere Darstellung des Leseverstärkers und der Bewertungseinheit zum Lesen des Referenzwiderstandswertes in einem ersten Zyklus zeigt;

15 Figur 3 eine detailliertere Darstellung des Leseverstärkers und der Bewertungseinheit der Fig. 2 in einem zweiten Zyklus beim Empfangen des Bitleitungsstroms abhängig von dem Widerstandswert des CBRAM-Widerstandselementes zeigt;

20 Figur 4 eine Darstellung eines Leseverstärkers und einer Bewertungseinheit gemäß einer weiteren Ausführungsform zeigt; und

25 Figur 5a bis 5c mögliche Konfigurationen des Referenzwiderstandselementes, das mit Hilfe von CBRAM-Widerstandselementen aufgebaut ist.

In Figur 1 ist eine erfindungsgemäße Speicherschaltung schematisch dargestellt, die eine Speicherzellenmatrix 1 aufweist, die Wortleitungen WL und Bitleitungen BL umfasst, die einander kreuzen und an deren Kreuzungspunkten jeweils eine Speicherzelle angeordnet ist. Die Speicherzellen weisen CBRAM-Widerstandselemente 2 auf, die jeweils mit einem ersten Anschluss mit der jeweiligen Wortleitung WL und mit einem zweiten Anschluss mit der jeweiligen Bitleitung BL verbunden sind. Auswahlhalter und dergleichen sind bei dieser Ausführungsform nicht vorgesehen.

30
35

Die Wortleitungen WL werden über Spannungsquellen 3 angesteuert, die mit einem Adressdecodierer 4 verbunden sind, der die Spannungsquellen 3 ansteuert, so dass diese an die jeweilige Wortleitung WL ein Aktivierungspotential V_{akt} oder ein Deaktivierungspotential V_{deakt} anlegen. Die Bitleitungen BL sind jeweils mit einem Leseverstärker 5 verbunden, der einen Bitleitungsstrom erfasst, während der jeweilige Leseverstärker 5 die Bitleitung BL auf einem vordefinierten Bitleitungspotential V_{BL} hält. Die Leseverstärker 5 sind im Wesentlichen immer aktiv und legen auf die Bitleitungen BL das Bitleitungspotential V_{BL} an, wobei zum Deaktivieren der CBRAM-Widerstandsspeicherzellen 2 durch die entsprechenden Spannungsquellen 3 ein Deaktivierungspotential V_{deakt} an die Wortleitungen WL angelegt wird, dass dem Bitleitungspotential V_{BL} entspricht.

Eine Wortleitung WL wird ausgewählt, indem durch den Adressdecodierer 4 die jeweilige Spannungsquelle 3 so angesteuert wird, dass diese ein Aktivierungspotential an die Wortleitung WL angelegt, so dass ein Spannungsabfall zwischen der aktivierten Wortleitung WL und den Bitleitungen BL, die jeweils auf dem Bitleitungspotential gehalten werden, über dem CBRAM-Widerstandselement 2 bewirkt wird, wodurch ein Strom von der Wortleitung WL auf die Bitleitung BL fließt, der durch den Leseverstärker 5 detektiert werden kann.

Jede Bitleitung BL ist ferner mit einem Referenzwiderstandselement 6 verbunden, die entlang einer Referenzwortleitung angeordnet sind. Die Referenz-Wortleitung RWL kreuzt im Wesentlichen die Bitleitungen BL, und das Referenz-Widerstandselement 6 ist an den Kreuzungspunkten mit einem ersten Anschluss an der Referenz-Wortleitung und mit einem zweiten Anschluss an der jeweiligen Bitleitung BL angeschlossen. Die Referenz-Wortleitung wird über eine Referenzspannungsquelle 7 mit einer Spannung versorgt, um die Referenz-Wortleitung RWL zu aktivieren und zu deaktivieren vorzugsweise mit demselben Aktivierungs- V_{akt} bzw. Deaktivierungspoten-

tial V_{deakt} wie die Wortleitungen WL durch die Spannungsquellen 3 versorgt werden.

Die CBRAM-Widerstandselemente 2 können durch einen Schreibstrom mit Hilfe einer (nicht gezeigten) Schreibschaltung programmiert werden und dadurch je nach zu speicherndem Speicherdatum einen relativ hohen oder einen relativ niedrigen Widerstandswert erhalten. Die Referenz-Widerstandselemente 6 werden mit einem Widerstandswert vorgegeben oder auf einen Widerstandswert eingestellt, der zwischen dem relativ hohem und dem relativ niedrigem Widerstandswert liegt, die die CBRAM-Widerstandselemente 2 annehmen können.

Die Leseverstärker 5 sind jeweils mit einer Bewertungsschaltung 8 gekoppelt, in der eine Bewertung des ausgelesenen Bitleitungsstroms der entsprechenden Bitleitung BL vorgenommen wird. Die Bewertung des Bitleitungsstroms wird mit Hilfe eines Messvorgangs durchgeführt, der mit Hilfe einer Steuereinheit 9 gesteuert wird. Die Steuereinheit 9 steht mit den Bewertungseinheiten 8 mit dem Adressdecodierer 4 und mit der Referenzspannungsquelle 7 in Verbindung, um das Auslesen eines Speicherdatums zu steuern.

Ein Speicherdatum wird in zwei Zyklen ausgelesen. In einem ersten Zyklus steuert die Steuereinheit 9 die Referenzspannungsquelle 7 so an, dass die Referenzspannungsquelle 7 das Aktivierungspotential V_{akt} auf die Referenz-Wortleitung RWL anlegt und somit einen Spannungsabfall zwischen den Referenzwiderstandselementen 6 und der jeweiligen Bitleitung BL bewirkt. In der durch die Steuereinheit 9 ausgewählten Bewertungseinheit 8 wird der von der zugehörigen Leseverstärker 5 empfangene Bitleitungsstrom in eine geeignete elektrische Größe umgewandelt, und diese zwischengespeichert, so dass diese nach einem auf dem ersten Zyklus folgenden zweiten Zyklus zur Verfügung steht. Z.B. kann die elektrische Größe als Potential in einer Kapazität gespeichert werden.

Im zweiten Zyklus steuert die Steuereinheit 9 die Referenz-Spannungsquelle 7 so an, dass ein Deaktivierungspotential V_{deakt} auf die Referenz-Wortleitung RWL angelegt wird und steuert im Wesentlichen gleichzeitig oder mit geringem zeitlichen Abstand den Adressdecodierer 4 so an, dass entsprechend der zu adressierenden Speicherzelle eine der Spannungsquellen 3 aktiviert wird, sodass diese das Aktivierungspotential V_{akt} auf die adressierte Wortleitung WL anlegt. Die übrigen Spannungsquellen 3 an den übrigen Wortleitungen WL liefern ein Deaktivierungspotential V_{deakt} das im wesentlichen dem Bitleitungspotential BL entspricht, sodass über die nicht adressierten CBRAM-Widerstandselemente 2 im Wesentlichen kein nennenswerter Strom fließt. Die Steuereinheit 9 steuert nun die ausgewählte Bewertungseinheit 8 so an, dass ein Ausgangssignal auf der jeweiligen Ausgangsleitung A abhängig von dem während des ersten Zyklus erfassten Bitleitungsstroms und abhängig von dem im zweiten Zyklus erfassten Bitleitungsstrom ausgegeben wird und das dem auszulesenden Speicherdatum entspricht.

In Figur 2 ist ein detaillierteres Schaltbild eines Leseverstärkers 5 und einer Bewertungseinheit 8 an einer Bitleitung BL dargestellt, wobei das Referenz-Widerstandselement 6 an der entsprechenden Bitleitung BL und das ausgewählte und die nicht ausgewählten CBRAM-Widerstandselemente 2 als Widerstandssymbole in einer entsprechenden Verschaltung dargestellt sind. Der Widerstandswert des ausgewählten CBRAM-Widerstandselementes 2 ist mit R_c der Widerstandswert der an der ausgewählten Bitleitung befindlichen zueinander parallel geschalteten nicht ausgewählten CBRAM-Widerstandselemente 2 mit R_p und der Widerstandswert des Referenz-Widerstandselementes 6 mit R_{ref} angegeben. Im ersten Zyklus ist der erste Anschluss des Referenz-Widerstandselementes 6 mit dem Aktivierungspotential V_{akt} verbunden und mit dem zweiten Anschluss mit der Bitleitung BL verbunden. Sowohl das adressierte CBRAM-Widerstandselement 2 R_c als auch die übrigen mit der Bitleitung BL verbundenen CBRAM-Widerstandselemente 2

Rp sind mit ihren zweiten Anschlüssen mit der Bitleitung und mit ihren ersten Anschlüssen mit einem Deaktivierungspotential V_{deakt} verbunden.

5 Der Leseverstärker 5 weist im Wesentlichen einen Operationsverstärker 10 auf, an dessen Ausgang eine Gegenkopplungsschaltung 11 angeschlossen ist, die mit einem invertierenden Eingang des Operationsverstärkers 10 gekoppelt ist. An dem nicht invertierenden Eingang des Operationsverstärkers 10 ist
10 das Bitleitungspotential V_{BL} angelegt, das im Wesentlichen dem Deaktivierungspotential V_{deakt} entspricht. Aufgrund von Schwankungen der Bauelementparameter, insbesondere des Operationsverstärkers und der Gegenkopplungsschaltung 11, entspricht die sich auf der Bitleitung BL einstellende Spannung
15 nicht exakt dem Bitleitungspotential V_{BL} sondern ist mit einem Offset belegt, der nicht bekannt ist und der üblicherweise dazu führt, dass zwischen den Spannungsquellen 3, die das Deaktivierungspotential V_{deakt} an die Wortleitungen WL anlegen und der Bitleitung BL ein Ruhestrom fließt, der von dem Offsetpotential V_{os} abhängt.
20

Die Gegenkopplungsschaltung 11 weist beispielsweise einen n-Kanal-Feldeffekttransistor 12 auf, dessen Steueranschluss mit dem Ausgang des Operationsverstärkers 10 gekoppelt ist. Ein
25 Source-Anschluss des n-Kanal-Feldeffekttransistors 12 ist mit einem ersten Anschluss einer Stromquelle 13 verbunden, deren zweiter Anschluss mit einem Massepotential GND verbunden ist. Ein Drain-Anschluss des Feldeffekttransistors 12 ist über eine Stromspiegelschaltung 14 mit einem hohen Versorgungsspannungspotential V_{DD} verbunden. Der Source-Anschluss des Feldeffekttransistors 12 bzw. der erste Anschluss der Stromquelle
30 13 sind mit der Bitleitung BL verbunden. Der aufgrund des Aktivierungspotentials V_{akt} über das Referenz-Widerstandselement 6 auf die Bitleitung fließende Strom I_1 wird somit in den
35 Feldeffekttransistor 12 eingepreßt und über die Stromspiegelschaltung 14 in einen weiteren Strompfad gespiegelt. Die Stromquelle 13 kann alternativ weggelassen werden, wenn das

Aktivierungspotential V_{akt} kleiner ist als das Bitleitungspotential V_{BL} , so dass stets ein positiver Strom zwischen dem Drain-Anschluss und dem Source-Anschluss des n-Kanal-Feldeffekttransistors 12 fließt. Im weiteren Strompfad befindet sich ein Schalter 15, der durch die Steuereinheit 9 gesteuert wird und beispielsweise als Transistor ausgebildet ist. Der Schalter 15 ist in dem ersten Zyklus geschlossen. Über den Schalter 15 ist in dem Strompfad ein Kondensator 16 geschaltet, der durch den in den weiteren Strompfad gespiegelten Strom geladen bzw. entladen wird, wodurch die Spannung an dem Kondensator 16 ansteigt bzw. sinkt. Der erste Anschluss des Kondensators 16 ist ferner mit einem Steueranschluss eines weiteren Feldeffekttransistors 17 verbunden, der mit steigender Kondensatorspannung in einem durch die Kondensatorspannung bestimmten Maße leitfähig wird. Es stellt sich in dem weiteren Feldeffekttransistor 17 ein Stromwert ein, der durch den weiteren Strompfad fließt.

Schaltet die Steuereinheit 9 in den zweiten Zyklus, so wird der Schalter 15 geöffnet, so dass die nun bestehende Einstellung d.h. der Strom, der durch den weiteren Feldeffekttransistor 17 fließt, beibehalten wird. Der weitere Feldeffekttransistor 17 arbeitet in der dargestellten Schaltung als eine durch das Ladungspotential des Kondensators 16 eingestellte Stromquelle.

Im ersten Zyklus wird eine Größe gespeichert, die im Wesentlichen dem Stromwert $I_{speicher} = I_1 + I_{comp}$ entspricht, wobei I_{comp} dem durch die Stromquelle 14 gelieferten Stromwert entspricht. Die Speicherung der entsprechenden Größe geschieht durch Ladungsspeicherung auf der Kapazität 16, die vorzugsweise als Gatekapazität des weiteren Feldeffekttransistors (Speichertransistor 17) ausgebildet ist. Die Gatespannung bleibt auch nach Öffnen des Schalters 15 erhalten und bewirkt, dass $I_{speicher}$ auch im zweiten Zyklus fließt.

Der Ausgang des Stromspiegels 14, der den Strom auf dem weiteren Strompfad bereitstellt, ist mit einem ersten Eingang eines Komparators 18 verbunden. Der erste Eingang des Komparators 18 ist über einen Ausgleichstransistor 19 mit einem zweiten Eingang des Komparators 18 verbunden. Der Ausgleichstransistor 19 weist einen Steuereingang auf, der mit einem Ausgleichssignal EQ angesteuert wird. Der erste und der zweite Eingang des Komparators 18 weisen Kapazitäten auf, die als Bewerterkapazitäten C1 und C2 bezeichnet sind.

10

Im ersten Zyklus ist das Signal EQ auf „High“ und bewirkt, dass der Ausgleichstransistor 19 die Bewerterkapazitäten C1 und C2 mit dem Drainanschluss des Speichertransistors 17 verbindet. Im zweiten Zyklus wird EQ auf „Low“ gesetzt und somit die Bewerterkapazitäten C1 und C2 voneinander getrennt. Nach dem Trennen der Bewerterkapazitäten C1 und C2 wird das zuvor anliegende Potential als Ladungspotentials auf der ersten Bewerterkapazität C1 gespeichert, das als Referenzpotential zur Bewertung des an dem ersten Eingang des Komparators 18 anliegenden Signals dient.

20

Im zweiten Zyklus sind die ersten Anschlüsse des Referenzwiderstandselementes 6 und der nicht adressierten CBRAM-Widerstandselemente 2 mit dem Deaktivierungspotential V_{deakt} und der erste Anschluss des adressierten CBRAM-Widerstandselementes 2 mit dem Aktivierungspotential V_{akt} verbunden. Der Bitleitungsstrom I_2 fließt nun von dem Aktivierungspotential V_{akt} über das adressierte CBRAM-Widerstandselement 2 auf die Bitleitung BL und bewirkt so einen weiteren Bitleitungsstrom 2 abhängig von dem Bitleitungspotential V_{BL} und der durch die Bauteilparameter bewirkten Offsetpotential des Operationsverstärkers 10.

30

In dem zweiten Zyklus ist der Schalter 15 geöffnet (gesteuert durch die Steuereinheit 9), so dass das in dem Kondensator 16 gespeicherte Ladungspotential im Wesentlichen konstant ist, so dass sich ein bestimmter konstanter Stromwert I_{speicher}

35

durch den weiteren Feldeffekttransistor 17 ergibt. Wird nun der in dem weiteren Strompfad in dem zweiten Zyklus ausgelesene Bitleitungsstrom I_2 gespiegelt, so ergibt sich am Drain-Anschluss des weiteren Feldeffekttransistors 17 eine resultierende Spannung, die durch einen nachfolgenden Komparator 18 interpretiert wird und ein entsprechendes Ausgangssignal A zur Verfügung stellt.

Die durch den Kondensator 16, den Schalter 15 und den weiteren Feldeffekttransistor 17 gebildete Schaltung ist im Wesentlichen ein Subtrahierer, mit dem ein erster Stromwert, der durch den geschlossenen Schalter 15 gespeichert wird, von einem bei geöffnetem Schalter 15 angelegten Stromwert subtrahiert wird und eine entsprechende dem Subtraktionsergebnis entsprechende Spannungswert an dem Drain-Anschluss des weiteren Feldeffekttransistors 17 ausgegeben wird.

Der zweistufige Ausleseprozess einer Speicherzelle mit einem CBRAM-Widerstandselement hat den weiteren Vorteil, dass der im ersten Zyklus ausgelesene Bitleitungsstrom I_1 und der im zweiten Zyklus ausgelesene Bitleitungsstrom I_2 durch dieselben Offsetpotentiale V_{os} beeinflusst sind, die sich in der Bewertungseinheit 8 durch Subtrahieren der beiden Stromwerte eliminieren. Dies folgt aus:

25

$$I_1 = \frac{V_{os}}{R_c} \pm \frac{V_{os}}{R_p} + \frac{V_{akt} \pm V_{os} + V_{deakt}}{R_{ref}}$$

$$I_2 = \frac{V_{os}}{R_p} \pm \frac{V_{os}}{R_{ref}} + \frac{V_{akt} \pm V_{os} - V_{deakt}}{R_c}$$

30

$$I_{Res} = I_2 - I_1 = \frac{V_{akt} - V_{deakt}}{R_c} - \frac{V_{akt} - V_{deakt}}{R_{ref}}$$

Man erkennt, dass der Einfluss des Offsetpotentials V_{os} vollständig eliminiert werden kann ($\pm V_{os}$ gibt an, dass das Offsetpotential verschiedene Vorzeichen annehmen kann). Auf die-

se Weise hat die erfindungsgemäße Speicherschaltung zum Einen den Vorteil, dass Schaltungsfläche eingespart werden kann, da anstelle eines separaten Leseverstärkers für das Referenz-Widerstandselement 6 nur ein einziger Leseverstärker sowohl
5 für das Referenzwiderstandselement 6, als auch für die CBRAM-Widerstandselemente 2 verwendet wird, indem sich sowohl das Referenzwiderstandselement 6, als auch die CBRAM-Widerstandselemente 2 an derselben Bitleitung befinden. Zudem werden durch das Verfahren die durch die Offsetspannung ent-
10 stehenden parasitären Ströme durch die parallelen Widerstände R_p eliminiert.

In Figur 4 ist eine weitere Ausführungsform eines Leseverstärkers und einer Bewertungseinheit dargestellt. Im Unterschied zu der Ausführungsform in den Figuren 2 und 3 unterscheidet sich die Bewertungseinheit 8 darin, dass anstelle des Komparators 18 und des Ausgleichstransistors 19 eine Ausgangs-Inverterschaltung vorgesehen ist, um das an dem Drain-Anschluss des weiteren Feldeffekttransistors 17 anliegende
15 Signal (Potential) auf den Ausgang als Ausgangssignal A zu treiben. Die Ausgangs-Inverterschaltung ist in diesem Ausführungsbeispiel mithilfe eines p-Kanal-Transistors 20 und eines n-Kanaltransistors 21 gebildet, die zueinander in Reihe geschaltet sind. Ein Steueranschluss des p-Kanal-Transistors 20
20 ist mit einer festgelegten Vorspannung V_{bias} verbunden, um den Pull-Up-Strompfad des Inverters einzustellen. Ein Steueranschluss des n-Kanal-Feldeffekttransistors 21 der Ausgangs-Inverterschaltung ist mit dem Drain-Anschluss des weiteren Feldeffekttransistors 17 verbunden, so dass ein an dem Drain-
30 Anschluss des weiteren Feldeffekttransistors 17 anliegendes Ausgangssignal durch die Inverterschaltung invertiert verstärkt wird. Die Verwendung einer solchen Ausgangs-Inverterschaltung ist bei vorliegender Schaltung ausreichend, da aufgrund des großen Widerstandsverhältnisses zwischen den
35 den verschiedenen Zuständen der CBRAM-Widerstandselemente zugeordneten Widerstandswerten eine relativ geringe Verstärkung des Signals am Drain-Anschluss des weiteren Feldeffekttran-

sistors 17 ausreicht, um das Ausgangssignal A bereitzustellen.

In den Figuren 5a bis 5c sind mögliche Ausgestaltungen des Referenz-Widerstandselements 6 dargestellt. In der Ausführungsform der Figur 5a wird das Referenz-Widerstandselement 6 durch zwei CBRAM-Widerstandselemente gebildet, die auf einen Widerstandswert R_{c0} eingestellt sind, der dem relativ niederen Widerstandswert der CBRAM-Widerstandselemente entspricht. Die CBRAM-Widerstandselemente sind in Reihe geschaltet, so dass ein Widerstand gebildet wird, der das Doppelte des relativ niederen Widerstandswerts entspricht und somit zwischen dem niederen Widerstandswert und dem relativ hohen Widerstandswert liegt.

In Figur 5b ist eine weitere Möglichkeit für einen Aufbau eines Referenz-Widerstandselements dargestellt. Es weist vier CBRAM-Widerstandselemente auf, wobei zwei in Reihe geschaltete CBRAM-Widerstandselemente mit dem relativ hohen Widerstandswert R_{c1} und zwei in Reihe geschaltete CBRAM-Widerstandselemente mit dem relativ niederen Widerstandswert R_{c0} zueinander parallel geschaltet sind.

In einer weiteren Ausführungsform ist es möglich, das Referenzwiderstandselement 6 mit zwei CBRAM-Widerstandselementen, die zueinander parallel geschaltet sind, zu bilden, wobei eines der CBRAM-Widerstandselemente mit einem relativ hohen Widerstandswert R_{c1} und das andere CBRAM-Widerstandselement mit einem relativ niederen Widerstandswert R_{c0} versehen ist. Da der resultierende Widerstandswert kleiner ist als der relativ niedere Widerstandswert eines CBRAM-Widerstandselements, kann als Aktivierungspotential V_{akt} , das durch die Referenzspannungsquelle 7 generiert wird, ein von dem Aktivierungspotential der Spannungsquellen 3 verschiedenes Potential verwendet werden.

Ansprüche

1. Speicherschaltung umfassend:
 - 5 - Speicherzellen mit CBRAM-Widerstandselementen (2),
die in einer Speicherzellenmatrix an einer Bitleitung
(BL) und an Wortleitungen (WL) angeordnet sind, wobei
die Widerstandswerte der CBRAM-Widerstandselemente (2)
durch Anlegen einer elektrischen Größe einstellbar
sind, um ein Speicherdatum zu speichern,
 - 10 - ein Referenz-Widerstandselement (6), das an der Bit-
leitung und an einer Referenz-Wortleitung (RWL) ange-
schlossen ist, wobei der Widerstandswert des Referenz-
Widerstandselementes (6) einem Widerstandsschwellwert
entspricht;
 - 15 - Spannungsquellen (3, 7), die jeweils mit den Wortlei-
tungen (WL) und der Referenzwortleitung (RWL) verbunden
sind, und schaltbar sind, um an die Wortleitung (WL)
bzw. die Referenzwortleitung (RWL) ein Aktivierungspo-
tential (V_{akt}) oder ein Deaktivierungspotential (V_{deakt})
20 zum Aktivieren bzw. Deaktivieren der entsprechenden
Wortleitung (WL) bzw. Referenzwortleitung (RWL) anzule-
gen,
 - ein Leseverstärker (5) an der Bitleitung (BL), der
geeignet ist, bei konstant gehaltenem Bitleitungspoten-
25 tial (V_{BL}) einen Bitleitungsstrom (I_1 , I_2) von der Bit-
leitung (BL) zu messen;
 - eine Steuereinheit (9), die zum Auslesen einer der
Speicherzellen die das Aktivierungspotential (V_{akt}) an
die Bitleitung (BL) anlegt und die Spannungsquellen (3,
30 7) so ansteuert,
dass in einem ersten Zyklus an die Referenzwortleitung
(RWL) das Aktivierungspotential (V_{akt}) und an die Wort-
leitungen (WL) jeweils das Deaktivierungspotential
(V_{deakt}) angelegt sind, und
35 dass in einem zweiten Zyklus an die Referenzwortleitung
(RWL) das Deaktivierungspotential (V_{deakt}) angelegt ist,
an die Wortleitung, an der sich die auszulesende Spei-

cherzelle befindet, das Aktivierungspotential (V_{akt}) angelegt ist, und an die übrigen Wortleitungen (WL) das Deaktivierungspotential (V_{deakt}) angelegt ist,

5 - eine Bewertungseinheit (8), die mit dem Leseverstärker (5) verbunden ist, um eine elektrische Größe zu ermitteln, die von dem in dem ersten Zyklus erfassten Bitleitungsstrom (I_1 , I_2) und dem in dem zweiten Zyklus erfassten Bitleitungsstrom (I_1 , I_2) abhängt, und um die ermittelte elektrische Größe einem Speicherdatum zuzuordnen.

10

2. Speicherschaltung nach Anspruch 1, wobei die Bewertungseinheit (8) ein Speicherelement umfasst, das einen während des ersten Zyklus gemessenen Bitleitungsstrom repräsentierende Größe speichert, und wobei die Bewertungseinheit (8) eine Differenzeinheit aufweist, um die Größe abhängig von der Differenz des während des ersten Zyklus empfangenen Bitleitungsstroms und eines während des zweiten Zyklus empfangenen Bitleitungsstroms zu bilden.

15

20

3. Speicherschaltung nach Anspruch 1 oder 2, wobei der Leseverstärker (5) einen Operationsverstärker (10) mit einem Eingang aufweist, der mit der Bitleitung verbunden ist, wobei eine Gegenkopplungsschaltung (11) vorgesehen ist, um das Bitleitungspotential auf der Bitleitung während des Erfassens des Bitleitungsstromes konstant zu halten.

25

30 4. Speicherschaltung nach Anspruch 3, wobei die Spannungsquellen (3, 7) und der Leseverstärker (5) so aufeinander abgestimmt sind, dass das Deaktivierungspotential (V_{deakt}) der Spannungsquellen dem Bitleitungspotential (V_{BL}), auf dem die entsprechende Bitleitung (BL) durch den Leseverstärker (5) gehalten wird, entspricht.

35

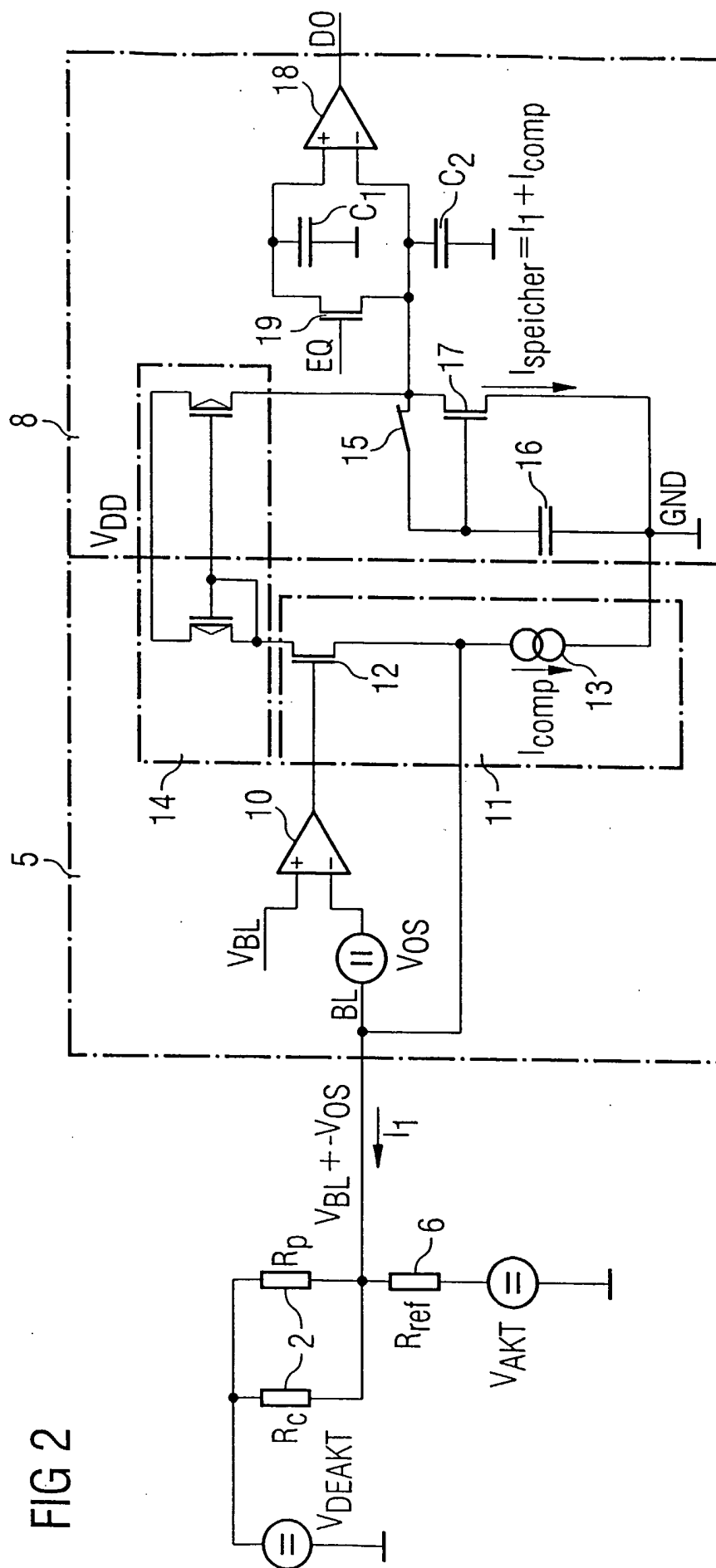
5. Speicherschaltung nach einem der Ansprüche 1 bis 4, wobei die Referenz-Widerstandselemente (RWL) mehrere CBRAM-Widerstandselemente aufweist, die jeweils auf einen einem ersten Zustand des Speicherdatum entsprechenden Widerstandswert oder auf einen einem zweiten Zustand des Speicherdatum entsprechenden Widerstandswert eingestellt sind.
6. Speicherschaltung nach einem der Ansprüche 1 bis 5, wobei die Steuereinheit (9) den ersten Zyklus während einer ersten Zeitdauer einnimmt.
7. Speicherschaltung nach Anspruch 6, wobei die Steuereinheit (9) den zweiten Zyklus während einer zweiten Zeitdauer einnimmt.
8. Speicherschaltung nach Anspruch 6 oder 7, wobei die Bewertungseinheit eine Kapazität aufweist, die während der ersten Zeitdauer eine Ladung speichert, die abhängig von dem Bitleitungsstrom ist, der im ersten Zyklus von der Bitleitung fließt und eine Stromquelle aufweist, die im zweiten Zyklus, abhängig von der Ladung, einen Strom geniert, von dem die elektrische Größe abhängt.
9. Verfahren zum Bewerten eines Speicherdatum einer CBRAM-Widerstandsspeicherzelle (2), die in einer Gruppe von CBRAM-Widerstandsspeicherzellen (2) an einer Bitleitung (BL) und einer Wortleitung (WL) befindet, wobei die Widerstandswerte der CBRAM-Widerstandsspeicherzellen (2) durch Anlegen einer elektrischen Größe einstellbar sind, um ein jeweiliges Speicherdatum zu speichern, wobei ein Referenz-Widerstandselement (6) an der Bitleitung und an einer Referenz-Wortleitung (RWL) angeschlossen ist, wobei der Widerstandswert des Referenz-Widerstandselementes (6) einem Widerstandsschwellwert entspricht;

mit folgenden Schritten:

- a) Anlegen eines Deaktivierungspotentials an die Wortleitungen (WL) und Anlegen eines Aktivierungspotential (V_{akt}) an die Referenz-Wortleitung (RWL) in einem ersten Zyklus;
5
 - b) Erfassen eines in dem ersten Zyklus resultierenden Bitleitungsstroms;
 - c) Anlegen eines Deaktivierungspotentials (V_{deakt}) an die Referenz-Wortleitung (RWL) und Anlegen des Aktivierungspotentials (V_{akt}) an die Wortleitung (WL), an der
10 sich die auszulesende Speicherzelle befindet, in einem zweiten Zyklus,
 - d) Erfassen eines in dem zweiten Zyklus resultierenden Bitleitungsstroms;
 - e) Erzeugen einer elektrischen Größe, die von dem in
15 dem ersten Zyklus erfassten Bitleitungsstrom (I_1) und dem in dem zweiten Zyklus erfassten Bitleitungsstrom (I_2) abhängt, und Zuordnen eines Speicherdatum.
- 20 10. Verfahren nach Anspruch 9, wobei eine den in Schritt b) erfassten Bitleitungsstrom (I_1) repräsentierende Größe gespeichert wird.
 11. Verfahren nach Anspruch 10, wobei der Schritt a) des
25 Anlegens des Deaktivierungspotentials (V_{deakt}) und des Aktivierungspotentials (V_{akt}) während einer ersten Zeitdauer durchgeführt wird.
 12. Verfahren nach Anspruch 11, wobei der Schritt c) des
30 Anlegens des Deaktivierungspotentials (V_{deakt}) und des Aktivierungspotentials (V_{akt}) für eine zweite Zeitdauer durchgeführt wird.
 13. Verfahren nach Anspruch 12, wobei während des ersten
35 Zyklus ein Ladungsspeicher mit einer von dem Bitleitungsstrom abhängigen Ladung geladen wird und während des zweiten Zyklus, abhängig von der Ladung im Ladungs-

speicher, ein Strom generiert wird, von dem die erzeugte elektrische Größe abhängt.

FIG 2



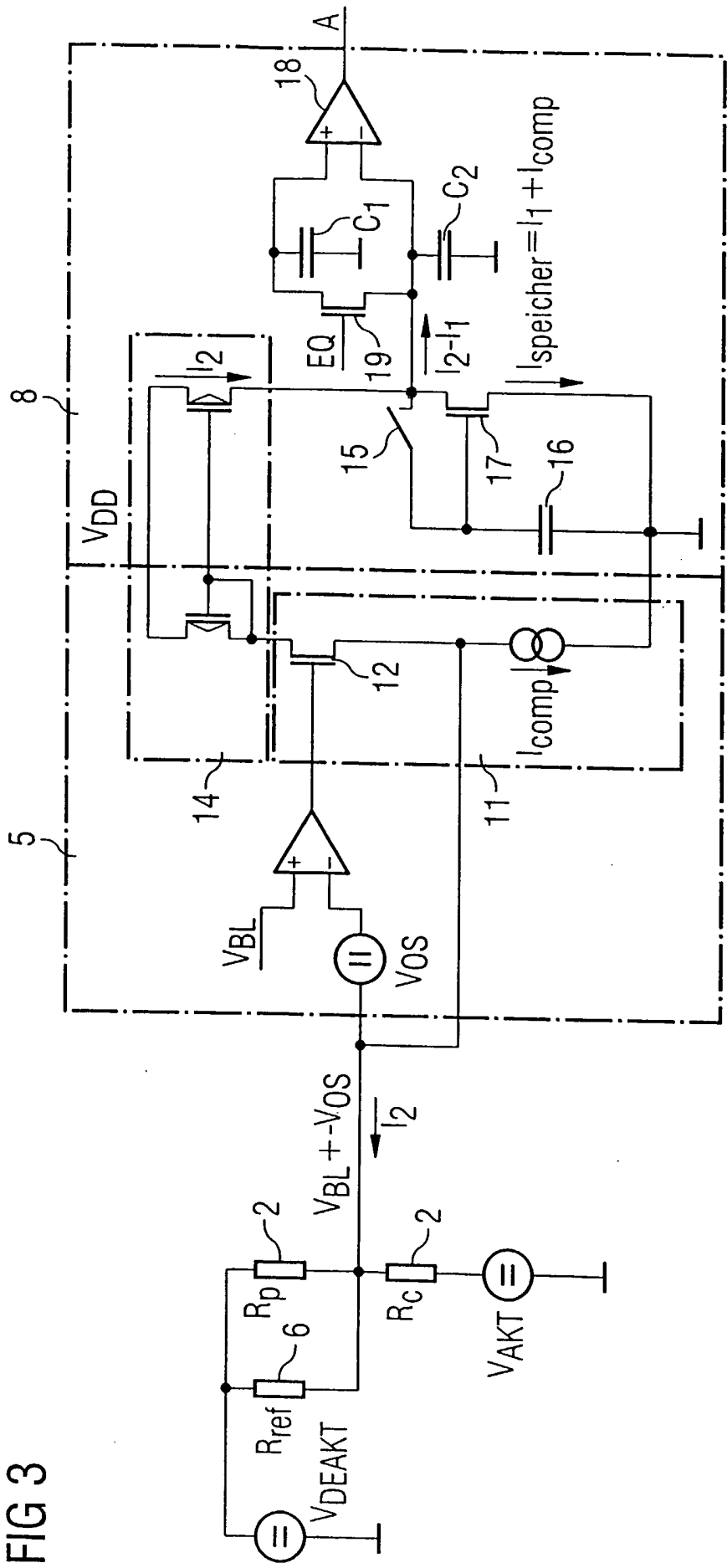


FIG 4

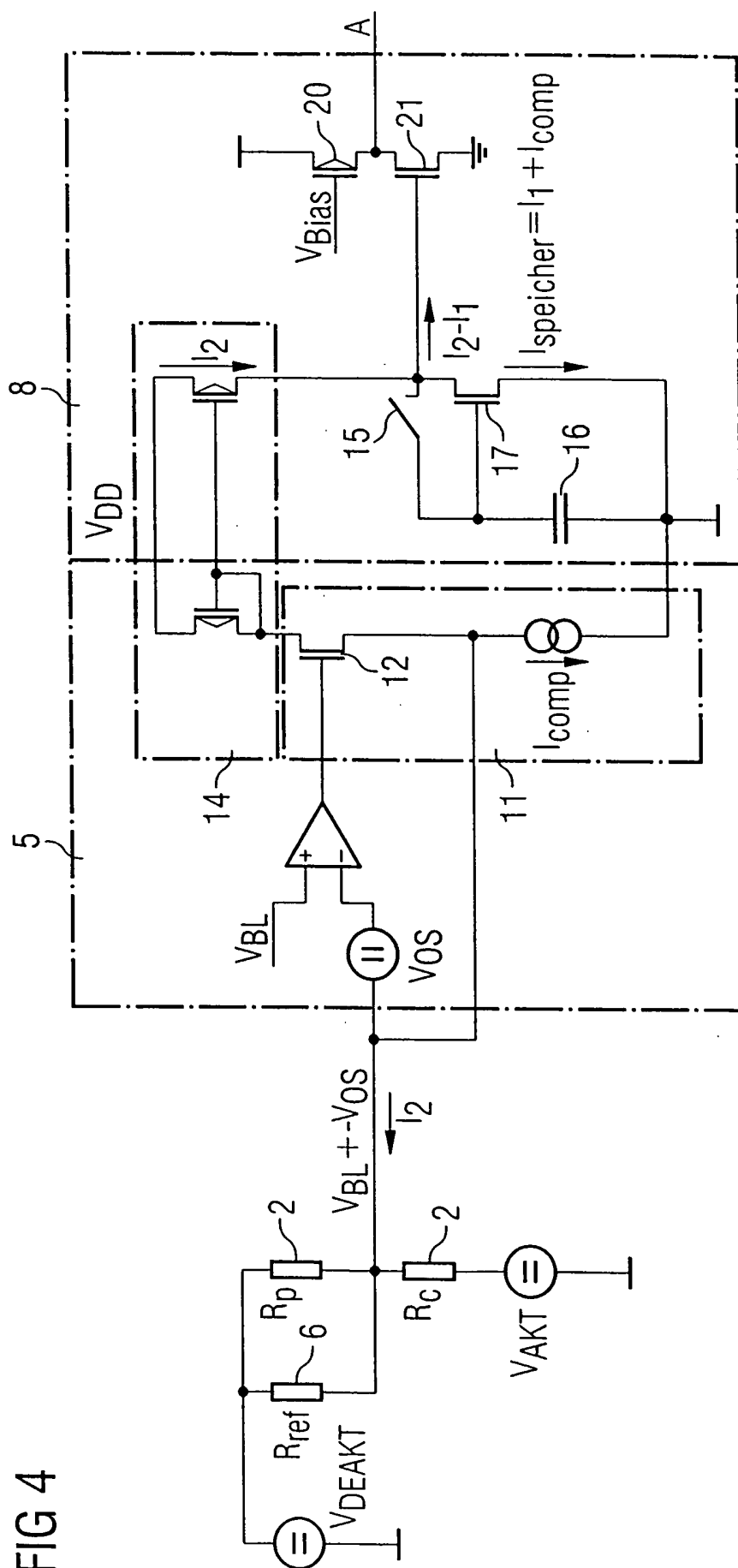


FIG 5A

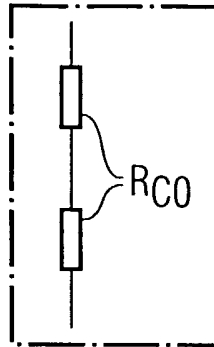


FIG 5B

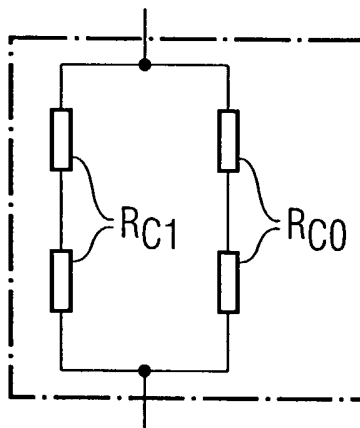
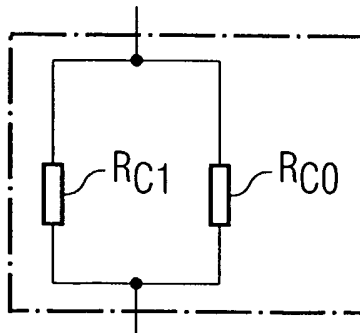


FIG 5C



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2005/012542

A. CLASSIFICATION OF SUBJECT MATTER G11C7/06 G11C13/02 G11C16/02		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004/004856 A1 (SAKIMURA NOBORU ET AL) 8 January 2004 (2004-01-08) figures 6,10-12 paragraphs '0090!, '0094!, '0117! - '0143!, '0186!	1-13
Y	US 2003/209971 A1 (KOZICKI MICHAEL N) 13 November 2003 (2003-11-13) figure 7	1-13
A	US 6 317 376 B1 (TRAN LUNG T ET AL) 13 November 2001 (2001-11-13) figures 5-8	1-13
A	US 2004/001383 A1 (GARNI BRADLEY J ET AL) 1 January 2004 (2004-01-01) abstract	1-13
-/--		
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : 'A' document defining the general state of the art which is not considered to be of particular relevance 'E' earlier document but published on or after the international filing date 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) 'O' document referring to an oral disclosure, use, exhibition or other means 'P' document published prior to the international filing date but later than the priority date claimed '*T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention '*X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone '*Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. '*&' document member of the same patent family		
Date of the actual completion of the international search 17 February 2006		Date of mailing of the international search report 24/02/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Havard, C

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2005/012542

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 445 612 B1 (NAJI PETER K) 3 September 2002 (2002-09-03) figure 1 -----	1-13

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2005/012542

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004004856 A1	08-01-2004	JP 2004039150 A	05-02-2004
US 2003209971 A1	13-11-2003	NONE	
US 6317376 B1	13-11-2001	CN 1337709 A	27-02-2002
		EP 1168355 A1	02-01-2002
		JP 2002032983 A	31-01-2002
		TW 518593 B	21-01-2003
		US 2001053104 A1	20-12-2001
US 2004001383 A1	01-01-2004	NONE	
US 6445612 B1	03-09-2002	CN 1550017 A	24-11-2004
		EP 1423855 A1	02-06-2004
		JP 2005501370 T	13-01-2005
		WO 03019567 A1	06-03-2003

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/012542

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

G11C7/06 G11C13/02 G11C16/02

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

G11C

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beitr. Anspruch Nr.
Y	US 2004/004856 A1 (SAKIMURA NOBORU ET AL) 8. Januar 2004 (2004-01-08) Abbildungen 6,10-12 Absätze '0090!, '0094!, '0117! - '0143!, '0186! -----	1-13
Y	US 2003/209971 A1 (KOZICKI MICHAEL N) 13. November 2003 (2003-11-13) Abbildung 7 -----	1-13
A	US 6 317 376 B1 (TRAN LUNG T ET AL) 13. November 2001 (2001-11-13) Abbildungen 5-8 -----	1-13
A	US 2004/001383 A1 (GARNI BRADLEY J ET AL) 1. Januar 2004 (2004-01-01) Zusammenfassung ----- -/-	1-13

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

17. Februar 2006

Absenddatum des internationalen Recherchenberichts

24/02/2006

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Havard, C

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2005/012542

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 445 612 B1 (NAJI PETER K) 3. September 2002 (2002-09-03) Abbildung 1 -----	1-13

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/012542

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2004004856 A1	08-01-2004	JP 2004039150 A	05-02-2004
US 2003209971 A1	13-11-2003	KEINE	
US 6317376 B1	13-11-2001	CN 1337709 A	27-02-2002
		EP 1168355 A1	02-01-2002
		JP 2002032983 A	31-01-2002
		TW 518593 B	21-01-2003
		US 2001053104 A1	20-12-2001
US 2004001383 A1	01-01-2004	KEINE	
US 6445612 B1	03-09-2002	CN 1550017 A	24-11-2004
		EP 1423855 A1	02-06-2004
		JP 2005501370 T	13-01-2005
		WO 03019567 A1	06-03-2003