



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0041975  
(43) 공개일자 2014년04월07일

(51) 국제특허분류(Int. Cl.)  
H01L 21/60 (2006.01) H05K 3/34 (2006.01)  
H01L 23/48 (2006.01)  
(21) 출원번호 10-2012-0106710  
(22) 출원일자 2012년09월25일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
조문기  
경기 수원시 권선구 권선동 삼성아파트 1185-1호  
삼성 아파트 3동 406호  
김영룡  
경기 군포시 산본천로 34, 638동 401호 (산본동,  
주공6단지세종아파트)  
(뒷면에 계속)  
(74) 대리인  
권혁수, 송윤희, 오세준

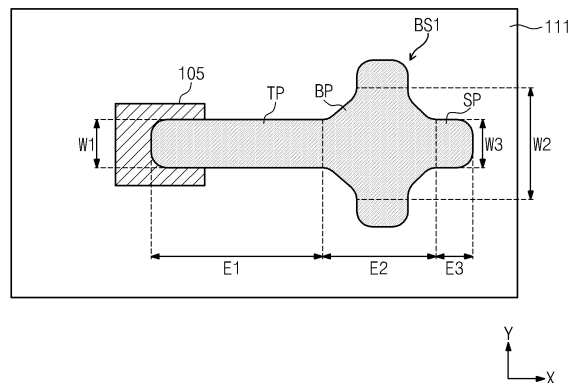
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 범프 구조체 및 이를 포함하는 전기적 연결 구조체

(57) 요약

범프 구조체가 제공된다. 기관 상의 패드와 이격되는 바디부 및 상기 바디부의 일 측으로부터 상기 패드 상으로 연장되는 적어도 하나의 제 1 연장부가 제공된다. 상기 바디부의 타 측으로부터 연장되는 적어도 하나의 제 2 연장부가 제공된다. 상기 제 1 연장부의 폭은 상기 바디부의 폭보다 작다.

대표도 - 도1a



(72) 발명자

**박선희**

서울 성북구 장위로16길 36-15, (장위동)

**임환식**

경기 군포시 산본로386번길 61, 1125동 502호 (산본동, 백합아파트)

---

## 특허청구의 범위

### 청구항 1

기관 상에 제공되고, 상기 기관 상의 패드와 이격되는 바디부;  
상기 바디부의 일 측으로부터 상기 패드 상으로 연장되는 적어도 하나의 제 1 연장부; 및  
상기 바디부의 타 측으로부터 연장되는 적어도 하나의 제 2 연장부를 포함하고,  
상기 제 1 연장부의 폭은 상기 바디부의 폭보다 작은 범프 구조체.

### 청구항 2

제 1 항에 있어서,  
상기 범프 구조체는 상기 패드 상에 차례로 적층된 장벽층, 금속층, 및 솔더층을 포함하고,  
상기 바디부 내의 상기 솔더층은 상기 제 1 연장부 내의 솔더층보다 두꺼운 범프 구조체.

### 청구항 3

제 2 항에 있어서,  
상기 솔더층의 두께는 상기 패드 상에 제공되는 상기 제 1 연장부의 단부로부터 상기 바디부까지 연속적으로 증가되는 범프 구조체.

### 청구항 4

제 2 항에 있어서,  
상기 솔더층의 두께는 상기 바디부로부터 상기 제 2 연장부의 단부까지 연속적으로 감소되는 범프 구조체.

### 청구항 5

제 2 항에 있어서,  
상기 솔더층은 두께가 가장 두꺼운 지점이 상기 바디부 내에 있는 범프 구조체.

### 청구항 6

제 1 항에 있어서,  
상기 제 2 연장부의 길이는 상기 제 1 연장부의 길이보다 짧은 범프 구조체.

### 청구항 7

제 1 항에 있어서,  
상기 제 1 연장부의 폭은 상기 바디부의 폭의 약 10% 내지 약 90%인 범프 구조체.

### 청구항 8

제 1 항에 있어서,  
상기 제 1 연장부의 길이는 상기 바디부의 길이보다 긴 범프 구조체.

### 청구항 9

제 1 항에 있어서,  
상기 제 2 연장부는 복수개가 제공되고, 상기 복수의 제 2 연장부들 중 적어도 하나는 다른 제 2 연장부와 길이가 다른 범프 구조체.

**청구항 10**

제 1 항에 있어서,

상기 제 1 연장부는 제 1 방향으로 연장되고,

상기 제 1 연장부로부터 상기 제 1 방향과 교차하는 방향으로 돌출된 제 3 연장부들을 더 포함하는 범프 구조체.

**청구항 11**

제 10 항에 있어서,

상기 제 3 연장부들은 상기 제 1 연장부의 양 측에 제공되는 범프 구조체.

**청구항 12**

기관 상에 제공되고, 상기 기관 상의 패드와 이격되는 바디부; 및

상기 바디부의 일 측으로부터 상기 패드 상으로 연장되는 적어도 하나의 제 1 연장부를 포함하고,

상기 바디부 및 상기 제 1 연장부는 상기 기관 상에 차례로 적층된 장벽층, 금속층 및 솔더층을 포함하고, 상기 금속층의 두께는 상기 장벽층의 두께의 3배 이상이고, 상기 바디부의 상면은 상기 제 1 연장부의 상면보다 높은 범프 구조체.

**청구항 13**

제 12 항에 있어서,

상기 제 1 연장부는 제 1 방향으로 연장되고,

상기 제 1 방향과 수직한 제 2 방향으로, 상기 제 1 연장부의 폭은 상기 바디부의 폭보다 작은 범프 구조체.

**청구항 14**

제 13 항에 있어서,

상기 제 1 연장부의 폭은 상기 바디부의 폭의 약10% 내지 약90%인 범프 구조체.

**청구항 15**

제 13 항에 있어서,

상기 제 1 연장부의 길이는 상기 바디부의 길이보다 긴 범프 구조체.

**청구항 16**

제 12 항에 있어서,

상기 바디부 내의 상기 솔더층의 두께는 상기 제 1 연장부 내의 상기 솔더층의 두께보다 두꺼운 범프 구조체.

**청구항 17**

제 16 항에 있어서,

상기 바디부 내의 솔더층의 두께는 상기 제 1 연장부 내의 솔더층의 두께보다 약 1.5배 이상인 범프 구조체.

**청구항 18**

제 16 항에 있어서,

상기 솔더층의 두께는 상기 제 1 연장부로부터 상기 바디부까지 연속적으로 증가되는 범프 구조체.

**청구항 19**

제 12 항에 있어서,

상기 금속층과 상기 솔더층 사이에 금속-솔더 화합물층을 더 포함하는 범프 구조체.

## 청구항 20

제 1 기판 상의 제 1 패드들;

상기 제 1 패드들과 연결되는 범프 구조체들; 및

상기 범프 구조체들을 통하여 상기 제 1 패드들과 전기적으로 연결되는 제 2 기판 상의 제 2 패드들을 포함하고,

상기 범프 구조체들 각각은:

상기 제 1 패드들과 수평적으로 이격되고 상기 제 2 패드들과 연결되는 바디부;

상기 바디부의 일 측으로부터 상기 제 1 패드들 상으로 연장되는 적어도 하나의 제 1 연장부; 및

상기 바디부의 타 측으로부터 연장되는 적어도 하나의 제 2 연장부를 포함하고,

상기 바디부는 상기 제 1 연장부보다 두꺼운 전기적 연결 구조체.

## 명세서

### 기술 분야

[0001] 본 발명은 범프 구조체를 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0002] 반도체 산업에 있어서 반도체 소자 및 이를 이용한 전자 제품의 고용량, 박형화, 소형화에 대한 수요가 많아져 이에 관련된 다양한 패키지 기술이 속속 등장하고 있다. 그 중의 하나가 여러 반도체 칩을 수직 적층시켜 고밀도 칩 적층을 구현할 수 있는 패키지 기술이다. 이 기술은 하나의 반도체 칩으로 구성된 일반적인 패키지보다 적은 면적에 다양한 기능을 가진 반도체 칩들을 집적시킬 수 있다는 장점을 가질 수 있다.

[0003] 반도체 소자의 고속화, 고집적화, 다기능화의 경향에 따라 보다 많은 수의 입출력(I/O) 갯수 및 우수한 전기적 특성, 제조비용 감소 등에 대한 요구가 증가되고 있다. 이러한 요구를 부응하기 위한 패키징 기술 중의 하나가 플립 칩 패키지이다. 플립 칩 패키지는 칩 패드에 범프를 접속하고 인쇄회로기판에 반도체 칩을 페이스 다운으로 실장하는 구조를 가지는 것이 일반적이다. 그런데, 칩 패드의 형성 위치에 따라 패키지의 기계적 내구성이나 전기적 특성 등이 취약해져 신뢰성 문제가 대두될 수 있다. 이러한 문제점은 플립 칩 패키지뿐만 아니라 칩 스택킹이나 패키지 스택킹 구조를 가지는 다양한 반도체 패키지에서 나올 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명이 해결하려는 과제는 용이하게 기판들을 전기적으로 연결할 수 있는 구조체를 제공하는데 있다.

[0005] 본 발명이 해결하려는 다른 과제는 반도체 장치의 신뢰성을 향상하는데 있다.

[0006] 본 발명이 해결하려는 또 다른 과제는 패드들 사이의 거리를 줄일 수 있는 반도체 장치를 제공하는데 있다.

#### 과제의 해결 수단

[0007] 상기 과제를 달성하기 위한 본 발명에 따른 범프 구조체는 기판 상에 제공되고, 상기 기판 상의 패드와 이격되는 바디부; 상기 바디부의 일 측으로부터 상기 패드 상으로 연장되는 적어도 하나의 제 1 연장부; 및 상기 바디부의 타 측으로부터 연장되는 적어도 하나의 제 2 연장부를 포함하고, 상기 제 1 연장부의 폭은 상기 바디부의 폭보다 작을 수 있다.

[0008] 상기 범프 구조체는 상기 패드 상에 차례로 적층된 장벽층, 금속층, 및 솔더층을 포함하고, 상기 바디부 내의 상기 솔더층은 상기 제 1 연장부 내의 솔더층보다 두꺼울 수 있다.

- [0009] 상기 솔더층의 두께는 상기 패드 상에 제공되는 상기 제 1 연장부의 단부로부터 상기 바디부까지 연속적으로 증가될 수 있다.
- [0010] 상기 솔더층의 두께는 상기 바디부로부터 상기 제 2 연장부의 단부까지 연속적으로 감소될 수 있다.
- [0011] 상기 솔더층은 두께가 가장 두꺼운 지점이 상기 바디부 내에 있을 수 있다.
- [0012] 상기 제 2 연장부의 길이는 상기 제 1 연장부의 길이보다 짧을 수 있다.
- [0013] 상기 제 1 연장부의 폭은 상기 바디부의 폭의 약 10% 내지 약 90%일 수 있다.
- [0014] 상기 제 1 연장부의 길이는 상기 바디부의 길이보다 길 수 있다.
- [0015] 상기 제 2 연장부는 복수개가 제공되고, 상기 복수의 제 2 연장부들 중 적어도 하나는 다른 제 2 연장부와 길이가 다를 수 있다.
- [0016] 상기 제 1 연장부는 제 1 방향으로 연장되고, 상기 제 1 연장부로부터 상기 제 1 방향과 교차하는 방향으로 돌출된 제 3 연장부들을 더 포함할 수 있다.
- [0017] 상기 제 3 연장부들은 상기 제 1 연장부의 양 측에 제공될 수 있다.
- [0018] 기판 상에 제공되고, 상기 기판 상의 패드와 이격되는 바디부; 및 상기 바디부의 일 측으로부터 상기 패드 상으로 연장되는 적어도 하나의 제 1 연장부를 포함하고, 상기 바디부 및 상기 제 1 연장부는 상기 기판 상에 차례로 적층된 장벽층, 금속층 및 솔더층을 포함하고, 상기 금속층의 두께는 상기 장벽층의 두께의 3배 이상이고, 상기 바디부의 상면은 상기 제 1 연장부의 상면보다 높을 수 있다.
- [0019] 상기 제 1 연장부는 제 1 방향으로 연장되고, 상기 제 1 방향과 수직한 제 2 방향으로, 상기 제 1 연장부의 폭은 상기 바디부의 폭보다 작을 수 있다.
- [0020] 상기 제 1 연장부의 폭은 상기 바디부의 폭의 약 10% 내지 약 90%일 수 있다.
- [0021] 상기 제 1 연장부의 길이는 상기 바디부의 길이보다 길 수 있다.
- [0022] 상기 바디부 내의 상기 솔더층의 두께는 상기 제 1 연장부 내의 상기 솔더층의 두께보다 두꺼울 수 있다.
- [0023] 상기 바디부 내의 솔더층의 두께는 상기 제 1 연장부 내의 솔더층의 두께의 약 1.5배 이상일 수 있다.
- [0024] 상기 솔더층의 두께는 상기 제 1 연장부로부터 상기 바디부까지 연속적으로 증가될 수 있다.
- [0025] 상기 금속층과 상기 솔더층 사이에 금속-솔더 화합물층을 더 포함할 수 있다.
- [0026] 상기 패드와 상기 장벽층 사이에 상기 패드층의 상면을 노출하는 보호 절연층을 더 포함할 수 있다.
- [0027] 상기 금속층의 측벽 및 상기 장벽층의 측벽은 상기 솔더층의 외각 경계로부터 리세스된 언더컷 영역을 포함할 수 있다.
- [0028] 상기 바디부의 타 측으로부터 연장되는 적어도 하나의 제 2 연장부를 더 포함하고, 상기 바디부의 상면은 상기 제 2 연장부의 상면보다 높을 수 있다.
- [0029] 상기 제 2 연장부는 상기 제 1 연장부보다 길이가 짧을 수 있다.
- [0030] 제 1 기판 상의 제 1 패드들; 상기 제 1 패드들과 연결되는 범프 구조체들; 및 상기 범프 구조체들을 통하여 상기 제 1 패드들과 전기적으로 연결되는 제 2 기판 상의 제 2 패드들을 포함하고, 상기 범프 구조체들 각각은: 상기 제 1 패드들과 수평적으로 이격되고 상기 제 2 패드들과 연결되는 바디부; 상기 바디부의 일 측으로부터 상기 제 1 패드들 상으로 연장되는 적어도 하나의 제 1 연장부; 및 상기 바디부의 타 측으로부터 연장되는 적어도 하나의 제 2 연장부를 포함하고, 상기 바디부는 상기 제 1 연장부보다 두꺼울 수 있다.
- [0031] 상기 범프 구조체들은 각각: 상기 제 1 기판 상에 차례로 적층된 장벽층, 금속층, 및 솔더층을 포함하고, 상기 솔더층은 두께가 가장 두꺼운 지점이 상기 바디부 내에 있을 수 있다.
- [0032] 상기 제 1 연장부 내의 상기 솔더층은 상기 바디부에 인접할수록 두꺼워질 수 있다.
- [0033] 상기 제 1 연장부는 제 1 방향으로 연장되고, 상기 제 1 방향과 수직한 제 2 방향으로, 상기 제 1 연장부의 폭은 상기 바디부의 폭보다 작을 수 있다.

- [0034] 상기 제 1 연장부의 폭은 상기 바디부의 폭의 약 10% 내지 약 90%일 수 있다.
- [0035] 상기 제 1 패드들은 상기 제 1 기관 상에 제 3 방향을 따라 배열되고, 상기 제 3 방향을 따라 배열된 상기 제 1 패드들 중, 홀수 번째 패드들과 연결되는 상기 범프 구조체들은 상기 제 1 패드들의 일 측에 배치되고, 짝수 번째 패드들과 연결되는 상기 범프 구조체들은 상기 제 1 패드들의 타 측에 배치될 수 있다.
- [0036] 상기 제 2 기관 상에 상기 제 1 연장부와 수직적으로 오버랩되는 절연 패턴을 더 포함할 수 있다.
- [0037] 상기 절연 패턴은 상기 제 3 방향을 따라 연장될 수 있다.
- [0038] 상기 범프 구조체들 각각의 상기 바디부는 상기 제 2 패드들 각각과 얼라인될 수 있다.
- [0039] 기관 상에 패드를 형성하는 것; 상기 패드 상에 장벽층을 형성하는 것; 상기 장벽층 상에 개구부를 포함하는 몰드 패턴을 형성하는 것; 상기 몰드 패턴 내에 차례로 금속층 및 솔더 도금층을 형성하는 것; 및 상기 솔더 도금층을 리플로우 하는 것을 포함하고, 상기 개구부는: 상기 패드로부터 제 1 방향으로 연장되는 제 1 부분; 및 상기 제 1 부분보다 넓은 폭을 갖는 제 2 부분을 포함할 수 있다.
- [0040] 상기 개구부는 상기 제 2 부분으로부터 연장되는 제 3 부분을 더 포함하고, 상기 제 3 부분은 상기 제 1 부분보다 길이가 짧을 수 있다.
- [0041] 상기 리플로우 시에, 상기 제 1 부분 내의 상기 솔더 도금층은 표면 장력에 의하여 상기 제 2 부분으로 이동될 수 있다.
- [0042] 상기 리플로우 공정 후, 상기 리플로우에 의하여 형성된 솔더층을 식각 마스크로 상기 장벽층을 식각하는 것을 더 포함할 수 있다.
- [0043] 상기 장벽층과 상기 금속층 사이에 시드층을 형성하는 것을 더 포함하고, 상기 시드층은 상기 금속층과 동일한 물질을 포함할 수 있다.
- [0044] 상기 시드층은 상기 장벽층을 식각할 때 함께 식각될 수 있다.
- [0045] 상기 리플로우 공정 전에, 상기 시드층 상에 형성된 자연산화막을 제거하는 공정을 더 포함하고, 상기 자연산화막의 제거 공정은 포름산( $\text{HCO}_2\text{H}$ )의 열처리를 이용하여 수행될 수 있다.
- [0046] 상기 장벽층을 식각하는 것은 습식 식각 공정을 포함하고, 상기 습식 식각 공정 시, 상기 금속층의 측벽 및/또는 상기 장벽층의 측벽 상에 언더컷 영역이 형성될 수 있다.

### 발명의 효과

- [0047] 본 발명의 실시예들에 따르면, 용이하게 기관들을 전기적으로 연결할 수 있는 구조체를 형성할 수 있다. 또한, 반도체 장치의 신뢰성을 향상할 수 있다. 본 발명의 실시예들에 따르면, 패드들 사이의 거리를 줄일 수 있는 반도체 장치를 제공할 수 있다.

### 도면의 간단한 설명

- [0048] 도 1a는 본 발명의 일 실시예에 따른 범프 구조체의 평면도이다.
- 도 1b는 본 발명의 일 실시예에 따른 범프 구조체의 단면도이다.
- 도 1c는 도 1a의 Q영역의 확대도이다.
- 도 2는 본 발명의 일 실시예에 따른 범프 구조체를 형성하기 위한 공정 흐름도이다.
- 도 3a 내지 도 7a는 본 발명의 일 실시예에 따른 범프 구조체의 제조 방법을 설명하기 위한 평면도들이다.
- 도 3b 내지 도 7b는 본 발명의 일 실시예에 따른 범프 구조체의 제조 방법을 설명하기 위한 단면도들이다.
- 도 8a 내지 도 8c는 본 발명의 다른 실시예들에 따른 범프 구조체의 제 2 연장부의 형태를 설명하기 위한 평면도들이다.
- 도 9a 내지 도 9c는 본 발명의 또 다른 실시예들에 따른 범프 구조체의 제 1 연장부의 형태를 설명하기 위한 평면도들이다.

도 10은 본 발명의 일 실시예에 따른 범프 구조체를 포함하는 반도체 패키지를 설명하기 위한 단면도이다.

도 11a는 제 1 기관의 상면의 평면도이다.

도 11b는 제 2 기관의 상면의 평면도이다.

도 11c는 도10의 R 영역의 확대도이다.

도 12a 및 도 12b는 본 발명의 다른 실시예들에 따른 반도체 패키지들을 설명하기 위한 단면도들이다.

도 13은 본 발명의 실시예들에 따른 패키지 모듈을 보여주는 평면도이다.

도 14는 본 발명의 실시예들에 따른 메모리 카드를 보여주는 개략도이다.

도 15는 본 발명의 실시예들에 따른 전자 시스템을 보여주는 블록도이다.

도 16은 전자 시스템이 모바일 폰에 적용되는 예를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0049] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나, 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0050] 본 명세서에서, 어떤 막(또는 층)이 다른 막(또는 층) 또는 기관 상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기관 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다 또한 게이트 전극이 채널 영역 상에 있다고 언급되는 경우에 그것은 게이트 전극이 채널 영역의 위 또는 옆에 배치될 수 있음을 의미한다. 또한, 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에의 제1막질로 언급된 막질이 다른 실시예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다. 본 명세서에서 '및/또는' 이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0051] <범프 구조체>

[0052] 도 1a는 본 발명의 일 실시예에 따른 범프 구조체의 평면도이다. 도 1b는 본 발명의 일 실시예에 따른 범프 구조체의 단면도이다. 도 1c는 도 1a의 Q영역의 확대도이다.

[0053] 도 1a, 도 1b, 및 도 1c를 참조하여, 제 1 기관(100) 상에 제 1 패드(105)가 제공될 수 있다. 상기 제 1 기관(100)은 반도체 근거 구조(semiconductor based structure)를 포함할 수 있다. 일 예로, 상기 제 1 기관(100)은 실리콘 기관이거나 SOI(Silicon On Insulator) 기관일 수 있다. 상기 제 1 기관(100)은 적어도 하나의 집적 회로(미도시)를 포함할 수 있다. 일 예로, 상기 제 1 기관(100)은 메모리 소자, 마이크로 컨트롤러와 같은 LSI 소자, 로직 소자, 아날로그 소자, 디지털 시그널 프로세서 소자, 또는 시스템 온칩(System On Chip) 소자 중 적어도 하나를 포함할 수 있다.

[0054] 일 예로, 상기 제 1 패드(105)는 상기 제 1 기관(100) 내에 형성된 집적 회로(미도시)와 전기적으로 연결될 수 있다. 상기 제 1 패드(105)는 일 예로, 알루미늄(Al), 구리(Cu), 은(Ag), 또는 금(Au)과 같은 금속 물질을 포함할 수 있다. 상기 제 1 패드(105)의 형상은 도시된 사각형에 한정되지 않고 다양한 변형이 가능하다.

[0055] 상기 제 1 패드(105)의 상면은 상기 제 1 기관(100) 상에 제공되는 보호 절연층에 의하여 적어도 일부가 노출될 수 있다. 상기 보호 절연층은 상기 제 1 기관(100) 상에 차례로 적층된 하부 절연층(101) 및 상부 절연층(111)을 포함할 수 있다. 상기 하부 절연층(101)은 상기 제 1 기관(100)의 패시베이션을 위한 절연막일 수 있다. 일 예로, 상기 하부 절연층(101)은 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산화질화물 중 적어도 하나를 포함할 수 있다. 일 예로, 상기 상부 절연층(111)은 폴리이미드 또는 에폭시 수지를 포함할 수 있다.

[0056] 상기 상부 절연층(111) 상에 범프 구조체(BS1)가 제공될 수 있다. 상기 범프 구조체(BS1)는 상기 상부 절연층



(111) 상에 차례로 적층된 장벽 패턴(121), 시드 패턴(126), 금속층(131) 및 솔더층(141)을 포함할 수 있다. 일 예로, 상기 장벽 패턴(121)은 티타늄(Ti) 또는 티타늄 텅스텐(TiW)과 같은 금속 물질을 포함할 수 있다. 상기 장벽 패턴(121)은 상기 제 1 패드(105)의 산화를 방지하고 이하 설명될 금속층과 상기 제 1 패드(105)의 접착력을 증진시킬 수 있다. 일 예로, 상기 장벽 패턴(121)의 두께는 약 500Å 내지 약 4000 Å일 수 있다.

[0057] 상기 장벽 패턴(121) 상에 금속층(131)이 제공될 수 있다. 상기 금속층(131)은 상기 장벽 패턴(121)의 두께의 3배 이상일 수 있다. 일 예로, 상기 금속층(131)은 상기 장벽 패턴(121)과는 다른 금속 물질, 일 예로, 구리(Cu) 또는 알루미늄(Al)을 포함할 수 있다.

[0058] 상기 장벽 패턴(121)과 상기 금속층(131) 사이에 시드 패턴(126)이 제공될 수 있다. 상기 시드 패턴(126)은 상기 금속층(131)과 동일한 물질을 포함할 수 있다. 일 예로, 상기 시드 패턴(126)은 구리(Cu)를 포함할 수 있다. 상기 시드 패턴(126)의 두께는 상기 금속층(131)의 두께의 1/3 이하일 수 있다.

[0059] 상기 금속층(131) 상에 솔더층(141)이 제공될 수 있다. 상기 솔더층(141)의 두께는 상기 금속층(131) 상의 위치에 따라서 서로 다를 수 있다. 상기 솔더층(141)의 두께에 대해서는 이하 보다 상세히 설명된다.

[0060] 상기 금속층(131)과 상기 솔더층(141) 사이에 금속-솔더 화합물층(146)이 제공될 수 있다. 상기 금속-솔더 화합물층(146)은 상기 금속층(131)과 상기 솔더층(141)이 반응하여 형성된 층일 수 있다. 일 예로, 상기 금속-솔더 화합물층(146)은 구리(Cu) - 주석(Sn) - 은(Ag) 합금을 포함할 수 있다. 상기 금속-솔더 화합물층(146)의 두께는 상기 금속층(131)의 두께의 약 50% 미만일 수 있다.

[0061] 상기 솔더층(141) 아래의 층들(121, 126, 131, 146)의 측면은 상기 솔더층(141)의 측면으로부터 수평적으로 리세스된 언더컷 영역(UR)을 포함할 수 있다. 상기 언더컷 영역(UR)은 이후 설명될 제조 방법에서 상기 장벽 패턴(121) 및 상기 시드 패턴(126)을 형성하기 위한 식각 공정의 결과일 수 있다.

[0062] 상기 범프 구조체(BS1)는 상기 제 1 패드(105)와 이격된 바디부(BP), 상기 바디부(BP)의 일 측으로부터 상기 제 1 패드(105) 상으로 연장되는 제 1 연장부(TP)를 포함할 수 있다. 상기 제 1 연장부(TP)의 일 단부는 상기 제 1 패드(105)와 연결되고 타 단부는 상기 바디부(BP)와 연결된다. 상기 제 1 연장부(TP)의 폭은 상기 바디부(BP)의 폭보다 작을 수 있다. 일 예로, 상기 제 1 연장부(TP)가 제 1 방향(이하, X 방향)으로 연장된 형상일 경우, 상기 X 방향과 수직인 제 2 방향(이하, Y 방향)으로, 상기 제 1 연장부(TP)의 폭(W1)은 상기 바디부(BP)의 폭(W2)보다 작을 수 있다. 이하, 본 명세서에서, 상기 바디부(BP)의 폭 또는 길이, 상기 제 1 연장부(TP)의 폭 또는 길이, 및 상기 제 2 연장부(SP)의 폭 또는 길이는 상기 솔더층(141)의 외각 경계 및/또는 상기 솔더층(141) 아래의 상기 금속층(131)의 외각 경계를 기준으로 설명된다.

[0063] 상기 범프 구조체(BS1)는 상기 바디부(BP)의 타 측으로부터 연장되는 적어도 하나의 제 2 연장부(SP)를 포함할 수 있다. 일 예로, 상기 제 2 연장부(SP)는 도 1a에 도시된 바와 같이 3개가 제공될 수 있으나 이에 한정되지 않는다. 상기 제 2 연장부(SP)의 폭(W3)은 상기 바디부(BP)의 폭(W2)보다 작을 수 있다.

[0064] X 방향으로, 상기 제 1 연장부(TP)의 길이(E1)는 상기 바디부(BP)의 길이(E2)보다 길 수 있다. 상기 제 2 연장부(SP)의 길이(E3)는 상기 제 1 연장부(TP)의 길이(E1) 및/또는 상기 바디부(BP)의 길이(E2)보다 짧을 수 있다. 본 발명의 일 실시예에 있어서, 상대적으로 길이가 긴 상기 제 1 연장부(TP)는 재배선 구조의 역할을 할 수 있다. 따라서 다수의 공정이 필요한 재배선 구조의 형성 없이 상기 범프 구조체(BS)의 일부가 재배선 구조와 동일한 역할을 할 수 있다.

[0065] 상기 솔더층(141)은 두께가 가장 두꺼운 지점이 상기 바디부(BP) 내에 있을 수 있다. 즉, 상기 바디부(BP)의 상면은 상기 제 1 연장부(TP)의 상면 및 상기 제 2 연장부(SP)의 상면보다 높을 수 있다. 상기 바디부(BP) 내의 상기 솔더층(141)의 두께(T2)는 상기 제 1 연장부(TP) 내의 상기 솔더층(141)의 두께(T1)보다 두꺼울 수 있다. 일 예로, 상기 바디부(BP) 내의 상기 솔더층(141)의 두께는 상기 제 1 연장부(TP) 내의 상기 솔더층(141)의 두께의 약 1.5배 이상 두꺼울 수 있다. 일 예로, 바디부(BP) 내의 상기 솔더층(141)의 두께는 상기 제 1 연장부(TP) 내의 상기 솔더층(141)의 두께의 약 1.5배 이상 약 6.0배 이하일 수 있다. 상기 바디부(BP) 내의 상기 솔더층(141)의 두께(T2)는 상기 제 2 연장부(SP) 내의 상기 솔더층(141)의 두께(T3)보다 두꺼울 수 있다.

[0066] 상기 솔더층(141)의 두께는 상기 제 1 패드(105) 상에 제공되는 상기 제 1 연장부(TP)의 단부로부터 상기 바디부(BP)까지 연속적으로 증가될 수 있다. 상기 솔더층(141)의 두께는 상기 바디부(BP)로부터 상기 제 2 연장부(SP)의 단부까지 연속적으로 감소될 수 있다.

[0067] 본 발명의 일 실시예에 따르면, 상대적으로 두꺼운 두께를 갖는 상기 바디부(BP)는 상기 제 1 기판(100)과 다른

장치 또는 다른 기판을 전기적으로 연결하기 위한 부분일 수 있다. 상기 바디부(BP)는 상기 제 1 연장부(TP)를 사이에 두고 상기 제 1 패드(105)와 이격될 수 있다. 따라서, 상기 제 1 기판(100)의 재배선없이 상기 제 1 패드(105)를 다른 기판의 패드와 전기적으로 연결할 수 있다. 또한 상기 바디부(BP)가 다른 기판의 패드와 접속됨에 따라 발생하는 열적 및/또는 물리적 응력은 상기 제 1 연장부(TP)를 통하여 상기 제 1 패드(105)에 전달되므로, 상기 제 1 연장부(TP) 없이 상기 제 1 패드(105) 상에 직접 상기 바디부(BP)를 제공하는 경우에 상기 응력에 의하여 발생될 수 있는 상기 제 1 패드(105)의 손상을 방지할 수 있다.

[0068] <범프 구조체의 형성 방법>

[0069] 도 2는 본 발명의 일 실시예에 따른 범프 구조체를 형성하기 위한 공정 흐름도이다. 도 3a 내지 도 7a는 본 발명의 일 실시예에 따른 범프 구조체의 제조 방법을 설명하기 위한 평면도들이다. 도 3b 내지 도 7b는 본 발명의 일 실시예에 따른 범프 구조체의 제조 방법을 설명하기 위한 단면도들이다.

[0070] 도 2, 도 3a, 및 도 3b를 참조하여, 제 1 기판(100) 상에 제 1 패드(105)가 형성될 수 있다. 상기 제 1 기판(100)은 반도체 근거 구조(semiconductor based structure)를 포함할 수 있다. 일 예로, 상기 제 1 기판(100)은 실리콘 기판이거나 SOI(Silicon On Insulator) 기판일 수 있다. 상기 제 1 기판(100)은 적어도 하나의 집적 회로(미도시)를 포함할 수 있다. 일 예로, 상기 제 1 기판(100)은 메모리 소자, 마이크로 컨트롤러와 같은 LSI 소자, 로직 소자, 아날로그 소자, 디지털 시그널 프로세서 소자, 또는 시스템 온칩(System On Chip) 소자 중 적어도 하나를 포함할 수 있다.

[0071] 일 예로, 상기 제 1 패드(105)는 상기 제 1 기판(100) 내에 형성된 집적 회로(미도시)와 전기적으로 연결되도록 형성될 수 있다. 상기 제 1 패드(105)는 일 예로, 알루미늄(Al), 구리(Cu), 은(Ag), 또는 금(Au)과 같은 금속 물질로 형성될 수 있다. 일 예로, 상기 제 1 패드(105)는 스퍼터링 또는 화학 기상 증착(Cheical Vapor Deposition: 이하 CVD)으로 금속층을 형성한 후, 패터닝 공정을 수행하여 형성될 수 있다.

[0072] 상기 제 1 기판(100) 상에 상기 제 1 패드(105)의 상면을 노출하는 보호 절연층이 형성될 수 있다(S1). 상기 보호 절연층을 형성하는 것은 상기 제 1 기판(100) 상에 차례로 하부 절연층(101) 및 상부 절연층(111)을 형성하는 것을 포함할 수 있다. 상기 하부 절연층(101)은 상기 제 1 기판(100)의 패시베이션을 위한 절연층일 수 있다. 일 예로, 상기 하부 절연층(101)은 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산화질화물 중 적어도 하나를 포함하는 물질로 형성될 수 있다. 일 예로, 상기 상부 절연층(111)은 폴리이미드(polyimide) 또는 에폭시(epoxy) 수지를 포함하는 물질로 형성될 수 있다. 상기 하부 절연층(101) 및 상기 상부 절연층(111)은 상기 제 1 기판(100) 상에 복수의 절연층들을 형성한 후, 상기 제 1 패드(105)를 노출하도록 식각하여 형성되거나, 상기 제 1 기판(100) 상에 절연막을 형성한 후 상기 제 1 패드(105)를 노출하도록 식각하는 공정을 반복하여 형성될 수 있다.

[0073] 도 2, 도 4a, 및 도 4b를 참조하여, 상기 상부 절연층(111) 상에 장벽층(120) 및 시드층(seed layer, 125)이 차례로 형성될 수 있다(S2). 상기 장벽층(120)은 상기 상부 절연층(111)에 의하여 노출된 상기 제 1 패드(105)와 접하도록 형성될 수 있다. 상기 장벽층(120)은 티타늄(Ti) 및/또는 티타늄 텅스텐(TiW)과 같은 금속 물질로 형성될 수 있다. 일 예로, 상기 장벽층(120)은 약500Å 내지 약4000 Å의 두께로 형성될 수 있다. 상기 장벽층(120)은 스퍼터링(sputtering) 또는 물리적 기상 증착(Physical Vapor Deposition: 이하, PVD)에 의하여 형성될 수 있다.

[0074] 상기 장벽층(120)의 형성 전에, 상기 제 1 패드(105)의 표면에 형성된 자연산화막의 제거 공정이 추가될 수 있다. 일 예로, 상기 자연산화막은 스퍼터 식각, 플라즈마 식각 등의 건식 식각, 또는 습식 식각 방식으로 제거될 수 있다.

[0075] 상기 장벽층(120) 상에 상기 시드층(125)이 형성될 수 있다. 상기 시드층(125)은 이하 설명될 금속층과 동일한 물질로 형성될 수 있다. 일 예로, 상기 시드층(125)은 구리(Cu)를 포함할 수 있다. 상기 시드층(125)은 약1000 Å 내지 약 4000Å의 두께로 형성될 수 있다. 상기 시드층(125)은 스퍼터링 또는 PVD에 의하여 형성될 수 있다.

[0076] 도 2, 도 5a, 및 도 5b를 참조하여, 상기 시드층(125) 상에 개구부(192)를 포함하는 몰드 패턴(mold pattern, 191)이 형성될 수 있다(S3). 상기 몰드 패턴(191)은 포토 레지스트(photo resist) 패턴일 수 있다. 일 예로, 상기 몰드 패턴(191)의 높이는 약30μm 내지 약120μm일 수 있다.

[0077] 상기 개구부(192)는 상기 제 1 패드(105)의 적어도 일부와 수직적으로 오버랩되도록 형성될 수 있다. 상기 개구부(192)는 상기 제 1 패드(105) 상으로부터 X 방향으로 연장하는 제 1 부분(OP1), 상기 제 1 부분(OP1)과 연결되고 상기 제 1 부분(OP1)보다 넓은 폭을 갖는 제 2 부분(OP2), 및 상기 제 2 부분(OP2)에 연결되는 적어도 하

나의 제 3 부분(OP3)을 포함할 수 있다.

- [0078] 도 2, 도 6a, 및 도 6b를 참조하여, 상기 개구부(192) 내에 금속층(131)이 형성될 수 있다(S4). 상기 금속층(131)은 전기 도금으로 형성될 수 있다. 일 예로, 상기 금속층(131)은 상기 몰드 패턴(191)이 형성된 상기 제 1 기관(100)을 욕조(bath)에 넣고, 상기 개구부(192)에 의하여 노출된 상기 시드층(120)을 성장시켜 형성될 수 있다. 상기 금속층(131)은 상기 개구부(192)를 완전히 채우지 않도록 형성될 수 있다. 일 예로, 상기 금속층(131)은 구리(Cu)를 포함할 수 있으나, 이에 한정되지 않는다. 상기 금속층(131)은 상기 몰드 패턴(191)을 이용하여 형성되므로 좁은 폭으로 형성될 수 있다. 따라서, 솔더층만을 이용하는 경우에 비하여 범프들 사이의 간격을 더욱 좁게 형성할 수 있어 반도체 장치의 집적도를 향상시킬 수 있다. 상기 금속층(131)의 두께는 상기 장벽층(120)의 두께의 약 3배 이상일 수 있다.
- [0079] 상기 금속층(131) 상에 상기 개구부(192)를 채우는 솔더 도금층(140)이 형성될 수 있다(S5). 상기 솔더 도금층(140)은 전기 도금으로 형성될 수 있다. 일 예로, 상기 금속층(131)이 형성된 상기 제 1 기관(100)을 다른 욕조에 넣고 전기 도금을 실시할 수 있다. 도면에 도시된 바와 같이 상기 솔더 도금층(140)은 상기 몰드 패턴(191)의 상면과 동일한 높이를 가질 수 있으나, 이에 한정되지 않으며 필요에 따라 상기 몰드 패턴(191)의 상면보다 높게 또는 낮게 형성될 수 있다. 일 예로, 상기 솔더 도금층(140)은 주석과 은의 합금(Sn-Ag Alloy) 또는 납과 은의 합금(Pb-Sn Alloy)일 수 있으며, 필요에 따라 구리(Cu), 팔라듐(Pd), 비스무트(Bi), 안티몬(Sb) 등의 첨가제를 더 포함할 수 있다.
- [0080] 도 2, 도 7a, 및 도 7b를 참조하여, 상기 몰드 패턴(191)이 제거될 수 있다. 일 예로, 상기 몰드 패턴(191)의 제거는 애싱(ashing) 공정에 의하여 수행될 수 있다. 상기 몰드 패턴(191)의 제거 후, 상기 시드층(125) 상에 형성된 자연 산화막(미도시)을 제거하기 위한 공정이 수행될 수 있다(S6). 상기 자연 산화막은 카르복시산의 일종인 포름산( $\text{HCO}_2\text{H}$ )의 열처리를 이용하여 제거될 수 있다. 일 예로, 상기 제 1 기관(100)이 실장된 공정 챔버 내에 에어로졸(aerosol) 상태의 포름산 입자를 미세하고 균일하게 분포한 후, 약 200℃ 내지 약 250℃에서 열처리를 수행하여 상기 자연 산화막을 제거할 수 있다.
- [0081] 통상적인 범프의 형성 공정에 있어서, 자연 산화막의 제거는 액상의 플럭스(Flux)를 이용하여 수행될 수 있다. 상기 플럭스는 상기 금속층(131) 표면의 자연 산화막을 제거하고 상기 금속층(131)의 표면을 상기 솔더층(141)이 잘 덮을 수 있도록 젖음성(wettability)을 개선할 수 있다. 그러나, 플럭스를 사용할 경우 상기 시드층(125) 상에 플럭스 잔류물이 남을 수 있다. 이에 따라, 이하 설명되는 바와 같이 상기 솔더 도금층(140)의 리플로우 공정을 먼저 진행하고 후속 공정으로 상기 시드층(125)을 제거할 경우, 플럭스 잔류물에 의하여 덮인 부분의 상기 시드층(125)은 습식 식각으로 제거가 되지 않을 수 있다. 본 발명의 일 실시예에 있어서, 자연 산화막의 제거는 포름산을 이용한 열처리 공정으로 수행될 수 있다. 따라서 상술한 플럭스 잔류물의 제거를 위한 별도의 세정 공정 없이 수행될 수 있다.
- [0082] 상기 솔더 도금층(140)의 리플로우 공정이 수행되어 리플로우된 솔더층(이하, 솔더층 141)이 형성될 수 있다(S7). 그 결과, 상기 제 1 패드(105)로부터 연장되는 제 1 연장부(TP), 상기 제 1 연장부(TP)의 단부에 제공되는 바디부(BP), 및 상기 바디부(BP)로부터 연장되는 제 2 연장부(SP)를 포함하는 범프 구조체(BS1)가 형성될 수 있다. 일 예로, 상기 리플로우 공정은 약 200℃ 내지 약 300℃에서 수행될 수 있다. 상기 리플로우 공정에 의하여 상기 솔더층(141)과 상기 금속층(131) 사이에 도 1c를 참조하여 설명한 바와 같이 금속-솔더 화합물층(146)이 형성될 수 있다.
- [0083] 상기 리플로우 공정 이전에 상기 오프닝의 제 1 부분(OP1) 내에 존재하던 상기 솔더 도금층(140)의 일부(A1) 및 상기 오프닝의 제 3 부분(OP3) 내에 존재하던 상기 솔더 도금층(140)의 일부(A2)는 상기 리플로우 공정 시에 상기 바디부(BP) 쪽(도 7b의 화살표 방향)으로 이동할 수 있다. 즉, 상기 제 1 연장부(TP) 및 상기 제 2 연장부(SP)의 폭은 상기 바디부(BP)에 비하여 상대적으로 작기 때문에 리플로우된 솔더 물질은 표면 장력(surface tension)에 의하여 상기 바디부(BP) 쪽으로 이동될 수 있다. 그 결과, 상기 제 1 연장부(TP) 및 상기 제 2 연장부(SP)의 높이는 리플로우 이전보다 감소되고, 상기 바디부(BP)의 높이는 리플로우 이전보다 증가될 수 있다. 상기 제 2 연장부(SP)는 높이가 증가된 상기 바디부(BP) 내의 솔더층(141)이 상기 금속층(131)의 측벽을 통해 상기 시드층(125) 상으로 흘러 내리는 것을 방지할 수 있고, 상기 바디부(BP)의 솔더층이 충분한 두께를 확보하도록 할 수 있다.
- [0084] 상기 리플로우 공정 후, 순수(DI Water)를 사용하는 세정 공정이 수행될 수 있다.
- [0085] 도 1a, 도 1b, 도 1c, 및 도 2를 다시 참조하여, 상기 장벽층(120) 및 상기 시드층(125)이 패터닝되어 장벽 패

턴(121) 및 시드 패턴(126)이 형성될 수 있다(S8). 상기 장벽층(120) 및 상기 시드층(125)의 패터닝 공정은 상기 솔더층(141)을 식각 마스크하여 수행될 수 있다. 일 예로, 상기 장벽층(120) 및 상기 시드층(125)의 패터닝 공정은 과산화수소( $H_2O_2$ )를 포함하는 식각액을 이용한 습식 식각으로 수행될 수 있다. 상기 습식 식각 공정 시에 상기 솔더층(141) 아래의 층들의 측벽의 일부가 식각되어 언더컷 영역(UR)이 형성될 수 있다. 본 발명의 일 실시예에 따르면, 상기 장벽층(120) 및 상기 시드층(125)의 패터닝 공정은 리플로우 공정 이후에 수행된다. 따라서 상기 솔더층(141)은 리플로우가 완료된 상태이므로 상기 언더컷 영역(UR)에도 불구하고 상기 솔더층(141)의 웨팅각(wetting angle)이 줄어들지 않는다. 따라서, 리플로우를 상기 패터닝 공정 이후에 수행할 경우 발생할 수 있는 웨팅각의 감소와, 그에 따른 상기 솔더층(141)이 상기 금속층(131)의 측벽으로 흘러내리는 현상이 방지될 수 있다.

[0086] 본 발명의 실시예에 따르면, 몰드 패턴(191)을 형성하기 위한 포토 리소그래피 공정 이외에 추가적인 포토 리소그래피 공정 없이 범프 구조체를 형성할 수 있다.

[0087] <범프 구조체의 변형예>

[0088] 도 8a 내지 도 8c는 본 발명의 다른 실시예들에 따른 범프 구조체의 제 2 연장부를 설명하기 위한 평면도들이다. 설명의 간략화를 위하여 동일한 구성에 대한 설명은 생략될 수 있다.

[0089] 도 8a를 참조하면, 범프 구조체(BS2)는 제 1 연장부(TP) 및 바디부(BP)를 포함하고, 제 2 연장부는 포함하지 않을 수 있다.

[0090] 도 8b를 참조하면, 범프 구조체(BS3)는 제 1 연장부(TP), 바디부(BP), 및 제 2 연장부들(SP)을 포함할 수 있다. 상기 제 2 연장부들(SP)은 도 1a의 실시예와는 달리 상기 바디부(BP)로부터 Y 방향으로 돌출된 2개의 연장부들을 포함하고, 상기 바디부(BP)로부터 X 방향으로 형성되지 않을 수 있다.

[0091] 도 8c를 참조하면, 범프 구조체(BS4)는 제 1 연장부(TP), 바디부(BP), 및 제 2 연장부들(SP1, SP2)을 포함할 수 있다. 상기 제 2 연장부들은 상기 바디부(BP)로부터 Y 방향으로 돌출된 연장부들(SP1) 및 X 방향으로 돌출된 연장부들(SP2)을 포함하며 상기 X 방향으로 돌출된 연장부들(SP2)은 상기 Y 방향으로 돌출된 연장부들(SP1)보다 길이가 길 수 있다. 다른 실시예에 있어서, 상기 Y 방향으로 돌출된 연장부들(SP1)은 상기 X 방향으로 돌출된 연장부들(SP2)보다 길이가 길 수 있다.

[0092] 도 9a 내지 도 9c는 본 발명의 또 다른 실시예들에 따른 범프 구조체의 제 1 연장부를 설명하기 위한 평면도들이다. 설명의 간략화를 위하여 동일한 구성에 대한 설명은 생략될 수 있다.

[0093] 도 9a를 참조하면, 범프 구조체(BS5)는 제 1 연장부(TP), 바디부(BP), 및 제 2 연장부들(SP)을 포함할 수 있다. 상기 범프 구조체(BS5)는 상기 제 1 연장부(TP)의 측벽으로부터 돌출된 제 3 연장부들(WP)을 더 포함할 수 있다. 상기 제 3 연장부들(WP)은 상기 제 1 연장부(TP)의 양 측벽을 따라 복수개가 배치될 수 있다. 상기 제 3 연장부들(WP)은 리플로우에 의하여 솔더층이 상기 제 1 패드(105)로부터 상기 바디부(BP) 쪽으로 이동될 때 금속층의 측벽으로 흘러내리는 것을 추가적으로 방지할 수 있다.

[0094] 도 9b를 참조하면, 범프 구조체(BS6)는 제 1 연장부(TP), 바디부(BP), 및 제 2 연장부들(SP)을 포함할 수 있다. 상기 제 1 연장부(TP1)는 직선이 아닌 형상일 수 있다. 일 예로, 상기 제 1 연장부(TP1)는 X 방향으로 연장되는 부분 및 Y 방향으로 연장되는 부분을 포함할 수 있다. 상기 연장부(TP1)의 형상은 도시된 형태에 한정되지 않으며, 상기 제 1 패드(105)의 배치 및/또는 제 1 기판이 실장되는 제 2 기판 상의 패드의 배치에 따라 변형될 수 있다.

[0095] 도 9c를 참조하면, 범프 구조체(BS7)는 제 1 연장부들(TP1, TP2), 바디부(BP), 및 제 2 연장부들(SP)을 포함할 수 있다. 상기 제 1 연장부들(TP1, TP2)은 하나의 제 1 패드(105) 상으로 연장될 수 있고, 하나의 바디부(BP)에 연결될 수 있다. 다른 실시예에서, 상기 제 1 연장부들(TP1, TP2) 각각은 별개의 패드들 상으로 연장될 수 있다.

[0096] <범프 구조체를 포함하는 반도체 패키지>

[0097] 도 10은 본 발명의 일 실시예에 따른 범프 구조체(BS)를 포함하는 반도체 패키지를 설명하기 위한 단면도이다. 도 11a는 상기 제 1 기판(100)의 상면(12)의 평면도이고, 도 11b는 상기 제 2 기판(200)의 상면(21)의 평면도이다. 도 11c는 도 10의 R 영역의 확대도이다.

[0098] 도 10, 도 11a, 도 11b, 및 도 11c를 참조하여, 반도체 패키지(401)는 제 2 기판(200), 일 예로, 패키지 기판



및, 상기 제 2 기판(200) 상에 실장된 제 1 반도체 장치(10)를 포함할 수 있다. 상기 제 2 기판(200)은 인쇄회로 기판일 수 있다. 상기 제 2 기판(200)은 절연 기판(201), 상기 절연 기판(201)을 관통하는 관통 비아(207), 상기 절연 기판(201)의 하면에 배치되는 제 3 패드들(211), 상기 절연 기판(201)의 상면에 배치되는 제 2 패드들(205)을 포함할 수 있다. 절연층(206)은 상기 제 3 패드들(211)의 일부분을 덮고, 상기 절연막(206)에 의하여 노출된 상기 제 3 패드들(211) 아래에는 패키지 범프들(73)이 제공될 수 있다. 상기 패키지 범프들(73)은 솔더 볼, 도전성 범프, 도전성 스페이서, 핀 그리드 어레이 또는 이들의 조합일 수 있다. 이와는 달리, 상기 패키지 범프들(73)은 본 발명의 일 실시예에 따른 범프 구조체일 수 있다.

[0099] 상기 제 1 반도체 장치(10)의 상면(12) 상에는 복수의 제 1 패드들(105) 및 복수의 범프 구조체들(BS)이 제공될 수 있다. 상기 범프 구조체들(BS)은 상기 제 1 패드들(105)을 사이에 두고 지그재그(zigzag) 형태로 배치될 수 있다. 일 예로, 상기 제 1 패드들(105)은 Y 방향을 따라 배열될 수 있고, Y 방향을 따라 배열된 상기 제 1 패드들(105)은 홀수 번째 패드들(105\_1) 및 짝수 번째 패드들(105\_2)을 포함할 수 있다. 상기 홀수 번째 패드들(105\_1)에 연결되는 범프 구조체들(BS\_1)은 상기 제 1 패드들(105)의 일측에 배치되고 상기 짝수 번째 패드들(105\_2)에 연결되는 범프 구조체들(BS\_2)은 상기 제 1 패드들(105)의 타측에 배치될 수 있다. 상기 일측과 상기 타측은 상기 제 1 패드들(105)을 사이에 두고 이격된 영역일 수 있다. 일 예로, 상기 홀수 번째 패드들(105\_1)에 연결되는 범프 구조체들(BS\_1)과 상기 짝수 번째 패드들(105\_2)에 연결되는 범프 구조체들(BS\_2)은 서로 반대 방향으로 연장될 수 있으나, 이에 한정되지 않는다.

[0100] 본 발명의 일 실시예에 따르면, 상기 범프 구조체들(BS)의 지그재그형 배치가 가능하므로 상기 제 1 패드들(105) 사이의 거리를 줄이는 경우에도 인접한 범프 구조체들(BS) 사이의 단락이 방지될 수 있다. 따라서, 상기 제 1 패드들(105) 사이의 거리를 보다 좁게 형성할 수 있어, 반도체 장치의 집적화가 가능하다. 또한, 상기 제 2 패드들(205)의 배치를 고려하여 상기 범프 구조체들(BS)의 형상을 변형할 수 있으므로, 보다 용이하게 상기 제 1 반도체 장치(10)의 실장이 가능하다.

[0101] 상기 제 1 반도체 장치(10)는 상기 제 1 기판(100)의 상면(12)이 상기 제 2 기판(200)의 상면과 마주보도록 상기 제 2 기판(200) 상에 실장될 수 있다. 상기 제 1 반도체 장치(10)에 형성된 상기 범프 구조체들(BS)은 상기 바디부(BP)가 상기 제 2 패드들(205) 상에 열라인될 수 있다. 상기 제 1 반도체 장치(10)가 상기 제 2 기판(200) 상에 실장된 후, 상기 제 1 반도체 장치(10)를 덮는 몰드층(310)이 형성될 수 있다. 상기 몰드층(310)은 상기 제 1 반도체 장치(10)와 상기 제 2 기판(200) 사이를 채울 수 있다. 상기 몰드층(310)은 에폭시 몰딩 컴파운드(epoxy molding compound)를 포함할 수 있다.

[0102] 상기 제 2 기판(200) 상에 상기 제 2 패드들(205) 사이로 연장되는 절연 패턴들(215)이 제공될 수 있다. 상기 제 1 반도체 장치(10)가 상기 제 2 기판(200) 상에 실장된 상태에서, 상기 절연 패턴들(215)은 상기 제 1 연장부들(TP)의 적어도 일부와 수직적으로 오버랩될 수 있다. 상기 절연 패턴들(215)은 상기 연장부들(TP)이 상기 제 2 패드들(205) 이외의 상기 제 2 기판(200) 상의 구조물들과 단락되는 것을 방지할 수 있다. 상기 절연 패턴들(215)은 상기 제 1 패드들(105)이 배치된 방향(일 예로, Y 방향)을 따라 연장되고, 상기 제 1 패드들(105)과 수직적으로 오버랩될 수 있다. 일 예로, 상기 절연 패턴들(215)은 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막을 포함할 수 있다.

[0103] <반도체 패키지의 변형예>

[0104] 도 12a 및 도 12b는 본 발명의 다른 실시예들에 따른 반도체 패키지들을 설명하기 위한 단면도들이다. 설명의 간소화를 위하여 중복된 구성에 대한 설명은 생략될 수 있다.

[0105] 도 12a를 참조하면, 반도체 패키지(402)는 제 2 기판(200), 상기 제 2 기판(200) 상에 실장된 제 1 반도체 장치(10), 및 상기 제 1 반도체 장치(10) 상의 제 2 반도체 장치(300)를 포함할 수 있다. 상기 제 1 반도체 장치(10)는 관통 전극(TS)을 포함하고, 상기 범프 구조체(BS)는 상기 관통 전극(TS)과 전기적으로 연결될 수 있다. 상기 제 2 반도체 장치(300)는 상기 제 1 반도체 장치(10)와 다른 반도체 장치로, 메모리 칩이나 로직 칩에 대응될 수 있다. 상기 제 2 반도체 장치(300)는 본 발명의 실시예들에 따른 범프 구조체(BS)를 포함하지 않을 수 있다. 일 예로, 상기 제 2 반도체 장치(300)는 통상적인 솔더 범프(75)에 의하여 상기 제 1 반도체 장치(10) 상의 제 4 패드(106)와 연결될 수 있다.

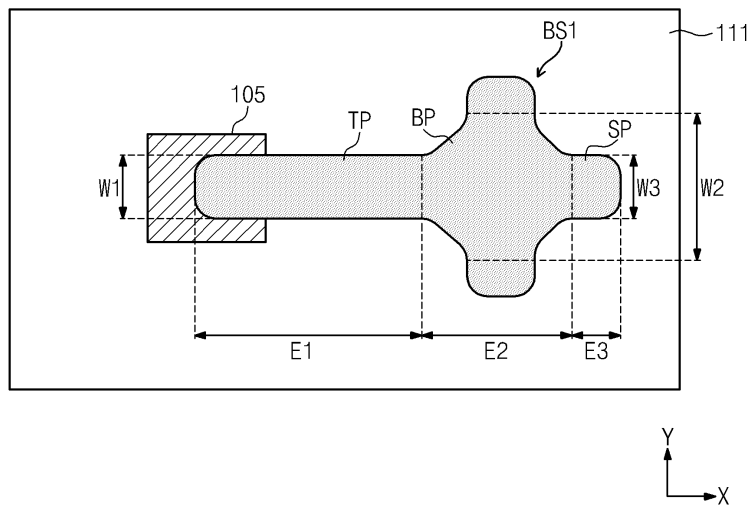
[0106] 도 12b를 참조하면, 반도체 패키지(403)는 제 2 기판(200), 상기 제 2 기판(200) 상에 실장된 제 1 반도체 장치(10), 및 상기 제 1 반도체 장치(10) 상의 제 3 반도체 장치(20)를 포함할 수 있다. 본 실시예에 따른 반도체 패키지(403)는 멀티 칩 패키지일 수 있다. 상기 제 1 반도체 장치(10)와 상기 제 3 반도체 장치(20)는 동일한

종류 및/또는 구조를 가질 수 있다.

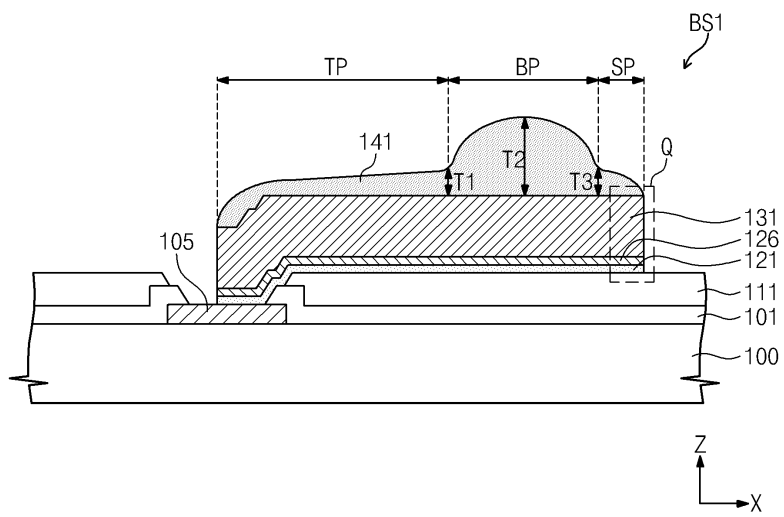
- [0107] 도 13은 본 발명의 실시예들에 따른 패키지 모듈(500)을 보여주는 평면도이다. 도 13을 참조하여, 상기 패키지 모듈(500)은 외부 연결 단자(508)가 구비된 모듈 기관(502)과, 상기 모듈 기관(502)에 실장된 반도체 칩(504) 및 QFP(Quad Flat Package)된 반도체 패키지(506)를 포함할 수 있다. 상기 반도체 칩(504) 및/또는 상기 반도체 패키지(506)는 본 발명의 실시예에 따른 반도체 장치를 포함할 수 있다. 상기 패키지 모듈(500)은 상기 외부 연결 단자(508)를 통해 외부 전자 장치와 연결될 수 있다.
- [0108] 도 14는 본 발명의 실시예들에 따른 메모리 카드(600)를 보여주는 개략도이다. 도 14를 참조하여, 상기 메모리 카드(600)는 하우징(610) 내에 제어기(620)와 메모리(630)를 포함할 수 있다. 상기 제어기(620)와 상기 메모리(630)는 전기적인 신호를 교환할 수 있다. 예를 들어, 상기 제어기(620)의 명령에 따라서, 상기 메모리(630)와 상기 제어기(620)는 데이터를 주고받을 수 있다. 이에 따라, 상기 메모리 카드(600)는 상기 메모리(630)에 데이터를 저장하거나 또는 상기 메모리(630)로부터 데이터를 외부로 출력할 수 있다.
- [0109] 상기 제어기(620) 및/또는 상기 메모리(630)는 본 발명의 실시예들에 따른 반도체 장치 또는 반도체 패키지 중 적어도 하나를 포함할 수 있다. 이러한 상기 메모리 카드(600)는 다양한 휴대용 기기의 데이터 저장 매체로 이용될 수 있다. 예를 들어, 상기 메모리 카드(600)는 멀티미디어 카드(multi media card; MMC) 또는 보안 디지털(secure digital; SD) 카드를 포함할 수 있다.
- [0110] 도 15는 본 발명의 실시예들에 따른 전자 시스템(700)을 보여주는 블록도이다. 도 15를 참조하여, 상기 전자 시스템(700)은 본 발명의 실시예들에 따른 반도체 장치 또는 반도체 패키지를 적어도 하나 포함할 수 있다. 상기 전자 시스템(700)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 예를 들어, 상기 전자 시스템(700)은 메모리 시스템(712), 프로세서(714), 램(716), 및 유저 인터페이스(718)를 포함할 수 있고, 이들은 버스(Bus, 720)를 이용하여 서로 데이터 통신을 할 수 있다. 상기 프로세서(714)는 프로그램을 실행하고 상기 전자 시스템(700)을 제어하는 역할을 할 수 있다. 상기 램(716)은 상기 프로세서(714)의 동작 메모리로서 사용될 수 있다. 예를 들어, 상기 프로세서(714) 및 상기 램(716)은 각각 본 발명의 실시예들에 따른 반도체 장치 또는 반도체 패키지를 포함할 수 있다. 또는 상기 프로세서(714)와 상기 램(716)이 하나의 패키지에 포함될 수 있다. 상기 유저 인터페이스(718)는 상기 전자 시스템(700)에 데이터를 입력 또는 출력하는데 이용될 수 있다. 상기 메모리 시스템(712)은 상기 프로세서(714)의 동작을 위한 코드, 상기 프로세서(714)에 의해 처리된 데이터 또는 외부에서 입력된 데이터를 저장할 수 있다. 상기 메모리 시스템(712)은 제어기 및 메모리를 포함할 수 있으며, 도 17의 메모리 카드(600)와 실질적으로 동일하게 구성될 수 있다.
- [0111] 상기 전자 시스템(700)은 다양한 전자기기들의 전자 제어 장치에 적용될 수 있다. 도 16은 상기 전자 시스템(도 15의 700)이 모바일 폰(800)에 적용되는 예를 도시한다. 그 밖에, 상기 전자 시스템(도 15의 700)은 휴대용 노트북, MP3 플레이어, 네비게이션(Navigation), 고상 디스크(Solid state disk; SSD), 자동차 또는 가전 제품(Household appliances)에 적용될 수 있다.
- [0112] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.
- [0113] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

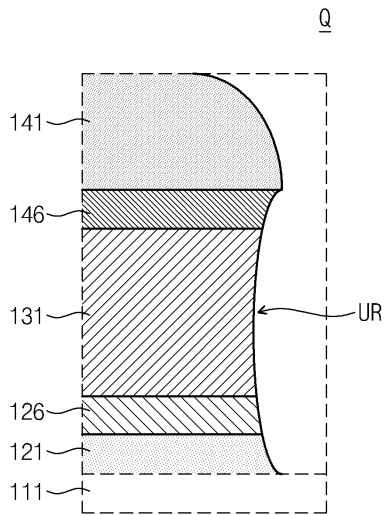
도면1a



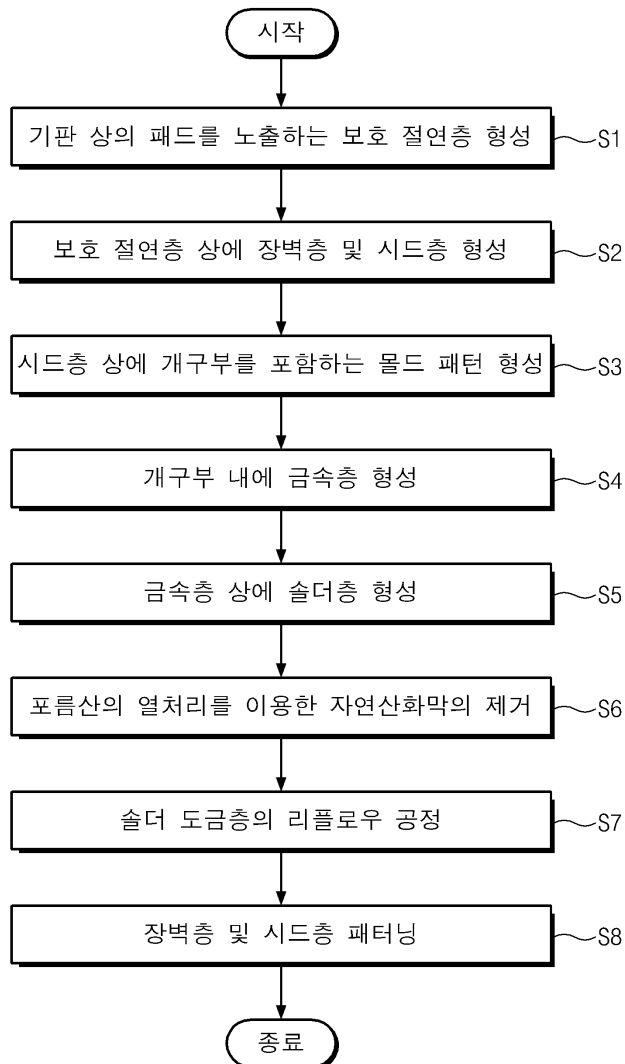
도면1b



도면1c

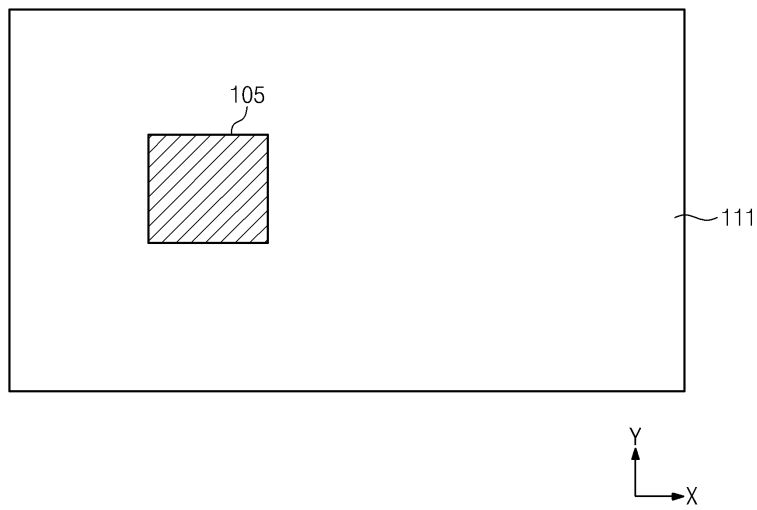


도면2

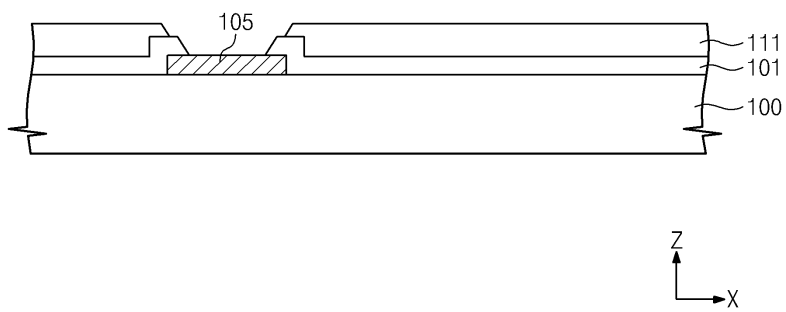




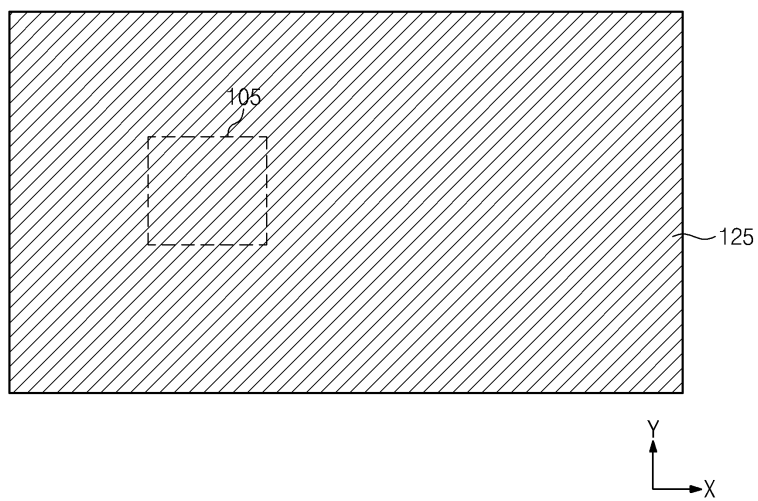
도면3a



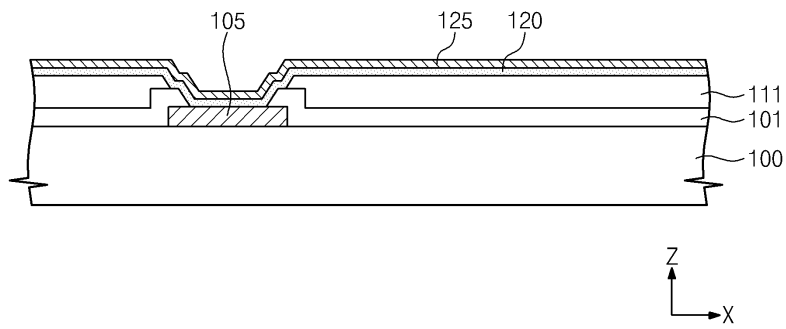
도면3b



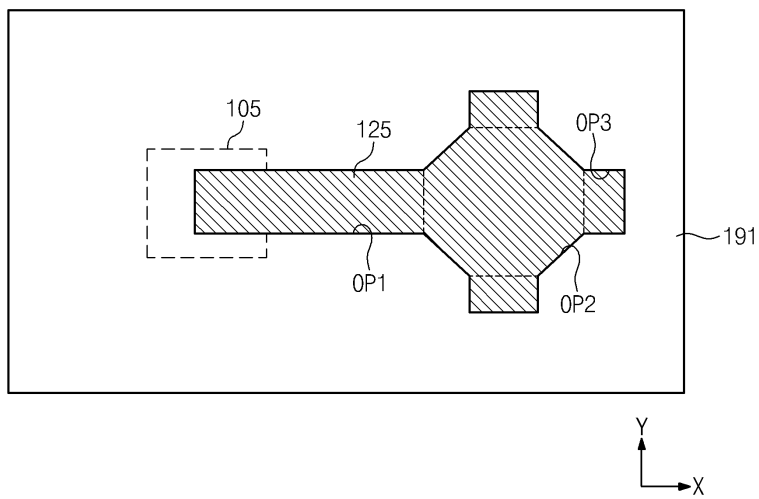
도면4a



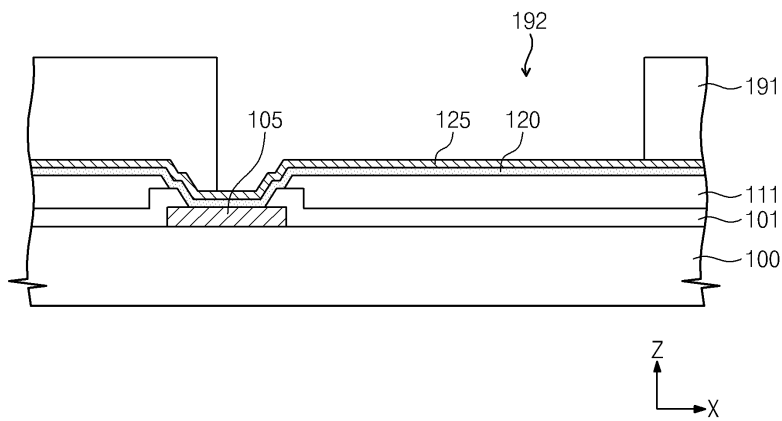
도면4b



도면5a

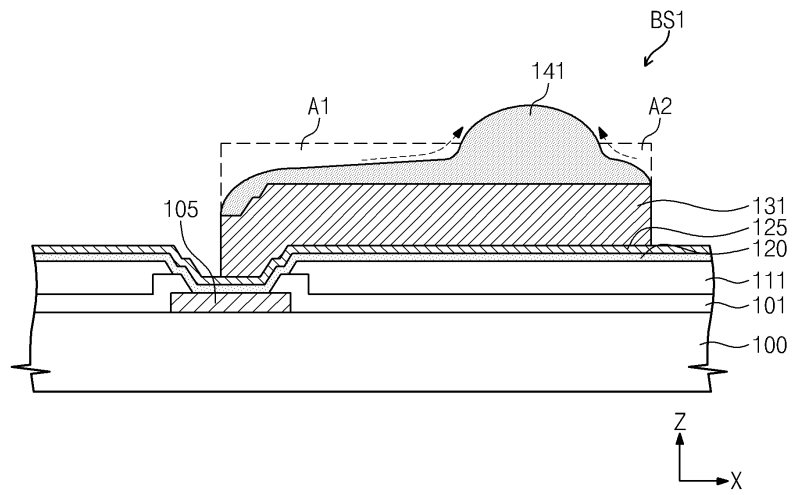


도면5b

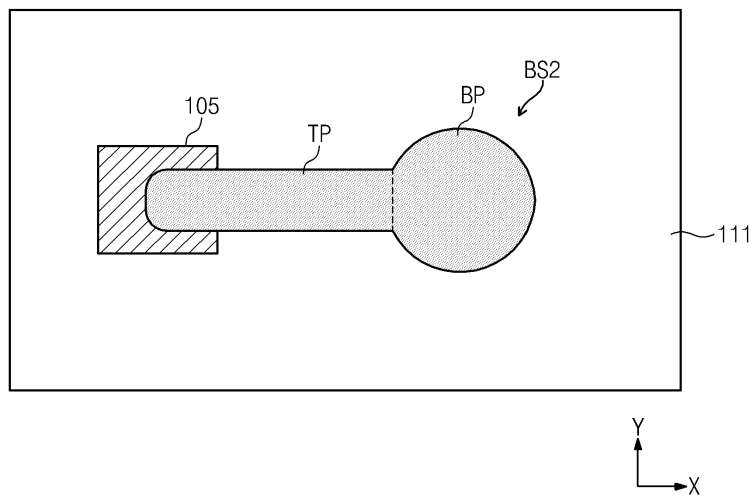




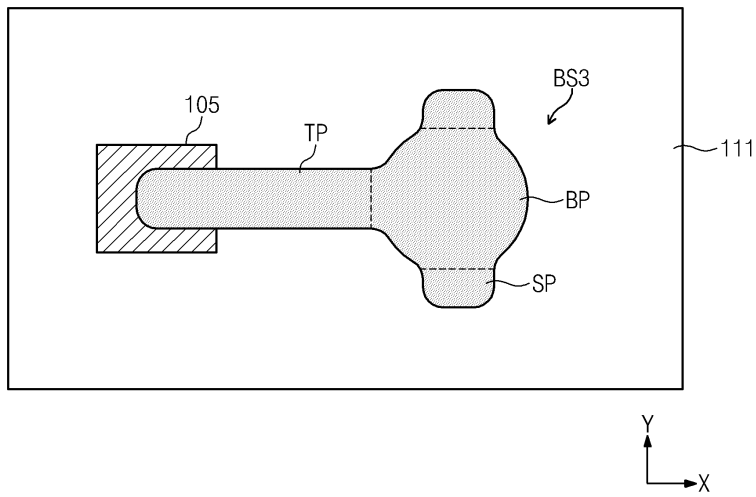
도면7b



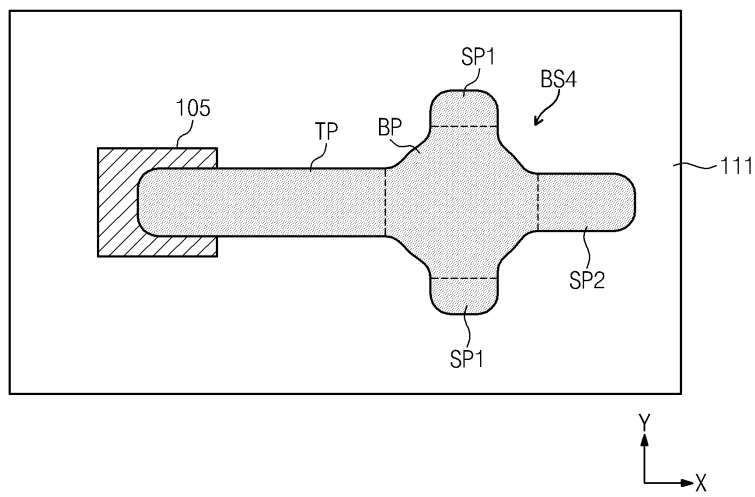
도면 8a



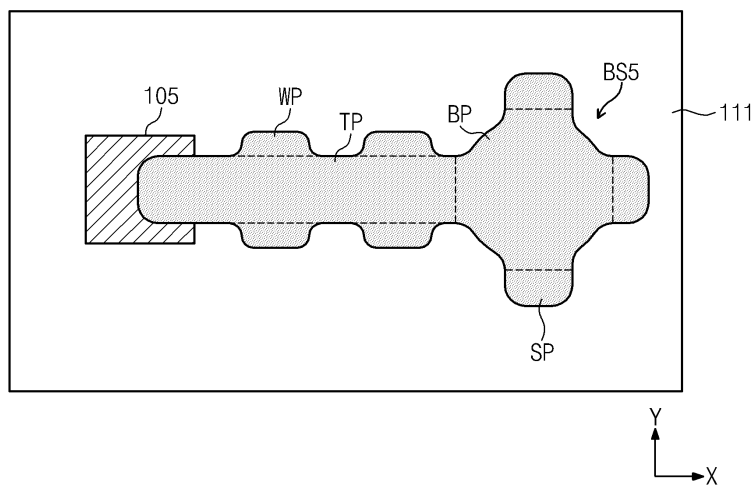
도면8b



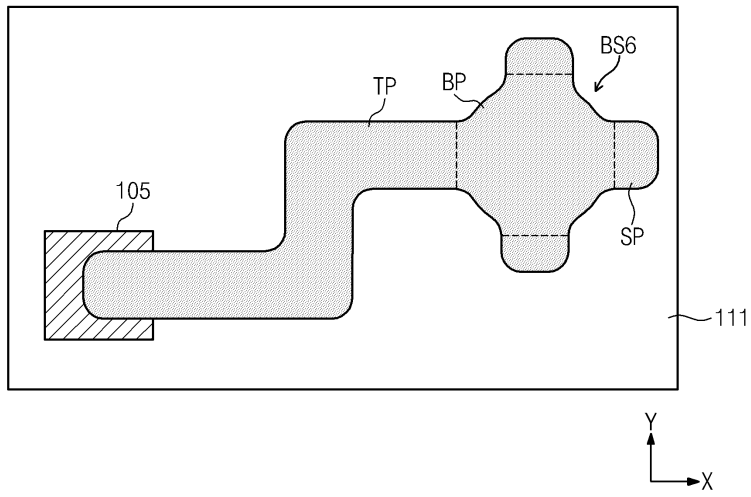
도면8c



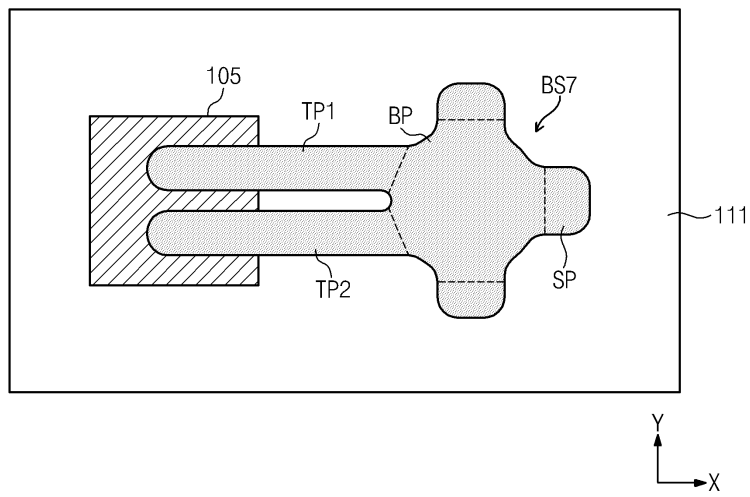
도면9a



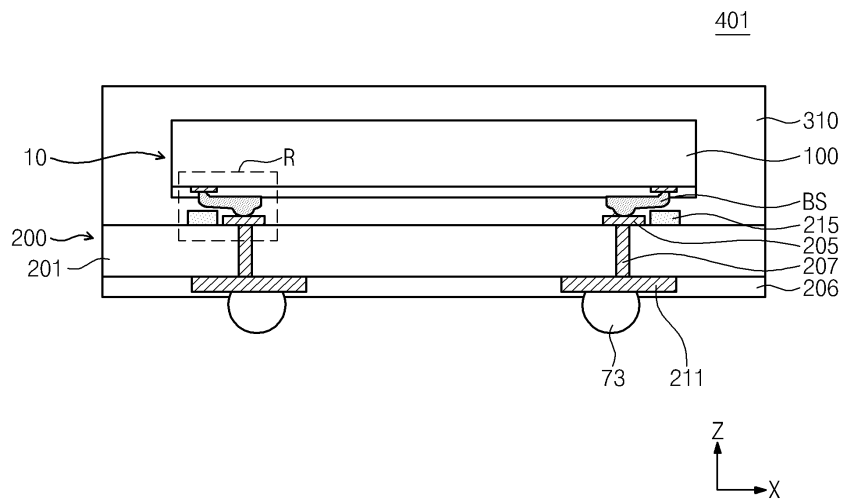
도면9b



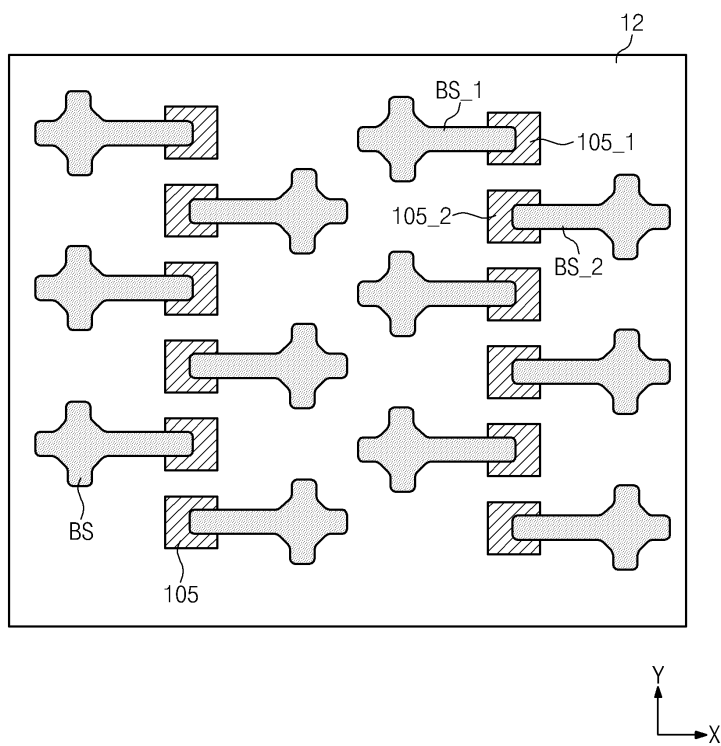
도면9c



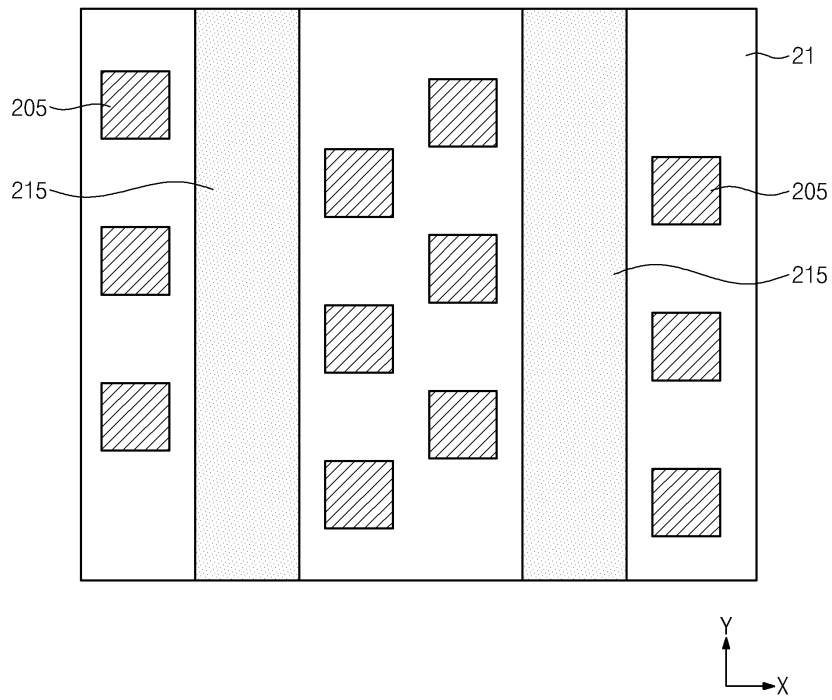
도면10



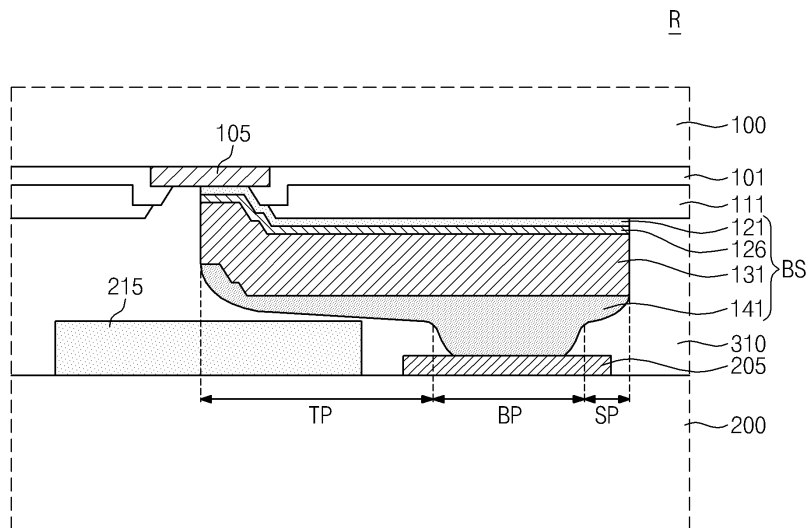
도면11a



도면11b

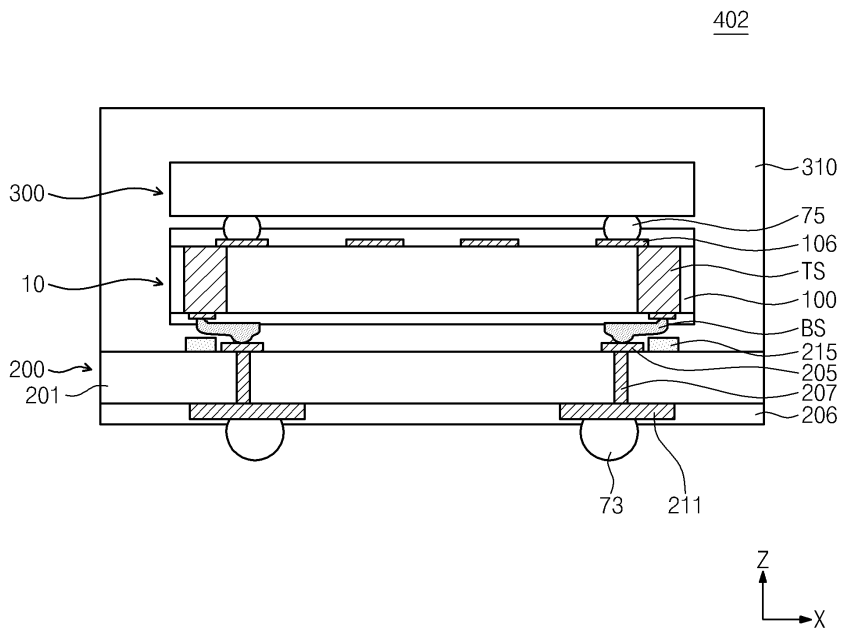


도면11c

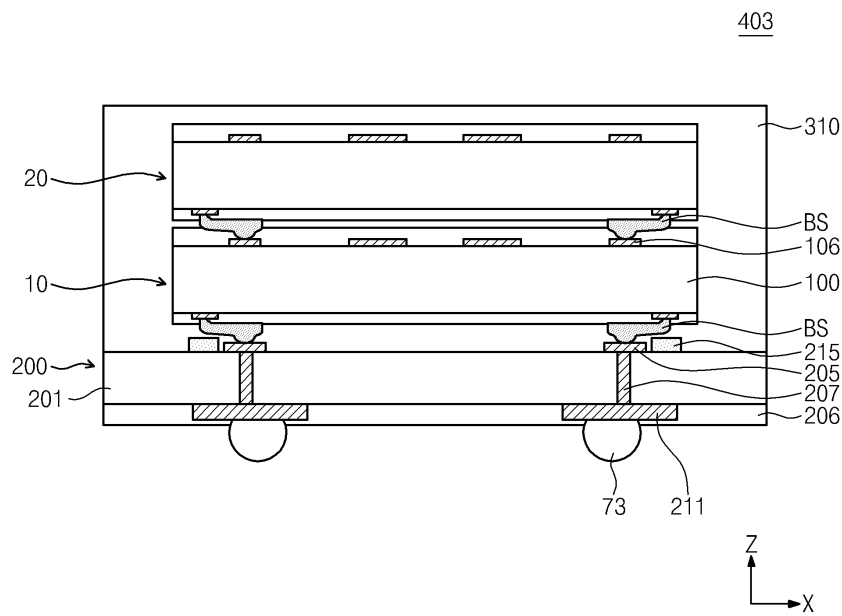




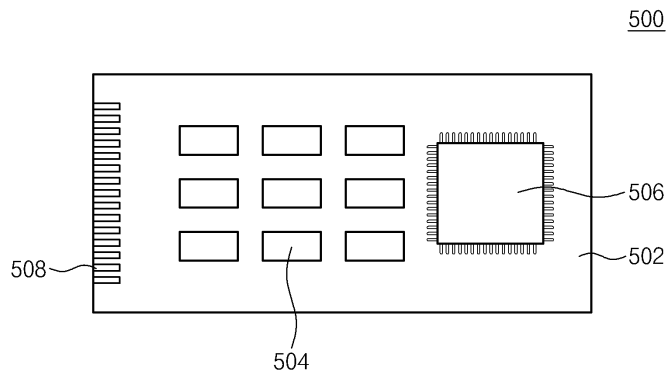
도면12a



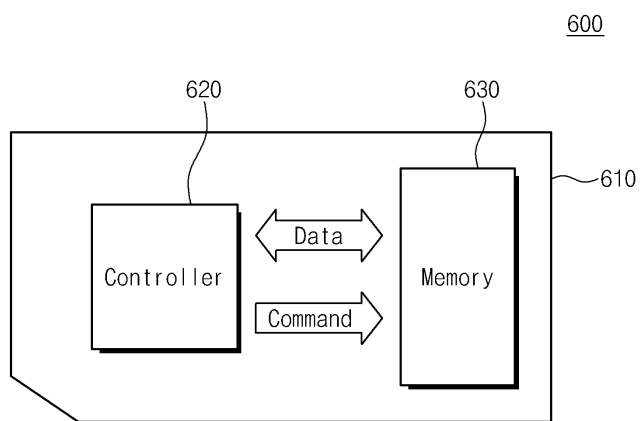
도면12b



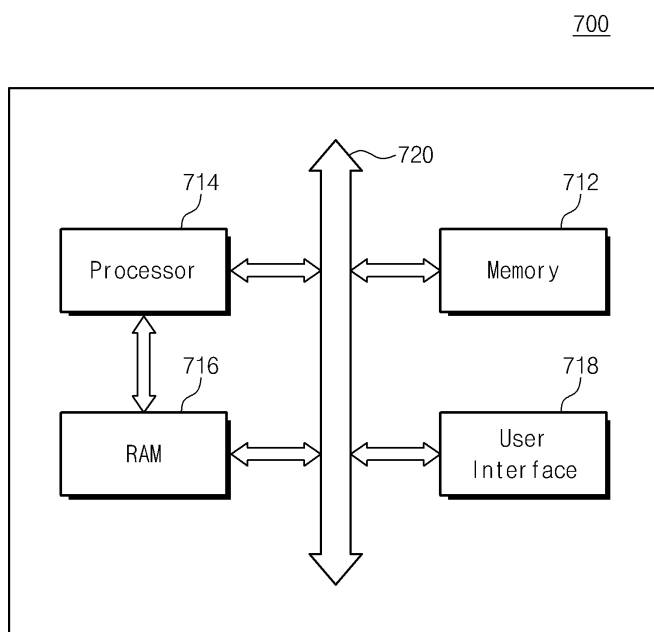
도면13



도면14



도면15



도면16

800

