(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017 년 11 월 30 일 (30.11.2017)

WIPO | PCT

(10) 국제공개번호
WO 2017/204481 A1

(51) 국제특허분류:
H04L 29/10 (2006.01) *H04L 29/06* (2006.01)

(21) 국제출원번호: PCT/KR2017/005028

(22) 국제출원일: 2017 년 5 월 16 일 (16.05.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2016-0063052 2016 년 5 월 23 일 (23.05.2016) KR

(71) 출원인: 엘지이노텍 주식회사 **(LG INNOTEK CO., LTD.)** [KR/KR]; 04637 서울시 중구 후암로 98, Seoul (KR).

(72) 발명자: 윤동근 **(YOON, Dong Keun)**; 04637 서울시 중구 후암로 98, Seoul (KR). 윤석 **(YOON, Seok)**; 04637 서울시 중구 후암로 98, Seoul (KR). 이준호 **(LEE, Jun Ho)**; 04637 서울시 중구 후암로 98, Seoul (KR).

(74) 대리인: 김기문 **(KIM, Ki Moon)**; 06252 서울시 강남구 역삼로 114 현죽빌딩 6층, Seoul (KR).

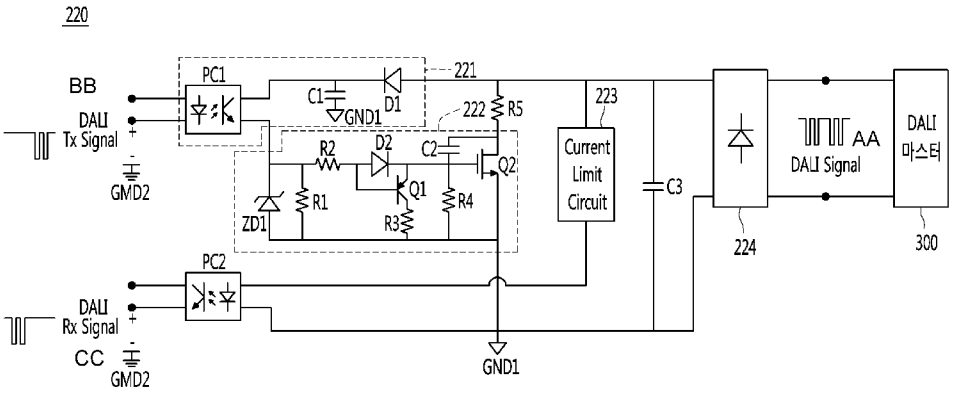
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,

WO 2017/204481 A1

(54) **Title:** DIGITAL ADDRESSABLE LIGHTING INTERFACE (DALI) AND POWER DEVICE COMPRISING SAME

(54) 발명의 명칭: DALI 인터페이스 및 이를 포함하는 전원장치



223 ... Current limit circuit
300 ... DALI master
AA ... DALI signal
BB ... DALI Tx signal
CC ... DALI Rx signal

(57) **Abstract:** The present invention relates to a Digital Addressable Lighting Interface (DALI) interface and a power device comprising the same. The present invention can provide a DALI interface comprising: a first limiting circuit unit for outputting a limited current based on a DALI transmission signal and a DALI reception signal; and a gate drive circuit unit for generating, based on the limited current, a drain-source voltage that is used for generating a DALI signal in accordance with the DALI standard. As a result, the present invention can generate a signal complying with the DALI standard even under various voltage and current conditions of a DALI master.

[다음 쪽 계속]

MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명은 DALI 인터페이스 및 이를 포함하는 전원장치에 관한 것이다. 본 발명은 DALI 송신 신호 및 DALI 수신 신호에 기초하여 제한 전류를 출력하는 제1 제한회로부 및 상기 제한 전류에 기초하여 DALI 규격에 따른 DALI 신호를 생성하는데 이용되는 드레인-소스 전압을 생성하는 게이트 드라이브 회로부를 포함하는 DALI 인터페이스를 제공할 수 있다. 이에, 본 발명은 DALI 마스터의 다양한 전압 및 전류 조건에서도 DALI 규격에 적합한 신호를 생성할 수 있다.

명세서

발명의 명칭: DALI 인터페이스 및 이를 포함하는 전원장치

기술분야

[1] 본 발명은 DALI 인터페이스 및 이를 포함하는 전원장치에 관한 것이다.

배경기술

[2] 발광 다이오드(Light Emitting Diode, LED)는 낮은 소비전력, 고휘도 등의 여러 장점 때문에 광원으로서 널리 사용된다. 특히 최근 발광소자는 조명장치 및 대형 액정디스플레이(Liquid Crystal Display, LCD)용 백라이트(Backlight) 장치로 채용되고 있다. 이러한 발광소자는 조명장치 등 각종 장치에 장착되기 용이한 패키지형태로 제공된다. 다양한 방면으로 조명용으로서 LED의 사용 비중이 증가함에 따라 복수의 조명 장치를 통합 제어할 수 있는 방안으로 DALI 프로토콜을 이용하는 조명 시스템이 제안된 바 있다. 달리(DALI) 프로토콜은 반양방향(Half-Duplex)의 비동기 통신을 사용하여 조명등(lamp)의 상태, 안정기의 상태 및 디밍 레벨 등을 쿼리 신호로 받아 DALI 마스터(master)를 통하여 모니터링을 가능하게 한다.

[3] DALI 프로토콜을 이용하는 조명 시스템은 단말 장치와 DALI 마스터 사이에서 신호를 전달하는 전원장치를 포함한다. 상기 신호는 조명제어규격인 DALI(Digital Addressable Lighting Interface) 규격에 따른 신호이다. 이때, 전원장치는 DALI 신호를 발생하기 위한 DALI 인터페이스를 포함한다.

발명의 상세한 설명

기술적 과제

[4] 본 발명은 다양한 DALI 마스터의 전압 및 전류 조건에서도 DALI 규격에 적합한 신호를 생성하는 DALI 인터페이스 및 이를 포함하는 전원장치를 제공하는 것을 기술적 과제로 한다.

[5] 또한, 본 발명은 DALI 인터페이스의 부품에 특성 편차가 있어도 DALI 규격에 적합한 신호를 생성하는 DALI 인터페이스 및 이를 포함하는 전원장치를 제공하는 것을 기술적 과제로 한다.

[6] 또한, 본 발명은 DALI 신호의 파형 특성을 조절할 수 있는 DALI 인터페이스를 제공하는 것을 기숙적 과제로 한다.

[7] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

[8] 상술한 과제 해결 수단으로서, DALI 송신 신호 및 DALI 수신 신호에 기초하여 제한 전류를 출력하는 제1 제한회로부 및 상기 제한 전류에 기초하여 DALI 규격에 따른 DALI 신호를 생성하는데 이용되는 드레인-소스 전압을 생성하는

게이트 드라이브 회로부를 포함하는 DALI 인터페이스를 제공할 수 있다.

[9] 또 다른 본 발명의 실시 예에 따른 DALI 인터페이스에 있어서, 상기 게이트 드라이브 회로부는 상기 드레인-소스 전압을 생성하는 제1 트랜지스터를 포함할 수 있다.

[10] 또 다른 본 발명의 실시 예에 따른 DALI 인터페이스에 있어서, 상기 게이트 드라이브 회로부는 제1 트랜지스터의 게이트 전극 및 드레인 전극에 연결되고 DALI 신호의 폴링 타임과 라이징 타임을 조절하는 병렬 캐패시터를 포함할 수 있다.

[11] 또 다른 본 발명의 실시 예에 따른 DALI 인터페이스에 있어서, 상기 게이트 드라이브 회로부는 상기 제1 트랜지스터를 제어하는 제2 트랜지스터를 포함할 수 있다.

[12] 또 다른 본 발명의 실시 예에 따른 DALI 인터페이스에 있어서, 상기 게이트 드라이브 회로부는 상기 제한된 전류에 관계없이 일정한 전압을 입력되도록 하는 제너 다이오드를 포함할 수 있다.

[13] 또 다른 본 발명의 실시 예에 따른 DALI 인터페이스에 있어서, 상기 제1 제한회로부는 상기 DALI 송신 신호를 수신하는 포토커플러를 포함할 수 있다.

[14] 상술한 과제의 다른 해결 수단으로서, 제1 포토 커플러, 상기 제1 포토 커플러의 컬렉터 전극에 캐소드 전극이 연결되는 제1 다이오드를 포함하는 제1 제한회로부, 상기 제1 포토 커플러의 이미터 전극에 캐소드 전극이 연결되는 제너 다이오드, 상기 제너 다이오드의 캐도스 전극에 애노드 전극이 연결되는 제2 다이오드, 상기 제2 다이오드의 캐소드 전극에 게이트 전극이 연결되고 상기 제1 다이오드의 애노드 전극에 드레인 전극이 연결되고 접지전극에 소스전극이 연결되는 제1 트랜지스터를 포함하는 게이트 드라이브 회로부;를 포함하는 DALI 인터페이스를 제공할 수 있다.

[15] 상술한 과제의 다른 해결 수단으로서, 상기 게이트 드라이브 회로부는 상기 제1 트랜지스터의 게이트 전극에 일단이 연결되고 상기 제1 트랜지스터의 드레인 전극에 타단이 연결되는 병렬 캐패시터를 포함할 수 있다.

[16] 상술한 과제의 다른 해결 수단으로서, 상기 게이트 드라이브 회로부는 상기 제2 다이오드의 애노드 전극에 베이스 전극이 연결되고 상기 제1 트랜지스터의 게이트 전극에 이미터 전극이 연결되고 상기 접지전극에 콜렉터 전극이 연결되는 제2 트랜지스터를 포함할 수 있다.

[17] 상술한 과제의 다른 해결 수단으로서, 상기 제1 제한회로부는 상기 제1 포토 커플러의 컬렉터 전극과 상기 제1 다이오드의 캐소드 전극에 일단이 연결되고 접지전극에 타단이 연결되는 제1 평활 캐패시터를 포함할 수 있다.

[18] 상술한 과제의 다른 해결 수단으로서, DALI 송신 신호를 출력하고 DALI 수신 신호를 입력 받는 마이크로 컨트롤러, DALI 규격에 따른 DALI 신호를 출력하며, DALI 송신 신호 및 DALI 수신 신호에 기초하여 제한 전류를 출력하는 제1 제한회로부 및 상기 제한 전류에 기초하여 DALI 규격에 따른 DALI 신호를

생성하는데 이용되는 드레인-소스 전압을 생성하는 게이트 드라이브 회로부를 포함하는 DALI 인터페이스를 포함하는 전원장치를 제공할 수 있다.

[19] 상술한 과제의 다른 해결 수단으로서, 조명장치를 제어하는 제어신호를 출력하는 단말장치, 상기 제어신호에 기초하여 DALI 규격에 따른 DALI 신호를 출력하며, DALI 송신 신호 및 DALI 수신 신호에 기초하여 제한 전류를 출력하는 제1 제한회로부 및 상기 제한 전류에 기초하여 DALI 규격에 따른 DALI 신호를 생성하는데 이용되는 드레인-소스 전압을 생성하는 게이트 드라이브 회로부를 포함하는 DALI 인터페이스를 포함하는 전원장치 및 상기 DALI 신호에 기초하여 조명장치를 제어하는 DALI 마스터를 포함하는 조명 시스템을 제공할 수 있다.

발명의 효과

[20] 본 발명의 실시 예에 따른 DALI 인터페이스는 DALI 마스터의 다양한 전압 및 전류 조건에서도 DALI 규격에 적합한 신호를 생성할 수 있다.

[21] 또한, 본 발명의 실시 예에 따른 DALI 인터페이스는 DALI 인터페이스의 부품에 특성 편차가 있어도 DALI 규격에 적합한 신호를 생성할 수 있다.

[22] 또한, 본 발명의 실시 예에 따른 DALI 인터페이스는 DALI 신호의 파형 특성을 조절할 수 있다.

[23] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들 이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

[24] 도 1은 본 발명의 실시예에 따른 조명 시스템의 블록도이다.

[25] 도 2는 본 발명의 실시예에 따른 전원 장치의 블록도이다.

[26] 도 3은 본 발명의 실시예에 따른 DALI 인터페이스의 회로도이다.

[27] 도 4는 본 발명의 실시예에 따른 DALI 인터페이스의 제1 제한회로부를 설명하기 위한 회로도이다.

[28] 도 5는 본 발명의 실시예에 따른 DALI 인터페이스의 게이트 드라이브 회로부를 설명하기 위한 회로도이다.

[29] 도 6은 본 발명의 실시예에 따른 DALI 인터페이스의 제2 트랜지스터에 관한 특성을 설명하는 파형도이다.

[30] 도 7은 DALI 규약에 따른 DALI 신호의 표준 파형도이다.

[31] 도 8은 본 발명의 실시예에 따른 실험결과이다.

발명의 실시를 위한 형태

[32] 다음에 소개되는 실시 예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

[33] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이다. 또한, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[34] 본 발명의 실시 예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시 예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[35] 공간적으로 상대적인 용어인 "아래(under, below, beneath)", "하부 (lower)", "위(on, above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해 되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함 할 수 있다.

[36] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다 (comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[37] 도 1은 본 발명의 실시예에 따른 조명 시스템의 블록도이고, 도 2는 본 발명의 실시예에 따른 전원 장치의 블록도이다.

[38] 도 1을 참조하면, 본 발명의 실시예에 따른 조명 시스템(10)은 단말 장치(100)를 포함할 수 있다. 단말 장치(100)는 시간, 온도, 습도 등의 환경 조건에 맞추어 복수의 조명 장치에 대한 제어 정보를 DALI 마스터(300)에 송신 혹은 DALI 마스터(300)로부터 수신할 수 있다. 또한, 단말 장치(100)는 사용자가 직접 설정하거나 입력하는 제어 정보를 DALI 마스터(300)에 송신할 수 있다. 보다 구체적으로, 단말 장치(100)는 DALI 마스터(300)에 제어정보를 제공하기 위하여 DALI 송신 신호(DALI Tx Signal)를 전원 장치(200)에 제공할 수 있다. 또한, 단말

장치(100)는 DALI 마스터(300)에서 생성된 DALI 신호(DALI Signal)를 전원 장치(200)를 통하여 DALI 수신 신호(DALI Rx Signal) 형태로 제공받을 수 있다. 단말 장치(100)는 서버 혹은 PC 등이 될 수 있다.

[39] 본 발명의 실시예에 따른 조명 시스템(10)은 DALI 마스터(300)를 포함할 수 있다. DALI 마스터(300)는 단말 장치(100)에서 제공된 제어정보를 DALI 통신 모듈을 구비한 조명장치(미도시)에 제공할 수 있다. DALI 마스터(300)는 직접 혹은 복수의 DALI 슬레이브(미도시)를 이용하여 제어정보를 조명장치(미도시)에 전송할 수 있다. 보다 구체적으로, DALI 마스터(300)는 조명장치(미도시)의 제어정보를 포함한 DALI 신호(DALI Signal)를 전원 장치(200)에서 제공받을 수 있다. DALI 마스터(300)는 제공받은 DALI 신호(DALI Signal)을 이용하여 조명장치(미도시)를 제어할 수 있는 제어신호를 제공할 수 있다.

[40] 또한, DALI 마스터(300)는 제품에 따라 전압 및 전류 조건이 다양할 수 있다. 예를 들어, DALI 마스터(300)의 전압 조건은 9.5V에서 22.5V일 수 있다. DALI 마스터(300)의 전류 조건은 8mA에서 250mA일 수 있다. 따라서, DALI 마스터(300)는 전압 및 전류 조건이 다양할 수 있다.

[41] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 조명 시스템(10)은 전원 장치(200)를 포함할 수 있다. 전원 장치(200)는 단말장치(100)의 제어 신호를 DALI 규격에 적합한 DALI 신호(DALI Signal)로 생성하여 DALI 마스터부(300)에 제공할 수 있다. 보다 구체적으로, 전원 장치(200)는 마이크로 컨트롤러(210)를 포함할 수 있다. 마이크로 컨트롤러(210)는 단말장치(100)에 의한 제어 정보에 따라 DALI 송신 신호(DALI Tx Signal)을 생성할 수 있다. 전원 장치(200)는 DALI 인터페이스(220)를 포함할 수 있다. DALI 인터페이스(220)는 DALI 송신 신호(DALI Tx Signal)를 이용하여 DALI 신호(DALI Signal)를 DALI 마스터(300)에 제공할 수 있다. 또한, DALI 인터페이스(220)는 DALI 마스터(300)에서 제공되는 DALI 신호(DALI Signal)를 이용하여 DALI 수신 신호(DALI Rx Signal)을 생성하여 단말 장치(100)에 제공할 수 있다.

[42] 본 발명의 실시예에 따른 DALI 인터페이스(220)는 DALI 마스터(300)의 다양한 전압 및 전류 조건에서도 DALI 규격에 적합한 DALI 신호(DALI Signal)를 생성할 수 있다. 또한, 본 발명의 실시 예에 따른 DALI 인터페이스(220)는 DALI 인터페이스의 부품에 특성 편차가 있어도 DALI 규격에 적합한 DALI 신호(DALI Signal)를 생성할 수 있다. 또한, 본 발명의 실시 예에 따른 DALI 인터페이스(220)는 DALI 신호(DALI Signal)의 파형 특성을 조절할 수 있다.

[43] 도 3은 본 발명의 실시예에 따른 DALI 인터페이스의 회로도이다.

[44] 도 3을 참조하면, 본 발명의 실시예에 따른 DALI 인터페이스(220)는 제1 제한회로부(221)를 포함할 수 있다. 제1 제한회로부(221)는 DALI 송신 신호(DALI Rx Signal) 또는 DALI 수신 신호(Tx Signal)에 기초하여 제한 전류를 게이트 드라이브 회로부(222)에 제공할 수 있다.

[45] 또한, 제1 제한회로부(221)는 마이크로 컨트롤러(210)에 의해 입력되는 DALI 송신 신호(DALI Tx Signal)을 수신하는 제1 포토커플러(PC1)를 포함할 수 있다. 제1 포토커플러(PC1)는 애노드 전극과 캐소드 전극이 마이크로 컨트롤러(210)와 연결될 수 있다. 제1 포토커플러(PC1)는 컬렉터 전극이 제1 평활 캐패시터(C1)의 일단 및 제1 다이오드(D1)의 캐소드 전극과 연결될 수 있다. 제1 포토커플러(PC1)는 이미터 전극이 게이트 드라이브 회로부(222)의 제너 다이오드(ZD1)의 캐소드 전극과 연결될 수 있다. 제1 제한회로부(221)는 제1 평활 캐패시터(C1)를 포함할 수 있다. 제1 평활 캐패시터(C1)의 타단은 제1 접지전극(GND1)과 연결될 수 있다. 제1 제한회로부(221)는 제1 다이오드(D1)를 포함할 수 있다. 제1 다이오드(D1)의 애노드 전극은 제5 저항(R5) 일단 및 정류부(224)와 연결될 수 있다.

[46] 본 발명의 실시예에 따른 DALI 인터페이스(220)는 게이트 드라이브 회로부(222)를 포함할 수 있다. 게이트 드라이브 회로부(222)는 DALI 송신 신호(DALI Tx Signal)에 의해 제어될 수 있다. 게이트 드라이브 회로부(222)는 제1 제한회로부(221)의 제한된 전류를 이용하여 드레인-소스 전압(Vds)을 생성할 수 있다. 게이트 드라이브 회로부(222)의 드레인-소스 전압(Vds)은 DALI 규약에 적합한 DALI 신호(DALI Signal)을 생성할 수 있도록 한다.

[47] 또한, 게이트 드라이브 회로부(222)는 제너 다이오드(ZD1)를 포함할 수 있다. 제너 다이오드(ZD1)는 게이트 드라이브 회로부(222)에 입력되는 입력전압(V_{ZD1})의 최대치를 일정하게 유지시킬 수 있다. 따라서, 제너 다이오드(ZD1)는 넓은 범위의 DALI 마스터(300)의 공급전압이 제공되더라도 혹은 제1 포터 커플러(PC1)의 부품 편차가 발생하더라도 게이트 드라이브 회로부(222)가 일정한 입력조건하에서 동작하도록 한다. 제너 다이오드(ZD1)는 캐소드 전극이 제1 저항(R1), 제2 저항(R2) 및 제1 포토 커플러(PC1)의 이미터 전극과 연결될 수 있다. 또한, 제너 다이오드(ZD1)는 애노드 전극이 제1 저항(R1), 제3 저항(R3), 제4 저항(R4) 및 제1 트랜지스터(Q1)의 콜렉터 전극과 연결될 수 있다. 또한, 게이트 드라이브 회로부(222)는 제1 저항(R1)을 포함할 수 있다. 제1 저항(R1)은 제너 다이오드(ZD1)와 병렬로 연결될 수 있다. 즉, 제1 저항(R1)은 일단이 제너 다이오드(ZD1)의 캐소드 전극과 연결되고, 타단이 제너 다이오드(ZD1)의 애노드 전극과 연결될 수 있다. 게이트 드라이브 회로부(222)는 제2 저항(R2)을 포함할 수 있다. 제2 저항(R2)의 일단은 제1 저항, 제너 다이오드(ZD1)의 캐소드 전극 및 제1 포토커플러(PC1)의 이미터 전극과 연결될 수 있다. 제2 저항(R2)의 타단은 제2 다이오드(D2)의 애노드 전극 및 제1 트랜지스터(Q1)의 베이스 전극과 연결될 수 있다. 게이트 드라이브 회로부(222)는 제2 다이오드(D2)를 포함할 수 있다. 제2 다이오드(D2)는, 애노드 전극이 제2 저항(R2)의 타단, 제1 트랜지스터(Q1)의 베이스 전극과 연결될 수 있다. 제2 다이오드(D2)는 캐소드 전극이 제1 트랜지스터(Q1)의 이미터 전극, 제2 트랜지스터(Q2)의 게이트 전극,

병렬 캐패시터(C2)의 일단 및 제4 저항(R4)의 일단과 연결될 수 있다. 게이트 드라이브 회로부(222)는 제1 트랜지스터(Q1)를 포함할 수 있다. 제1 트랜지스터(Q1)는 BJT(Bipolar Junction Transistor)일 수 있고, 이에 제한되는 것은 아니다. 제1 트랜지스터(Q1)는 PNP형일 수 있고, 이에 제한되는 것은 아니다. 제1 트랜지스터(Q1)는 베이스 전극이 제2 저항(R2)의 타단 및 제2 다이오드(D2)의 애노드 전극과 연결될 수 있다. 제1 트랜지스터(Q1)는 이미터 전극이 제2 다이오드(D2)의 캐소드 전극, 병렬 캐패시터(C2)의 일단, 제4 저항(R4)의 일단 및 제2 트랜지스터(Q2)의 게이트 전극과 연결될 수 있다. 제1 트랜지스터(Q1)는 콜렉터 전극이 제3 저항(R3)의 일단과 연결될 수 있다. 게이트 드라이브 회로부(222)는 제3 저항(R3)을 포함할 수 있다. 제3 저항(R3)은, 일단이 제1 트랜지스터(Q1)의 콜렉터 전극에 연결되고, 타단이 제1 접지전극(GND1)과 연결될 수 있다. 게이트 드라이브 회로부(222)는 제4 저항(R4)을 포함할 수 있다. 제4 저항(R4)는 일단이 제2 트랜지스터(Q2)의 게이트 전극, 병렬 캐패시터(C2)의 일단, 제1 트랜지스터(Q1)의 이미터 전극 및 제2 다이오드(D2)의 캐소드 전극에 연결될 수 있다. 게이트 드라이브 회로부(222)는 제2 트랜지스터(Q2)를 포함할 수 있다. 제2 트랜지스터(Q2)는 MOSFET(Metal Oxide Silicon Field Effect Transistor)일 수 있고, 이에 제한되는 것은 아니다. 제2 트랜지스터(Q2)는 PMOS형일 수 있고, 이에 제한되는 것은 아니다. 제2 트랜지스터(Q2)는 게이트 전극이 제2 다이오드(D2)의 캐소드 전극, 제1 트랜지스터(Q1)의 이미터 전극, 제4 저항(R4)의 일단 및 병렬 캐패시터(C2)의 일단과 연결될 수 있다. 제2 트랜지스터(Q2)는 드레인 전극이 제5 저항(R5)의 타단과 연결될 수 있다. 제2 트랜지스터(Q2)는 소스 전극이 제1 접지전극(GND1)과 연결될 수 있다. 게이트 드라이브 회로부(222)는 병렬 캐패시터(C2)를 포함할 수 있다. 병렬 캐패시터(C2)는 제2 트랜지스터(Q2)의 게이트 전극 및 드레인 전극에 병렬로 연결될 수 있다. 병렬 캐패시터(C2)는 일단이 제2 트랜지스터(Q2)의 게이트 전극, 제4 저항(R4)의 일단, 제1 트랜지스터(Q1)의 이미터 전극) 및 제2 다이오드(D2)의 캐소드 전극에 연결될 수 있다. 병렬 캐패시터(C2)는 타단이 제2 트랜지스터(Q2)의 드레인 전극 및 제5 저항(R5)의 타단과 연결될 수 있다.

[48] 본 발명의 실시예에 따른 DALI 인터페이스(220)는 제2 제한회로부(223)를 포함할 수 있다. 제2 제한회로부(223)는 전류제한 회로일 수 있다. 제2 제한 회로부(223)는 다양한 DALI 마스터 조건에 의한 전류를 DALI 수신 신호(DALI Rx Signal)을 생성하는데 적합하도록 제한할 수 있다.

[49] 본 발명의 실시예에 따른 DALI 인터페이스(220)는 제5 저항(R5)를 포함할 수 있다. 제5 저항(R5)은 게이트 드라이브 회로부(222)에서 생성된 드레인-소스 전압(Vds)을 정류부(224)에 제공할 수 있다.

[50] 본 발명의 실시예에 따른 DALI 인터페이스(220)는 제2 평활 캐패시터(C3)를 포함할 수 있다. 제2 평활 캐패시터(C3)는 정류부(224)로부터 입력된 전류를 평활하는데 이용될 수 있다.

[51] 본 발명의 실시예에 따른 DALI 인터페이스(220)는 정류부(224)를 포함할 수 있다. 정류부(224)는 드레인-소스 전압(Vds)에 기초하여 DALI 마스터(300)에 DALI 신호(DALI Signal)를 제공할 수 있다. 정류부(224)는 풀 브릿지(Full Bridge) 다이오드 혹은 하프 브릿지(Half Bridge) 다이오드로 구성될 수 있다.

[52] 본 발명의 실시예에 따른 DALI 인터페이스(220)는 마이크로 컨트롤러(210)에 DALI 수신 신호(DALI Rx Signal)를 송신하는 제2 포토커플러(PC2)를 포함할 수 있다.

[53] 도 4는 본 발명의 실시예에 따른 DALI 인터페이스의 제1 제한회로부를 설명하기 위한 회로도이다.

[54] 도 4를 참조하면, DALI 인터페이스(220)는 하이(High) 레벨의 DALI 송신 신호(DALI Tx Signal)와 하이(High) 레벨의 DALI 수신 신호(DALI Rx Signal)를 입력 받을 수 있다. 이 경우, 제1 제한회로부(221)의 제1 평활 캐패시터(C1)는 제1 다이오드(D1)를 통해 전류를 공급받을 수 있다. 제1 평활 캐패시터(C1)는 DALI 마스터에서 제공되는 피크치인 DALI신호 최대전압(V_{DALI_max})에서 제1 포토 커플러(PC1)의 구동전압(Vf)을 감한 만큼 충전될 수 있다. 제1 포토 커플러(PC1)는 구동전압(Vf)이 1V이하이므로 오프(off) 상태를 유지할 수 있다.

[55] DALI 인터페이스(220)는 하이(High) 레벨의 DALI 송신 신호(DALI Tx Signal)와 로우(Low) 레벨의 DALI 수신 신호(DALI Rx Signal)를 입력 받을 수 있다. 이 경우, 제1 다이오드(D1)는 오프(off)될 수 있다. 제1 평활 캐패시터(C1)는 추가적인 충전 또는 방전이 없이 이전 상태를 유지할 수 있다. 제1 포토 커플러(PC1)는 구동전압(Vf)이 1V이하이므로 오프(off) 상태를 유지할 수 있다.

[56] DALI 인터페이스(220)는 로우(Low) 레벨의 DALI 송신 신호(DALI Tx Signal)와 하이(High) 레벨의 DALI 수신 신호(DALI Rx Signal)를 입력 받을 수 있다. 이 경우, 제1 다이오드(D1)는 오프(off)될 수 있다. 제1 평활 캐패시터(C1)는 방전하여 충전 전압이 하강할 수 있다. 제1 포토 커플러(PC1)는 애노드 전극에 입력 전류인 구동 전류(If)가 흐를 수 있다. 제1 포토 커플러(PC1)는 컬렉터 전극에 제한 전류(I_{C_PC1})가 흐를 수 있다. 제한 전류(I_{C_PC1})는 If*CTR(Current Transfer Ratio)로 제한 될 수 있다.

[57] 도 5는 본 발명의 실시예에 따른 DALI 인터페이스의 게이트 드라이브 회로를 설명하기 위한 회로도이고, 도 6은 본 발명의 실시예에 따른 DALI 인터페이스의 제2 트랜지스터에 관한 특성을 설명하는 파형도이다.

[58] <제1 구간: T1>

[59] 도 5 및 도 6을 참조하면, 제1 구간(T1)은 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 0V에서 제2 트랜지스터(Q2)의 문턱전압(Vth)까지 상승하는 구간일 수 있다. 보다 구체적으로, DALI 송신 신호(DALI Tx Signal)가 하이(High)레벨에서 로우(Low) 레벨로 바뀌면 제1 포토 커플러(PC1)의 제한 전류(I_{C_PC1})는 제2 저항(R2)과 제2 다이오드(D2)를 통해 제2 트랜지스터(Q2)의

게이트 전극으로 공급될 수 있다. 제2 트랜지스터(Q2)의 게이트-소스전압(Vgs)은 제한 전류(I_{C_PC1})에 의해 상승할 수 있다. 제2 트랜지스터(Q2)의 드레인-소스전압(Vds)은 제2 트랜지스터(Q2)가 턴온(turn-on)되기 전이므로 DALI 마스터(300)의 최대공급 전압에 따른 드레인 최대전압(Vds_max)일 수 있다. 또한, 제2 트랜지스터(Q2)의 드레인 전류(Id)는 제2 트랜지스터(Q2)가 턴온(turn-on)되기 전이므로 0A일 수 있다. 제1 구간(T1)은 제2 저항(R2)의 값에 의해 조절될 수 있다.

[60] <제2 구간: T2>

[61] 제2 구간(T2)은 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 문턱전압(Vth)에서 제2 트랜지스터(Q2)의 밀러전압(Vmiller)까지 상승하는 구간일 수 있다. 보다 구체적으로, 제2 트랜지스터(Q2)는 문턱전압(Vth)에 도달하여 턴온(turn-on)되고, 드레인-소스의 채널이 형성될 수 있다. 제2 트랜지스터(Q2)의 드레인 전류(Id)는 게이트-소스 전압(Vgs)이 증가함에 따라 0A에서 증가할 수 있다. 제2 트랜지스터(Q2)의 드레인 전류(Id)가 DALI 마스터(300)의 최대공급 전류에 따른 드레인 최대전류(Id_max)까지 도달하면 MOSFET의 특성에 의해 밀러(Miller)효과가 발생하여 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)은 밀러전압(Vmiller)으로 고정될 수 있다. 제2 구간(T2)은 제2 저항(R2)의 값에 의해 조절될 수 있다.

[62] <제3 구간: T3>

[63] 제3 구간(T3)은 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 밀러전압(Vmiller)으로 유지되는 구간일 수 있다. 보다 구체적으로, 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)이 드레인 최대전압(Vds_max)에서 0V로 하강할 수 있다. 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)이 낮아짐에 따라 병렬 캐새피터(C2)에 충전된 에너지가 방전하고, 제2 다이오드(D2)에 유입된 전류의 대부분이 병렬 캐패시터(C2)로 흐를 수 있다. 이에, 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)은 밀러전압(Vmiller)으로 유지할 수 있다. 제3 구간(T3)은 병렬 캐패시터(C2) 또는 제2 저항(R2)의 값에 의해 조절될 수 있다. 즉, 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)의 하강 기울기는 병렬 캐패시터(C2) 또는 제2 저항(R2)의 값에 의해 조절될 수 있다. 따라서, 본 발명에 따른 DALI 인터페이스(220)는 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)의 하강 기울기를 조절하여 DALI 신호(DALI Signal)의 폴링 타임(falling time)을 조절할 수 있다.

[64] <제4 구간: T4>

[65] 제4 구간(T4)은 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 밀러전압(Vmiller)에서 게이트 최대전압(Vgs_max)까지 상승할 수 있다. 제2 트랜지스터(Q2)의 드레인 전류(Id)은 드레인 최대전류(Id_max) 값으로 유지할 수 있다. 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)은 드레인

최대전류(Id_max)*제2 트랜지스터의 구동저항(Rds_on) 값으로 유지할 수 있다. 게이트 최대전압(Vgs_max)는 제너다이오드(ZD1)의 특성, 제2 저항(R2) 또는 제4 저항(R4)의 값에 의해 결정될 수 있다. 제4 구간(T4)은 제2 저항(R2)의 값에 의해 조절될 수 있다.

[66] <제5 구간: T5>

[67] 제5 구간(T5)은 제2 트랜지스터(Q2)가 완전히 턴온(turn-on)된 구간일 수 있다. 제2 트랜지스터(Q2)의 드레인 전류(Id)은 드레인 최대전류(Id_max) 값으로 유지할 수 있다. 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)은 드레인 최대전류(Id_max)*제2 트랜지스터의 구동저항(Rds_on) 값으로 유지할 수 있다.

[68] <제6 구간: T6>

[69] 제6 구간(T6)은 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 게이트 최대전압(Vgs_max)에서 밀러전압(Vmiller)까지 하강할 수 있다. 보다 구체적으로, DALI 송신 신호(DALI Tx Signal)가 로우(Low)레벨에서 하이(High) 레벨로 바뀌면 제1 포토 커플러(PC1)의 제한 전류(I_{C_PC1})는 빠르게 감소하여 제1 저항(R1)의 양단에 걸리는 전압(V_{R1})이 감소할 수 있다. 이에, 제1 트랜지스터(Q1)는 턴온(turn-on)되어 제2 트랜지스터의 게이트-소스전압(Vgs)을 하강시킬 수 있다. 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 게이트 최대전압(Vgs_max)에서 밀러전압(Vmiller)까지 하강하더라도 제2 트랜지스터(Q2)의 드레인 전류(Id)와 드레인-소스 전압(Vds)은 이전 상태 값을 유지할 수 있다. 즉, 제2 트랜지스터(Q2)의 드레인 전류(Id)은 드레인 최대전류(Id_max) 값으로 유지할 수 있다. 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)은 드레인 최대전류(Id_max)*제2 트랜지스터의 구동저항(Rds_on) 값으로 유지할 수 있다. 제6 구간(T6)은 제1 트랜지스터(Q1)의 베이스 전극에 흐르는 전류 또는 제3 저항(R3)의 값에 의해 조절될 수 있다.

[70] <제7 구간: T7>

[71] 제7 구간(T7)은 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 밀러전압(Vmiller)으로 유지되는 구간일 수 있다. 보다 구체적으로, 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)은 드레인 최대전류(Id_max)*제2 트랜지스터의 구동저항(Rds_on) 값에서 드레인 최대전압(Vds_max)로 상승할 수 있다. 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)가 높아짐에 따라 병렬 캐새피터(C2)에 에너지가 충전되면서, 동시에 병렬 캐패시터(C2)에 흐르는 전류가 제1 트랜지스터(Q1)를 통해 흐를 수 있다. 이에, 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)은 밀러전압(Vmiller)으로 유지할 수 있다. 제7 구간(T7)은 병렬 캐패시터(C2) 또는 제3 저항(R3)의 값에 의해 조절될 수 있다. 즉, 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)의 상승 기울기는 병렬 캐패시터(C2) 또는 제3 저항(R3)의 값에 의해 조절될 수 있다. 따라서, 본 발명에 따른 DALI 인터페이스(220)는 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)의 상승

기울기를 조절하여 DALI 신호(DALI Signal)의 라이징 타임(rising time)을 조절할 수 있다.

[72] <제8 구간: T8>

[73] 제8 구간(T8)은 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 밀러전압(Vmiller)에서 문턱전압(Vth)으로 하강하는 구간일 수 있다. 보다 구체적으로, 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 문턱전압(Vth)에 도달하여 턴오프(trun-off)되고, 드레인-소스 채널이 소멸될 수 있다. 제2 트랜지스터(Q2)의 드레인 전류(Id)는 게이트-소스 전압(Vgs)이 감소함에 따라 0A까지 감소할 수 있다. 제 8구간(T8)은 제1 트랜지스터(Q1)의 베이스 전극에 흐르는 전류 또는 제3 저항(R3)의 값에 의해 조절될 수 있다.

[74] <제9 구간: T9>

[75] 제9 구간(T9)은 제2 트랜지스터(Q2)의 게이트-소스 전압(Vgs)이 문턱전압(Vth)에서 0V로 하강하는 구간일 수 있다. 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)과 드레인 전류(Id)는 제2 트랜지스터(Q2)가 턴오프(trun-off)상태이므로 이전 상태 값을 유지할 수 있다. 즉 제2 트랜지스터(Q2)의 드레인-소스 전압(Vds)은 드레인 최대전압(Vds_max)이고, 드레인 전류(Id)는 0A일 수 있다. 제9 구간(T9)은 제1 트랜지스터(Q1)의 베이스 전극에 흐르는 전류 또는 제3 저항(R3)의 값에 의해 조절될 수 있다.

[76] 따라서, 본 발명의 실시예에 따른 DALI 인터페이스(220)는 다양한 범위의 DALI 마스터(300)의 공급전압이 제공되더라도 게이트 드라이브 회로부(222)의 구성의 소자 값을 변경하여 DALI 규격에 적합한 DALI 신호(DALI Signal)를 생성할 수 있다. 또한, 본 발명의 실시예에 따른 DALI 인터페이스(220)는 제1 포터 커플러(PC1)의 부품 편차가 발생하더라도 게이트 드라이브 회로부(222)의 구성의 소자 값을 변경하여 DALI 규격에 적합한 DALI 신호(DALI Signal)를 생성할 수 있다. 즉, 본 발명의 실시 예에 따른 DALI 인터페이스(220)는 DALI 규격에 적합하도록 DALI 신호(DALI Signal)의 라이징 타임(rising time), 폴링 타임(falling time), 로우 펄스폭(low-pulse width)등의 파형 특성을 조절할 수 있다.

[77] 도 7은 DALI 규약에 따른 DALI 신호의 표준 파형도이고, 도 8은 본 발명의 실시예에 따른 실험결과이다.

[78] 도 7을 참조하면, DALI 신호(DALI Signal)은 표준규격에 따른 파형 특성을 만족해야 한다. DALI 신호(DALI Signal)는 폴링 타임(falling time)이 3μs에서 25μs이어야 한다. DALI 신호(DALI Signal)는 라이징 타임(rising time)이 3μs에서 25μs이어야 한다. DALI 신호(DALI Signal)는 로우 펄스폭(low-pulse width)이 416μs이며 오차범위는 20%내외여야 한다.

[79] 도 8을 참조하면, 본 발명의 DALI 인터페이스(220)를 이용하여 DALI 마스터(300)의 다른 조건에서 DALI 규격에 적합한 DALI 신호(DALI Signal)을 생성한 실험결과이다.

[80] 제1 실험의 경우, DALI 마스터(300)의 조건은 DALI 전압(V_{DALI})이 17V의

최대치이고, DALI 전류(I_{DALI})가 250mA의 최대치를 갖는 경우이다. 본 발명의 DALI 인터페이스(220)는 제1 실험의 조건에서 16.6μs의 폴링 타임(falling time), 15.2μs의 라이징 타임(rising time), 424.6μs의 로우 펄스폭(low-pulse width)을 갖는 DALI 신호(DALI Signal)을 생성하였다. 따라서, 본 발명의 DALI 인터페이스(220)는 제1 실험의 조건에서 DALI 표준규격에 적합한 DALI 신호(DALI Signal)를 생성할 수 있다.

[81] 제2 실험의 경우, DALI 마스터(300)의 조건은 DALI 전압(V_{DALI})이 15V의 최대치이고, DALI 전류(I_{DALI})가 8mA의 최대치를 갖는 경우이다. 본 발명의 DALI 인터페이스(220)는 제2 실험의 조건에서 7.2μs의 폴링 타임(falling time), 19.8μs의 라이징 타임(rising time), 447.4μs의 로우 펄스폭(low-pulse width)을 갖는 DALI 신호(DALI Signal)을 생성하였다. 따라서, 본 발명의 DALI 인터페이스(220)는 제2 실험의 조건에서 DALI 표준규격에 적합한 DALI 신호(DALI Signal)를 생성할 수 있다.

[82] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시 적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.

[83] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

[청구항 1] DALI 송신 신호 및 DALI 수신 신호에 기초하여 제한 전류를 출력하는 제1 제한회로부; 및
상기 제한 전류에 기초하여 DALI 규격에 따른 DALI 신호를 생성하는데 이용되는 드레인-소스 전압을 생성하는 게이트 드라이브 회로부;를 포함하는 DALI 인터페이스.

[청구항 2] 제1 항에 있어서,
상기 게이트 드라이브 회로부는 상기 드레인-소스 전압을 생성하는 제1 트랜지스터를 포함하는 DALI 인터페이스.

[청구항 3] 제2 항에 있어서,
상기 게이트 드라이브 회로부는 제1 트랜지스터의 게이트 전극 및 드레인 전극에 연결되고 DALI 신호의 폴링 타임과 라이징 타임을 조절하는 병렬 캐패시터를 포함하는 DALI 인터페이스.

[청구항 4] 제2 항에 있어서,
상기 게이트 드라이브 회로부는 상기 제1 트랜지스터를 제어하는 제2 트랜지스터를 포함하는 DALI 인터페이스.

[청구항 5] 제1 항에 있어서,
상기 게이트 드라이브 회로부는 상기 제한된 전류에 관계없이 일정한 전압을 입력되도록 하는 제너 다이오드를 포함하는 DALI 인터페이스.

[청구항 6] 제1 항에 있어서,
상기 제1 제한회로부는 상기 DALI 송신 신호를 수신하는 포토커플러를 포함하는 DALI 인터페이스.

[청구항 7] 제1 항에 있어서,
상기 드레인-소스 전압에 기초하여 DALI 신호를 생성하는 정류부를 더 포함하는 DALI 인터페이스.

[청구항 8] 제7 항에 있어서,
상기 정류부로 입력되는 전류를 평활화하는 평활 캐패시터를 더 포함하는 DALI 인터페이스.

[청구항 9] 제1 포토 커플러, 상기 제1 포토 커플러의 컬렉터 전극에 캐소드 전극이 연결되는 제1 다이오드를 포함하는 제1 제한회로부;
상기 제1 포토 커플러의 이미터 전극에 캐소드 전극이 연결되는 제너 다이오드, 상기 제너 다이오드의 캐소드 전극에 애노드 전극이 연결되는 제2 다이오드, 상기 제2 다이오드의 캐소드 전극에 게이트 전극이 연결되고 상기 제1 다이오드의 애노드 전극에 드레인 전극이 연결되고 접지전극에 소스전극이 연결되는 제1 트랜지스터를 포함하는 게이트 드라이브 회로부;를 포함하는 DALI 인터페이스.

[청구항 10] 제9 항에 있어서,

상기 게이트 드라이브 회로부는 상기 제1 트랜지스터의 게이트 전극에 일단이 연결되고 상기 제1 트랜지스터의 드레인 전극에 타단이 연결되는 병렬 캐패시터를 포함하는 DALI 인터페이스.

[청구항 11] 제9 항에 있어서,
상기 게이트 드라이브 회로부는 상기 제2 다이오드의 애노드 전극에 베이스 전극이 연결되고 상기 제1 트랜지스터의 게이트 전극에 이미터 전극이 연결되고 상기 접지전극에 콜렉터 전극이 연결되는 제2 트랜지스터를 포함하는 DALI 인터페이스.

[청구항 12] 제9 항에 있어서,
상기 제1 제한회로부는 상기 제1 포토 커플러의 컬렉터 전극과 상기 제1 다이오드의 캐소드 전극에 일단이 연결되고 접지전극에 타단이 연결되는 제1 평활 캐패시터를 포함하는 DALI 인터페이스.

[청구항 13] 제9 항에 있어서,
상기 제1 다이오드의 애노드 전극과 연결되는 정류부를 더 포함하는 DALI 인터페이스.

[청구항 14] 제13 항에 있어서,
상기 정류부는 풀 브릿지 다이오드 또는 하프 브릿지 다이오드인 DALI 인터페이스.

[청구항 15] 제13 항에 있어서,
상기 정류부로 입력되는 전류를 평활화하는 제2 평활 캐패시터를 더 포함하는 DALI 인터페이스.

[청구항 16] 제9 항에 있어서,
제5 저항을 더 포함하고,
상기 제5 저항은 일단이 상기 제1 트랜지스터의 드레인 전극에 연결되고, 타단이 상기 제1 다이오드의 애노드 전극과 상기 정류부에 연결되는 DALI 인터페이스.

[청구항 17] DALI 송신 신호를 출력하고 DALI 수신 신호를 입력 받는 마이크로 컨트롤러;
DALI 규격에 따른 DALI 신호를 출력하며, 상기 DALI 송신 신호 및 상기 DALI 수신 신호에 기초하여 제한 전류를 출력하는 제1 제한회로부 및 상기 제한 전류에 기초하여 DALI 규격에 따른 DALI 신호를 생성하는데 이용되는 드레인-소스 전압을 생성하는 게이트 드라이브 회로부를 포함하는 DALI 인터페이스를 포함하는 전원장치.

[청구항 18] 제17 항에 있어서,
상기 게이트 드라이브 회로부는 상기 드레인-소스 전압을 생성하는 제1 트랜지스터를 포함하는 전원장치.

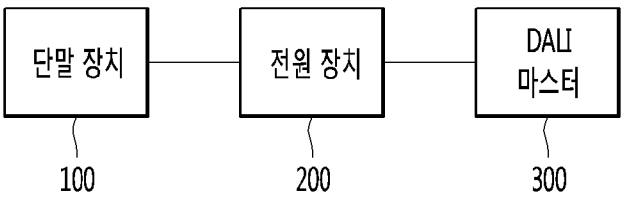
[청구항 19] 제18 항에 있어서,
상기 게이트 드라이브 회로부는 제1 트랜지스터의 게이트 전극 및 드레인

전극에 연결되고 DALI 신호의 폴링 타임과 라이징 타임을 조절하는 병렬 캐패시터를 포함하는 전원 장치.

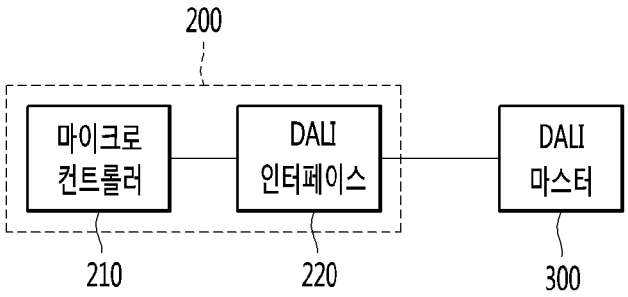
[청구항 20] 제2 항에 있어서,
상기 게이트 드라이브 회로부는 상기 제1 트랜지스터를 제어하는 제2 트랜지스터를 포함하는 전원장치.

[도1]

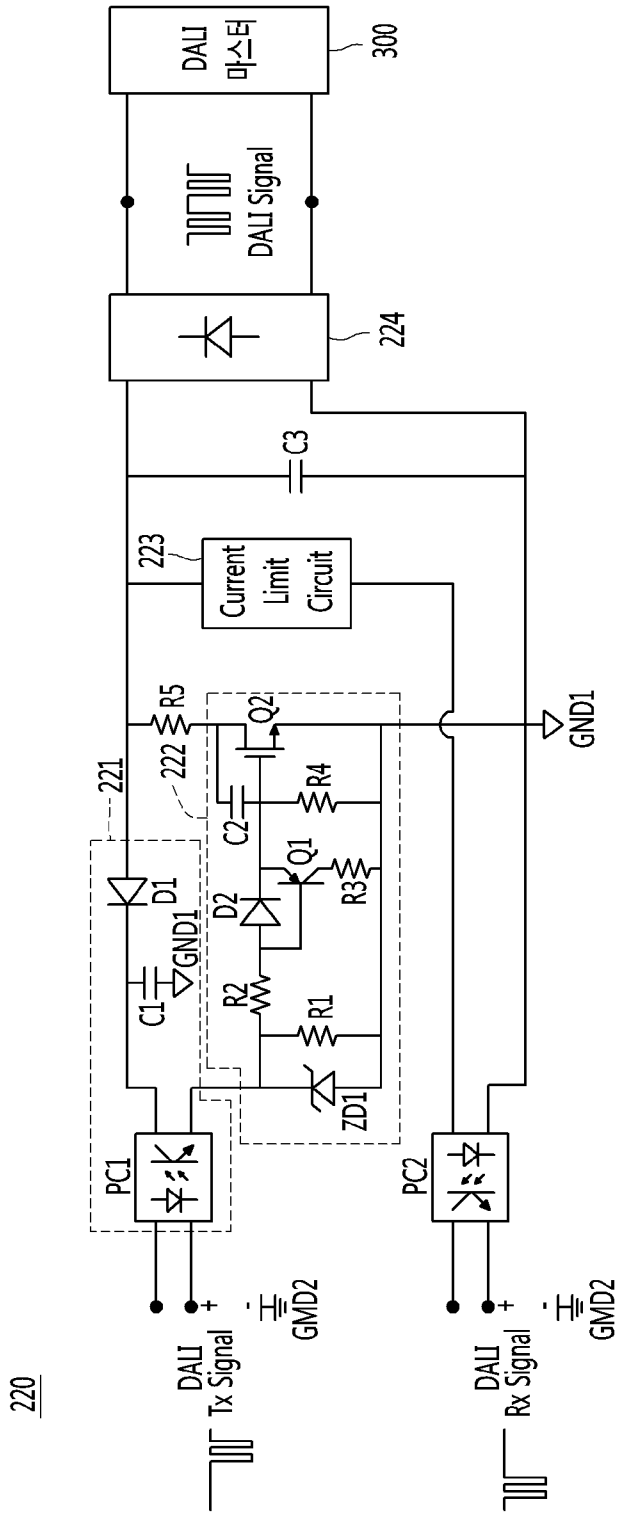
10


단말 장치
전원 장치
DALI
마스터
100
200
300

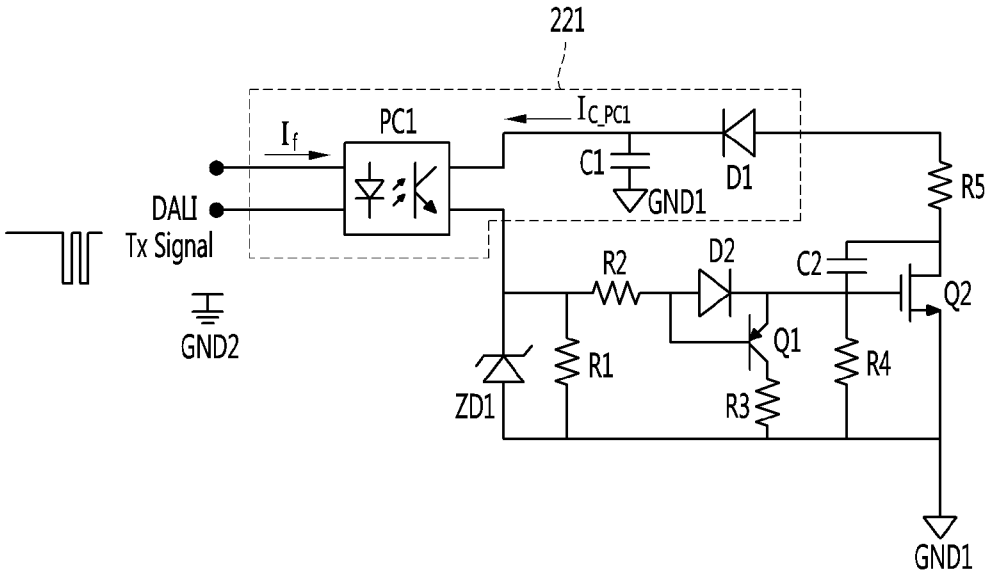
[도2]


200
마이크로
컨트롤러
DALI
인터페이스
DALI
마스터
210
220
300

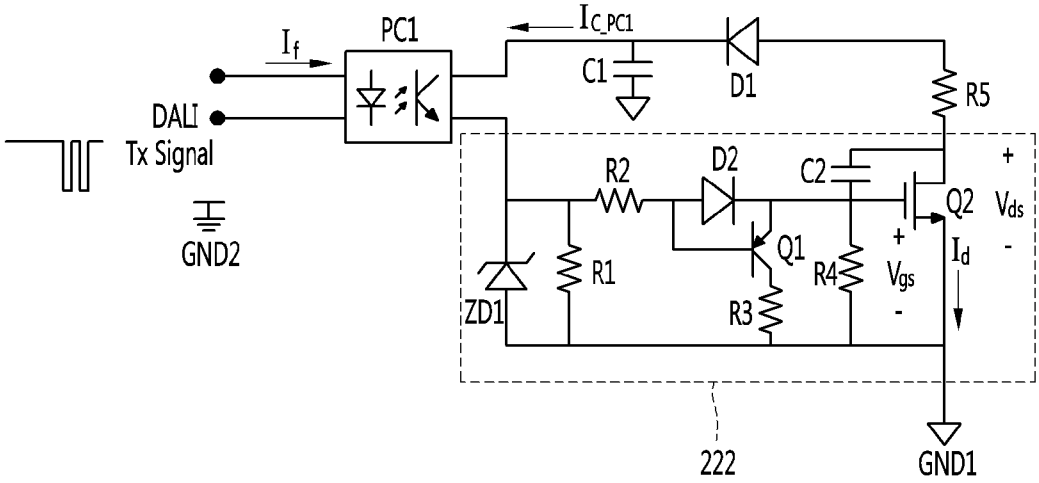
[도3]


DALI 마스터
300
DALI Signal
224
C3
223
Current Limit Circuit
R5
Q2
GND1
222
221
R4
C2
Q1
R3
D1
D2
GND1
C1
R2
R1
ZD1
PC1
PC2
DALI Tx Signal
GMD2
DALI Rx Signal
GMD2
220

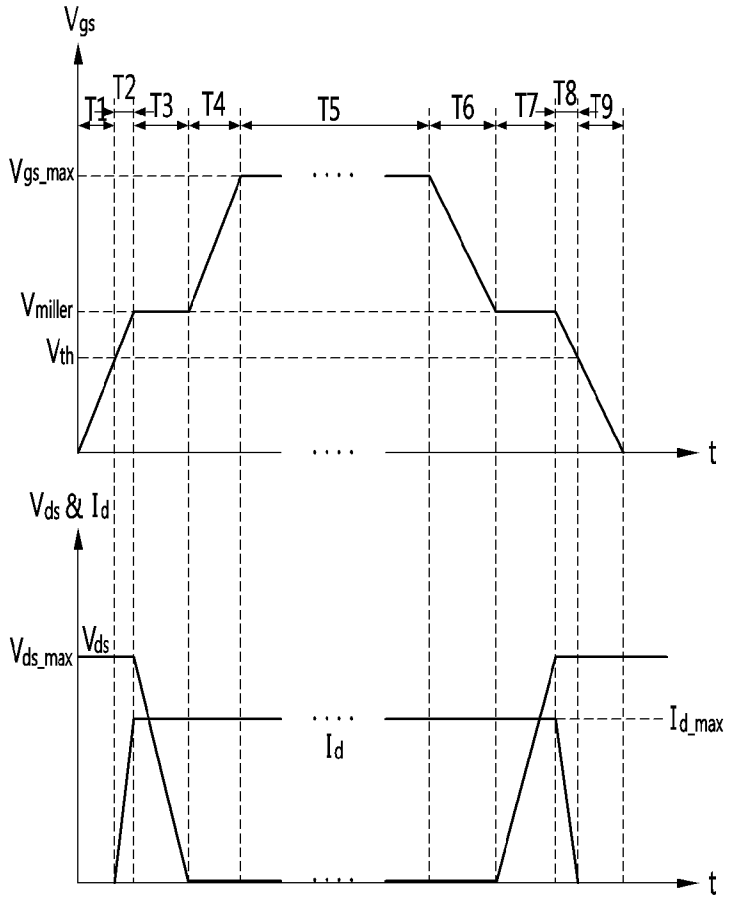
[도4]


221
PC1
I_f
I_{C_PC1}
C1
D1
R5
DALI
Tx Signal
GND1
R2
D2
C2
Q2
Q1
GND2
R1
R4
ZD1
R3
GND1

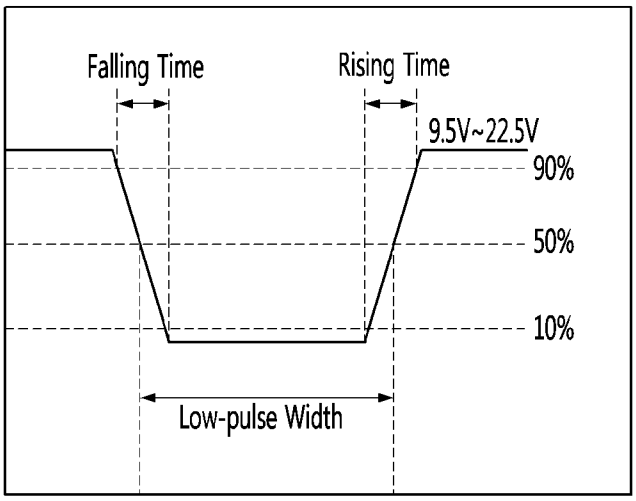
[도5]


PC1
I_f
I_{C_PC1}
C1
D1
R5
DALI
Tx Signal
R2
D2
C2
Q2
+
V_{ds}
-
Q1
I_d
GND2
R1
R4
+
V_{gs}
-
ZD1
R3
222
GND1

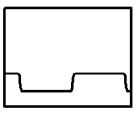
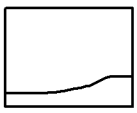
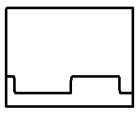
[도6]



[도7]



[도8]

DALI Master Condition	V_{DALI} = 17V, I_{DALI} = 250mA(max)			V_{DALI} = 15V, I_{DALI} = 8mA(max)		
Parameter	Falling time	Rising time	Low-Pulse Width	Falling time	Rising time	Low-Pulse Width
Standard	3us ~ 25us	3us ~ 25us	416us±20%	3us ~ 25us	3us ~ 25us	416us±20%
Result Value	16.6us	15.2us	424.6us	7.2us	19.8us	447.4us
Result Waveform						

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2017/005028

A. CLASSIFICATION OF SUBJECT MATTER

H04L 29/10(2006.01)i, H04L 29/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04L 29/10; G06F 15/16; H05B 37/02; H02H 3/20; G05B 19/18; H04L 29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS (KIPO internal) & Keywords: DALI, signal, control, transmission and reception, light, electric current, voltage, transistor, photocoupler, diode, capacitor, rectifying section

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010-0246082 A1 (CHITTA, Venkatesh et al.) 30 September 2010 See paragraphs [0024]-[0041]; and figures 1-3.	1-8,17-20
A		9-16
A	KR 10-2015-0145683 A (TOSHIBA LIGHTING & TECHNOLOGY CORPORATION) 30 December 2015 See paragraphs [0041]-[0051]; and figure 6.	1-20
A	KR 10-2010-0094421 A (OSRAM GMBH.) 26 August 2010 See paragraphs [0008]-[0044]; and figures 1-2.	1-20
A	US 2003-0036807 A1 (FOSLER, Ross M.) 20 February 2003 See paragraphs [0008]-[0012]; and figures 1-3.	1-20
A	WO 2014-060922 A2 (KONINKLIJKE PHILIPS N.V.) 24 April 2014 See paragraphs [0012]-[0038]; and figures 2-7.	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 AUGUST 2017 (23.08.2017)	**29 AUGUST 2017 (29.08.2017)**
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea Facsimile No. +82-42-481-8578	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2017/005028

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2010-0246082 A1	30/09/2010	CA 2684512 A1	30/10/2008
		CN 101663920 A	03/03/2010
		EP 2140734 A1	06/01/2010
		EP 2140734 B1	12/09/2012
		EP 2175697 A1	14/04/2010
		MX 2009011314 A	20/01/2010
		US 2008-0258551 A1	23/10/2008
		US 7764479 B2	27/07/2010
		US 7983012 B2	19/07/2011
		WO 2008-130840 A1	30/10/2008
KR 10-2015-0145683 A	30/12/2015	CN 105263211 A	20/01/2016
		JP 2016-009529 A	18/01/2016
		KR 10-2015-0145683 A	30/12/2015
KR 10-2010-0094421 A	26/08/2010	CN 101808449 A	18/08/2010
		DE 102009009535 A1	19/08/2010
		EP 2222135 A2	25/08/2010
		US 2010-0207539 A1	19/08/2010
US 2003-0036807 A1	20/02/2003	EP 1417868 A1	12/05/2004
		WO 03-017733 A1	27/02/2003
WO 2014-060922 A2	24/04/2014	CN 104704922 A	10/06/2015
		EP 2910092 A2	26/08/2015
		JP 2016-502304 A	21/01/2016
		US 2016-0174340 A1	16/06/2016
		US 9439270 B2	06/09/2016
		WO 2014-060922 A3	19/06/2014

국 제 조 사 보 고 서

국제출원번호
PCT/KR2017/005028

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H04L 29/10(2006.01)i, H04L 29/06(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H04L 29/10; G06F 15/16; H05B 37/02; H02H 3/20; G05B 19/18; H04L 29/06

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: DALI, 신호, 제어, 송수신, 조명, 전류, 전압, 트랜지스터, 포토커플러, 다이오드, 캐패시터, 정류부

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	US 2010-0246082 A1 (VENKATESH CHITTA 등) 2010.09.30 단락 [0024]-[0041]; 및 도면 1-3 참조.	1-8,17-20
A		9-16
A	KR 10-2015-0145683 A (도시바 라이텍쿠 가부시키가이샤) 2015.12.30 단락 [0041]-[0051]; 및 도면 6 참조.	1-20
A	KR 10-2010-0094421 A (오스람 게젤샤프트 미트 베쉬랭크터 하프퉁) 2010.08.26 단락 [0008]-[0044]; 및 도면 1-2 참조.	1-20
A	US 2003-0036807 A1 (ROSS M. FOSLER) 2003.02.20 단락 [0008]-[0012]; 및 도면 1-3 참조.	1-20
A	WO 2014-060922 A2 (KONINKLIJKE PHILIPS N.V.) 2014.04.24 단락 [0012]-[0038]; 및 도면 2-7 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2017년 08월 23일 (23.08.2017)	2017년 08월 29일 (29.08.2017)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
김성우
전화번호 +82-42-481-3348

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2017/005028

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2010-0246082 A1	2010/09/30	CA 2684512 A1	2008/10/30
		CN 101663920 A	2010/03/03
		EP 2140734 A1	2010/01/06
		EP 2140734 B1	2012/09/12
		EP 2175697 A1	2010/04/14
		MX 2009011314 A	2010/01/20
		US 2008-0258551 A1	2008/10/23
		US 7764479 B2	2010/07/27
		US 7983012 B2	2011/07/19
		WO 2008-130840 A1	2008/10/30
KR 10-2015-0145683 A	2015/12/30	CN 105263211 A	2016/01/20
		JP 2016-009529 A	2016/01/18
		KR 10-2015-0145683 A	2015/12/30
KR 10-2010-0094421 A	2010/08/26	CN 101808449 A	2010/08/18
		DE 102009009535 A1	2010/08/19
		EP 2222135 A2	2010/08/25
		US 2010-0207539 A1	2010/08/19
US 2003-0036807 A1	2003/02/20	EP 1417868 A1	2004/05/12
		WO 03-017733 A1	2003/02/27
WO 2014-060922 A2	2014/04/24	CN 104704922 A	2015/06/10
		EP 2910092 A2	2015/08/26
		JP 2016-502304 A	2016/01/21
		US 2016-0174340 A1	2016/06/16
		US 9439270 B2	2016/09/06
		WO 2014-060922 A3	2014/06/19