

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04L 12/56		(45) 공고일자 1999년06월 15일	
		(11) 등록번호 10-0197922	
		(24) 등록일자 1999년02월25일	
(21) 출원번호	10-1995-0701262	(65) 공개번호	특1995-0703826
(22) 출원일자	1995년04월01일	(43) 공개일자	1995년09월20일
번역문제출일자	1995년04월01일		
(86) 국제출원번호	PCT/US 94/07449	(87) 국제공개번호	WO 95/04421
(86) 국제출원일자	1994년06월27일	(87) 국제공개일자	1995년02월09일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독 일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 국내특허 : 오스트레일리아 브라질 캐나다 중국 대한민국		
(30) 우선권 주장	8/100403 1993년08월02일 미국(US)		
(73) 특허권자	모토로라 인크 안쏘니 제이. 샬리, 주니어		
(72) 발명자	미합중국 일리노이주 샤움버그 이스트 알콘 로드 1303 브크홀프 데일 알. 미합중국 60067 일리노이주 팔라틴 이스트 앤더슨 드라이브 1441 도스 윌리엄 케이. 미합중국 60102 일리노이주 레이크 인 더 힐즈 몬로 스트리트 1418 하밀턴 알. 리 주니어 미합중국 60067 일리노이주 팔라틴 스투어트 레인 430 화이트 리차드 이. 미합중국 60013 일리노이주 캐리 밀포드 스트리트 980 로빈스 카렌 미합중국 60047 일리노이주 레이크 주리히 노스 레이크우드 23913		
(74) 대리인	장수길, 주성민		

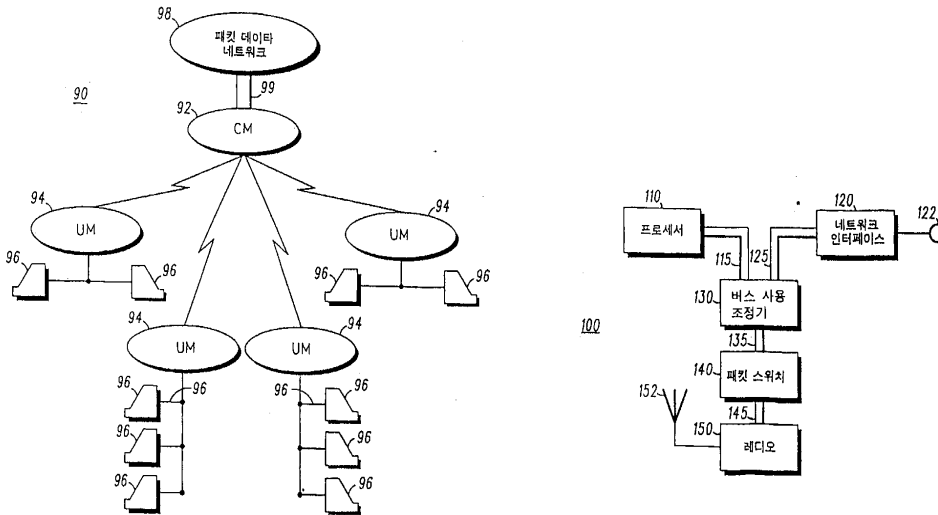
심사관 : 이상용

(54) 패킷 전송 시스템

요약

패킷 스위치(140)를 구비하는 패킷 수위칭 시스템(100)은 재조합을 필요로 하는 패킷(310)을 처리하는 동안의 총 시스템 처리량을 향상시키기 위해, 분할된 데이터 패킷(300)을 포함하는 모든 패킷 단편들(310)의 전송을 보장하도록 응답 확인 방식을 사용한다. 패킷 단편(310)이 소식, 변조 또는 그 밖에 수신 장치(92, 94)가 판독하지 못할 경우, 응답 확인 방식은 소실된 데이터를 재전송하는 방식이다. 게다가, 제2의 응답 확인 신호는 모든 재전송된 데이터의 성공적인 전송을 검증하기 위해 시스템 처리 자원(110)에 의해 스케줄된다.

대표도



명세서

[발명의 명칭]

패킷 전송 시스템

[발명의 상세한 설명]

본 특허 출원은 1992년 3월 23일자로 출원된 패킷 재조합 방법 및 장치란 명칭의 계류 미합중국 특허원 제07/856,276호에 관한 것이다.

[발명의 분야]

본 발명은 패킷으로 데이터를 전송하는 패킷 스위칭 시스템에 관한 것이며, 또한 일반적으로 보다 작은 패킷들로 분리(분할)된 데이터를 참조, 저장 및 재조합하여 다시 본래의 구성으로 복원시키는 방법 및 장치에 관한 것이다. 보다 구체적으로, 본 발명은 상기 분리(분할)된 패킷의 전송을 응답 확인하기 위한 방법 및 장치에 관한 것이다.

[발명의 배경]

패킷 데이터 네트워크는 정보를 패킷으로 하여 발신 장치로부터의 정보를 특정한 어드레스로 전달한다. 각각의 패킷은 전제부(제어 데이터) 및 정보(메시지 데이터)를 포함한다. 통상, 전제부는 패킷 네트워크 제어 데이터, 동기화 정보 그리고 어드레스 착신지 정보를 포함한다. 메시지 정보부는 발신 장치의 메시지를 포함한다.

이러한 발신 장치의 메시지를 포함하는 패킷은 항상 착신지 어드레스로 직접 전달되지는 않는다. 알려진 바와 같이, 이들 패킷들은 그들의 최종 착신지에 도달하기 전에 다수의 중간 중계국에 의해 중계될 수 있다. 패킷 네트워크의 전송 속도가 증가함에 따라, 중계국이 이들 정보 패킷을 효과적으로 처리할 수 있는 것이 점점 중요하게 된다.

때때로 발신 장치에 의해 발신된 데이터 패킷의 정보(메시지 데이터)부가 너무 방대하여 중간 중계국에서 사용하는 패킷의 메시지 데이터부에 맞지 않는다. 이러한 상황에서는 상기 중간국으로의 전송에 앞서 원래의 데이터 패킷을 N개의 단편(fragment)으로 분리시키지 않으면 안된다. 예를 들어, 다른 중계국 또는 착신 장치 등의 수신 장치가 수신할 때는 원래의 데이터 패킷을 재생성하기 위해 올바른 순서로 N개의 단편 각각을 재조합하지 않으면 안된다.

패킷 재조합 방법은 공지된 기술이다. 통상 이러한 방법들은 원래의 데이터 패킷의 재구성에 앞서, 올바르게 수신되었는지를 응답 확인하기 위해 수신 장치에 의해 수신된 각각의 분할된 패킷을 평가하고, 모든 단편들이 수신되었는지를 판단하며, 메모리에 각각의 단편을 저장하고, 그리고 수신된 단편들에 대응하는 새로운 단편들의 재구성(reformulate)하는데 시스템 처리 자원을 필요로 하는 프로세서 집약(processor intensive) 동작 방법이다. 이러한 방법은 패킷의 재구성 면에서 볼 때 매우 효과적이지만, 각각의 단편 및 모든 단편들을 수신시에 인터럽트되어야 하는 시스템 처리 자원이 요구된다. 시스템 처리 자원이 이미 과도하게 부과되어 있는 근거리 통신망(LAN) 등의 많은 응용 분야에서, 패킷 재조합과 연관된 향상된 프로세서의 요구 수준은 현재 사용할 수 있는 많은 프로세서 기술의 실제적인 한계를 초과할 수도 있다.

연속적인 프로세서의 관련성과 연관된 단점을 극복할 수 있는 패킷 재조합을 위한 또 다른 방법은 패킷 재조합 처리의 대부분이 패킷 재조합 하드웨어(예를 들면, 게이트 어레이 또는 응용 특수 집적 회로)에 의해 수행될 수 있다는 것을 제안하고 있는 상기 계류중인 미합중국 특허에 개시되어 있다. 이러한 방법에 따르면, 프로세서의 개입은 통상 원래의 데이터 패킷을 포함하는 제1 및 최종 단편의 수신시에만 요구된다. 이러한 방법은 시스템 처리 자원에 대한 요구를 최소화하지만, 분할된 패킷이 손실되거나, 변조 혹

은 그 밖의 경우로서 명료하지 못하여 소스로부터 재전송을 요구하는 경우 효과적인 패킷 재구성이 불가능할 수도 있다. 알 수 있는 바와 같이, 패킷 처리 동안의 프로세서의 관련성이 감소됨으로 인해, 다수의 패킷이 재전송을 필요로 한다는 것을 소스 장치에 통지할 때 비효율적일 수 있다.

따라서 패킷 데이터 네트워크에서 재조합을 필요로 하는 모든 분할된 패킷의 전송을 보장하고 상술한 단점을 해소할 수 있는 데이터 패킷 응답 확인을 위한 개선된 방법을 제공하는 것이 매우 유용할 것이다.

[도면의 간단한 설명]

제1a도는 본 발명에 따른 무선 주파수(RF) 패킷 전송 시스템을 나타내는 도면이다.

제1b도는 본 발명에 따른 예시적 패킷 스위칭 시스템의 블럭도이다.

제2도는 제1b도에 도시한 패킷 스위치의 블럭도이다.

제3도는 데이터 패킷 포맷 내의 정보와 이에 대응하는 전송 패킷 포맷 내에 포함되는 정보간의 관계를 나타내는 도면이다..

제4도는 제3도에 도시한 전송 패킷의 제어부에 포함되는 정보를 나타내는 도면이다.

제5도는 제4도에 도시되어 있는 패킷 헤더에 포함되는 정보를 도시한 도면이다.

제6도는 제4도에 도시한 재조합 헤더에 포함되는 정보를 도시한 도면이다.

제7도는 제6도에 도시한 패킷 재조합 헤더의 프로토콜 필드에 포함되는 정보를 도시한 도면이다.

제8도는 제2도의 패킷 재조합 하드웨어 제어 구조를 나타내는 다이어그램이다.

제9도는 제8도에 도시한 프레임 제어 블럭(Frame Control Block)의 구조를 도시한 도면이다.

제10도는 제8도에 도시한 패킷 제어 블럭의 포맷 및 내용을 나타내는 도면이다.

제11도는 본 발명에 따라 제10도에 도시한 인터럽트 제어 필드 내에 포함되는 정보를 나타내는 도면이다.

제12도는 본 발명에 따른 응답 확인 전송의 포맷 및 내용을 나타내는 도면이다.

제13도는 본 발명에 따른 전송을 위한 응답 확인 신호를 스케줄(schedule)하도록 시스템 프로세서에 의해 수행되는 단계를 플로우 차트로 나타낸 도면이다.

[발명의 요약]

간단히 설명하면, 본 발명은 재조합을 필요로 하는 분할된 패킷의 전송을 보장할 수 있는 패킷 데이터 네트워크에서 사용할 수 있는 방법 및 장치에 관한 것이다. 이러한 결과로서, 패킷 스위치는 복수의 분할된 패킷을 수신하기 위해 수신 장치를 사용한다. 분할된 재조합을 처리하기 위해 패킷 재조합 하드웨어가 사용된다. 패킷 단편들이 상실, 변조 또는 그 밖의 경우로서 명료하지 못하면, 패킷 스위치가 소스로부터 필요한 정보의 재전송을 요구하고 시스템 프로세서 인터럽트 플래그를 세트한다. 재전송된 단편들의 수신 시에는 수신된 정보를 처리하여 재전송된 데이터에 대한 다른 응답 확인 신호의 전송을 스케줄하도록 시스템 처리 자원이 인터럽트된다.

[양호한 실시예의 상세한 설명]

본 발명과 관련하여, 패킷 스위칭 시스템에서 처리하는 분할된 패킷과 연관된 이들 문제점은 분할된 데이터 패킷을 포함하는 모든 단편들의 전송을 보장하도록 응답 확인 방식(acknowledgement scheme)을 사용하는 본 발명에 의해 극복되지는 않더라도, 최소화된다. 따라서, 수신 장치로의 패킷 단편들이 상실, 변조 혹은 그 밖의 경우로서 명료하지 못한 경우에, 이러한 응답 확인 방법에 의해 소실된 데이터의 재전송을 할 수 있다. 게다가, 모든 재전송된 데이터의 성공적인 전송을 검증하기 위해 제2 응답 확인 신호가 시스템 처리 자원에 의해 스케줄된다.

본 발명은 무선 및 유선 패킷 전송 시스템의 분야에 응용될 수 있다. 제1도는 제어 모듈(CM:control module)(92)이 복수의 사용자 모듈(UM:user module)과 통신하기 위해 RF 통신 장치를 이용하는 근거리 통신망(LAN)을 포함하는 무선 주파수(RF) 패킷 전송 시스템(90)을 나타낸다. 양호한 실시예에 따라, CM(92) 및 UM(94)은 공지된 자원 할당 기술, 즉, 시 분할 다중 액세스(TDMA), 시 분할 멀티플렉싱(TDM), 캐리어 다중 액세스(CSMA) 및/또는 부호 분할 다중 액세스(CDMA) 중 임의의 것을 사용할 수 있지만 이에 제한되지 않는다. 각각의 UM(94)은 데이터 터미널, 퍼스널 컴퓨터 또는 다른 정보 입력/출력(I/O) 장치 등의 하나 이상의 사용자 장치(96)에 결합된다. CM(92)는 와이어 또는 광학 링크를 포함할 수도 있는 데이터 채널(99)에 의해 패킷 데이터 네트워크(98)에 접속된다.

CM(92)은 예시된 네트워크 내의 통신 장치를 제어하여 결합된 UM(94)을 통해 정보를 데이터 네트워크(98)로부터 사용자 장치(96)로 보낸다. 또한 CM(92)은 하나의 UM(94)으로부터 정보를 수신하여 다른 UM(94)으로 정보를 중계함으로써 로컬통신을 제어한다. 데이터 네트워크(98)는 이터네트 네트워크(Ethernet network), 토큰 링 네트워크(Token Ring Network), 또는 다른 공지된 데이터 네트워크 중 임의의 네트워크로 구성될 수 있다. CM(92)과 UM(94) 간에 전달되는 정보는 후술하는 바와 같이 패킷 형태로 된다.

제1b도는 제1a도의 패킷 전송 시스템 내에서 정보를 발신, 수신 및 중계(전송)할 수 있는 패킷 스위칭 장치(100)를 나타내는 블럭도이다. 본 발명에 따르면, 제1b도의 패킷 스위칭 장치(100)는 CM(92) 또는 UM(94)의 양호한 구성이다. 도시한 바와 같이, 각각의 패킷 스위칭 장치(100)는 중앙 프로세서(110), 네트워크 인터페이스 장치(120), 버스 사용 조정기(130;bus arbiter), 패킷 스위치(140) 그리고 안테나 소자(152)를 구비하는 레디오(150)를 포함한다. 중앙 프로세서(110) 및 네트워크 인터페이스 장치(120)는 각각 버스(115, 125)를 통해 버스 사용 조정기(130)에 접속되어 있는 것으로 도시되어 있다. 실제로, 중앙 프로세서(110)는 연관 임의 접근 메모리, 판독 전용 메모리, 제어 논리, 및 장치(100)의 동작을 지시하고 제어하기 위해 필요한 제어 논리 구동기를 포함한다.

네트워크 인터페이스 장치(120)는 터미널(122)을 통해 외부 정보 네트워크에 대한 스위치식 액세스를 제공한다. 제한된 의미로서가 아닌 예로서, 네트워크 인터페이스 장치(120)가 이터넷 근거리 통신망(LAN)에 대한 액세스를 제공하기 위한 이터넷 네트워크 인터페이스 장치라고 가정한다. 그러나, 알 수 있는 바와 같이, 장치(120)는 다른 패킷 네트워크 프로토콜에 의해 공급되는 데이터를 해석할 수 있는 다른 공지된 인터페이스 장치 중 임의의 장치를 포함할 수도 있다.

패킷 스위치(140)는 통신 버스(135) 및 버스 조정 회로(130)를 통해 프로세서(110) 및 네트워크 인터페이스 장치(120)에 접속된다. 설계에 의해, 버스 사용 조정기(130)는 프로세서(110)와 네트워크 인터페이스 장치(120) 간으로부터 패킷 스위치(140)에 대한 액세스를 중계하는데 사용됨으로써 네트워크 인터페이스 장치(120)를 통해 패킷 스위치(140)와 프로세서(110) 혹은 정보 네트워크 간의 데이터 패킷 전송을 용이하게 할 수 있다. 따라서, 버스 사용 조정기(130)는 이용 가능한 집적 회로 변환기, 레지스터 및 패킷 스위치(140)에 대한 액세스를 탐색하는, 버스(115, 125)로서 도시된 2개의 버스와 선택적인 통신을 위한 라인 구동기로 구성된다. 통신 버스(115, 125, 135)는 본 기술 분야에 사용되는 공지된 양-방향 통신 버스 중 임의의 버스를 포함할 수 있다.

적어도 하나의 안테나 소자(152)를 갖는 레디오(150)는 무선 주파수(RF) 채널을 통해 제1a도의 여러 패킷 스위칭 장치(100)으로부터 데이터를 통신하도록 패킷 스위치 버스(145)를 통해 패킷 스위치(140)에 결합된다. 패킷 스위치 버스(145)의 물리적 구조는 본 기술 분야에 알려져 있으므로 상세한 설명은 하지 않는다. 패킷 스위치(140)의 용도는 패킷 스위치 버스(145)를 통해 장치간에 패킷화된 데이터를 수신하고 전송하기 위한 것이다. 또한, 패킷 스위치(140)는 통신 버스(135), 버스 사용 조정기(130) 및 통신 버스(115)를 통해 중앙 프로세서(110)와 통신한다. 도시한 바에 의하면 패킷 스위치 버스(145)에 하나의 레디오만이 접속되어 있지만, 서로 다른 통신 네트워크를 패킷 스위치 버스에 결합시키는데 적합한 복수의 통신 장치가 사용될 수 있다. 예를 들면, 전화, T1 회로, ISDN 회로 등의 장치 및 다른 장치 그리고 네트워크가 패킷 스위치 버스(145) 그리고 궁극적으로 패킷 스위치(140)와의 접속이 적당하다.

상술한 바와 같이, 네트워크 인터페이스(120)에 접속되는 장치 등의 발신 장치에 의해 개시되는 데이터 패킷의 메시지 정보부가 너무 방대하여 레디오(150)에 의한 전송 패키지에 맞지 않을 때 본래의 정보는 RF 전송에 앞서 N개의 단편으로 분할되어야 한다. 다른 패킷 스위칭 장치(CM(92) 또는 UM(94))에 의한 수신 시, N개의 단편을 포함하는 패킷이 네트워크 인터페이스 장치(120)를 경유하여 이터넷 네트워크를 통한 통신 또는 레디오(150)를 통한 전송 복원에 앞서 유효화되고(validated) 재조합되어야 한다.

제2도는 제1b도에 예시적인 형태의 예의 패킷 스위치(140)의 상세 블록도이다. 동작 중에, 패킷 스위치 버스(145)를 통해 패킷 스위치(140)에 의해 수신된 패킷은 제어 메모리(232) 및 데이터 메모리(234)로 구분된 임의의 접근 메모리 내의 적절한 메모리 위치에 저장된다. 데이터 메모리(234)는 특정한 부분의 정보부(메시지 데이터)를 저장하고, 제어 메모리(232)는 패킷 스위치(140)의 기본 동작을 제어하는 제어 구성을 포함한다. 본 기술 분야에 숙련된 자들은 메모리 구분이 물리적 또는 논리적으로 행해질 수 있음을 알 수 있을 것이다.

본 발명에 따르면, 메모리 인터페이스 유닛(218)은 임의의 접근 메모리(230)에 결합되며 본 기술 분야에 잘 알려진 바와 같이 메모리로부터 정보를 저장 및 검색하도록 동작된다. 정보 저장의 경우, 패킷 스위치 버스(145) 및 이 버스에 접속된 장치는 패킷 스위치 버스 인터페이스(210), 스위치(212) 및 패킷 재조합 하드웨어(214) 또는 입력 제어 기능부(216)를 통해 메모리 인터페이스(218)에 결합된다. 정보 검색의 경우, 패킷 스위치 버스(145) 및 이 버스에 접속된 장치는 출력 제어 기능부(220) 및 패킷 스위치 버스 인터페이스(210)를 통해 메모리 인터페이스(218)에 결합된다. 유사한 방식으로, 조정기 인터페이스(240: arbiter interface)는 제1b도의 조정 회로(130)를 버스(135)를 통해 메모리 인터페이스(218)에 결합시킨다. 따라서 메모리 인터페이스 유닛(218)은 조정 회로(130)(즉, 프로세서(110) 및 네트워크 인터페이스(120))와 메모리(230) 간에 정보의 저장 및 검색을 하도록 동작된다.

전반적인 시스템의 처리량을 개선시키고 중앙 프로세서(110) 자원에 대한 부담을 경감시키기 위해, 패킷 스위치(140)는 재조합을 필요로 하는 패킷의 처리 동안 재조합 하드웨어(214)를 사용한다. 입력 제어 기능부(216)는 재조합을 필요로 하지 않는 패킷의 처리 동안 사용된다. 이러한 방식으로, 패킷 스위치(140)는 프로세서(110)의 개입을 최소화하는 동시에 메시지 데이터 중복없이 패킷 처리 및 재조합을 행한다. 본 발명에서는 프로세서의 개입을 최소화함으로써, 분할된 패킷의 재조합시의 프로세서(110)의 관련성이 최소로 유지되리라는 것을 예상할 수 있다. 따라서, 최소의 프로세서의 개입은 분할된 데이터 패킷의 재조합시에 프로세서의 참여의 정도면에서 한정될 수 있다. 재조합 동작에 참여하는 중앙 프로세서에 의해 수행되는 단계가 적으면 프로세서의 개입은 실질적으로 그만큼 줄어든다. 본 발명과 관련하여, 최소의 프로세서의 개입은 하나의 데이터 패킷의 재구성 동안 2번 이하의 프로세서의 인터럽트를 예상할 수 있다.

이러한 방법은 재조합을 필요로 하지 않는 수신된 패킷이 분산되고 입력 제어 기능부(216)의 제어에 따라 분리된 메모리 위치에 저장되는 계층적 어드레스 가능성을 이용함으로써 달성된다. 한편, 패킷이 재조합을 필요로 하는 것으로 인식될 때, 분할된 메모리 위치로의 재조합 및 저장은 패킷 재조합 하드웨어(214)의 지도하에 제공된다. 그 후, 레디오를 통해 혹은 통신 네트워크를 통해 역 전송될 데이터는 수신된 전송 패킷의 메시지 데이터를 이중으로 하는(duplication) 중간 단계를 행하지 않고 분할된 메모리 위치를 간단히 어드레스 지정함으로써 조합된다.

여러 형태의 패킷 스위치가 본 기술 분야에 알려져 있으므로, 패킷 스위치(140)의 특수 동작 및 내부적 기능의 상세한 설명은 하지 않겠다. 그러나, 패킷 스위치(140)의 스위치(212)가 수신된 패킷이 재조합을 필요로 하는지의 여부를 결정한다는 것은 말해두고 싶다. 이러한 결정에 따라, 패킷 처리는 적절한 제어 기능(즉, 재조합 하드웨어(214) 또는 입력 제어 기능부(216))으로 전환된다. 일반적으로, 패킷 스위치(140)의 기능들은 소프트웨어 구성, 또는 상태 머신(state machine), 응용 특수 집적 회로(ASIC) 혹은 게이트 어레이 구성에 의한 하드웨어에 의해 달성될 수 있다.

제3도는 제1a도의 데이터 패킷 네트워크(98)를 통해 정보를 교환하는데 사용되는 것과 같은 데이터 패킷 포맷(300)내의 정보와, CM(92) 및 UM(94)에 의해 사용되는 레디오(150) 간의 RF 채널을 통해 정보를 교환하는데 사용되는 것과 같은 이에 대응하는 전송 패킷 포맷(310) 내의 정보 간의 관계를 나타낸다. 도시한

바와 같이, 데이터 패킷(300)은 발신 장치 제어부 및 메시지 데이터부를 포함한다. 전송한 바와 같이, 데이터 패킷(300)이 너무 길어서 하나의 전송 패킷(310)에 맞지 않을 때 데이터 패킷은 N개의 단편으로 분리된다. 도시한 바와 같이, 각각의 단편은 분리 전송 패킷(310)으로 포맷된다. 각각의 전송 패킷(310)은 데이터 패킷(300)의 단편들이 포함되는 제어 정보부(311) 및 단편 필드(312)를 포함한다. 전체 데이터 패킷(300)이 하나의 전송 패킷(310)으로 될 수 있음은 물론이다.

제4도는 제3도에 따라, 재조합을 필요로 하는 전송 패킷의 제어부 내에 포함되는 정보를 나타낸다. 포맷은 패킷 전체부 정보(410), 패킷 헤더(420), 재조합 헤더(430) 및 단편 필드(440)의 전송을 나타낸다. 패킷 전체부(410)는 무선 수신기(150)의 동기화 용도로 제공된다. 이하, 패킷 헤더(420) 및 재조합 헤더(430)에 대해 보다 상세히 설명한다. 이미 제인한 바와 같이, 단편 필드(440)는 교유된 데이터 패킷(300)의 일부분을 포함한다.

제5도는 제4도의 패킷 헤더(420) 내에 포함되는 정보를 나타낸다. 또한 제5도는 재조합을 필요로 하지 않는 전송 패킷의 제어 데이터부의 크기를 나타낸다. 각각의 패킷 헤더(420)는 가상 회로 식별(ID) 필드(510), 패킷 길이 정보 필드(520), 착신 정보 필드(530), 및 유효 정보 필드(540)를 포함한다. 가상 회로 ID 필드(510)는 제2도의 패킷 스위치(140)내에 포함된 가상 회로 레지스트를 특정화하는 정보를 포함한다. 가상 회로 레지스트는 행렬 제어 불력을 지정하거나 어드레스하고, 해열제어 불력은 판독 또는 기입 패킷 서술자(descriptor)를 지정하고, 패킷 서술자는 추가의 패킷 서술자, 또는 판독 및 기입 버퍼 서술자를 지정할 수 있다. 버퍼 서술자 각각은 기입 버퍼 그리고 다음 판독 및 기입 버퍼 서술자를 지정함으로써 재조합을 필요로 하지 않는 수신된 전송 패킷의 메시지 데이터 부분이 어떤 버퍼 위치에 저장되는지를 정하기 위해 어드레스의 체인 또는 링크를 형성한다. 이러한 처리에 대해 더 많은 정보를 얻고자 하는 관심있는 독자는 1991년 6월 21일자로 출원된 본 발명의 양수인에게 양도된 미합중국 특허원 제 07/719,212호를 참조 바란다.

패킷 길이 필드(520)는 연관된 패킷의 길이에 관한 정보를 제공한다. 착신 정보 필드(520)는 착신 장치의 어드레스 정보를 포함한다. 유효 정보 필드(540)는 주기 용량 검사(CRC)의 데이터 정확성 계산과 연관된 데이터를 포함한다.

본 발명에 따르면, 가상 회로 ID 필드(510)의 최상위 비트(MSB)는 재조합을 필요로 하는 전송 패킷을 식별하는데 사용된다. 수신된 전송 패킷(310)의 가상 회로 ID 필드(510)의 MSB가 0이면 패킷이 재조합을 필요로 하지 않음을 나타낸다. 따라서 패킷이 제2도의 스위치(212)에 의해 처리를 위해 입력 기능부(216)로 전환됨으로써 재조합 하드웨어(214)를 필요로 하지 않는다. 다른 한편으로, 수신된 전송 패킷(310)의 가상 회로 ID부(510)의 MSB가 1이면, 패킷 처리 제어가 스위치(212)에 의해 전환되어 제2도의 패킷 재조합 하드웨어(214)로 전환된다. 가상 회로 ID 필드(510)의 하위 7개 비트는 재조합 식별(ID)로서 사용된다. 재조합 ID는 이하 상세히 기술하는 바와 같이 패킷 스위치(40)내에 포함되는 재조합 레지스트를 특정화하는 정보를 포함한다.

제6도는 제4도의 전송 패킷의 재조합 헤더(430)내에 포함된 정보를 나타낸다. 재조합 헤더는 발신 장치의 메시지 데이터를 포함하는 부분을 전달하는 전송 패킷 상에서만 발견될 수 있음을 주목해야 한다. 설계에 의해 재조합 헤더는 소스 논리 유닛(LUID)(610), 패킷 식별(ID) 필드(620), 시퀀스 넘버 필드(630), 전체 단편부(640), 단편 번호 필드(650), 전체 패킷 길이 필드(660) 및 프로토콜 필드(670)를 포함한다.

소스 LUID(610)부는 발신 장치의 논리적 유닛 식별부를 정의한다. 패킷 ID(620) 및 시퀀스 넘버 필드(630)는 제3도의 각각의 데이터 패킷(300)에 고유 ID를 제공하도록 결합되어 사용된다. 패킷 ID(620)는 수신된 단편이 교유된 특정 발신 장치로부터의 데이터 패킷을 식별한다. 시퀀스 넘버 필드(630)는 재사용된 패킷 ID와 서로 다른 데이터 패킷(300)을 결합하도록 패킷 ID 번호가 발신 장치에 의해 재사용될 때 사용된다. 전체 단편 필드(640)는 해당 데이터 패킷을 포함하는 단편들의 총 수를 정의한다. 단편 번호(650)는 어느 부분이 수신되고 있는지를 정의하고, 전체 패킷 길이 필드(660)는 재조합할 때 데이터 패킷의 바이트의 길이를 정의한다. 프로토콜 필드(670)는 본 발명에 따른 데이터 패킷(300)을 포함하는 각각의 단편(310)의 적절한 수신을 보장하도록, 이하 기술되는 방식으로 사용된다.

제7도는 제6도에 도시한 재조합 패킷 및 제9도에 도시한 PCB의 프로토콜 필드 내에 포함되는 정보를 나타낸다. 도시한 바와 같이, 프로토콜 필드는 동시 통신 필드(710), 터미널 LUID 필드(720), 데이터 스트림 시퀀스 넘버 필드(730), 응답 확인(ACK) 슬롯 필드(740), 착신 서비스 액세스 포인트(DSAP) 필드(750), 관리 패킷 필드(mgt.pkt)(760), 착신 LUID 필드(770), 및 Frames to ACK 필드(780)를 포함한다.

동시 통신 필드(710)는 CM 대 UM 전송에 사용된다. 수신된 패킷이 양 방향 타입이면, 동시 통신 필드 논리 1로 설정되지만, 그 외는 비-양 방향 타입의 패킷임을 나타내는 논리 0으로 설정된다. 양 방향 타입의 패킷은 CM(92)에 의해 설정된 범위의 영역 내에서 모든 터미널 장치(96)에 의해 수신되어 처리된다. 다른 한편으로, 비-양 방향 타입의 패킷은 CM(92)의 커버리지 영역 내에서 특정하게 인식된 터미널(96)에 의한 수신용이다.

터미널 ID 필드(720)는 처음에 새롭게 설치된 터미널 장치(96)로부터 데이터 패킷을 수신할 때 UM(94)을 서비스함으로써 할당되는 값을 저장한다. 그 후, 터미널(96)은 이러한 터미널 ID에 의해 식별된다.

스트림 시퀀스 넘버 필드(730)는 수신된 데이터 패킷을 시퀀스하여 서비스의 공통점과 관련하여 그들의 순차 관계를 유지하도록 UM(94) 및 CM(92)에 의해 사용된 번호로 저장한다. 이러한 필드의 크기는 기능성을 제공하는데 필요한, 임의의 비트수 n일 수 있음을 알 수 있다. 양호한 실시예에 따르면, 스트림 시퀀스 넘버 필드(730)는 0-63으로부터 2^6 시퀀스 넘버의 범위를 제공하는 6 비트 필드이다.

ACK 슬롯(740)은 CM이 UM으로 패킷을 송출할 때마다 UM으로부터 CM으로 응답 확인을 프로그램하는데만 사용된다. ACK 슬롯 필드는 수신 UM에게 패킷을 응답 확인할 때 어떤 ACK 슬롯을 사용할 것인지를 알려준다. ACK 슬롯은 송출기가 어떤 단편이 재전송될 필요가 있는지 그리고 그 단편들이 수신되면 어떤 버퍼들이 개방될 수 있는지를 결정할 수 있도록 단편들이 수신될 때만 갱신된다.

DSAP 필드(750)는 수신된 패킷이 시스템 서비스 또는 LAN 응용을 위해 예정된 것인지를 표시한다. 이것은

각각의 수신된 패킷이 추후 처리를 위해 올바른 응용으로 적절하게 라우팅되게 한다. 관리 패킷 필드(mge.pkt;760)는 패킷이 심플 네트워크 매니지먼트 프로토콜(SNMP) 패킷인지의 여부를 표시하는데 사용된다.

착신 LUID 필드(770)는 UM의 착신 어드레스를 특정화한다. CM은 적절한 착신 장치로 패킷을 중계하기 위해 착신 LUID를 사용한다.

Frame to ACK 필드(70)는 UM 대 CM 및 CM 대 UM 응답 확인을 프로그램하는데 사용된다. 이 ACK 필드는 연속적인 TDMA 프레임이 원래의 데이터 패킷(300)과 연관된 분할된 패킷(310)을 어느 정도 포함하는지를 명시한다. 따라서, 이 필드는 수신 장치에 의해, 원래의 데이터 패킷과 연관된 이전에 수신된 단편들의 수신을 응답 확인하는데 TDMA 프레임 당 하나의 ACK 신호만이 이용될 수 있으므로, 전송된 단편들을 완전하게 응답 확인하는데 TDMA 프레임이 어느 정도 필요하게 되는지를 결정하는데 사용된다. 예를 들면, 모든 단편들이 하나의 TDMA 프레임으로 전송되는 데이터 패킷의 경우, 각각의 단편은 Frame to ACK 필드에서 1을 갖는다. 이것은 하나의 ACK 신호만이 스케줄될 필요가 있다는 것을 수신 장치에 나타낸다. 2개의 연속적 TDMA 프레임 동안 부분들이 전송되는 데이터 패킷의 경우 제1 프레임에 전송되는 단편들은 Frame to ACK 필드에 2를 포함하고, 제2 프레임에 전송되는 단편들은 Frame to ACK 필드에 1을 포함하게 된다. 이것은 수신 장치에게 다음의 연속하는 2개의 TDMA 프레임의 각각에 하나씩 소스로 역 전송하기 위해서는 2개의 ACK 신호가 스케줄될 필요가 있음을 표시한다. 따라서, Frame to ACK 필드(780)에 포함되는 수(즉, 1-N, 여기서 N은 정수)는 Frame to ACK 필드에 명시되어 있는 바와 같이 동일한 수의 연속적인 TDMA 프레임을 통해 ACK 신호가 전송을 위해 스케줄되어야 하는 것을 수신 장치에 통지하기 위해 동작된다.

제8도는 본 발명에 따른 패킷 처리 동안 사용되는 조직 구조를 나타낸다. 예시 도면에서, 전송 패킷 메시지 데이터, 즉 제3도의 단편(312)은 제8도에 도시한 데이터 메모리(234) 내의 각각의 데이터 버퍼(820)에 저장된다. 대응하는 전송 패킷 제어 정보(311)는 데이터 메모리(234) 내에 각각의 단편들(312)이 저장될 장소를 안내한다. 특히, 제6도에 도시한 재조합 헤더 정보는 데이터 메모리(234) 내에 각각의 단편(312)이 저장될 장소를 안내한다. 이러한 결과, 제5도와 관련하여 상술한 가상 회로 ID(510)로부터 얻어진 재조합 ID 필드(802)는 제어 메모리(232)에 저장된 복수의 재조합 레지스터(810) 중 하나의 레지스터를 지정하는데 사용된다. 복수의 재조합 레지스터(810)의 사용으로 인해, 각각의 재조합 레지스터(810)가 특정 소스 장치에 대응하기 때문에, 다수의 발신장치로부터의 데이터 패킷을 재조합할 수 있다.

도시한 바와 같이, 재조합 레지스터(810)는 패킷 제어 테이블(812)을 지정하거나 어드레스 지정한다. 상기 재조합 레지스터(810)와 협조하여, 제6도의 재조합 헤더의 패킷 ID(804)는 패킷 제어 테이블 내에 엔트리를 지정하도록 동작된다. 각각의 재조합 레지스터(810)가 고유 패킷 제어 테이블(812)을 어드레스 지정함을 주목해야 한다. 이로인해 동일한 발신 장치로부터의 다수의 데이터 패킷이 동시에 재조합될 수 있다.

패킷 제어 테이블(812)은 특정 패킷 ID부(820)용으로 사용되는 패킷 제어 블록(814-818)을 지정하거나 어드레스 지정한다. 하나의 발신 장치로부터 여러개의 패킷 ID부가 있을 수 있으므로, 재조합되는 각각의 데이터 패킷에 대해 하나의 패킷 제어 블록이 제공된다. 따라서, 패킷 제어 블록은 데이터 패킷 재조합 및 재전송과 연관된 모든 정보가 수신 측에서 수집되고 모든 제어 정보가 송신 측에서 확정되는 지점이다. 패킷 제어 블록(814-818)은 분할된 자원들이다.

새롭게 수신된 데이터 패킷과 연관된 정보를 저장하기 위한 사용 가능한 패킷 제어 블록의 행렬이 있다. 제2도의 패킷 스위치(140)는 필요한 경우 이러한 행렬로부터 패킷 제어 블록을 취한다. 제1도의 중앙 프로세서(110)는 재조합 처리가 완료되었을 때 새롭게 수신된 데이터 패킷을 행렬로 복귀시키는 책임을 맡는다.

각각의 패킷 제어 블록은 데이터 버퍼(820) 및 단편 비트 맵(830)을 지정하는데, 각각의 버퍼 및 맵은 분리 및 개별 메모리 위치(어드레스)를 갖는다. 단편 비트맵(830)은 특정 데이터 패킷으로서 성공적으로 수신된 단편 맵이다. 각각의 비트 맵은 추가의 단편이 수신될 때 갱신된다. 데이터 버퍼(820)는 단편들, 즉 각각의 수신된 전송 패킷의 메시지 데이터 부분들이 저장되는 데이터 메모리(234) 내의 위치이다.

본 발명의 중요한 특징은 패킷 데이터 네트워크에서 분할된 패킷을 신뢰성 있게 전송할 수 있는 방법을 제공하는 것이다. 이에 따라, 각각의 수신 장치는 대상 데이터 패킷(300) 및 해당 데이터 패킷의 어떠한 단편들(312)이 수신되었는지 또는 수신되지 않았는지를 식별하는 소스 장치로 응답 확인(ACK) 신호를 역 전송한다. 이러한 정보의 수신시, 소스 장치는 임의의 식별된 정보를 재전송하거나 혹은 이와 연관된 모든 단편들이 수신 장치에 의해 수신되고 ACK된 경우 원래의 데이터 패킷과 연관된 이들 시스템 자원을 해제한다.

본 발명에 따르면, 소스 및 수신 장치는 공지된 TDMA 통신 기술을 통해 통신한다. 양호한 실시예에 따르면, 각각의 데이터 패킷, 즉, 현재의 TDMA 프레임 동안 수신된 단편들을 갖고 있는 각각의 데이터 패킷은 다음의 후속 TDMA 프레임 동안 ACK된다. 제8도의 프레임 제어 블록(Frame Control Block)(FCB)(840)은 현재 프레임 동안 어떠한 단편들이 수신되었는지에 관한 데이터 패킷과 연관된 해당 정보를 저장하도록 제공된다. 이 정보는 소스 장치로 역 전송하기 위한 적절한 ACK 신호를 발생하도록 시스템 프로세서에 의해 저장 및 사용된다. ACK 신호는 해당 데이터 패킷을 포함하는 각각의 단편에 대한 상태 정보를 포함한다.

제9도는 제8도의 FCB(840)의 구조를 나타낸다. 제9도에 도시한 바와 같이, FC(840)는 다음의 정보 필드로 구성될 수 있다. Data_Slots_Available 필드(데이터_슬롯_이용 가능 필드;841)는 현재의 TDMA 프레임에서 어느 정도의 데이터 타임 슬롯이 할당에 사용될 수 있는지에 관한 정보를 포함한다. Ack_Slots_Available 필드(ACK_슬롯_이용 가능 필드;842)는 후속 TDMA 프레임에서 어느 정도의 데이터_ack 타임 슬롯이 할당에 이용 가능한지에 관한 정보를 포함한다. Data_Slots_Available 필드(데이터_슬롯_할당 필드;843)는 현재의 TDMA 프레임에 어느 정도의 타임 슬롯이 할당되었는지에 관한 정보를 포함한다. NEXT-Available-Grant 필드(884)는 대역 폭 그랜트(grant)의 전송에 이용할 수 있는 다음 그랜트 타임 슬롯의 식별을 포함한다. Ack_Queue_Start 필드(845)는 다음 TDMA 프레임 동안 ACK될 필요가 있는 제1 패킷을 식별한다. Ack_Queue_End 필드(846)는 다음 TDMA 프레임 동안 Ack될 필요가 있는 최종 패킷을 식별한다.

각각의 Ack_Queue 필드(845 및 846)는 Ack 발생 동안 사용되는 여러개의 세부-필드(sub-field)를 포함한다. 양한한 실시예에 따라 각각의 Ack-Queue 필드는 적어도 Frame To Ack 필드(847) 및 PCB pointer 필드(848)를 포함한다. Frames To Ack sub-field(847)는 적절하게 전송되기 위해서 어느 정도의 프레임이 Ack를 요구받고 있는지를 나타낸다. PCB pointer(848)는 응답 확인될 패킷에 대한 정보를 유지하는 PCB를 가르킨다.

본 발명에 따르면, 응답 확인 신호는 제9도의 FCB(840)의 Frames To Ack 필드(847)로 제7도의 Frames To Ack 필드(780)를 복사함으로써 전송이 스케줄된다. 아울러 포인터는 FCB 필드(848)로부터 제8도의 적절한 PCB(814-818) 필드로 위치 변환되어야 한다. 그 후, 각각의 TDMA 프레임의 개시시(프레임 개시), FCB에 유지된 응답 확인 정보가 다음 TDMA 프레임 내의 적절한 시간 동안 전송을 위한 ACK 신호를 포맷하기 위해 제1b도의 시스템 프로세서(110)에 의해 검사된다(examined). 이러한 Ack 신호가 제12도와 관련하여 도시 및 설명되어 있다. 본 발명에 따르면, PCB 포인터(848)에 의해 식별된 PCB 정보는 색인된 PCB(814-818)에서 제12도의 Ack 신호 포맷으로 복사된다. 그 후에 Ack 신호가 처리를 위해 소스 장치로 역 전송된다. 그 후, Frame To Ack 필드(847)가 1을 포함하고 있는지를 결정하기 위해 제1b도의 시스템 프로세서(110)에 의해 검사된다. Frames To Ack 필드(847)가 1보다 큰 값을 포함하고 있다고 가정하면 추가의 Ack 신호가 스케줄 되어야 한다. 결국, Frames To Ack 필드(847)가 제1b도의 시스템 프로세서(110)에 의해 감소된 다음 포인터(848)에 의해 색인된 갱신된 PCB 정보를 또 다른 Ack 신호로 복사하기 전에 다음 프레임 개시를 기다린다. 최종 Ack 신호가 전송을 위해 스케줄되었을 때, 즉 Frames To Ack 필드가 1일 때는 어떤 추가의 Ack 신호도 전송할 필요가 없다. 이에 따라, 원래의 데이터 패킷과 연관된 시스템 자원이 추가의 사용을 위해 해제될 수 있다. 원래의 데이터 패킷(300)과 연관된 모든 단편들이 수신 및 응답 확인된 경우, 시스템 프로세서가 추가의 처리를 위해 원래의 데이터 패킷을 포함하는 데이터를 보내며, 그렇지 않은 경우에는 제11도의 인터럽트 제어 필드의 Next Fragment Interrupt Bit가 인에이블되어 후술하는 바와 같이 적절한 Ack 신호를 재스케줄하도록 재전송된 단편의 수신시에 시스템 프로세서가 인터럽트될 수 있다.

제12도는 본 발명에 따른 Ack 포맷 및 내용을 도시한다. 도시한 바와 같이, 각각의 Ack 신호(1200)는 Opcode 필드(1202), Last Ack 필드(1204), Source LUIE 필드(1206), 패킷 ID(1208), Sequence Number 필드(1210) 및 Ack Bitmap 필드(1212)를 포함한다. Opcode 필드(1202)는 Ack신호로서 전송을 응답 확인한다. Last Ack 필드(1202)는 특정 데이터 패킷(300)에 대응하는 최종 Ack 신호를 응답 확인하는데 사용된다. 이에 따라, Last Ack 필드(1202)는 제7도의 Frames To Ack 필드(780)가 1일 때 논리 1로 설정된다. 모든 다른 경우에서, Source LUID 필드(1206), 패킷 ID(1208), Sequence Number 필드(1210) 및 Last Ack 필드(1202)는 응답 확인중인 패킷의 PCB(814-818)로부터 복사되는 Ack Bitmap 필드(1212)에 의해 식별되는 데이터 패킷과 관련하여 추가의 ACK 신호가 필요함을 나타내는 논리 0으로 설정된다. Ack Bitmap 필드(1212)는 원래의 데이터 패킷(300)을 포함하는 각각의 0-N 단편의 상태 비트를 포함한다. 비트맵 위치 0-N 에서의 논리 0은 해당 단편의 재전송 요구를 의미한다.

소스 장치가 Ack 신호를 수신하면 Ack 신호(1200)는 원래의 데이터 패킷을 포함하는 데이터 부분(310)이 수신 장치에 의해 올바르게 수신되었는지를 판정하도록 처리된다. 이러한 판정은 Fragment Bitmap 필드(1212)의 검사로 이루어진다. 모든 단편들이 수신 장치에 의해 올바르게 수신되었다고 가정하면, 소스 장치는 올바르게 수신된 전송과 연관된 모든 시스템 자원을 해제한다. 다른 한편으로, 임의의 단편들이 소실되거나 불명확한 것으로 응답 확인되어 재전송을 요구하는 경우, 소스 장치는 소실된 정보를 재전송하도록 추가의 대역 폭 자원을 할당한다. 이러한 결정은 통상 Last Ack 필드(1204)가 상기한 특수 데이터 패킷에 대해 추가의 Ack 신호가 예상되지 않는다는 것을 표시하는 논리 1을 포함하는 Ack 신호의 수신 때까지 행해지지 않는다.

재전송된 단편들이 수신 장치에 도달할 때 제8도의 패킷 재조합 제어 구조는 PCB 내에서 산저에 인에이블된 인터럽트 플래그에 따라 제1b도의 중앙 프로세서(110)을 인터럽트한다. 그 후, 프로세서(110)는 원래의 데이터 패킷의 재구성을 완료하기 위해 수신된 정보를 처리함과 아울러, 재전송된 데이터를 응답 확인하기 위해 또 다른 Ack 신호(1200)의 전송을 스케줄하도록 진행된다.

제10도는 제8도의 패킷 제어 블록(814-818)과 연관된 필드를 나타낸다. 전송한 바와 같이, 패킷 제어 블록은 전송 측에서는 데이터 패킷에 대한 모든 연관된 제어 정보를 수집하고, 수신 측에서는 유효한 단편들을 저장하고 적절치 못하게 수신된 단편의 재전송을 요구함으로써 재조합을 제어하도록 사용된다. 따라서, 패킷 제어 블록은 소스 LUID 필드, 패킷 ID, 시퀀스 넘버 필드, 전체 단편 개수 필드, 단편 수신 필드, 패킷 길이 필드, 프로토콜 필드, 인터럽트 제어 필드, 단편 비트맵 포인터, 복수의 데이터 부분 포인터, 타이머 제어 블록 포인터, 다음, PCB 포인터, PCB 유지 카운터(PCB hold counter field), 버퍼 풀(pool) ID, Fragment To program 필드, 패킷 전송 윈도우 필드, 재시도 카운트 필드, 요구 ID 필드 및 응답 확인 스케줄 필드와, 동시 통신 안테나 카운트 필드, 동시 통신 현재 안테나 필드 및 안테나 리스트 필드로 구성된다. 본 기술 분야에 숙련된 자는 패킷 제어 블록에서 발견되는 정보의 대부분의 제6도에 따라 수신된 전송 패킷의 재조합 헤더로부터 직접 얻을 수 있음을 알 수 있을 것이다. 이 정보는 최초의 수신된 전송 패킷이 단편 개수에 관계없이 데이터 패킷을 포함하는 복수의 데이터 패킷 내로부터 최초의 수신된 전송 패킷으로부터 얻어짐을 주목해야 한다. 제어 정보가 일단 패킷 제어 블록 내에 저장되며, 그 후에 수신된 전송 패킷에 대한 소스 LUID만이 재조합 헤더에 있는 정보와 비교된다. 비교 오류가 존재하면, 전송 패킷의 단편이 이 패킷 제어 블록과 관련하여 저장되지 않는다.

제한한 바와 같이, 단편 수신 필드(fragment received field)는 단순히 성공적으로 수신된 단편들의 간단한 카운트이다. 중복된 단편들이 있으면 카운트에 추가되지 않는다. 궁극적으로, 이 필드는 완전한 덩어리 패킷이 수신되었을 때를 결정하도록 전체 단편 개수와 비교된다.

수신된 단편 비트맵 포인터는 수신된 단편들의 비트맵(830)을 가르킨다. 각각의 비트맵(830)은 제2도의 데이터 메모리(234) 내에 저장된다. 한 단편이 성공적으로 수신될 때, 해당 단편에 대응하는 비트맵 비트가 논리 1로 설정된다. 전송한 바와 같이, 제6도의 재조합 헤더에서 발견된 단편 개수는 저장되지 않음에도 불구하고 수신된 단편 비트맵으로 인덱스하는데 사용된다. 비트맵이 수신된 단편들의 전체 수보다 크면 미사용 비트들이 변경되지 않는다. 0-M으로 수가 매겨진(M은 허용된 단편들의 최대 수) 데이터 부분

포인터 필드는 제8도의 데이터 버퍼(820)를 가르킨다. 각각의 수신된 단편에 대해 하나의 데이터 버퍼가 존재한다. 각각의 데이터 버퍼는 공유되는 자원이다.

제8도의 패킷 재조합 제어 구조가 데이터 버퍼가 필요한 것으로 결정할 때 데이터 버퍼 행렬로부터 덩어리 버퍼 포인터를 취한다. 이 포인터는 수신된 단편과 연관된 패킷 제어 블록에 저장될 것이다. 한 단편을 저장하는데 사용되는 데이터 버퍼가 더 이상 사용중이 아닐 때, 중앙 프로세서(110)는 데이터 버퍼 행렬로 해당 단편들을 복귀시킨다. 타이머 제어 블록 포인터는 재조합 또는 패킷 전송을 위한 타이머를 관리하는데 사용되는 구조를 가르킨다. 다음 PCB 포인터는 서로 다른 재조합 PCB를 가르킨다. 이것은 PCB가 전송 PCB 풀 상태에 있을 때, 혹은 패킷이 패킷 재지시를 위해 대기하고 있을 때 순차 처리에 의해 사용된다. PCB 유지 카운터 필드는 다중 처리가 동시에 발생할 때 PCB의 해제를 조정하는 데 사용된다. 처리가 완료되면 PCB 유지 카운터는 해당 필드의 값을 감산한다. 최종 처리가 완료되면 PCB 유지 카운터가 이 필드를 0으로 감산하여 PCB를 해제한다.

버퍼 풀 ID는 PCB에 결합된 버퍼가 RF를 통해 수신 또는 전송용으로 할당되었는지를 응답 확인한다. Next fragment to program 필드는 프로그램될 다음 데이터 부분에 대한 단편 포인터를 포함한다. 모든 단편들이 초기 전송을 위해 프로그램되어 있으면, 이 필드는 제1 단편을 다시 나타내도록 설정된다. 현재 상태 필드는 UM(94)이 현재 작동 중인지에 대한 응답 확인을 위해 휴지 또는 대기 상태를 표시한다. 패킷 전송 윈도우 필드는, 전송될 패킷에 대한 패킷 전송 타임-아웃을 실행하도록 사용되는 정보를 포함한다. 중계 필드는 해당 패킷에 대해 CM(92)로 몇번의 요청이 송출되었는지를 추적한다. 이것은 타임 아웃을 계산하는데 사용된다.

요청 ID 필드는 발송 요구에 대한 입력되는 그랜트(grant)를 맵(map)하는데 사용된다. Ack 스케줄 필드는 상기 입력 패킷에 대한 응답 확인 스케줄되었는지의 여부를 표시하는 불(Boolean) 필드이다. 마지막 3개의 필드는 양 방향 패킷을 전송하기 위해서만 CM(92)에서 사용된다. 동시 통신 안테나 카운트는 적어도 하나의 UM이 등록되어 있는 CM 안테나들의 번호이다. 동시 통신용의 현행 안테나는 동시 통신 리스트에서 CM 안테나들 중 어느 것이 현재 서비스를 받고 있는지를 나타내는데 사용된다. 동시 통신용 안테나 리스트는 적어도 하나의 UM이 등록되어 있는 CM 안테나들의 리스트를 포함하는 어레이이다.

본 발명이 제1도의 중앙 프로세서(110)에 의해 제한적으로 사용되는 프로토콜 필드에 관한 것이기 때문에, 제8도의 패킷 재조합 제어 구조가 재조합 처리 동안 프로토콜 필드 내의 어떠한 정보도 사용할 수 없으며 적절한 패킷 제어 블록에 단순히 정보를 저장함을 유의해야 한다.

제11도는 제9도에 도시한 PCB의 인터럽트 제어 필드에 포함되는 정보를 나타낸다. 인터럽트 제어 필드는 중앙 프로세서의 인터럽트의 제어하는데 사용된다. 제8도의 패킷 재조합 제어 구조가 발생시킬 수 있는 일반적인 인터럽트의 예들은 NEXT Fragment(1120), Sequence Number Change(1130), Packet Complete(1140), 및 Packet Start(1150) 인터럽트들이다. 필드(1110)은 앞으로의 사용을 위해 예비된다. 알 수 있는 바와 같이, 인터럽트 행렬 엔트리의 상태부의 인터럽트 비트는 어떤 이벤트가 인터럽트를 야기시켰는지를 표시하도록 설정된다. 패킷 제어 블록의 인터럽트 제어 필드는 각각의 인터럽트를 인에이블 및 디스에이블하는 비트들을 포함한다.

패킷 재조합 인터럽트 행렬(도시되지 않음)은 프로세서(110)을 인터럽트하도록 해당 패킷 제어 블록(814-818)의 인터럽트 제어 필드에 의해 지시받으면 프로세서(110)를 인터럽트하도록 패킷 재조합 제어 구조에 의해 사용된다. 인터럽트는 재조합 하드웨어가 엔트리들을 인터럽트 행렬로 위치시킴으로써 개시된다. 이러한 엔트리는 적어도 해당 패킷 제어 블록(814-818)의 어드레스 및 인터럽트 상태를 포함한다. 다수의 엔트리들이 한번의 인터럽트 동안 프로세서에 의해 처리될 수 있다.

예를 들면, NEXT Fragment 인터럽트(1120)는 패킷 제어 블록 내의 NEXT Fragment 인터럽트 비트가 인에이블될 때 발생된다. 이러한 인터럽트는 한 단편의 재전송이 요구될 때 사용된다. 본 발명에 따르면, 이러한 인터럽트는 임의의 이전의 소실된 정보의 재전송의 수신을 검증하기 위해 응답 확인 신호의 전송을 스케줄하도록 프로세서에게 알린다. NEXT Fragment 인터럽트가 인에이블 상태이면, 패킷 재조합 인터럽트 행렬에서 패킷 제어 블록의 어드레스 및 인터럽트 상태를 위치 설정함에 의해 인터럽트가 발생된다.

Sequence Number Change 인터럽트(1130)는 패킷 ID를 갖고 있는 수신된 전송 패킷의 재조합 헤더의 시퀀스 넘버가 패킷 ID와 연관된 패킷 제어 블록에 저장된 시퀀스 넘버와 같지 않을 때, 이전 데이터 패킷과 연관된 모든 단편들이 수신되지 않았을 때, 그리고, Sequence Number Change 인터럽트가 인에이블 상태일 때 발생되었다. 전송 패킷이 수신될 때 패킷 재조합 헤더 내의 시퀀스 넘버는 패킷 ID와 연관된 패킷 제어 블록에 저장된 시퀀스 넘버와 비교된다. 이들 넘버가 서로 다르고 이것이 수신된 제1 단편이 아니면, 인터럽트 상태의 Sequence Number Change 인터럽트 비트가 설정된다. Sequence Number Change 인터럽트가 인에이블 상태이면, 인터럽트가 패킷 재조합 인터럽트 행렬에서의 전자의 Sequence Number 및 인터럽트 상태로 패킷에 대한 패킷 제어 블록의 어드레스를 위치 설정함으로써 발생할 것이다. Sequence Number가 변경되면 중앙 프로세서(110)가 이벤트를 로그(log)하고, 재조합 타이머를 중지시키며, 연관된 PCB 및 데이터 버퍼를 해제하는 하드웨어에 의해 할당된 자원을 다시 이용한다.

Packet Complete 인터럽트(1140)는 분할된 데이터 패킷의 모든 단편들이 수신될 때 및 Packet Complete 인터럽트가 인에이블될 때 발생된다. 이에 응답하여 중앙 프로세서가 재조합 타이머를 중지시키고 상술한 인터럽트 처리에서 설명한 바와 같이 응답 확인 스케줄링의 표시에 따라 재조합된 데이터 패킷의 재전송을 지시한다. 수신 순차 윈도우는 모든 재전송된 패킷이 수신된 수에 갱신된다. 패킷은 데이터 패킷 내에 포함된 착신 정보에 따라 추가로 처리된다. 수신된 최종 단편은 N개의 단편을 가진 데이터 패킷의 N번째 단편이 될 필요는 없다. 첫 번째 하나의 단편이 수신되면, 패킷 제어 블록 내의 단편 수신 필드가 증가된다. 단편 수신 필드가 전체 단편 카운트의 수와 동일할 때 그리고 Packet Complete 인터럽트가 인에이블되면 Packet Complete 인터럽트가 패킷 재조합 인터럽트 행렬에서 패킷 제어 블록의 어드레스 및 인터럽트 상태를 위치 설정함으로써 발생된다.

Packet Start 인터럽트(1150)는 단편의 단편 번호에 관계없이 새로운 데이터 패킷의 한 단편이 처음 수신될 때 발생된다. 그 대신에, 시스템 프로세서는 재조합 타이머를 세트하며, 설정된 시간 내에서, 새롭게 수신된 데이터 패킷과 연관된 모든 프레임이 수신되어야 하며, 그 외의 재조합은 중지된다. Packet Start

인터럽트가 인에이블 상태이면, 인터럽트가 패킷 재조합 인터럽트 행렬 내에서 패킷 제어 블록의 어드레스 및 인터럽트 상태를 위치 설정함으로써 발생된다. 제8도의 패킷 재조합 제어 구조는 단편이 완전히 수신되었을 때 및 패킷 제어 블록이 갱신되었을 때까지 인터럽트를 발생시키지 않는다.

본 발명 및 제13도에 따라, Ack 신호(1200)의 전송을 스케줄하도록 시스템 프로세서(100)에 의해 행해지는 단계를 나타내는 플로우 차트가 제공된다. 개시 블록(1300)에서 개시되어 제7도의 프로토콜 필드의 Frames To Ack 필드(780)가 제9도의 FCB(840)의 Frames To Ack 필드(847)에 결합되는 블록(1302)으로 흐름이 진행된다. 블록(1304)에서, 포인터는 제9도의 FCB 필드(848)로부터 해당 특수 데이터 패킷과 연관된 적절한 PCB(814-818)로 배치된다. 그 후, 블록(1306)에서, 시스템 프로세서(110)는 다음 TDMA 프레임의 개시를 기다린다. (즉, 프레임 개시). 프레임 개시의 검출시, 블록(1306)에서 FCB에 보관되어 있는 응답 확인 정보가 다음 TDMA 프레임 중의 적절한 시간 동안 전송을 위해 Ack신호(1200)를 포맷하도록 시스템 프로세서(110)에 의해 검사되는 블록(1308)으로 진행된다. 이 결과, PCB 포인터(848)에 의해 응답 확인된 PCB 정보가 색인된 PCB(814-818)로부터 제12도의 Ack 신호 포맷으로 복사된다. 그 후, 블록(1310)에서, 포맷된 Ack 신호가 처리를 위해 소스 장치로 역 전송된다.

이어서, 블록(1312)에서 Frames To Ack 필드(847)가 1의 값을 포함하고 있는지를 결정하도록 시스템 프로세서에 의해 검사된다. Frames To Ack 필드(847)가 1보다 큰 값을 포함하고 있다고 하면, 추가의 Ack 신호가 스케줄되어야 한다. 이에 따라, 흐름이 블록(1312)으로부터 Frames To Ack 필드(847)가 시스템 프로세서(110)에 의해 감소되는 블록(1314)으로 진행된다. 블록(1314)에서 흐름이 시스템 프로세서가 포인터(848)에 의해 색인된 갱신된 PCB 정보를 또 다른 Ack 신호로 복사하기 전에 또 다른 프레임 개시 표시를 기다리는 블록(1306)으로 다시 분리된다.

이러한 처리는 최종 Ack 신호가 전송을 위해 스케줄될 때까지, 즉 Frames To Ack 필드가 1일 때까지 계속된다. 임의의 추가적 Ack 신호가 블록(1312)에 의해 결정된 전송을 요하지 않으면 원래의 데이터 패킷과 연관된 모든 시스템 자원이 블록(1316)에서의 추가 사용을 위해 해제될 수 있다. 블록(1318)에서는 원래의 데이터 패킷(300)과 연관된 모든 단편들이 수신 및 응답 확인되었는지의 체크가 행해진다. 분할된 모든 패킷들이 올바르게 수신되어 응답 확인된 것으로 하면, 시스템 프로세서가 블록(1302)에서 추가적 처리를 위해 원래의 데이터 패킷을 포함하는 데이터를 보낸다. 그 외의 경우는 제11도의 인터럽트 제어 필드의 Next Fragment Intermpt Bit가 인에이블되어 시스템 프로세서가 제13도와 관련하여 기술된 스텝들에 따라 재전송된 데이터를 위해 적절한 Ack 신호를 재스케줄하도록 재전송된 단편의 수신시에 인터럽트될 수 있도록 하는 블랭거(1322)으로 흐름이 진행된다.

전술한 바와 같이, 송신 장치가 각각의 Ack 신호를 수신하여 처리한다. 임의의 데이터 부분들이 응답 확인되지 않은 상태로 되어 있으면, 소스 장치는 상실된 것으로 응답 확인된 이들 단편들을 재전송하도록 추가의 대역 폭 자원을 할당하는 처리를 수행한다. 재전송된 단편이 수신 장치에 도달되면, 패킷 재조합 제어 구조는 Next Fragment 인터럽트 비트가 이전에 인에이블되었기 때문에 시스템 프로세서(110)를 인터럽트한다. 그 후에, 프로세서(110)는 재전송된 데이터를 응답 확인하기 위해 또 다른 Ack 신호(200)의 전송을 스케줄할 뿐만 아니라 원래의 데이터 패킷의 재구성을 완료하기 위해 수신된 정보를 처리하도록 진행된다.

(57) 청구의 범위

청구항 1

분할된 데이터 패킷(fragmented data packet)과 연관된 복수의 패킷 단편(packet fragment)들의 수신을 응답 확인하기 위한 패킷 스위칭 시스템에서의 패킷 스위치에 있어서, 응답 확인 신호(acknowledgement signals)를 전송하고, 상기 다수의 패킷 단편을 수신하기 위한 송수신기 - 상기 각각의 패킷 단편은 상기 분할된 데이터 패킷과 연관된 어드레스, 제어 및 데이터 정보를 포함하며, 상기 패킷 스위치는 상기 송수신기에 결합되어 있으며, 상기 응답 확인 신호를 통해 상기 패킷 단편들의 수신을 응답 확인하고 상기 분할된 데이터 패킷을 포함하는 모든 패킷 단편들이 수신되었는지 여부를 결정하기 위한 메모리 논리를 포함함; 상기 메모리 논리에 결합되어 있으며, 상기 분할된 데이터 패킷을 포함하는 모든 패킷 단편들이 수신되지 않았으면 시스템 프로세서 인터럽트 신호를 인에이블하기 위한 수단; 상기 인에이블 수단에 결합되어 있으며, 재전송된 패킷 단편의 수신시에 상기 인터럽트 신호를 통해 시스템 처리 자원(system processing resource)을 인터럽트하기 위한 수단; 및 상기 시스템 처리 자원에 결합되어 있으며, 상기 재전송된 패킷 단편의 응답 확인 신호 전송을 스케줄하기 위한(scheduling) 수단을 구비하는 패킷 스위치.

청구항 2

패킷 스위치를 구비하는 패킷 스위칭 시스템에서, 소그(source)로부터의 복수의 분할된 데이터 패킷과 연관된 복수의 분할된 패킷 단편의 수신을 응답 확인하기 위한 방법에 있어서, 상기 패킷 스위치에서, 복수의 패킷 단편을 수신하는 단계, - 각각의 패킷 단편은 상기 복수의 분할된 데이터 패킷들 중 하나와 연관된 어드레스, 제어 및 데이터 정보를 포함함.-; 상기 패킷 스위치가, 각각의 패킷 단편의 수신을 응답 확인하며, 상기 수신된 패킷 단편과 연관되어 있고 상기 복수의 분할된 데이터 패킷 중 하나를 포함하는 모든 패킷 단편들이 수신되었는지 여부를 결정하는 단계; 상기 패킷 스위치가, 상기 수신된 패킷 단편과 연관되어 있고 상기 복수의 분할된 데이터 패킷 중 하나를 포함하는 모든 패킷 단편들이 수신되지 않았으면 시스템 처리기의 인터럽트 비트를 인에이블하는 단계; 상기 소스가, 응답 확인을 수신시에, 수신되지 않은 패킷 단편들의 재전송을 스케줄하는 단계; 상기 패킷 스위치가, 재전송된 패킷 단편의 수신시에, 인터럽트 신호를 통해 시스템 처리 자원을 인터럽트하는 단계; 및 상기 시스템 처리 자원이 상기 재전송된 패킷 단편의 수신을 응답 확인하기 위해 상기 소스로 전달하기 위한 응답 확인 신호의 전송을 스케줄하는 단계를 포함하는 복수의 패킷 단편의 수신 응답 확인 방법.

청구항 3

제2항에 있어서, 각각의 수신된 패킷 단편에 대응되는(respective) 데이터 버퍼를 할당하는 단계; 각각의 수신된 패킷 단편의 데이터 부분을 상기 할당된 대응 데이터 버퍼에 저장하는 단계; 및 각각의 대응 데이

타 버퍼를 가르키는 포인터를 제어 메모리 구조에 저장하는 단계를 더 포함하는 것을 특징으로 하는 복수의 분할된 패킷 단편의 수신 응답 확인 방법.

청구항 4

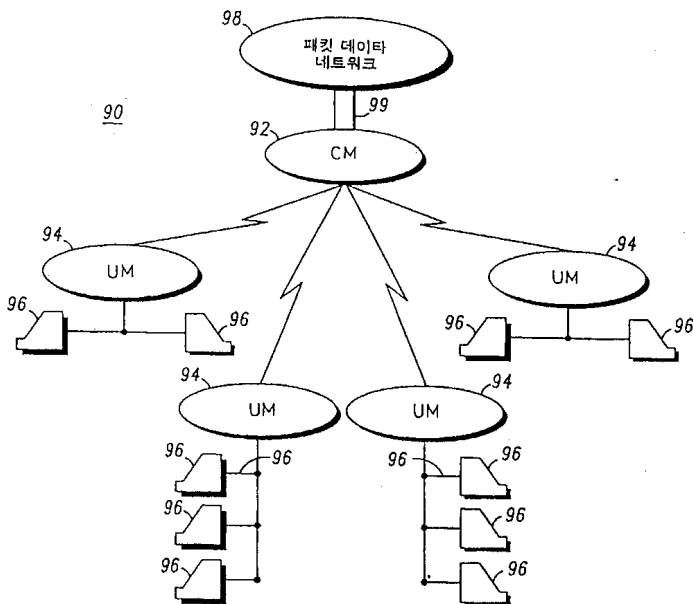
제2항에 있어서, 상기 분할된 데이터 패킷을 포함하는 패킷 단편들에 대한 응답확인을 전송하는데 필요한 TDMA 프레임의 수를 식별하기 위해, 수신된 패킷 단편의 제어 정보의 적어도 일부를 메모리에 복사해 두는 단계를 더 포함하는 복수의 패킷 단편의 수신 응답 확인 방법.

청구항 5

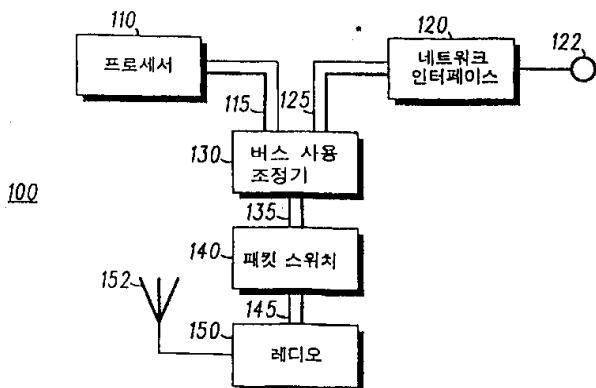
패킷 스위치를 구비하는 패킷 스위칭 시스템에서, 소스로부터 오는 그리고 분할된 데이터 패킷과 연관되어 있는 패킷 단편들의 수신을 응답 확인하기 위한 방법에 있어서, 상기 패킷 스위치에서, 상기 분할된 데이터 패킷과 연관된 어드레스, 제어 및 데이터 정보를 포함하는 복수의 패킷 단편들을 수신하는 단계; 상기 제어 정보 중 적어도 소정의 정보를 메모리 논리 구조에 복사하는 단계; 상기 저장된 제어 정보 중 적어도 소정의 정보를 응답 확인 신호에 복사하는 단계; 처리를 위해 상기 응답 확인 신호를 상기 소스로 전송하는 단계; 상기 분할된 데이터 패킷을 포함하는 추가의 패킷 단편들을 응답 확인하는데 추가의 응답 확인 신호들이 필요한지를 결정하는 단계; 상기 분할된 데이터 패킷을 포함하는 모든 패킷 단편들이 적절히 수신되었는지 여부를 결정하는 단계; 상기 분할된 데이터 패킷을 포함하는 모든 패킷 단편들이 적절히 수신되었으면 원래의 분할된 데이터 패킷과 연관된 모든 패킷 단편들의 데이터 부분을 처리하는 단계; 및 상기 분할된 데이터 패킷을 포함하는 모든 패킷 단편들이 적절하게 수신되지 않았으면, 재전송된 패킷 단편들의 처리를 위해 시스템 프로세서 인터럽트 비트를 인에이블하는 단계를 포함하는 패킷 단편의 수신 응답 확인 방법.

도면

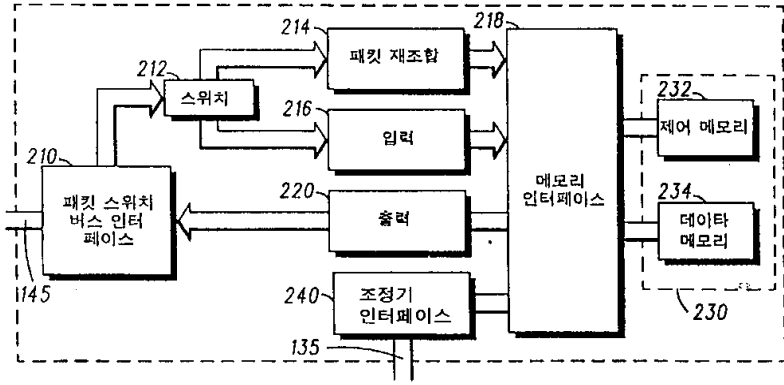
도면 1a



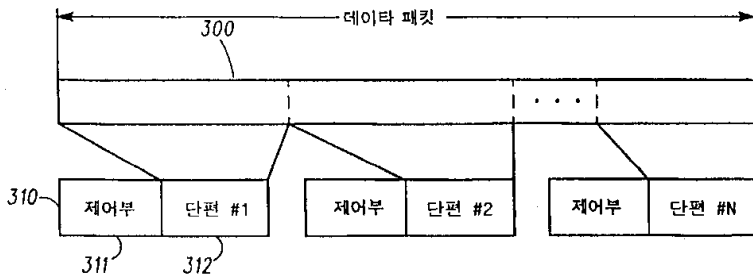
도면 1b



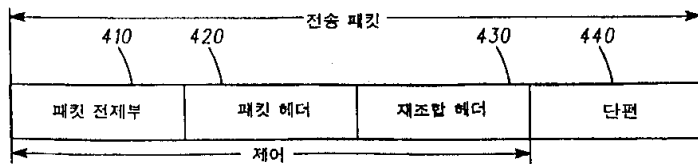
도면2



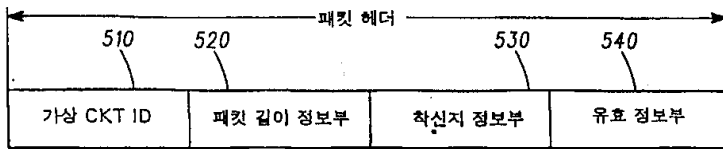
도면3



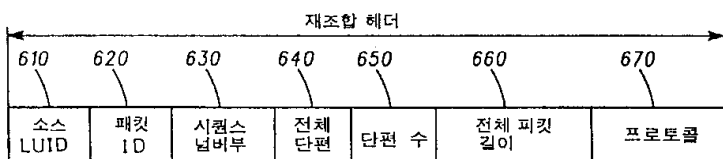
도면4



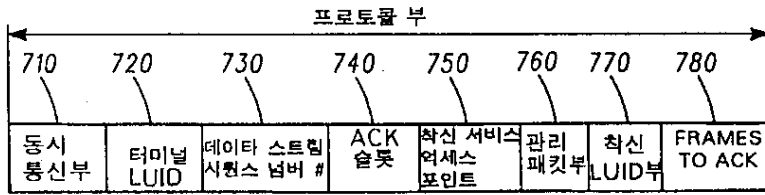
도면5



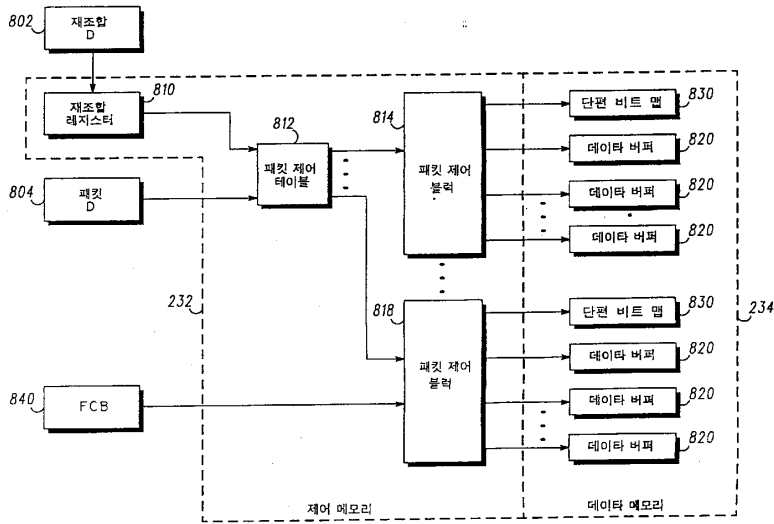
도면6



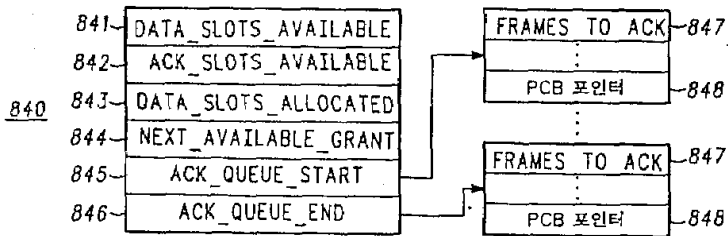
도면7



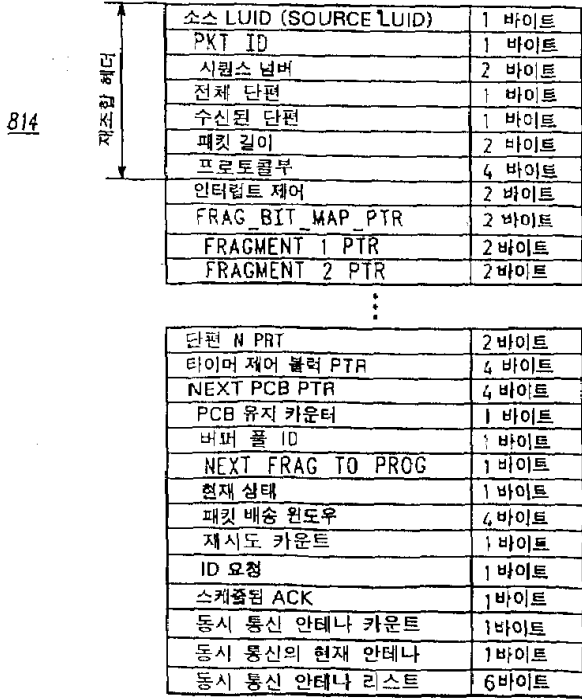
도면8



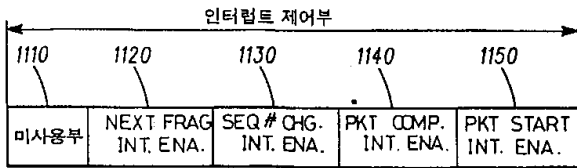
도면9



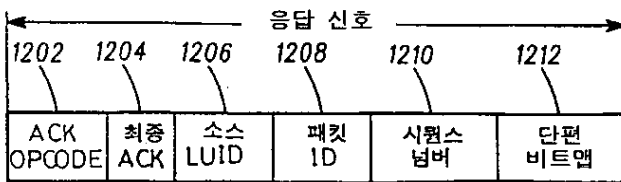
도면10



도면11



도면12



도면 13

