

公告本

740538

申請日期	90 年 4 月 11 日
案 號	90108654
類 別	20.1.2.1

A4
C4

492058

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 馬場嘉朗
	國 籍	(1) 日本 (1) 日本國神奈川縣横浜市磯子區中原三一一七一六
三、申請人	住、居所	
	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區堀川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 岡村正

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權
日本 2000 年 4 月 12 日 2000-111039 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明領域】

本發明係關於半導體裝置及其製造方法，特別是關於要求高耐壓的功率－M O S F E T（金屬－絕緣體－半導體場效電晶體，Metal Oxide Semiconductor Field Effect Transistor）。

【發明背景】

【習知技藝之說明】

近年來習知的電車（E V）的反相器（Inverter）等所使用的功率（Power）－M O S F E T，來自市場被要求更小型化、省能源化、低價格化等。

在這種要求強烈的功率－M O S F E T領域中，改善元件耐壓與接通（O n）電阻之取捨（Trade-off）已知例如具有圖3所示的構造之M O S F E T。此乃藉由在N汲極層101中形成多段的P埋入磊晶（Epitaxial）層102，降低N汲極層101的電阻，且在使N汲極層101的內部之P／N擴散層逆偏壓（Bias）時，欲完成使其空乏化。（R E S U R E（Reduced SURface Field）原理）。

其他在N汲極層中形成稱為P柱（Pillar）／N條（Stripe）的擴散層等類似的構造被提出。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (2)

【 表 1 】

構造的定義

$$\oint_v \Gamma(V) dv \sim n_i$$

V：汲極層（體積）

$\Gamma(V)$ ：汲極層內的活化雜質濃度

n_i ：矽的本徵（Intrinsic）濃度（ $\approx 10^{11} \text{ cm}^{-3}$ ）

：PIN二極體（Diode）的I層

此處， $\sim n_i$ 係意味著 $10^{11} \sim 10^{14} \text{ cm}^{-3}$ 。

且 $E(BV_{DSS}) < E_{crit} \text{ for every } V$

此乃 $\int_r P(r) dr < Q_{crit}$

可換言之為 $\int_r N(r) dr < Q_{crit}$ 。

r ：汲極層的微（Micro）方向向量（Vector）

$P(r)$ ：汲極層內的P型活化雜質濃度

$N(r)$ ：汲極層內的N型活化雜質濃度

$$E_{crit} = 2 \times 10^5 \text{ [v / cm]}$$

$$Q_{crit} = 1.5 \times 10^{12} \text{ [/ cm}^2 \text{]}$$

BV_{DSS} ：對元件施加崩潰電壓時的接合（Junction）的最大電場強度。

但是，上述構造的MOSFET等的情形有在N汲極層中的雜質輪廓之控制困難的問題。

即對於實現RESURF原理，要求N汲極層中的P型／N型的活化雜質的總和接近 $\sim n_i$ 以及當逆偏壓時在所有的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明(3)

區域完全空乏化，在所有的區域電場強度 $E < E_{crit}$ 。

如上述在習知中，有對於嘗試高耐壓化與低接通電阻化的兩立之 RESURF 原理的實現，N 汲極層中的雜質輪廓之控制困難的問題。

因此，本發明的目的係提供藉由異質 (Hetero) 構造不控制 N 汲極層中的雜質輪廓 (Profile) 可實現 RESURF 原理，容易使高耐壓化與低接通電阻化的兩立可能的半導體裝置及其製造方法。

【發明概要】

爲了達成上述目的，本發明的半導體裝置，其特徵包含：

第一導電型的第一半導體區域；

第一導電型的第二半導體區域，形成於該第一半導體區域上，雜質濃度比該第一半導體區域低；

第二導電型的第三半導體區域，選擇性地形成於該第二半導體區域的表面區域；

第一導電型的第四半導體區域，選擇性地形成於該第三半導體區域的表面區域；

閘電極，在該第三半導體區域間的該第二半導體區域表面，中介閘極介電層而形成；

第一電極，形成於該第四半導體區域間的該第三半導體區域表面；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

第二電極，形成於該第一半導體區域下，其中

在該第二半導體區域內配設複數個空洞部。

此外，本發明的半導體裝置，其特徵包含：

第一導電型的第一半導體區域；

第一導電型的第二半導體區域，形成於該第一半導體區域上，雜質濃度比該第一半導體區域低；

第二導電型的第三半導體區域，選擇性地形成於該第二半導體區域的表面區域；

第一導電型的第四半導體區域，選擇性地形成於該第三半導體區域的表面區域；

閘電極，在該第三半導體區域間的該第二半導體區域表面，中介閘極介電層而形成；

第一電極，形成於該第四半導體區域間的該第三半導體區域表面；以及

第二電極，形成於該第一半導體區域下，其中

在該第二半導體區域內配設複數個多孔(Porous)矽層。

此外，本發明的半導體裝置，其特徵包含：

第一導電型的第一半導體區域；

第一導電型的第二半導體區域，形成於該第一半導體區域上，雜質濃度比該第一半導體區域低；

第二導電型的第三半導體區域，選擇性地形成於該第二半導體區域的表面區域；

第一導電型的第四半導體區域，選擇性地形成於該第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

三半導體區域的表面區域；

閘電極，在該第三半導體區域間的該第二半導體區域表面，中介閘極介電層而形成；

第一電極，形成於該第四半導體區域間的該第三半導體區域表面；以及

第二電極，形成於該第一半導體區域下，其中

在該第二半導體區域內配設複數個電介質（Dielectric）層。

再者，本發明的半導體裝置的製造方法，其特徵包含：

第一工程，在該第一半導體區域上，形成第一導電型的第一磊晶層；

第二工程，在此第一磊晶層的表面區域，形成複數個渠溝；

第三工程，藉由氬回火分別使該渠溝的上部閉口而形成複數個空洞部；以及

第四工程，在形成該複數個空洞部的該第一磊晶層上，形成第一導電型的第二磊晶層。

如果依照本發明的半導體裝置及其製造方法，不控制雜質輪廓，可控制第二半導體區域的平均濃度為 $\sim N_i$ 。據此，可實效地降低逆偏壓時的第二半導體區域的內部電場到第二半導體區域不引起突崩（Avalanche）的程度。

【圖式之簡單說明】

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(6)

圖 1 係顯示與本發明的第一實施形態有關的功率－M O S F E T 的概略構成之剖面圖。

圖 2 係顯示與本發明的第二實施形態有關的功率－M O S F E T 的概略構成之剖面圖。

圖 3 係爲了說明習知技術與其問題點所示的功率－M O S F E T 的概略剖面圖。

【符號說明】

- 1 1 : n^{+} 型的矽基板
- 1 2 、 1 2 ' : n^{-} 型的磊晶層
- 1 2 a : 空洞部
- 1 2 b : 電介質層
- 1 3 : p 型雜質區域
- 1 4 : n^{+} 型雜質區域
- 1 5 : 閘極氧化膜
- 1 6 : 閘電極
- 1 7 : 源電極
- 1 0 1 : N 汲極層
- 1 0 2 : 多段的 P 埋入磊晶層

【較佳實施例之詳細說明】

以下，參照圖面說明關於本發明的實施形態。

(第一實施形態)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明(7)

圖 1 係顯示與本發明的第一實施形態有關的功率 - MOS FET 的概略構成圖。

即圖 1 所示的功率 - MOS FET 係在 n^+ 型的矽基板 (第一導電型的第一半導體區域) 1 1 上形成成為汲極 (Drain) (或集極 (Collector)) 區域的 n^- 型的磊晶層 (第一導電型的第二半導體區域) 1 2 , 變成在此磊晶層 1 2 的表面區域選擇性地形成成為 p 基極 (Base) 區域的 p 型雜質區域 (第二導電型的第三半導體區域) 1 3 、成為 1 3 與 n^+ 源極 (Source) 區域的 n^+ 型雜質區域 (第一導電型的第四半導體區域) 1 4 之構造, 上述磊晶層 1 2 係被做成混合複數個空洞部 1 2 a 而配設的異質構造 (異質的 N 緩衝構造) 。

然後, 上述 p 型雜質區域 1 3 間在對應 1 3 的上述磊晶層 1 2 的表面 (通道 (Channel)) 上, 中介閘極氧化膜 (閘極介電層) 1 5 , 配設由多晶矽 (Polysilicon) 等所構成的閘電極 1 6 。

而且, 上述 n^+ 型雜質區域 1 4 間在對應 1 4 的上述 p 型雜質區域 1 3 的表面上分別形成源電極 1 7 , 然後, 上述矽基板 1 1 的背面側變成汲電極。

上述磊晶層 1 2 被製作成形成具有複數個空洞部 1 2 a 的異質的 N 緩衝構造之構成。

這種情形上述空洞部 1 2 a 例如在成長用以形成上述磊晶層 1 2 的矽 (Si) 過程中, 於形成適宜、次微米單位的渠溝後, 可藉由利用氫回火促進表面原子的遷移 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

Migration) 使上述的渠溝的上部閉口來形成。然後，重複此工程在如上述的內部可獲得製作複數個空洞部 1 2 a 而成的磊晶層 1 2。

此處，更具體地以具有 5 0 0 V 系耐壓的功率 - M O S F E T 為例子，說明關於其磊晶層的形成方法。

例如，使用單片式的磊晶成長裝置，首先在 n^+ 型的矽基板 1 1 上藉由約 1 0 0 0 °C 的溫度、以 1 0 μ m 左右的厚度使被摻雜約 $1 \times 10^{10} / \text{cm}^{-3}$ 的 n 型雜質濃度的 S i 膜成長，形成第一層的磊晶層（第一磊晶層）。

其次，在此第一層磊晶層的表面上以約 5 0 0 0 埃的厚度形成 C V D 氧化膜。

接著，利用乾式蝕刻（Dry etching）形成此 C V D 膜的圖案（Patterning），例如形成約 1 m m 四角形大小的開口圖案（Pattern）。這種情形形成複數個開口圖案俾開口面積比為 3 0 % 以下。

接著，以形成複數個開口圖案的 C V D 膜為罩幕（Mask）進行 R I E（反應性離子蝕刻法，Reactive Ion Etch）等，在上述第一磊晶層的表面區域分別形成約 0 . 6 μ m 四角形、深度 1 μ m 左右的渠溝。

接著，在除去 C V D 膜後使用上述磊晶成長裝置，藉由 8 0 °C 以上的溫度進行氫還原處理，除去在上述第一層磊晶層的表面所產生的自然氧化膜。此時，因表面原子的遷移效果使各渠溝的上部（開口部）被閉口，形成複數個空洞部。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(9)

接著，使用上述磊晶成長裝置，藉由約 1000°C 的溫度以 $10\text{ }\mu\text{m}$ 左右的厚度使被摻雜約 $1 \times 10^{15} / \text{cm}^{-3}$ 的 n 型雜質濃度的 Si 膜成長，在上述第一磊晶層上，形成第二層的磊晶層（第二磊晶層）。

然後對第二磊晶層重複上述各工程後，第三層磊晶層的形成更藉由與第一層、第二層的磊晶層之形成一樣來進行，具有 500V 系耐壓的功率 - MOS FET 的磊晶層，可獲得與圖 1 不同的複數個空洞部以兩段構造製作而成的磊晶層。

此外，空洞部 12a 的大小、個數以及位置等係根據需要的元件特性（元件耐壓或接通電阻）來決定。

具有這種空洞部 12a 的磊晶層 12 的濃度可提高到平均磊晶層濃度的 10 倍左右或 10 倍以上。因空洞部 12a 的介電常數（Dielectric constant）為 Si 的 12 倍，故絕緣破壞可期待為 E_{crit} 的 100 倍以上。

巨觀的異質的 N 緩衝構造的磊晶層 12 中的 I 層可降低電阻且能提高破壞電場強度。換言之，SiC 等的 E_{crit} 可與 Si 的 10 倍新材料匹敵。

這種情形的構造如後面所揭示的表 2 所示來定義。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (10)

【 表 2 】

$\oint_V \nabla \cdot \Gamma (V) + \rho (V) dV \simeq n_i$
 $V' : V - V_{hetero}$
 V_{hetero} : 汲極層的體積中的非 S_i 區域 (異質區域)

$\rho (V)$: 具有非 S_i 區域的電荷分布
據此 ,
 $Q'_{crit} \simeq \int_{|r| > Q_{crit}} \{ P (-r) + \rho (-r) \} d^{-}r /$

或
 $Q'_{crit} \simeq \int_{|r| > Q_{crit}} \{ N (-r) + \rho (-r) \} d^{-}r /$

可擴張習知的 RESURF principle (原理) 。
故可期待
 $Q'_{crit} > Q_{crit} = > E'_{crit} > E_{crit}$

如此 , 藉由形成空洞部 1 2 a 成總體 (Bulk) ,
不控制雜質輪廓 , 可控制磊晶層 1 2 的平均濃度為 $\sim N_i$
。據此 , 可實效地降低逆偏壓時的總體的內部電場到 S_i
自身不引起突崩程度。

因此 , 無須複雜的雜質輪廓之控制 , 可實現 RESURF 原理 , 可容易使高耐壓化與低接通電阻化兩立。

(第二實施形態)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明 (11)

圖 2 係顯示與本發明的第二實施形態有關的功率 - MOS FET 的概略構成圖。此外，此處為取代空洞部在磊晶層中混合複數個電介質層而配設的情形之例子。

即這種情形的磊晶層 1 2' 例如具有負的固定電荷 (-)，複數個電介質層 1 2 b 被製作成形成總體的異質的 N 緩衝構造。

如此，即使藉由在磊晶層 1 2' 中形成電介質層 1 2 b，也能控制磊晶層 1 2' 的平均濃度為 $\sim N_i$ 。其結果可得到與上述第一實施形態大致相同的功效。

此外，不限於形成空洞部或電介質層成總體，例如在磊晶層中配設複數個多孔矽層 (未圖示)，據此，藉由實現異質的 N 緩衝構造，也能期待與上述第一、第二實施形態的情形一樣的功效。

如上述不控制雜質輪廓，可控制磊晶層的平均濃度為 $\sim N_i$ 。

即實現形成空洞部或多孔矽層或電介質層成總體而成的異質的 N 緩衝構造。據此，可實效地降低逆偏壓時的總體的內部電場到 S_i 自身不引起突崩程度。因此，無須複雜的雜質輪廓之控制，可實現 RESURF 原理，可容易使高耐壓化與低接通電阻化兩立。

其他，在不變更本發明的要旨的範圍中，當然可進行種種的變形實施。

【發明的效果】

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12)

如以上詳述的如果依照本發明，可提供藉由異質構造不控制 N 汲極層中的雜質輪廓可實現 RESURF 原理，容易使高耐壓化與低接通電阻化的兩立可能的半導體裝置及其製造方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要 (發明之名稱 半導體裝置及其製造方法)

[課題]

本發明其最主要特徵為在功率－MOS FET中，不控制雜質輪廓，俾可實現RESURF原理。

[解決手段]

例如在使Si磊晶成長的過程中，形成適宜、次微米單位的渠溝。然後，藉由利用氫回火促進表面原子的遷移使渠溝的上部閉口，形成空洞部12a。然後，藉由重複此工程在磊晶層12中製作複數個空洞部12a，成為實現異質的N緩衝構造之構成。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1、一種半導體裝置，其特徵包含：

第一導電型的第一半導體區域；

第一導電型的第二半導體區域，形成於該第一半導體區域上，雜質濃度比該第一半導體區域低；

第二導電型的第三半導體區域，選擇性地形成於該第二半導體區域的表面區域；

第一導電型的第四半導體區域，選擇性地形成於該第三半導體區域的表面區域；

閘電極，在該第三半導體區域間的該第二半導體區域表面，中介閘極介電層而形成；

第一電極，形成於該第四半導體區域間的該第三半導體區域表面；以及

第二電極，形成於該第一半導體區域下，其中

在該第二半導體區域內配設複數個空洞部。

2、如申請專利範圍第1項所述之半導體裝置，其中該空洞部係在使該第二半導體區域成長的過程中，於形成適宜、複數個渠溝後，藉由氬回火分別使該渠溝的上部閉口而形成。

3、一種半導體裝置，其特徵包含：

第一導電型的第一半導體區域；

第一導電型的第二半導體區域，形成於該第一半導體區域上，雜質濃度比該第一半導體區域低；

第二導電型的第三半導體區域，選擇性地形成於該第二半導體區域的表面區域；

六、申請專利範圍

第一導電型的第四半導體區域，選擇性地形成於該第三半導體區域的表面區域；

閘電極，在該第三半導體區域間的該第二半導體區域表面，中介閘極介電層而形成；

第一電極，形成於該第四半導體區域間的該第三半導體區域表面；以及

第二電極，形成於該第一半導體區域下，其中在該第二半導體區域內配設複數個多孔矽層。

4、一種半導體裝置，其特徵包含：

第一導電型的第一半導體區域；

第一導電型的第二半導體區域，形成於該第一半導體區域上，雜質濃度比該第一半導體區域低；

第二導電型的第三半導體區域，選擇性地形成於該第二半導體區域的表面區域；

第一導電型的第四半導體區域，選擇性地形成於該第三半導體區域的表面區域；

閘電極，在該第三半導體區域間的該第二半導體區域表面，中介閘極介電層而形成；

第一電極，形成於該第四半導體區域間的該第三半導體區域表面；以及

第二電極，形成於該第一半導體區域下，其中在該第二半導體區域內配設複數個電介質層。

5、如申請專利範圍第4項所述之半導體裝置，其中該複數個電介質層分別具有負的固定電荷。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

6、如申請專利範圍第1、3或4項所述之半導體裝置，其中該第四半導體區域其雜質濃度比該第二半導體區域高。

7、如申請專利範圍第1、3或4項所述之半導體裝置，其中構成以該第二半導體區域為汲極、以該第三半導體區域為通道、以該第四半導體區域為源極、以該第一電極為源電極、以該第二電極為汲電極而成的功率－M O S F E T。

8、如申請專利範圍第1、3或4項所述之半導體裝置，其中該第一半導體區域為矽基板、該第二半導體區域為形成於該矽基板上的磊晶層。

9、一種半導體裝置的製造方法，其特徵包含：
第一工程，在該第一半導體區域上，形成第一導電型的第一磊晶層；
第二工程，在此第一磊晶層的表面區域，形成複數個渠溝；
第三工程，藉由氫回火分別使該渠溝的上部閉口而形成複數個空洞部；以及
第四工程，在形成該複數個空洞部的該第一磊晶層上，形成第一導電型的第二磊晶層。

10、如申請專利範圍第9項所述之半導體裝置的製造方法，其中藉由重複預定的次數、該第二～該第四的各工程，在該第一半導體區域上具有該複數個空洞部，形成雜質濃度比該第一半導體區域還低的第一導電型的第二半

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

導體區域。

1 1、如申請專利範圍第 1 0 項所述之半導體裝置的製造方法，其中更包含：

在該第二半導體區域的表面區域選擇性地形成第二導電型的第三半導體區域之工程；

在該第三半導體區域的表面區域選擇性地形成第一導電型的第四半導體區域之工程；

在該第三半導體區域間的該第二半導體區域表面，中介閘極介電層形成閘電極之工程；

在該第四半導體區域間的該第三半導體區域表面，形成第一電極之工程；以及

在該第一半導體區域下形成第二電極之工程。

1 2、如申請專利範圍第 1 1 項所述之半導體裝置的製造方法，其中該第四半導體區域其雜質濃度比該第二半導體區域高。

1 3、如申請專利範圍 1 1 項所述之半導體裝置的製造方法，其中構成以該第二半導體區域為汲極、以該第三半導體區域為通道、以該第四半導體區域為源極、以該第一電極為源電極、以該第二電極為汲電極而成的功率－M O S F E T。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

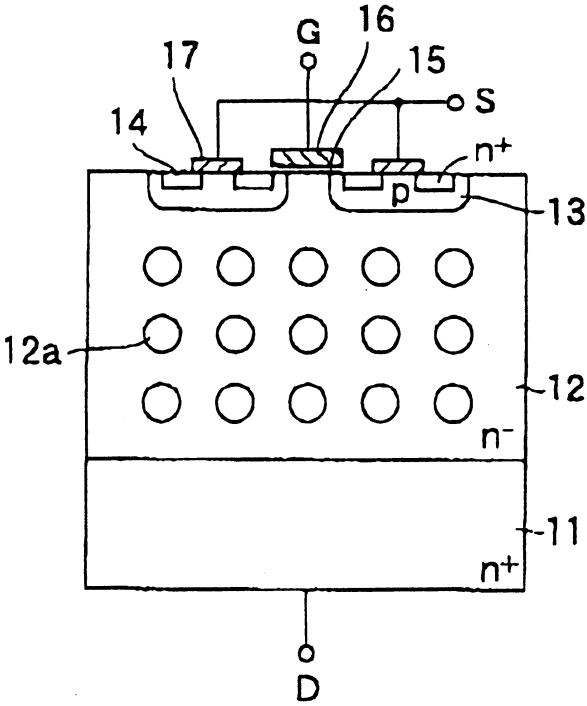


圖 1

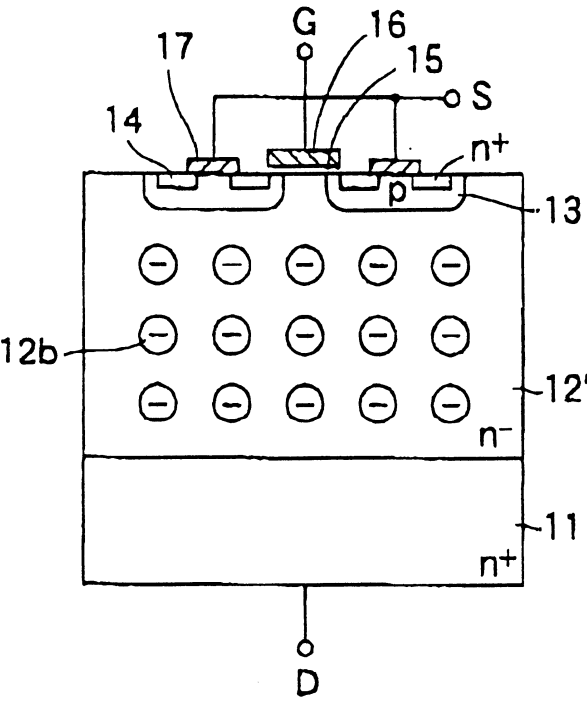


圖 2

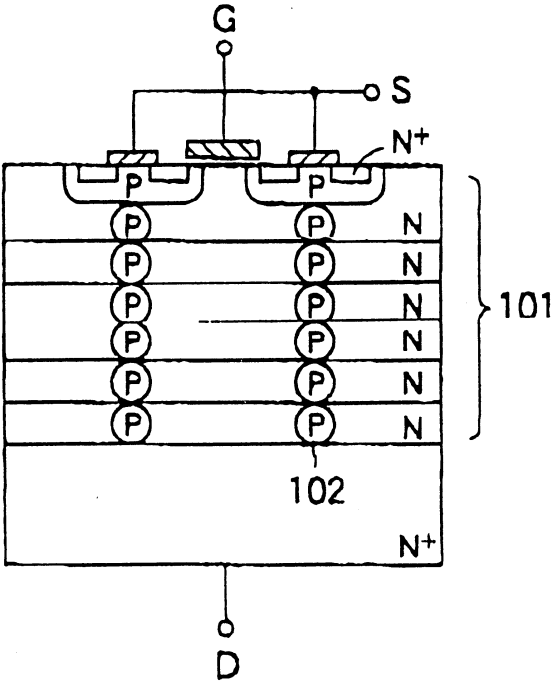


圖 3