(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月1日(01.02.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/021575 A1

(51) 国際特許分類:
H01L 29/12 (2006.01)　*H01L 21/336* (2006.01)
C30B 29/36 (2006.01)　*H01L 29/78* (2006.01)
C30B 33/04 (2006.01)

(21) 国際出願番号：　PCT/JP2017/027579

(22) 国際出願日：　2017年7月28日(28.07.2017)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2016-150853　2016年7月29日(29.07.2016)　JP

(71) 出願人: 富士電機株式会社(**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

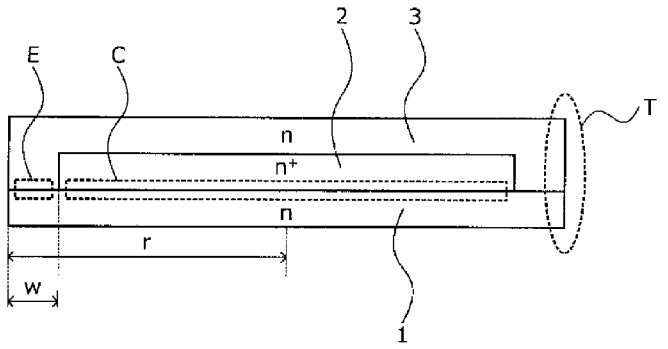
(72) 発明者: 俵 武志(**TAWARA, Takeshi**); 〒3058569 茨城県つくば市小野川１６－１ 国立研究開発法人産業技術総合研究所内 Ibaraki (JP). 土田 秀一(**TSUCHIDA, Hidekazu**); 〒2400196 神奈川県横須賀市長坂２－６－１ 一般財団法人電力中央研究所 材料科学研究所内 Kanagawa (JP). 宮澤 哲哉(**MIYAZAWA, Tetsuya**); 〒2400196 神奈川県横須賀市長坂２－６－１ 一般財団法人電力中央研究所 材料科学研究所内 Kanagawa (JP).

(74) 代理人: 酒井 昭徳(**SAKAI, Akinori**); 〒1020094 東京都千代田区紀尾井町３番１２号 紀尾井町ビル７階 酒井総合特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** SILICON CARBIDE SEMICONDUCTOR SUBSTRATE, PRODUCTION METHOD FOR SILICON CARBIDE SEMICONDUCTOR SUBSTRATE, SEMICONDUCTOR DEVICE, AND PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化珪素半導体基板、炭化珪素半導体基板の製造方法、半導体装置および半導体装置の製造方法



(57) **Abstract:** This silicon carbide semiconductor substrate includes: a silicon carbide substrate (1) of a first conductor type, which comprises a central part and an outer peripheral part covering an area of a prescribed width w from the edge; a buffer layer (2) of the first conductor type, which is provided on the obverse surface of the central part of the silicon carbide substrate (1), and which is added with a second impurity different from a first impurity that determines the conductor type of the silicon carbide substrate (1) and that is included at a concentration of not less than $1.0 \times 10^{18}/cm^3$; and an epitaxial layer (4) of the first conductor type, which is disposed on the obverse surface of the outer peripheral part of the silicon carbide substrate (1), and in which the concentration of the first impurity is lower than that in the buffer layer (2). According to this configuration, even when a buffer layer having an impurity concentration equal to or higher than a substrate is formed on the substrate, it is possible to prevent a lifetime killer from spreading in an element manufacturing process and also to prevent a stacking failure to occur at the edge of the substrate.

WO 2018/021575 A1

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:炭化珪素半導体基板は、端部から所定の幅ｗまでの外周部と中央部とからなる第１導電型の炭化珪素基板（１）と、前記炭化珪素基板（１）の前記中央部のおもて面に設けられ、前記炭化珪素基板（１）の導電型を決める第１の不純物と異なる第２の不純物が添加された、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上の第１導電型のバッファ層（２）と、前記炭化珪素基板（１）の前記外周部のおもて面に設けられた、前記第１の不純物の濃度が前記バッファ層（２）の濃度より低い第１導電型のエピタキシャル層（４）とを含む。このようにすることで、基板と同程度以上の不純物濃度のバッファ層を基板上に成膜した場合でも、素子製造工程内にライフタイムキラーが拡散すること、および、基板端部から積層欠陥が発生することを防止する。

明　細　書

発明の名称 ：

炭化珪素半導体基板、炭化珪素半導体基板の製造方法、半導体装置および半導体装置の製造方法

技術分野

[0001] この発明は、炭化珪素半導体基板、炭化珪素半導体基板の製造方法、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 基板上に炭化珪素（ＳｉＣ）をエピタキシャル成長させたエピタキシャルウェハ（炭化珪素半導体基板、以下、単に基板と略する）には、多くの結晶欠陥・転位が存在しており、これらが炭化珪素半導体装置の特性に悪影響を与えていると考えられている。特に、エピタキシャル成長させた層中の基底面転位（ＢＰＤ：Ｂａｓａｌ　Ｐｌａｎｅ　Ｄｉｓｌｏｃａｔｉｏｎ）は、半導体装置をバイポーラ動作させた際に積層欠陥に拡張し、電流を流れにくくすることにより半導体装置のオン電圧を上昇させ「バイポーラ劣化」の発生につながる。

[0003] ＢＰＤは、基板に数百～数千個／ｃｍ^{2}の密度で存在する。その多くは、エピタキシャル成長中に、貫通刃状転位（ＴＥＤ：Ｔｈｒｅａｄｉｎｇ　Ｅｄｇｅ　Ｄｉｓｌｏｃａｔｉｏｎ）に変換されるが、ＢＰＤは、エピタキシャル成長後、基板に１～１００個／ｃｍ^{2}の密度で残る。この場合、この基板から作製（製造）した炭化珪素半導体装置をバイポーラ動作させる際、過剰に電流を流すと、基板内のＢＰＤが拡張し、三角・帯状の積層欠陥が発生する。

[0004] 図７は、従来の炭化珪素半導体基板に発生した積層欠陥のフォトルミネッセンス発光を撮影した上面図である。従来の炭化珪素半導体基板から形成したｐｉｎ（ｐ－ｉｎｔｒｉｎｓｉｃ－ｎ）ダイオードを、６００Ａ／ｃｍ^{2}の電流密度で１時間程度バイポーラ動作させた後、アノード電極を乖離し、室

温で４２０ｎｍ近傍のバンドパスフィルターを用いて、基板に対してフォトルミネッセンス発光の測定を行った結果である。図７には、基板内に、基板の左右両端に亘って長く延びた帯状積層欠陥と複数の三角形状積層欠陥が共に発光した状態が示されている。

[0005] 帯状積層欠陥、三角形状積層欠陥が発生する原因として、基板中での電子－ホールの再結合が挙げられる。この再結合を抑制するため、基板上のエピタキシャル成長（以下、エピ成長と略する）させたバッファ層を厚くすることにより、基板への過剰なホール注入を防ぐ技術がある（例えば、非特許文献１参照）。

[0006] 炭化珪素バイポーラ型半導体装置の第２導電型電荷注入層の表層に高ドーピング層を形成し、ドリフト層からの電子（または正孔）のうち該電界注入層において捕捉できなかった電子（または正孔）を該高ドーピング層にて捕捉し、積層欠陥の発生およびその面積拡大を抑制する技術がある（例えば、特許文献１参照）。

先行技術文献

特許文献

[0007] 特許文献1：特開２００９－０１０１２０号公報

非特許文献

[0008] 非特許文献1：Ｊ．Ｊ．スマーケリス（Ｓｕｍａｋｅｒｉｓ）他、「バイポーラ型ＳｉＣ半導体装置の順方向電圧安定化へのアプローチ（Ａｐｐｒｏａｃｈｅｓ ｔｏ Ｓｔａｂｉｌｉｚｉｎｇ ｔｈｅ Ｆｏｒｗａｒｄ Ｖｏｌｔａｇｅ ｏｆ Ｂｉｐｏｌａｒ ＳｉＣ Ｄｅｖｉｃｅｓ）」、（米国）、マテリアルサイエンスフォーラム（Ｍａｔｅｒｉａｌｓ Ｓｃｉｅｎｃｅ Ｆｏｒｕｍ）、オンライン第４５７－４６０巻、２００４年 ｐ．１１１３－１１１６

発明の概要

発明が解決しようとする課題

[0009] しかしながら、厚いバッファ層の成膜は、エピ成長のスループット低下によるコスト増大、欠陥密度増加による歩留まり低下および基板の抵抗増大につながる。このため、基板と同程度以上の不純物濃度のバッファ層を成膜することで、バッファ層の厚みを抑制しつつ、大電流でバイポーラ動作させても、基板内の三角・帯状積層欠陥の発生を効果的に抑制することが可能な炭化珪素半導体基板（以下、積層欠陥抑制半導体基板と略する）が提案されている。

[0010] 図８は、積層欠陥抑制半導体基板の構成を示す断面図である。図８に示すように、積層欠陥抑制基板は、ｎ型炭化珪素基板１の第１主面（おもて面）、例えば（０００１）面（Ｓｉ面）、にｎ$^{+}$型炭化珪素バッファ層２が堆積されている。

[0011] ｎ型炭化珪素基板１は、例えば窒素（Ｎ）がドーピングされた炭化珪素単結晶基板である。ｎ$^{+}$型炭化珪素バッファ層２は、ライフタイムキラーが導入され、１．０×１０^{18}／ｃｍ^{3}以上の不純物濃度で、例えば窒素がドーピングされているバッファ層である。ライフタイムキラーとしては、例えば、ホウ素（Ｂ）、バナジウム（Ｖ）、チタン（Ｔｉ）、クロム（Ｃｒ）、鉄（Ｆｅ）等の少なくとも１種類以上が選択可能である。ｎ$^{+}$型炭化珪素バッファ層２の、ｎ型炭化珪素基板１側に対して反対側の表面側は、ｎ型耐圧維持層３が形成されている。ｎ型耐圧維持層３は、ｎ型炭化珪素基板１およびｎ$^{+}$型炭化珪素バッファ層２より低不純物濃度で、例えば窒素がドーピングされているドリフト層である。

[0012] 積層欠陥抑制半導体基板は、ｎ$^{+}$型炭化珪素バッファ層２内で電子－ホールの再結合を促進し、ｎ型炭化珪素基板１に注入されるホール密度を抑えることで、三角・帯状積層欠陥の発生を効果的に抑制する。

[0013] ここで、炭化珪素は、不純物が拡散しにくい材料であるため、ライフタイムキラーとして、素子製造工程内の最高温度である１６００～１７００℃程度の高温でも拡散しにくい材料を選ぶことは可能である。しかし、積層欠陥抑制半導体基板は、基板端部Ｔでｎ$^{+}$型炭化珪素バッファ層２が露出している

。このため、素子製造工程内で犠牲酸化を行う際に、ライフタイムキラーが拡散して、製造される素子を汚染してしまう問題がある。

[0014] また、高濃度の窒素がドーピングされたｎ+型炭化珪素バッファ層２が基板端部Ｔにエピタキシャル成長により成膜されると、基板端部Ｔに存在する研磨傷を起因として積層欠陥が発生し、基板中心部へ積層欠陥が伸長する問題がある。

[0015] この発明は、上述した技術による問題点を解消するため、ライフタイムキラーを添加した１．０×１０^{18}／ｃｍ^{3}以上の不純物濃度のバッファ層を基板上に成膜した場合でも、素子製造工程内にライフタイムキラーが拡散すること、および、基板端部から積層欠陥が発生することを防止できる炭化珪素半導体基板、炭化珪素半導体基板の製造方法、半導体装置および半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0016] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体基板は、次の特徴を有する。炭化珪素半導体基板は、第１導電型の炭化珪素基板と、第１導電型のバッファ層と、第１導電型のエピタキシャル層と、を含む。第１導電型の炭化珪素基板は、端部から所定の幅までの外周部と、該外周部以外の中央部とからなる。第１導電型のバッファ層は、前記炭化珪素基板の前記中央部のおもて面に設けられ、前記炭化珪素基板の導電型を決める第１の不純物と前記第１の不純物と異なる第２の不純物とが添加され、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上である。第１導電型のエピタキシャル層は、前記炭化珪素基板の前記外周部のおもて面に設けられ、前記第１の不純物の濃度が前記バッファ層の濃度より低い。

[0017] また、この発明にかかる炭化珪素半導体基板は、上述した発明において、前記エピタキシャル層は、耐圧維持層であり、前記耐圧維持層は、前記バッファ層の前記炭化珪素基板側に対して反対側の表面にも設けられることを特徴とする。

[0018] また、この発明にかかる炭化珪素半導体基板は、上述した発明において、

前記バッファ層の前記炭化珪素基板側に対して反対側の表面、および、前記エピタキシャル層の前記炭化珪素基板側に対して反対側の表面に設けられた、前記第１の不純物の濃度が前記バッファ層の濃度より低い第１導電型の耐圧維持層をさらに含むことを特徴とする。

[0019] また、この発明にかかる炭化珪素半導体基板は、上述した発明において、前記所定の幅は、０．１ｍｍ以上、３０ｍｍ以下であることを特徴とする。

[0020] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体基板の製造方法は、次の特徴を有する。まず、端部から所定の幅までの外周部と、該外周部以外の中央部とからなる第１導電型の炭化珪素基板の前記中央部のおもて面に、前記炭化珪素基板の導電型を決める第１の不純物と前記第１の不純物と異なる第２の不純物とが添加された、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上の第１導電型のバッファ層を形成する。次に、前記炭化珪素基板の前記外周部のおもて面、および、前記バッファ層の前記炭化珪素基板側に対して反対側の表面に、前記第１の不純物の濃度が前記バッファ層の濃度より低い第１導電型の耐圧維持層を形成する。

[0021] また、この発明にかかる炭化珪素半導体基板の製造方法は、上述した発明において、前記バッファ層は、前記外周部を覆うカバー治具を前記炭化珪素基板のおもて面に載置した後、エピタキシャル成長により形成することを特徴とする。

[0022] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体基板の製造方法は、次の特徴を有する。まず、端部から所定の幅までの外周部と、該外周部以外の中央部とからなる第１導電型の炭化珪素基板のおもて面に、前記炭化珪素基板の導電型を決める第１の不純物の濃度が前記炭化珪素基板の濃度より低い第１導電型のエピタキシャル層を形成する。次に、前記エピタキシャル層の前記炭化珪素基板の前記中央部と対向する領域に、前記炭化珪素基板に達する、前記第１の不純物と前記第１の不純物と異なる第２の不純物とが添加された、前記第１の不純物の濃度が１．

０×１０^{18}／ｃｍ^{3}以上の第１導電型のバッファ層を形成する。次に、前記エピタキシャル層および前記バッファ層の前記炭化珪素基板側に対して反対側の表面に、前記第１の不純物の濃度が前記バッファ層の濃度より低い第１導電型の耐圧維持層を形成する。

[0023] また、この発明にかかる炭化珪素半導体基板の製造方法は、上述した発明において、前記バッファ層は、前記中央部と対向する領域に開口部を有するマスクを前記エピタキシャル層の表面に形成した後、イオン注入により形成することを特徴とする。

[0024] また、この発明にかかる炭化珪素半導体基板の製造方法は、上述した発明において、前記所定の幅は、０．１ｍｍ以上、３０ｍｍ以下であることを特徴とする。

[0025] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。半導体装置は、第１導電型の炭化珪素基板と、第１導電型のバッファ層と、第１導電型のエピタキシャル層と、を含む炭化珪素半導体基板を有する。第１導電型の炭化珪素基板は、端部から所定の幅までの外周部と、該外周部以外の中央部とからなる。第１導電型のバッファ層は、前記炭化珪素基板の前記中央部のおもて面に設けられ、前記炭化珪素基板の導電型を決める第１の不純物と前記第１の不純物と異なる第２の不純物とが添加され、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上の第１導電型のエピタキシャル層は、前記炭化珪素基板の前記外周部のおもて面に設けられ、前記第１の不純物の濃度が前記バッファ層の濃度より低い。

[0026] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。半導体装置の製造方法は、第１導電型の炭化珪素基板と、第１導電型のバッファ層と、第１導電型のエピタキシャル層と、を含む炭化珪素半導体基板を用いる工程を有する。第１導電型の炭化珪素基板は、端部から所定の幅までの外周部と、該外周部以外の中央部とからなる。第１導電型のバッファ層は、前記炭化珪素基板の前記中

央部のおもて面に設けられ、前記炭化珪素基板の導電型を決める第１の不純物と前記第１の不純物と異なる第２の不純物とが添加され、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上の第１導電型のエピタキシャル層は、前記炭化珪素基板の前記外周部のおもて面に設けられ、前記第１の不純物の濃度が前記バッファ層の濃度より低い。

[0027] 上述した発明によれば、ライフタイムキラーが導入されたｎ$^{+}$型炭化珪素バッファ層の端部は、ｎ型耐圧維持層に覆われ、露出していない。炭化珪素は、不純物が拡散しにくい材料であるため、端部を覆うことで、ライフタイムキラーが素子製造工程内で拡散されることを防止できる。また、上述した発明によれば、高不純物濃度のｎ$^{+}$型炭化珪素バッファ層が基板端部に触れないため、基板端部の研磨傷から積層欠陥が発生することを防止できる。

[0028] また、上述した発明によれば、ｎ型炭化珪素基板の外周部の幅を０．１ｍｍ以上とすることで、炭化珪素半導体基板の端部の研磨傷による影響を防止できる。また、ｎ型炭化珪素基板の外周部の幅を３０ｍｍ以下とすることで、半導体チップの製造時に使用できるエリアの縮小を防止できる。

発明の効果

[0029] 本発明にかかる炭化珪素半導体基板、炭化珪素半導体基板の製造方法、半導体装置および半導体装置の製造方法によれば、ライフタイムキラーを添加した、１．０×１０^{18}／ｃｍ^{3}以上の高い不純物濃度のバッファ層を基板上に成膜した場合でも、素子製造工程内にライフタイムキラーが拡散すること、および、基板端部から積層欠陥が発生することを防止できるという効果を奏する。

図面の簡単な説明

[0030] [図1]図１は、実施の形態１にかかる炭化珪素半導体基板の構成を示す断面図である。

[図2]図２は、実施の形態１にかかる炭化珪素半導体基板の製造途中の状態を示す断面図である。

[図3]図３は、実施の形態１にかかる炭化珪素半導体基板の製造に使用するカ

バー治具の上面図および断面図である。

[図4]図４は、実施の形態２にかかる炭化珪素半導体基板の構成を示す断面図である。

[図5]図５は、実施の形態２にかかる炭化珪素半導体基板の製造途中の状態を示す断面図である（その１）。

[図6]図６は、実施の形態２にかかる炭化珪素半導体基板の製造途中の状態を示す断面図である（その２）。

[図7]図７は、従来の炭化珪素半導体基板に発生した積層欠陥のフォトルミネッセンス発光を撮影した上面図である。

[図8]図８は、積層欠陥抑制半導体基板の構成を示す断面図である。

発明を実施するための形態

[0031] 以下に添付図面を参照して、この発明にかかる炭化珪素半導体基板、炭化珪素半導体基板の製造方法、半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、ｎまたはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋および－は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。＋および－を含めたｎやｐの表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“－”はその直後の指数につくバーを意味しており、指数の前に“－”を付けることで負の指数をあらわしている。

[0032] （実施の形態１）

図１は、実施の形態１にかかる炭化珪素半導体基板の構成を示す断面図である。図１に示すように、実施の形態１にかかる炭化珪素半導体基板は、ｎ型炭化珪素基板（第１導電型の炭化珪素基板）１の第１主面（おもて面）、例えば（０００１）面（Ｓｉ面）、にｎ$^{+}$型炭化珪素バッファ層（第１導電型

のバッファ層）２が堆積されている。

[0033] ｎ型炭化珪素基板１は、例えば窒素がドーピングされた炭化珪素単結晶基板である。ｎ$^+$型炭化珪素バッファ層２は、ｎ型炭化珪素基板１の導電型を決定する不純物、例えば窒素の濃度が、ｎ型炭化珪素基板１の不純物の濃度より高くドーピングされているバッファ層である。また、ｎ$^+$型炭化珪素バッファ層２は、ｎ型炭化珪素基板１の導電型を決定する不純物と異なる不純物であるライフタイムキラーが導入されている。ライフタイムキラーとして、例えば、ホウ素、バナジウム、チタン、クロム、鉄等の少なくとも１種類以上が導入される。また、ライフタイムキラーの濃度は、ｎ型炭化珪素基板１の導電型を決定する不純物の濃度より低い。

[0034] ここで、ｎ型炭化珪素基板１は、基板端部Ｔから所定の幅ｗまでの外周部と、外周部以外の中央部とからなる。ｎ型炭化珪素基板１の中央部は、半導体装置のチップが形成される部分であり、外周部は、チップが形成されず破棄される部分である。また、所定の幅ｗは、例えば、０．１ｍｍ以上、３０ｍｍ以下である。

[0035] ｎ$^+$型炭化珪素バッファ層２は、ｎ型炭化珪素基板１の中央部のおもて面のみに堆積している。図１で、ｎ型炭化珪素基板１の中央部のおもて面は、符号Ｃで示される部分であり、ｎ型炭化珪素基板１の外周部のおもて面は、符号Ｅで示される部分である。

[0036] 例えば、ｎ型炭化珪素基板１が円形で半径がｒとすると、中心からｒ－ｗまでの部分のおもて面にｎ$^+$型炭化珪素バッファ層２が堆積され、ｒ－ｗからｒまでの部分のおもて面にｎ$^+$型炭化珪素バッファ層２が堆積されない。このように、ｎ$^+$型炭化珪素バッファ層が、ｎ型炭化珪素基板１の中央部のおもて面のみに堆積しているため、実施の形態１の炭化珪素半導体基板では、基板端部Ｔにｎ$^+$型炭化珪素バッファ層２が露出しない。

[0037] ｎ$^+$型炭化珪素バッファ層２の、ｎ型炭化珪素基板１側に対して反対側の表面側、および、ｎ型炭化珪素基板１の外周部のおもて面には、ｎ型耐圧維持層（第１導電型の耐圧維持層）３が形成されている。ｎ型耐圧維持層３は、

ｎ型炭化珪素基板１およびｎ$^{+}$型炭化珪素バッファ層２より低不純物濃度で、例えば窒素がドーピングされているドリフト層である。

[0038] ここで、実施の形態１のｎ型炭化珪素基板１の外周部には、ｎ$^{+}$型炭化珪素バッファ層２が設けられていないため、ｎ型炭化珪素基板１への過剰なホール注入を防ぐことができず、ｎ型炭化珪素基板１に帯状積層欠陥、三角形状積層欠陥が発生する。しかし、帯状積層欠陥、三角形状積層欠陥は、ｎ型炭化珪素基板１から上（ｎ型耐圧維持層３の方向）に向かって成長するが、ｎ型炭化珪素基板１の中央部に向かって成長しない。ｎ型炭化珪素基板１の外周部は、半導体チップ製造時に、破棄される部分であるため、帯状積層欠陥、三角形状積層欠陥が発生しても問題ない。

[0039]（実施の形態１にかかる炭化珪素半導体基板の製造方法）

次に、実施の形態１にかかる炭化珪素半導体基板の製造方法について説明する。図２は、実施の形態１にかかる炭化珪素半導体基板の製造途中の状態を示す断面図である。まず、ｎ型の炭化珪素でできたｎ型炭化珪素基板１を用意する。ｎ型炭化珪素基板１は、例えば、不純物濃度が５×１０^{18}／ｃｍ^{3}である炭化珪素単結晶基板である。そして、このｎ型炭化珪素基板１のおもて面上に、ｎ型炭化珪素基板１の外周部のおもて面を覆うカバー治具２１を載置する。この際、ｎ型炭化珪素基板１とカバー治具２１との間に隙間ができないように、カバー治具２１を載置する。

[0040] 図３は、実施の形態１にかかる炭化珪素半導体基板の製造に使用するカバー治具の上面図および断面図である。図３（ａ）は、カバー治具２１の上面図である。図３（ａ）に示すように、カバー治具２１は、中央部がくりぬかれた円形をしている。カバー治具２１の半径はＲであり、カバー治具２１がｎ型炭化珪素基板１の外周部を覆うため、Ｒ＞ｒ（ｒは、ｎ型炭化珪素基板１の半径）である。また、くりぬかれた円形の半径はｒ－ｗである。このため、カバー治具２１の中心ｏを、ｎ型炭化珪素基板１の中心と合わせて、カバー治具２１を載置すると、ｎ型炭化珪素基板１の外周部のおもて面はカバー治具２１によって覆われる。

[0041] また、図３（ｂ）は、カバー治具２１の断面図である。図３（ｂ）に示すように、カバー治具２１では、中心ｏからの距離がｒ－ｗからｒまでの部分とｒからＲまでの部分とでは、カバー治具２１の高さが異なっている。ｒ－ｗからｒまでの部分の高さをｈ１、ｒからＲまでの部分の高さをｈ２とすると、ｈ１＜ｈ２である。また、高さｈ１は、n^+型炭化珪素バッファ層２の膜厚よりも大きく、高さｈ２は、ｎ型炭化珪素基板１の厚さよりも大きい。このため、カバー治具２１の中心ｏを、ｎ型炭化珪素基板１の中心と合わせて、カバー治具２１を載置すると、ｎ型炭化珪素基板１の端部Ｔはカバー治具２１によって覆われる。

[0042] ここで、カバー治具２１は、例えば、炭化珪素、グラファイト（Ｃ）、炭化タンタル（ＴａＣ）等で作られている。また、カバー治具２１は、図示していない炭化珪素半導体基板を載置する治具と同じように扱うことができ、何度でも使用可能である。

[0043] 次に、このｎ型炭化珪素基板１のおもて面上に、ｎ型の不純物、例えば窒素原子、および、ライフタイムキラーをドーピングしながらn^+型炭化珪素バッファ層２を、例えば２μｍ程度の厚さまでエピタキシャル成長させる。ｎ型炭化珪素基板１の外周部のおもて面は、カバー治具２１によって覆われているため、ｎ型炭化珪素基板１の中央部のおもて面のみがエピタキシャル成長され、ｎ型炭化珪素基板１の中央部のおもて面のみにn^+型炭化珪素バッファ層２が形成される。

[0044] また、ｎ型の不純物のドーピングとライフタイムキラーのドーピングは同時にしても良いし、ライフタイムキラーのドーピングはｎ型の不純物のドーピングよりわずかに遅らせてもよい。n^+型炭化珪素バッファ層２を形成するためのエピタキシャル成長の条件を、例えばｎ型の不純物濃度が１×１０^{18}／$ｃｍ^3$以上となるように設定してもよい。ここまでの状態が図２に記載されている。

[0045] 次に、ｎ型炭化珪素基板１からカバー治具２１を外し、ｎ型炭化珪素基板１の外周部のおもて面上、および、n^+型炭化珪素バッファ層２上に、ｎ型の

不純物、例えば窒素原子をドーピングしながらｎ型耐圧維持層３を、例えば１０μｍ程度の厚さまでエピタキシャル成長させる。ｎ型耐圧維持層３を形成するためのエピタキシャル成長の条件を、例えば不純物濃度が１×１０^{16}／ｃｍ^{3}以上となるように設定してもよい。以上のようにして、図１に示す炭化珪素半導体基板が完成する。

[0046] 以上、説明したように、実施の形態１によれば、ライフタイムキラーが導入されたｎ$^{+}$型炭化珪素バッファ層の端部は、ｎ型耐圧維持層に覆われ、露出していない。炭化珪素は、不純物が拡散しにくい材料であるため、ライフタイムキラーが導入されたバッファ層をｎ型耐圧維持層で完全に覆うことで、ライフタイムキラーが素子製造工程内で拡散されることを防止できる。また、実施の形態１によれば、高不純物濃度のｎ$^{+}$型炭化珪素バッファ層が基板端部に触れないため、基板端部の研磨傷から、エピタキシャル成長の際に積層欠陥が発生することを防止できる。

[0047] また、実施の形態１によれば、ｎ型炭化珪素基板の外周部を覆うカバー治具をｎ型炭化珪素基板上に載置した後、エピタキシャル成長によりｎ$^{+}$型炭化珪素バッファ層をｎ型炭化珪素基板の中央部に形成することができる。

[0048] また、実施の形態１によれば、ｎ型炭化珪素基板の外周部の幅を０．１ｍｍ以上とすることで、炭化珪素半導体基板の端部の研磨傷による影響を防止できる。また、ｎ型炭化珪素基板の外周部の幅を３０ｍｍ以下とすることで、半導体チップの製造時に使用できるエリアの縮小を防止できる。

[0049]（実施の形態２）

図４は、実施の形態２にかかる炭化珪素半導体基板の構成を示す断面図である。図４に示すように、実施の形態２にかかる炭化珪素半導体基板は、ｎ型炭化珪素基板１の第１主面、例えば（０００１）面、にｎ$^{+}$型炭化珪素バッファ層２とｎ型炭化珪素エピタキシャル層４（第１導電型のエピタキシャル層）が堆積されている。

[0050] ｎ$^{+}$型炭化珪素バッファ層２は、ｎ型炭化珪素基板１の中央部のおもて面のみに堆積し、ｎ型炭化珪素エピタキシャル層４は、ｎ型炭化珪素基板１の外

周部のおもて面のみに堆積している。また、ｎ型炭化珪素エピタキシャル層４は、ｎ型炭化珪素基板１の導電型を決定する不純物、例えば窒素の濃度が、ｎ型炭化珪素基板１の不純物の濃度より低くドーピングされているバッファ層である。また、ｎ型炭化珪素エピタキシャル層４には、ライフタイムキラーは導入されていない。

[0051] ｎ$^{+}$型炭化珪素バッファ層２の、ｎ型炭化珪素基板１側に対して反対側の表面側、および、ｎ型炭化珪素エピタキシャル層４の、ｎ型炭化珪素基板１側に対して反対側の表面側には、ｎ型耐圧維持層３が形成されている。

[0052] 実施の形態２にかかる炭化珪素半導体装置のその他の構成については、実施の形態１にかかる炭化珪素半導体装置の構成と同様であるため、重複する説明を省略する。

[0053] （実施の形態２にかかる炭化珪素半導体基板の製造方法）

次に、実施の形態２にかかる炭化珪素半導体基板の製造方法について説明する。図５、図６は、実施の形態２にかかる炭化珪素半導体基板の製造途中の状態を示す断面図である。まず、ｎ型の炭化珪素でできたｎ型炭化珪素基板１を用意する。このｎ型炭化珪素基板１のおもて面上に、ｎ型の不純物、例えば窒素原子をドーピングしながら炭化珪素でできたｎ型炭化珪素エピタキシャル層４を、例えば２μｍ程度の厚さまでエピタキシャル成長させる。ｎ型炭化珪素エピタキシャル層４を形成するためのエピタキシャル成長の条件を、例えば不純物濃度が１×１０^{15}／ｃｍ^{3}～１×１０^{18}／ｃｍ^{3}程度となるように設定してもよい。ここまでの状態が図５に示されている。

[0054] 次に、ｎ型炭化珪素エピタキシャル層４の表面上に、フォトリソグラフィ技術によってｎ型炭化珪素基板１の中央部に対向する部分に開口部を有するマスク５を、例えば、酸化膜で形成する。マスク５は、ｎ型炭化珪素基板１の外周部のおもて面に形成され、マスク５の幅はｗ以上になる。また、マスク５は、ｎ型炭化珪素基板１の端部Ｔを覆っても良い。そして、この酸化膜をマスクとしてイオン注入法によってｎ型の不純物、例えば窒素とライフタイムキラーをイオン注入する。それによって、ｎ型炭化珪素基板１の中央部

のおもて面に、例えば２μｍ程度のｎ$^+$型炭化珪素バッファ層２が形成される。このため、実施の形態２の炭化珪素半導体基板では、基板端部Ｔにｎ$^+$型炭化珪素バッファ層２が露出しない。ｎ$^+$型炭化珪素バッファ層２を形成するためのイオン注入時のドーズ量を、例えば、不純物濃度が１×１０^{18}／ｃｍ^{3}以上となるように設定してもよい。またイオン注入の深さはｎ$^+$型炭化珪素バッファ層２の厚み以内であればよい。ここまでの状態が図６に示されている。

[0055] 次に、マスク５を剥離し、熱処理（アニール）を行って、例えばｎ$^+$型炭化珪素バッファ層２を活性化させる。熱処理の温度は、例えば１６００℃～１７００℃程度であってもよい。熱処理の時間は、例えば２分程度であってもよい。

[0056] 次に、ｎ$^+$型炭化珪素バッファ層２上、および、ｎ型炭化珪素エピタキシャル層４上に、ｎ型の不純物、例えば窒素原子をドーピングしながらｎ型耐圧維持層３を、例えば１０μｍ程度の厚さまでエピタキシャル成長させる。ｎ型耐圧維持層３を形成するためのエピタキシャル成長の条件を、例えば不純物濃度が１×１０^{16}／ｃｍ^{3}以上となるように設定してもよい。以上のようにして、図４に示す炭化珪素半導体基板が完成する。

[0057] 以上、説明したように、実施の形態２によれば、実施の形態１と同様の効果を奏する。また、実施の形態２によれば、ｎ型炭化珪素基板の中央部に開口部を有するマスクをｎ型炭化珪素エピタキシャル層に形成することで、イオン注入によりｎ$^+$型炭化珪素バッファ層をｎ型炭化珪素基板の中央部のおもて面に形成することができる。

[0058] また、本発明は、炭化珪素基板のおもて面にｎ$^+$型炭化珪素バッファ層が設けられた形態を示したが、炭化珪素基板の裏面に、および、炭化珪素基板のおもて面と裏面の両方にｎ$^+$型炭化珪素バッファ層が設けられた形態にも適用可能である。

[0059] 以上において本発明では、炭化珪素でできた基板の第１主面を（０００１）面とし当該（０００１）面上にバッファ層を構成した場合を例に説明したが、これに限らず、ワイドバンドギャップ半導体（シリコンよりもバンドギ

ャップが広い半導体）の種類（例えば窒化ガリウム（ＧａＮ）など）、基板主面の面方位などを種々変更可能である。また、本発明では、各実施の形態では第１導電型をｎ型とし、第２導電型をｐ型としたが、本発明は第１導電型をｐ型とし、第２導電型をｎ型としても同様に成り立つ。

産業上の利用可能性

[0060] 以上のように、本発明にかかる炭化珪素半導体基板、炭化珪素半導体基板の製造方法、半導体装置および半導体装置の製造方法は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置の半導体基板に有用である。

符号の説明

[0061] １ ｎ型炭化珪素基板

２ n^+型炭化珪素バッファ層

３ ｎ型耐圧維持層

４ ｎ型炭化珪素エピタキシャル層

５ マスク

２１ カバー治具

請求の範囲

[請求項1] 端部から所定の幅までの外周部と、該外周部以外の中央部とからなる第１導電型の炭化珪素基板と、

前記炭化珪素基板の前記中央部のおもて面に設けられ、前記炭化珪素基板の導電型を決める第１の不純物と前記第１の不純物と異なる第２の不純物とが添加された、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上の第１導電型のバッファ層と、

前記炭化珪素基板の前記外周部のおもて面に設けられた、前記第１の不純物の濃度が前記バッファ層の濃度より低い第１導電型のエピタキシャル層と、

を含むことを特徴とする炭化珪素半導体基板。

[請求項2] 前記エピタキシャル層は、耐圧維持層であり、

前記耐圧維持層は、前記バッファ層の前記炭化珪素基板側に対して反対側の表面にも設けられることを特徴とする請求項１に記載の炭化珪素半導体基板。

[請求項3] 前記バッファ層の前記炭化珪素基板側に対して反対側の表面、および、前記エピタキシャル層の前記炭化珪素基板側に対して反対側の表面に設けられた、前記第１の不純物の濃度が前記バッファ層の濃度より低い第１導電型の耐圧維持層をさらに含むことを特徴とする請求項１に記載の炭化珪素半導体基板。

[請求項4] 前記所定の幅は、０．１ｍｍ以上、３０ｍｍ以下であることを特徴とする請求項１～３のいずれか一つに記載の炭化珪素半導体基板。

[請求項5] 端部から所定の幅までの外周部と、該外周部以外の中央部とからなる第１導電型の炭化珪素基板の前記中央部のおもて面に、前記炭化珪素基板の導電型を決める第１の不純物と前記第１の不純物と異なる第２の不純物とが添加された、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上の第１導電型のバッファ層を形成する工程と、

前記炭化珪素基板の前記外周部のおもて面、および、前記バッファ

層の前記炭化珪素基板側に対して反対側の表面に、前記第１の不純物の濃度が前記バッファ層の濃度より低い第１導電型の耐圧維持層を形成する工程と、

を含むことを特徴とする炭化珪素半導体基板の製造方法。

[請求項6] 前記バッファ層は、前記外周部を覆うカバー治具を前記炭化珪素基板のおもて面に載置した後、エピタキシャル成長により形成することを特徴とする請求項５に記載の炭化珪素半導体基板の製造方法。

[請求項7] 端部から所定の幅までの外周部と、該外周部以外の中央部とからなる第１導電型の炭化珪素基板のおもて面に、前記炭化珪素基板の導電型を決める第１の不純物の濃度が前記炭化珪素基板の濃度より低い第１導電型のエピタキシャル層を形成する工程と、

前記エピタキシャル層の前記炭化珪素基板の前記中央部と対向する領域に、前記第１の不純物と前記第１の不純物と異なる第２の不純物とが添加された、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上の第１導電型のバッファ層を形成する工程と、

前記エピタキシャル層および前記バッファ層の前記炭化珪素基板側に対して反対側の表面に、前記第１の不純物の濃度が前記バッファ層の濃度より低い第１導電型の耐圧維持層を形成する工程と、

を含むことを特徴とする炭化珪素半導体基板の製造方法。

[請求項8] 前記バッファ層は、前記中央部と対向する領域に開口部を有するマスクを前記エピタキシャル層の表面に形成した後、イオン注入により形成することを特徴とする請求項７に記載の炭化珪素半導体基板の製造方法。

[請求項9] 前記所定の幅は、０．１ｍｍ以上、３０ｍｍ以下であることを特徴とする請求項５～８のいずれか一つに記載の炭化珪素半導体基板の製造方法。

[請求項10] 端部から所定の幅までの外周部と、該外周部以外の中央部とからなる第１導電型の炭化珪素基板と、

前記炭化珪素基板の前記中央部のおもて面に設けられ、前記炭化珪素基板の導電型を決める第１の不純物と前記第１の不純物と異なる第２の不純物とが添加された、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上の第１導電型のバッファ層と、

前記炭化珪素基板の前記外周部のおもて面に設けられた、前記第１の不純物の濃度が前記バッファ層の濃度より低い第１導電型のエピタキシャル層と、

を含む炭化珪素半導体基板を有することを特徴とする半導体装置。

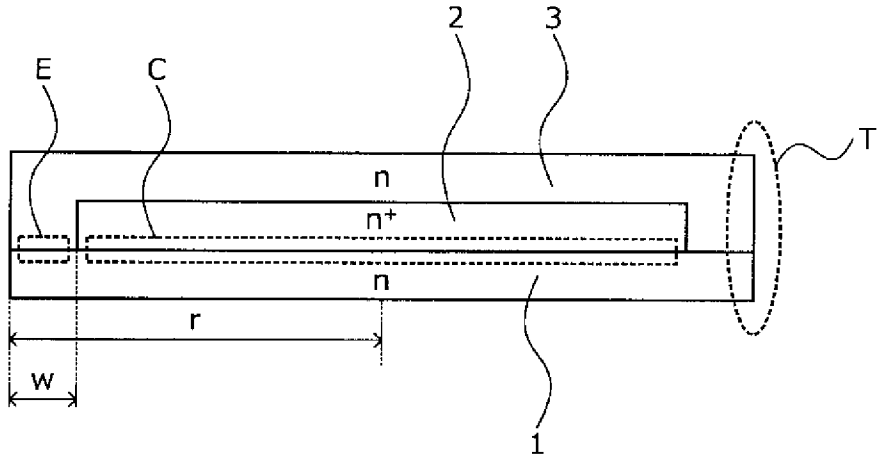
[請求項11] 端部から所定の幅までの外周部と、該外周部以外の中央部とからなる第１導電型の炭化珪素基板と、

前記炭化珪素基板の前記中央部のおもて面に設けられ、前記炭化珪素基板の導電型を決める第１の不純物と前記第１の不純物と異なる第２の不純物とが添加された、前記第１の不純物の濃度が１．０×１０^{18}／ｃｍ^{3}以上の第１導電型のバッファ層と、

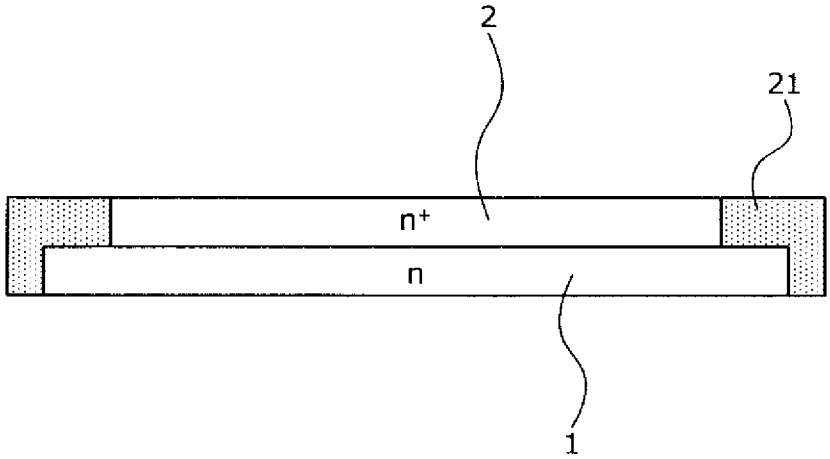
前記炭化珪素基板の前記外周部のおもて面に設けられた、前記第１の不純物の濃度が前記バッファ層の濃度より低い第１導電型のエピタキシャル層と、

を含む炭化珪素半導体基板を用いる工程を有することを特徴とする半導体装置の製造方法。

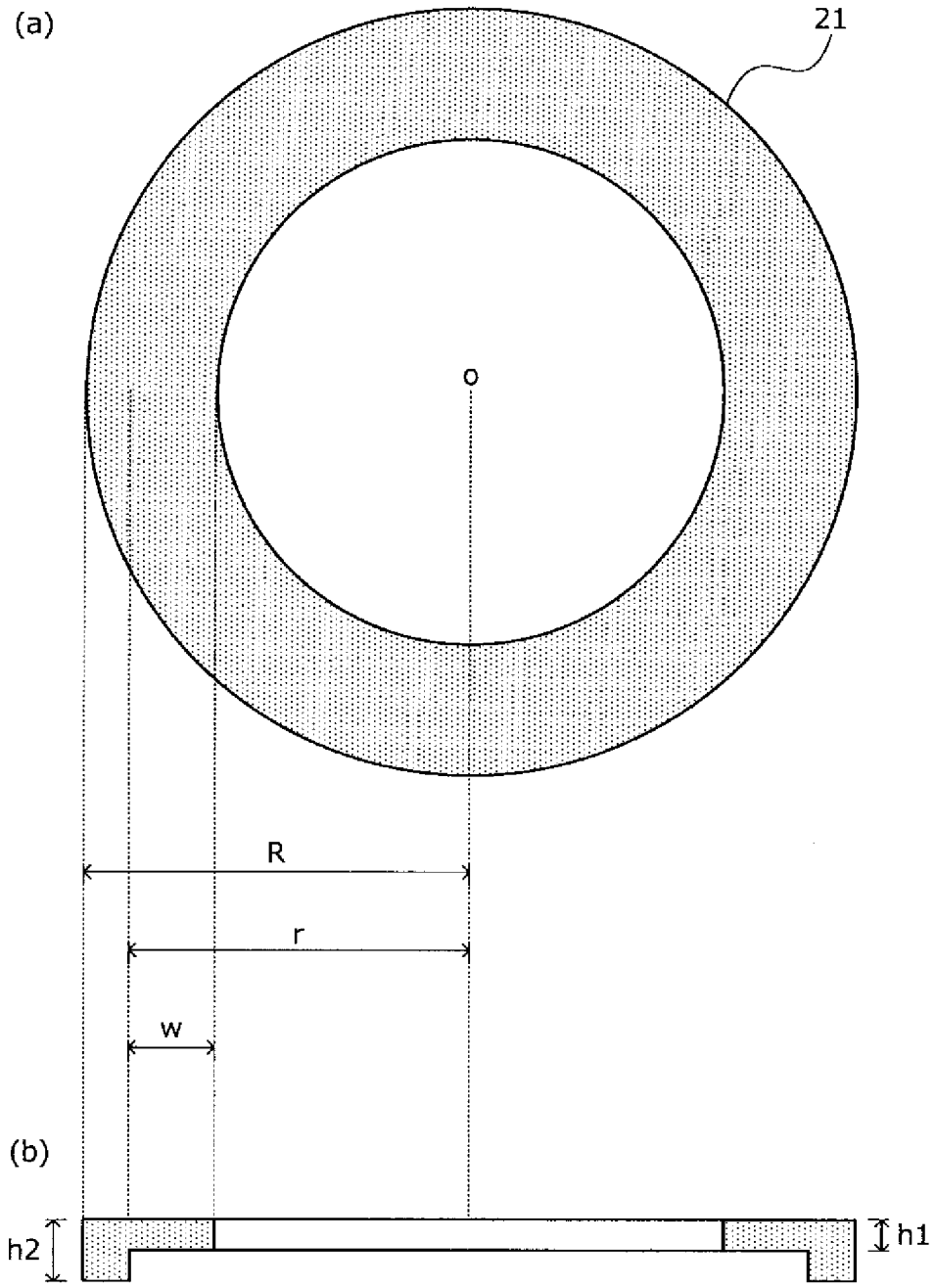
[図1]



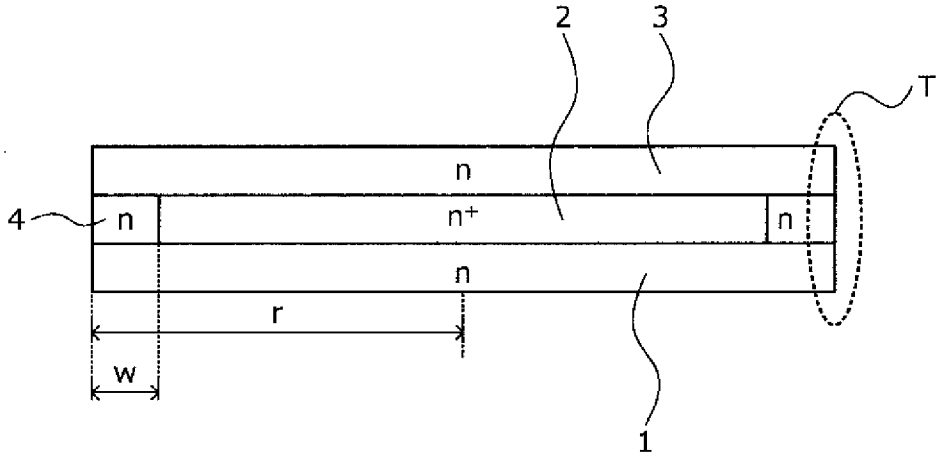
[図2]



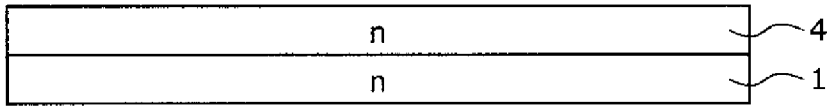
[図3]



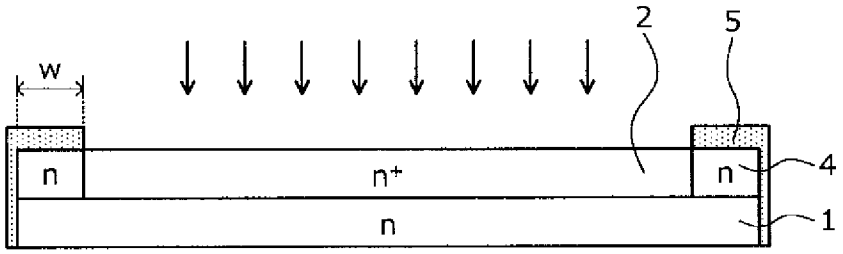
[図4]



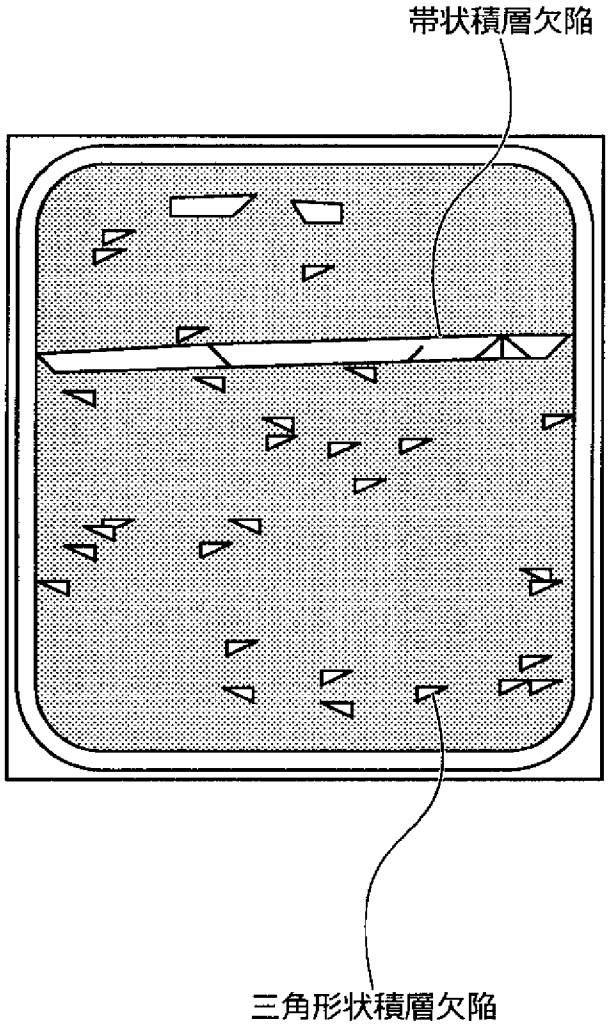
[図5]



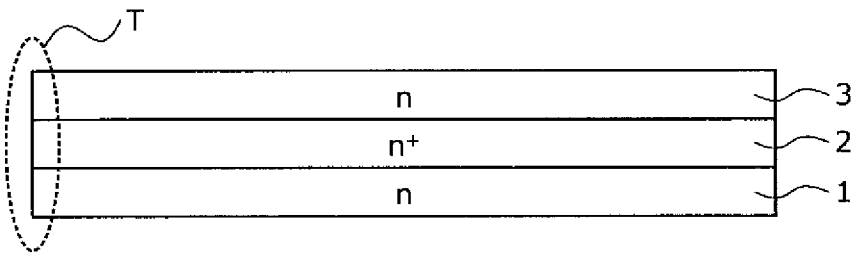
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/027579

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/12(2006.01)i, *C30B29/36*(2006.01)i, *C30B33/04*(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/12, C30B29/36, C30B33/04, H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/131570 A1 (Sumitomo Electric Industries, Ltd.), 18 November 2010 (18.11.2010), paragraphs [0055] to [0072]; fig. 1 & US 2012/0061687 A1 paragraphs [0073] to [0090]; fig. 1 & EP 2432002 A4 & KR 10-2012-0014024 A & CN 102422388 A & TW 201104860 A & JP 10-131568 A1	1-11
A	JP 2012-195562 A (Hitachi Kokusai Electric Inc.), 11 October 2012 (11.10.2012), paragraphs [0070] to [0079]; fig. 7 to 8 & US 2012/0216743 A1 paragraphs [0094] to [0105]; fig. 7 to 8 & CN 102655108 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 October 2017 (03.10.17)	10 October 2017 (10.10.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/027579

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-231457 A (Sumitomo Electric Industries, Ltd.), 11 December 2014 (11.12.2014), paragraphs [0036] to [0062], [0092] to [0100]; fig. 1 to 2, 27 to 30 & US 2016/0086798 A1 paragraphs [0070] to [0097], [0130] to [0139]; fig. 1, 2, 27 to 30 & WO 2014/192411 A1 & DE 112014002647 T5 & CN 105164322 A	1-11
A	JP 5-21358 A (Sharp Corp.), 29 January 1993 (29.01.1993), paragraphs [0010] to [0017]; fig. 1 to 8 (Family: none)	1-11
A	WO 2008/120469 A1 (Panasonic Corp.), 09 October 2008 (09.10.2008), paragraphs [0034] to [0051]; fig. 1 & US 2009/0186470 A1 paragraphs [0075] to [0092]; fig. 1 & CN 101542688 B & JP 8-120469 A1	1-11
A	JP 2012-256628 A (Renesas Electronics Corp.), 27 December 2012 (27.12.2012), paragraphs [0050] to [0081]; fig. 4 & US 2012/0313139 A1 paragraphs [0114] to [0143]; fig. 4	1-11
A	JP 2001-502474 A (ABB Research Ltd.), 20 February 2001 (20.02.2001), page 10, line 26 to page 11, line 3; fig. 1 & US 5814546 A column 5, line 26 to column 5, line 31; fig. 1 & WO 1998/016951 A1 & EP 931336 B1 & SE 9603738 A	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０２７５７９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/12(2006.01)i, C30B29/36(2006.01)i, C30B33/04(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/12, C30B29/36, C30B33/04, H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2010/131570 A1 (住友電気工業株式会社) 2010.11.18, 段落[0055]-[0072], 図 1 & US 2012/0061687 A1, 段落[0073]-[0090], 図 1 & EP 2432002 A4 & KR 10-2012-0014024 A & CN 102422388 A & TW 201104860 A & JP 10-131568 A1	1-11
A	JP 2012-195562 A (株式会社日立国際電気) 2012.10.11, 段落[0070]-[0079], 図 7-8 & US 2012/0216743 A1, 段落[0094]-[0105], 図 7-8 & CN 102655108 A	1-11

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０３．１０．２０１７	１０．１０．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　６３１１
杉山　芳弘
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2014-231457 A (住友電気工業株式会社) 2014.12.11, 段落[0036]-[0062],[0092]-[0100],図 1-2,27-30 & US 2016/0086798 A1,段落[0070]-[0097],[0130]-[0139],図 1,2,27-30 & WO 2014/192411 A1 & DE 112014002647 T5 & CN 105164322 A	1-11
A	JP 5-21358 A (シャープ株式会社) 1993.01.29, 段落[0010]-[0017],図 1-8 (ファミリーなし)	1-11
A	WO 2008/120469 A1 (パナソニック株式会社) 2008.10.09, 段落[0034]-[0051],図 1 & US 2009/0186470 A1,段落[0075]-[0092],図 1 & CN 101542688 B & JP 8-120469 A1	1-11
A	JP 2012-256628 A (ルネサスエレクトロニクス株式会社) 2012.12.27, 段落[0050]-[0081],図 4 & US 2012/0313139 A1,段落[0114]-[0143],図 4	1-11
A	JP 2001-502474 A (エービービー　リサーチ　リミテッド) 2001.02.20, 第 10 頁第 26 行-第 11 頁第 3 行,図 1 & US 5814546 A,第 5 欄 26 行-第 5 欄 31 行,図 1 & WO 1998/016951 A1 & EP 931336 B1 & SE 9603738 A	1-11