201714443

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201714443 A

(43)公開日： 中華民國 106 (2017) 年 04 月 16 日

(21)申請案號：105129387 (22)申請日： 中華民國 105 (2016) 年 09 月 09 日

(51)Int. Cl.： *H04L29/04 (2006.01)* *H04L7/027 (2006.01)*
H04L7/00 (2006.01)

(30)優先權：2015/10/05 美國 14/875,592

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：仙石祥一郎 SENGOKU, SHOICHIRO (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：30 項 圖式數：22 共 96 頁

(54)名稱

多道分數N（N！）及其他多線通信系統

MULTI-LANE N-FACTORIAL (N!) AND OTHER MULTI-WIRE COMMUNICATION SYSTEMS

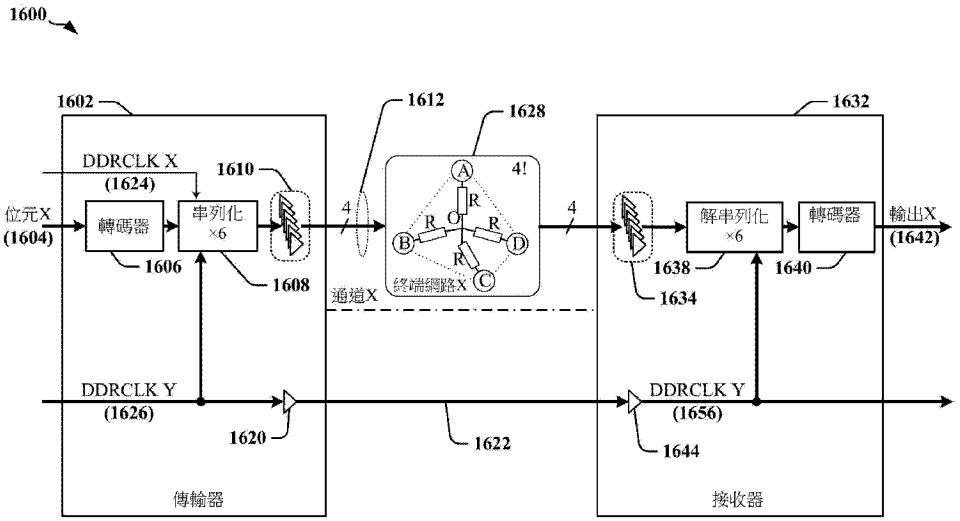
(57)摘要

本發明描述經由一多線資料通信鏈路促進資料通信(特定言之，一電子裝置內之兩個器件之間的資料通信)之系統、方法及裝置。一接收器件經由一多線鏈路接收一符號序列。該接收器件進一步經由一專用時脈線接收一時脈信號，其中該專用時脈線與該多線鏈路分離且並行。該接收器件使用該時脈信號解碼該符號序列。在一態樣中，一第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中。因此，該接收器件使用經由該專用時脈線接收之該時脈信號而忽略該第二時脈信號來解碼該符號序列。

System, methods and apparatus are described that facilitate communication of data over a multi-wire data communications link, particularly between two devices within an electronic apparatus. A receiving device receives a sequence of symbols over a multi-wire link. The receiving device further receives a clock signal via a dedicated clock line, wherein the dedicated clock line is separate from, and in parallel with, the multi-wire link. The receiving device decodes the sequence of symbols using the clock signal. In an aspect, a second clock signal is embedded in guaranteed transitions between pairs of consecutive symbols in the sequence of symbols. Accordingly, the receiving device decodes the sequence of symbols using the clock signal received via the dedicated clock line while ignoring the second clock signal.

指定代表圖：

TW 201714443 A



【圖16】

符號簡單說明：

1600・・・多道介面

1602・・・傳輸器

1604・・・資料

1606・・・轉碼器

1608・・・串列器

1610・・・線路驅動器/差分驅動器

1612・・・通道

1620・・・線路驅動器

1622・・・專用時脈線

1624・・・第一傳輸時脈

1626・・・第二傳輸時脈

1628・・・終端網路

1632・・・接收器

1634・・・線路接收器

1638・・・解串器

1640・・・轉碼器

1642・・・輸出資料

1644・・・線路接收器

1656・・・接收時脈

【發明說明書】

【中文發明名稱】

多道分數N（N！）及其他多線通信系統

【英文發明名稱】

MULTI-LANE N-FACTORIAL (N!) AND OTHER MULTI-WIRE COMMUNICATION SYSTEMS

【技術領域】

本發明大體上係關於資料通信介面，且更特定言之係關於多道、多線資料通信介面。

【先前技術】

行動器件(諸如蜂巢式電話)之製造者可自各種源(包括不同製造者)獲得行動器件之組件。舉例而言，蜂巢式電話中之應用程式處理器可自第一製造者獲得，而該蜂巢式電話之顯示器可自第二製造者獲得。應用程式處理器與顯示器或其他器件可使用基於標準之實體介面或專用實體介面而互連。舉例而言，顯示器可提供符合由行動行業處理器介面聯盟(MIPI)指定之顯示系統介面(DSI)標準的介面。

在一個實例中，多信號資料傳送系統可採用多線差分信號傳遞，諸如3相或分數N (*N*!)低電壓差分信號傳遞(LVDS)，可執行轉碼(例如，一種編碼類型至另一編碼類型之數位至數位資料轉換)以藉由在每一符號循環中產生符號轉移而嵌入符號時脈資訊。藉由轉碼嵌入時脈資訊為使時脈信號與資料信號之間的偏斜最小化以及消除鎖相迴路(PLL)自資料信號恢復時脈資訊之必要性的有效方式。

一直存在對多信號通信鏈路上之最佳化通信及經改良資料傳送速率

之需求。

【發明內容】

本文中揭示之實施例提供與多道、多線介面有關之系統、方法及裝置。

在本發明之一態樣中，一種在接收器件處資料通信之方法包括經由一多線鏈路接收一符號序列。該符號序列中之每一符號對應於該多線鏈路中之***N***條線的一信號傳遞狀態，其中***N***為大於1之整數。該方法進一步包括經由一專用時脈線接收一時脈信號及使用該時脈信號解碼該符號序列，其中該專用時脈線與該多線鏈路分離且並行。

在本發明之一態樣中，一第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中。因此，該方法使用經由該專用時脈線接收之該時脈信號而忽略該第二時脈信號來解碼該符號序列。

在本發明之一態樣中，其中該解碼包括使用該時脈信號將該符號序列轉換成一資料位元集合。在本發明之又一態樣中，將該符號序列轉換成該資料位元集合包括使用轉碼器將該符號序列轉換成一轉變數目集合及將該轉變數目集合轉換成該資料位元集合。

在本發明之一態樣中，該多線鏈路中之至少一條線路為雙向的。該方法進一步包括基於經由該專用時脈線接收之該時脈信號經由該至少一條雙向線路傳輸一第二符號序列。

在本發明之一態樣中，該專用時脈線為雙向的且可由經由該多線鏈路傳輸之任何器件驅動。該方法進一步包括經由該專用時脈線傳輸一第三時脈信號。該第三時脈信號可與用於將資料位元編碼為經由該至少一條雙向線路傳輸之一符號序列的一傳輸時脈相關聯。

在本發明之一態樣中，一接收器件包括一處理電路。一記憶體可耦接

至該處理電路。該處理電路經組態以：經由一多線鏈路接收一符號序列；經由一專用時脈線接收一時脈信號，其中該專用時脈線與該多線鏈路分離且並行；以及使用該時脈信號解碼該符號序列。

在本發明之一態樣中，一種裝置包括：用於經由一多線鏈路接收一符號序列之構件；用於經由一專用時脈線接收一時脈信號之構件，其中該專用時脈線與該多線鏈路分離且並行；及用於使用該時脈信號解碼該符號序列之構件。

在本發明之一態樣中，一處理器可讀儲存媒體上面儲存或維持有一或多個指令。在由至少一個處理電路執行時，該等指令可使得該至少一個處理電路：經由一多線鏈路接收一符號序列；經由一專用時脈線接收一時脈信號，其中該專用時脈線與該多線鏈路分離且並行；以及使用該時脈信號解碼該符號序列。

在本發明之一態樣中，一種在一傳輸器件處資料通信之方法包括：將資料位元編碼為一符號序列；視情況將一第二時脈信號嵌入於該符號序列中，其中該第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中。該符號序列中之每一符號對應於一多線鏈路中之N條線的一信號傳遞狀態，其中N為大於1之整數。該方法進一步包括：經由一多線鏈路傳輸該符號序列；及經由一專用時脈線傳輸與該符號序列相關聯之一時脈信號，其中該專用時脈線與該多線鏈路分離且並行。

在本發明之一態樣中，編碼該等資料位元包括使用一轉碼器將該等資料位元轉換成一轉變數目集合且轉換該轉變數目集合以獲得該符號序列。

在本發明之一態樣中，該多線鏈路中之至少一條線路為雙向的。該方法進一步包括基於經由該專用時脈線傳輸之該時脈信號經由該至少一條雙

向線路接收一第二符號序列。

在本發明之一態樣中，該專用時脈線為雙向的且可由經由該多線鏈路傳輸之任何器件驅動。該方法進一步包括經由該專用時脈線接收一第三時脈信號。該第三時脈信號可與用於將資料位元編碼為經由該至少一條雙向線路接收之一符號序列的一傳輸時脈相關聯。

在本發明之一態樣中，一傳輸器件包括一處理電路。該處理電路可耦接至一記憶體。該處理電路經組態以：將資料位元編碼為一符號序列；視情況將一第二時脈信號嵌入於該符號序列中，其中該第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中；經由一多線鏈路傳輸該符號序列；及經由一專用時脈線傳輸與該符號序列相關聯之一時脈信號，其中該專用時脈線與該多線鏈路分離且並行。

在本發明之一態樣中，一種裝置包括：用於將資料位元編碼為一符號序列之構件；用於視情況將一第二時脈信號嵌入於該符號序列中之構件，其中該第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中；用於經由一多線鏈路傳輸該符號序列之構件；及用於經由一專用時脈線傳輸與該符號序列相關聯之一時脈信號的構件，其中該專用時脈線與該多線鏈路分離且並行。

在本發明之一態樣中，一處理器可讀儲存媒體上面儲存或維持有一或多個指令。在由至少一個處理電路執行時，該等指令可使得該至少一個處理電路：將資料位元編碼為一符號序列；視情況將一第二時脈信號嵌入於該符號序列中，其中該第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中；經由一多線鏈路傳輸該符號序列；及經由一專用時脈線傳輸與該符號序列相關聯之一時脈信號，其中該專用時脈線與該多線鏈路

分離且並行。

【圖式簡單說明】

圖1描繪採用積體電路(IC)器件之間的根據複數個可用標準中之一者選擇性操作之資料鏈路的裝置。

圖2說明採用IC器件之間的資料鏈路之裝置的系統架構。

圖3說明可用於***N***!通信介面中之CDR電路。

圖4說明根據本文中揭示之一或多個態樣的由圖3之CDR電路產生之特定信號時序。

圖5說明基本***N***!多道介面之實例。

圖6說明根據本文中揭示之一或多個態樣提供之多道介面之第一實例。

圖7說明根據本文中揭示之一或多個態樣提供之多道介面之第二實例。

圖8說明根據本文中揭示之一或多個態樣提供之多道介面之第三實例。

圖9說明根據本文中揭示之一或多個態樣提供之多道介面之第四實例。

圖10為說明在根據本文中揭示之一或多個態樣提供之多道介面上傳輸的資料之次序的時序圖。

圖11說明根據本文中揭示之一或多個態樣提供之多道介面之第五實例。

圖12為用於操作根據本文中揭示之一或多個態樣提供之多道***N***線介面中之接收器的方法之流程圖。

圖13為說明根據本文中揭示之一或多個態樣提供之多道*N*線介面中之接收器的簡化實例之圖式。

圖14為用於操作根據本文中揭示之一或多個態樣提供之多道*N*線介面中之傳輸器的方法之流程圖。

圖15為說明根據本文中揭示之一或多個態樣提供之多道*N*線介面中之傳輸器的簡化實例之圖式。

圖16為說明根據本文中揭示之一或多個態樣之提供於兩個器件之間的多道介面之另一實例之圖式。

圖17說明使用專用時脈線在多個資料通道上傳輸符號之實例。

圖18說明使用專用時脈線進行多線轉碼之實例。

圖19為根據本文中揭示之一或多個態樣之經組態以支援與經由多線鏈路傳達資料位元有關之操作的裝置(接收器件)之圖示。

圖20為說明接收器件經由多線鏈路傳達資料位元之方法的流程圖。

圖21為根據本文中揭示之一或多個態樣之經組態以支援與經由多線鏈路傳達資料位元有關之操作的裝置(傳輸器件)之圖示。

圖22為說明傳輸器件經由多線鏈路傳達資料位元之方法的流程圖。

【實施方式】

相關申請案之交叉參考

本申請案主張2015年10月5日在美國專利及商標局中申請之非臨時申請案第14/875,592號的優先權及權益。申請案第14/875,592號為於2014年4月10日申請之標題為「Multi-Lane N-Factorial (N!) And Other Multi-Wire Communication Systems」之美國非臨時申請案第14/250,119號的部分接續申請案；且亦為於2014年4月14日申請之標題為「N Factorial Dual Data

Rate Clock And Data Recovery」之美國非臨時申請案第14/252,450號的部分接續申請案，該申請案第14/252,450號主張於2013年10月3日申請之標題為「N Factorial Clock And Data Recovery With Negative Hold Time Sampling」之美國臨時申請案第61/886,567號的優先權。且進一步為於2014年9月19日申請之標題為「Method To Enhance MIPI D-PHY Link Rate With Minimal PHY Changes And No Protocol Changes」之美國非臨時申請案第14/491,884號的部分接續申請案，該申請案第14/491,884號主張於2013年10月3日申請之標題為「Method To Enhance MIPI D-PHY Link Rate With Minimal PHY Changes And No Protocol Changes」之美國臨時申請案第61/886,556號的優先權，所有該等申請案讓與給本發明之受讓人且在此明確地以引用之方式併入本文中。於2014年4月10日申請之標題為「Multi-Lane N-Factorial (N!) And Other Multi-Wire Communication Systems」之美國非臨時申請案第14/250,119號的部分接續申請案，其主張於2013年10月3日申請之標題為「N Factorial Clock And Data Recovery With Negative Hold Time Sampling」之美國臨時申請案第61/886,567號的優先權；且進一步為於2014年9月19日申請之標題為「Method To Enhance MIPI D-PHY Link Rate With Minimal PHY Changes And No Protocol Changes」之美國非臨時申請案第14/491,884號的部分接續申請案，該申請案第14/491,884號主張於2013年10月3日申請之標題為「Method To Enhance MIPI D-PHY Link Rate With Minimal PHY Changes And No Protocol Changes」之美國臨時申請案第61/886,556號的優先權。

現參看圖式來描述各種態樣。在以下描述中，為達成解釋之目的，闡述許多特定細節以便提供對一或多個態樣之透徹理解。然而，明顯地，此(此

等)態樣可在無此等特定細節之情況下得以實踐。

如在本申請案中所使用，術語「組件」、「模組」、「系統」及其類似者意欲包括電腦相關實體，諸如(但不限於)硬體、韌體、硬體與軟體之組合、軟體或執行中的軟體。舉例而言，組件可為(但不限於)在處理器上執行之程序、處理器、物件、可執行體、執行線緒、程式及/或電腦。藉助於說明，在計算器件上執行之應用程式及計算器件兩者可為組件。一或多個組件可駐留於程序及/或執行線緒內，且一組件可位於一台電腦上及/或分佈於兩台或多於兩台電腦之間。另外，此等組件可自上面儲存有各種資料結構之各種電腦可讀媒體執行。該等組件可(諸如)根據具有一或多個資料封包之信號(諸如，來自藉助於信號而與本端系統、分佈式系統中之另一組件互動及/或跨越諸如網際網路之網路而與其他系統互動的一個組件的資料)藉助於本端及/或遠端程序而通信。

此外，術語「或」欲意謂包括性「或」而非排他性「或」。亦即，除非另外規定或自上下文清楚可見，否則片語「X採用A或B」欲意謂自然包括性排列中的任一者。亦即，以下個例中之任一者滿足片語「X採用A或B」：X採用A；X採用B；或X採用A與B兩者。另外，如本申請案及所附申請專利範圍中所使用，冠詞「一(a/an)」一般應理解為意謂「一或多個」，除非另外規定或自上下文清楚可見係針對單數形式。

本發明之某些態樣可適用於在電子器件之間部署的通信鏈路，該等電子器件可包括諸如電話、行動計算器件、器具、汽車電子元件、航空電子設備系統等之裝置的子組件。圖1描繪可採用IC器件之間的通信鏈路之裝置。在一個實例中，裝置100可包括一經由射頻(RF)收發器與無線電存取網路(RAN)、核心存取網路、網際網路及/或另一網路通信之無線通信器

件。裝置100可包括以可操作方式耦接至處理電路102之通信收發器106。處理電路102可包含一或多個IC器件，諸如特殊應用積體電路(ASIC) 108。ASIC 108可包括一或多個處理器件、邏輯電路等等。處理電路102可包括及/或耦接至處理器可讀儲存器，諸如可維持可由處理電路102執行之指令及資料的記憶體112。處理電路102可藉由作業系統及支援並實現駐留於儲存媒體(諸如，無線器件之記憶體器件112)中之軟體模組之執行的應用程式設計介面(API)110層中之一或多者而控制。記憶體器件112可包括唯讀記憶體(ROM)或隨機存取記憶體(RAM)、電可擦除可程式化ROM (EEPROM)、快閃卡，或可用於處理系統及計算平台之任何記憶體器件。處理電路102可包括或存取可維持用以組態並操作裝置100之操作性參數及其他資訊的本端資料庫114。可使用資料庫模組、快閃記憶體、磁性媒體、EEPROM、光學媒體、磁帶、軟碟或硬碟或其類似者中之一或多者來實施本端資料庫114。處理電路亦可以可操作方式耦接至外部器件，諸如天線122、顯示器124、操作者控制件(諸如按鈕128及小鍵盤126)以及其他組件。

圖2為說明連接至通信匯流排之裝置200之特定態樣的示意方塊圖，其中裝置200可實施於無線行動器件、行動電話、行動計算系統、無線電話、筆記型電腦、平板計算器件、媒體播放器、遊戲器件或其類似者中之一或多者中。裝置200可包含經由通信鏈路220交換資料及控制資訊之複數個IC器件202及230。通信鏈路220可用於連接緊鄰彼此定位或在實體上位於裝置200的不同部分中之IC器件202與IC器件230。在一個實例中，通信鏈路220可經提供於攜載IC器件202及230之晶片載體、基板或電路板上。在另一實例中，第一IC器件202可位於翻蓋電話之小鍵盤區段中而第二IC器件230可位於翻蓋電話之顯示器區段中。在另一實例中，通信鏈路220中之一

部分可包含電纜或光學連接。

通信鏈路220可包括多個頻道222、224及226。一或多個頻道226可為雙向的，且可以半雙工模式及/或全雙工模式操作。一或多個頻道222及224可為單向的。通信鏈路220可為不對稱的，從而在一個方向上提供較高頻寬。在本文中所描述之一個實例中，第一通信頻道222可被稱為前向鏈路222而第二通信頻道224可被稱為反向鏈路224。第一IC器件202可被指定為主機系統或傳輸器，而第二IC器件230可被指定為用戶端系統或接收器，即使IC器件202及230兩者都經組態以在通信鏈路222上進行傳輸及接收。在一個實例中，在將資料自第一IC器件202傳達至第二IC器件230時前向鏈路222可在較高資料速率下操作，而在將資料自第二IC器件230傳達至第一IC器件202時反向鏈路224可在較低資料速率下操作。

IC器件202及230可各自具有處理器或其他處理及/或計算電路或器件206、236。在一個實例中，第一IC器件202可執行裝置200之核心功能，包括經由無線收發器204及天線214維持無線通信，而第二IC器件230可支援管理或操作顯示器控制器232之使用者介面。第一IC器件202或第二IC器件230可使用攝像機控制器234來控制攝像機或視訊輸入器件之操作。藉由IC器件202及230中之一或多者支援的其他特徵可包括鍵盤、語音識別組件及其他輸入或輸出器件。顯示器控制器232可包括支援諸如液晶顯示器(LCD)面板、觸控式螢幕顯示器、指示器等之顯示器的電路及軟體驅動器。儲存媒體208及238可包括適合於維持供各別處理器206及236及/或IC器件202及230的其他組件使用之指令及資料的暫時性及/或非暫時性儲存器件。可分別藉由一或多個匯流排212及242促進各處理器206、236與其對應的儲存媒體208及238以及其他模組及電路之間的通信。

反向鏈路224可以與前向鏈路222相同之方式加以操作，且前向鏈路222及反向鏈路224可能夠以類似速度或不同速度進行傳輸，其中速度可經表達為資料傳送速率及/或計時速率(clocking rate)。前向及反向資料速率可大體上相同或可相差多個數量級，此取決於應用。在一些應用中，單一雙向鏈路226可支援第一IC器件202與第二IC器件230之間的通信。前向鏈路222及/或反向鏈路224可組態以當(例如)前向鏈路222及反向鏈路224共用相同實體連接且以半雙工方式操作時以雙向模式操作。在一個實例中，通信鏈路220可經操作以根據業界標準或其他標準在第一IC器件202與第二IC器件230之間傳達控制、命令及其他資訊。

在一個實例中，前向鏈路222及反向鏈路224可經組態或調適以在無圖框緩衝器的情況下支援寬視訊圖形陣列(WVGA)每秒80圖框之LCD驅動器IC，從而以810 Mbps傳遞像素資料以用於顯示再新。在另一實例中，前向鏈路222及反向鏈路224可經組態或調適以致能與動態隨機存取記憶體(DRAM) (諸如雙資料速率同步動態隨機存取記憶體(SDRAM))之間的通信。編碼器件210及/或240每時脈轉變可編碼多個位元，且多組線可用於傳輸及接收來自SDRAM、控制信號、位址信號等之資料。

前向鏈路222及反向鏈路224可遵守特殊應用工業標準或與特殊應用工業標準相容。在一個實例中，MIPI標準定義應用程式處理器IC器件202與支援行動器件中之攝像機或顯示器的IC器件230之間的實體層介面。MIPI標準包括控管遵守行動器件之MIPI規格之產品的操作特性之規格。MIPI標準可定義採用互補金屬氧化物半導體(CMOS)並行匯流排之介面。

在一個實例中，圖2之通信鏈路220可被實施為包括複數個信號線(經表示為*N*線)之有線匯流排。*N*線可經組態以攜載編碼於符號中之資料，其

中時脈資訊嵌入在經由複數條線傳輸之符號序列中。

圖3說明在***N***線系統中可用於恢復經嵌入時脈資訊之時脈及資料恢復(CDR)電路300的實例。圖4為說明經由CDR電路300之操作產生的特定信號之時序圖400。藉助於一般化實例提供CDR電路300及其時序圖400，但在一些個例中可使用CDR電路300之其他變體及/或其他CDR電路。自***N***線308接收之信號最初由一數目($_N C_2$)個接收器302進行處理，該等接收器產生對應數目個原始信號作為輸出。在所說明之實例中，***N*** =4線308由$_4C_2$ = 6個接收器302進行處理，該等接收器產生包括表示所接收符號之6個原始信號的第一狀態轉變信號(SI信號) 320。對於自各不同接收器輸出之各原始信號，可存在提供於符號S_0 402、S_1 404與S_2 406之間的設置時間408，在該設置時間期間，該對應信號之狀態係未定義、不確定、暫時性或在其他方面不穩定的。電平鎖存器310、比較器304、設定重設鎖存器306、單發電路326、類比延遲元件312及(匯流排)電平鎖存器310可經組態以產生表示SI信號320之延遲個例的電平鎖存信號(S信號) 322，其中該等電平鎖存器310捕獲SI信號320之前的延遲以提供經更新之S信號322，其可藉由組態延遲元件(延遲S) 312加以選擇。

在操作中，比較器304比較SI信號320與S信號322且輸出二進位比較信號(NE信號) 314。設定重設鎖存器306可自比較器304接收NE信號314且輸出信號(NEFLT信號) 316，其為NE信號314之經濾波版本。設定重設鎖存器306之操作可經組態以移除NE信號314中之任何暫時不穩定性，其中該暫時不穩定度展現為NE信號314中之尖峰410。NEFLT信號316可用於控制捕獲S信號322作為輸出資料信號328之輸出鎖存器324。

單發電路326接收NEFLT信號316且產生固定寬度脈衝412，該固定寬

度脈衝隨後可被延遲元件312延遲以產生時脈信號(SDRCLK) 318。在一些情況下，外部電路可使用SDRCLK信號318以取樣CDR 300之資料輸出328。在一個實例中，可將SDRCLK信號318提供至解碼器或解串器電路。電平鎖存器310接收SI信號320且輸出S信號322，其中該等電平鎖存器310藉由SDRCLK信號318觸發或以其他方式控制。

在操作中，比較器304比較SI信號320與自電平鎖存器310輸出之S信號322。該比較器304在SI信號320與S信號322相同時將NE信號314驅動至第一狀態(例如，邏輯低)，且在SI信號320與S信號322不相同時將NE信號314驅動至第二狀態(例如，邏輯高)。當SI信號320及S信號322表示不同符號時，NE信號314處於第二狀態。由此，第二狀態指示正發生轉變。

如自時序圖400可瞭解，S信號322基本上為SI信號320之經延遲及經濾波版本，其中瞬變或故障408已由於SI信號320與S信號322之間的延遲414而得以移除。SI信號320中之多次轉變408可反映為NE信號314中之尖峰410，但此等尖峰410經由設定重設電路之操作而自NEFLT信號316掩蔽。此外，SDRCLK 318基於對提供於通向電平鎖存器310及設定重設鎖存器306之反饋路徑中之延遲件326a、312的使用而對符號轉變中之線偏斜及故障具有抗性，SDRCLK信號318藉此控制設定重設鎖存器306之重設功能。

在第一符號值S_0 402與下一符號值S_1 404之間的轉變之開端416處，SI信號320開始改變狀態。由於S_0 402與S_1 404之間的轉變期間的中間狀態或不確定狀態408之可能性，SI信號320之狀態可不同於S_1 404。此等中間狀態或不確定狀態408可(例如)由線間偏斜、過沖/下沖、串音等引起。

比較器304一旦偵測到SI信號320與S信號322之間的值的差異，則NE信號314變高電平，且NE信號314之轉變高電平異步地設定設定重設鎖存器

306輸出，從而驅動NEFLT信號316成高電平。NEFLT信號316維持於其高電平狀態中直至設定重設鎖存器306被SDRCLK信號318之高電平狀態重設。SDRCLK信號318為NE1SHOT信號324之經延遲版本，該NE1SHOT信號為NEFLT信號316之脈寬受限版本。舉例而言，經由使用類比延遲電路312，可相對於NE1SHOT信號324延遲SDRCLK信號318。

SI 320上之中間狀態或不確定狀態408可表示無效資料。此等中間狀態或不確定狀態408可含有較短週期之先前符號值S_0 402，且可使得NE信號314在較短時間段內回復低電平。SI信號320之轉變可在NE信號314上產生尖峰410。尖峰410被有效地濾除且不會出現在NEFLT信號316中。

NEFLT信號316之高電平狀態使得SDRCLK信號318在由延遲電路312所引起之延遲週期340後轉變高電平。SDRCLK信號318之高電平狀態重設設定重設鎖存器306輸出，從而使得NEFLT信號316轉變成低電平狀態。SDRCLK信號318之高電平狀態亦啟用電平鎖存器310，且可在S信號322上輸出SI信號320值。

比較器304偵測到(針對符號S_1 402之) S信號322匹配SI信號320上存在之符號S_1 402值，且將其輸出(NE信號314)切換成低電平。NEFLT信號316之低電平狀態使得SDRCLK信號318在由類比延遲件312所引起之延遲週期342後變成低電平。此循環針對SI信號320中之每一轉變進行重複。在SDRCLK信號318的下降邊緣之後，新的符號S_2 406可經接收且可使得SI信號320根據該下一符號S_2 406切換其值。

圖5為說明提供於兩個器件502與532之間的多道介面500的一個實例之圖式。在傳輸器502處，轉碼器506、516可用於(例如)使用分數N (***N***!)編碼來編碼待經由各通道512、522上之一組***N***條線傳輸之符號中的資料

504、514及時脈資訊。時脈資訊來源於各別傳輸時脈524、526，且可藉由確保連續符號之間的${}_{N}C_{2}$個信號中之至少一者上出現信號傳遞狀態轉變而編碼於經由***N***條線在${}_{N}C_{2}$個差分信號中傳輸的一連串符號中。當使用***N***!編碼來驅動***N***條線時，符號中之每一位元由一組線路驅動器510、520中之一者傳輸作為差分信號，其中該組線路驅動器510、520中之差分驅動器耦接至不同的***N***線對。線對與信號之可用組合之數目可經計算為${}_{N}C_{2}$，且該可用組合數目判定可經由***N***條線傳輸之信號的數目。可基於可供用於每一符號傳輸間隔之可用信號傳遞狀態的數目來計算可編碼於一符號中之資料位元504、514的數目。

終端阻抗(通常電阻)將***N***條線中之每一者耦接至終端網路528、530中之共同中心點。應瞭解，***N***條線之信號傳遞狀態反映終端網路528、530中歸因於耦接至各線之差分驅動器510、520的電流之組合。應進一步瞭解，終端網路528、530之中心點為零點，由此終端網路528、530中之電流在該中心點處相互抵消。

N!編碼方案無需使用單獨的時脈頻道及/或不歸零解碼，此係由於鏈路中之${}_{N}C_{2}$個信號中之至少一者在連續符號之間進行轉變。有效的係，各轉碼器506、516藉由產生其中每一符號不同於其緊鄰前置符號之符號序列來確保在***N***條線上傳輸之各符號對之間出現轉變。在圖5中描繪之實例中，各通道512、522具有***N***=4條線，且各組4條線可攜載${}_{4}C_{2}$ = 6個差分信號。轉碼器506、516可採用映射方案來產生原始符號以供在通道512、522上可用之***N***條線上傳輸。轉碼器506、516及串列器508、518協作以基於輸入資料位元504、514產生原始符號以供傳輸。在接收器532處，轉碼器540、550可採用映射來判定表徵一對連續原始符號(例如，查找表中之符號)之間的

差異之轉變數目。轉碼器506、516、540、550在每一連續原始符號對包括兩個不同符號的基礎上進行操作。

傳輸器502處之轉碼器506、516可在各符號轉變處可用之N!-1個狀態之間進行選擇。在一個實例中，4!系統為待在各符號轉變處傳輸之下一符號提供4!-1=23個信號傳遞狀態。位元速率可經計算為每傳輸時脈524、526之循環$\log_2$(***available_states***)。在使用雙資料速率(DDR)時脈之系統中，在傳輸時脈524、526之上升邊緣及下降邊緣兩者處發生符號轉變。在一個實例中，每字組(亦即，每傳輸時脈循環)可傳輸兩個或多於兩個符號，使得傳輸時脈循環中之全部可用狀態為$({}_{N}C_2\text{-}1)^2 = (23)^2 = 529$，且每符號可傳輸之資料位元504的數目可經計算為$log_2(529) = 9.047$位元。

接收器件532使用一組線路接收器534、544接收該符號序列，其中該組線路接收器534、544中之每一接收器判定一對***N***線上之信號傳遞狀態的差異。因此，${}_{N}C_2$個接收器用於每一通道512、522，其中***N***表示對應通道512、522中之線的數目。該${}_{N}C_2$個接收器534、544產生對應數目個原始符號作為輸出。

在所描繪之實例中，每一通道512、522具有***N***=4條線，且在每一通道512、522的四條線上接收之信號藉由包括6個接收器(${}_{4}C_2 = 6$)之線路接收器534或544的對應集合處理，以產生經提供至對應CDR 536、546及解串器538、548之狀態轉變信號。 CDR 536及546可以與圖3之CDR 300大體相同之方式操作，且每一CDR 536及546可產生可由對應解串器538、548使用之接收時脈信號554、556。時脈信號554可包括可由外部電路使用以接收轉碼器540、550提供之資料的DDR時脈信號。每一轉碼器540、550藉由比較各下一符號與其緊鄰前置者來解碼來自對應解串器538、548之所

接收符號區塊。轉碼器540、550產生對應於提供至傳輸器502之資料504、514的輸出資料542及552。

如圖5之實例中所說明，各通道512、522可獨立地加以操作，但在典型應用中，經由一個通道512傳輸之資料504可與經由另一通道522傳輸之資料514同步。在一個實例中，第一轉碼器506接收用於經由第一通道(在此實例中，通道X) 512傳輸之資料位元504，該第一轉碼器產生一組原始符號，該組原始符號在以預定序列進行傳輸時確保在第一通道512之4條線上傳輸的至少一個信號中發生信號傳遞狀態轉變。串列器508產生提供至線路驅動器510之判定各符號間隔內第一通道512之4條線的信號傳遞狀態之符號值序列。同時，第二通道(在此實例中，通道Y) 522之第二轉碼器516接收資料位元514。第二轉碼器516產生由串列器518串列化之一組轉變數目，該串列器將該組轉變數目轉換成提供至線路驅動器520之判定各符號間隔內第二通道522之4條線的信號傳遞狀態之符號值序列。原始符號之序列確保每對連續符號之間的在第二通道522之4條線上傳輸的至少一個信號中發生信號傳遞狀態轉變。

圖6說明根據本文中揭示之特定態樣提供的多道介面600之第一實例。當編碼於在第一通道(此處通道X) 612上傳輸之符號中的時脈資訊用於接收所傳輸符號，而一或多個其他通道(包括通道Y 622)上無經編碼時脈資訊時，多道介面600提供經改良之資料輸送量且降低電路複雜度。在所描繪實例中，每一通道612、622包括4條線。

用於傳輸之資料可被劃分成兩個部分604及614，其中各部分在不同的通道612、622上傳輸。在第一通道612上，可使用轉碼器/串列器608編碼資料604及與傳輸時脈624有關之資訊，以獲得如關於圖5所描述串列化之

原始符號。在接收器632處，接收器634之與第一通道612相關聯的輸出經提供至CDR 636。CDR 636可經組態以偵測信號傳遞狀態之轉變，以產生供通道612、622兩者之解串及轉碼電路638及648兩者使用的接收時脈654。第一解串及轉碼電路638自接收自第一通道612之原始符號擷取資料642，而第二解串及轉碼電路648自接收自第二通道622之原始符號擷取資料652。

對於第二通道622，傳輸資料614可經提供至轉碼及串列電路618且在無經編碼時脈資訊的情況下在第二通道622上傳輸。用於產生供在第一通道612上傳輸之具有經嵌入時脈資訊之原始符號的轉碼電路可顯著地比用於產生用於第二通道622之原始符號的轉碼電路更複雜。舉例而言，第二通道622之轉碼電路可不需要執行特定算術運算及邏輯函數來保證每一符號邊界處之狀態轉變。

在圖6中所描繪之實例中，DDR時脈控制之4線第一通道612提供$(4!-1)^2 = (23)^2 = 529$個信號傳遞狀態且每接收字組604、614可編碼$\log_2 529 = 9.047$資料位元，而DDR時脈控制之4線第二通道622提供$(4!)^2 = (24)^2 = 576$個信號傳遞狀態且每字組可編碼$\log_2 576 = 9.170$資料位元。在另一實例中，介面可具有兩個3線通道，其中時脈資訊編碼於第一通道中，但未編碼於第二通道中。在此後一實例中，每字組可傳輸7個符號，且3線第一通道提供$(3!-1)^7 = (5)^7 = 78125$個信號傳遞狀態且每字組可編碼$\log_2 78125=16.253$資料位元，而3線第二通道提供$(3!)^7=6^7=279936$個信號傳遞狀態且每一時脈循環中可編碼$\log_2 279936=18.095$資料位元。藉由在多道$N!$之單一通道中編碼時脈資訊，可藉由較少硬體達成較高總體輸送量。

圖7說明根據本文中揭示之一或多個態樣提供的多道介面700之另一

實例。除最佳化之資料輸送量及降低之電路複雜度外，多道介面700亦提供經改良之設計靈活性。此處，編碼於在一個通道(此處通道X) 712上傳輸之符號中的時脈資訊可用於接收在具有不同線數目之一或多個其他通道722上傳輸的符號。

在所描繪之實例中，用於傳輸之資料可被劃分成複數個部分704及714，其中每一部分將在不同的通道712、722上傳輸。在第一通道712上，資料704及傳輸時脈724可藉由轉碼及串列電路708轉換以獲得原始符號序列，如關於圖5及圖6所描述。在第二通道722上，所接收資料714可經提供至轉碼及串列電路718且隨後在無經嵌入時脈資訊的情況下加以傳輸。

在接收器732處，接收器734之與第一通道712相關聯的輸出經提供至CDR 736。CDR 736可經組態以偵測第一通道712中之3條線的信號傳遞狀態轉變，且產生供通道712、722兩者之解串及轉碼電路738及748兩者使用的接收時脈754。第一解串及轉碼電路738自接收自第一通道712之原始符號擷取資料742，而第二解串及轉碼電路748自接收自第二通道722之原始符號擷取資料752。

在該實例中，第一通道712包括經組態以用於3!操作之3條線，而第二通道722包括經組態以用於4!操作之4條線。第一通道712可針對每字組2符號系統提供 $(3!-1)^2 = (5)^2 = 25$ 個信號傳遞狀態，由此每字組可編碼 $\log_2 25 = 4.644$資料位元。4線第二通道722提供$(4!)^2 = (24)^2 = 576$個信號傳遞狀態且每字組可編碼$\log_2 576 = 9.170$資料位元。

當單一通道712編碼時脈資訊且可將數目可變的線指派至其他通道722時，可獲得相當高的效率。在兩個器件之間可用10個互連件(線或連接件)之一實例中，習知3!系統可組態三個3線通道，其中每一通道上編碼有

時脈資訊。三個通道中之每一者每符號提供5個信號傳遞狀態，每符號總共15個狀態。然而，根據本文中描述之特定態樣提供的系統可使用該10個互連件以提供兩個3!通道及一個4!通道，其中時脈資訊編碼於第一3!通道中。基於每符號提供5個狀態加時脈資訊之第一3!通道、每符號提供6個狀態之第二3!通道及每符號提供24個狀態之4!通道，此通道組合每符號提供總共5 × 6 × 24 = 720個信號傳遞狀態。

圖8說明根據本文中揭示之一或多個態樣提供的多道介面800之另一實例。多道介面800提供各種益處，包括可准許較高傳輸速率之經改良解碼安全性。此實例中之多道介面800的組態及操作類似於圖6之多道介面600的組態及操作，除了CDR 836經組態以根據在第一通道812或第二通道822上偵測到之轉變產生接收時脈854。因此，CDR 836接收接收器834及844之輸出。由於CDR 836根據通道812或822上之第一所偵測轉變產生時脈，因此符號邊界與接收時脈854之邊緣之間的延遲變化可減小。此方法可降低線上之變化轉變時間及/或線路驅動器810、820或接收器834、844之變化交換時間的影響。

在操作中，可在兩個或多於兩個部分804及814中接收用於傳輸之資料，其中部分804、814用於在不同的通道812、822上傳輸。轉碼器及串列器電路808之組合可將資料位元X 804及與傳輸時脈824有關之經嵌入資訊編碼於待在第一通道812上傳輸之符號序列中，如關於圖5所描述。在接收器832處，兩組接收器834及844之輸出經提供至CDR 836，該CDR經組態以偵測通道812、822兩者上之信號傳遞狀態轉變且基於該轉變產生接收時脈854。接收時脈854由解串列化/轉碼電路838及848兩者使用，該等解串列化/轉碼電路產生各別第一通道資料輸出842及第二通道資料輸出852。

圖9說明根據本文中揭示之一或多個態樣提供的多道介面900之另一實例。在此實例中，多道介面900藉由確保連續符號間隔之間的信號傳遞狀態轉變在複數個通道912、922中之任一者上發生而提供經改良之資料輸送量及編碼效率。因此，相對於時脈資訊嵌入於在單一通道上傳輸之符號序列中的系統，與編碼時脈資訊相關聯之額外負擔百分比可得以減小。在多道介面900中，第一通道(此處通道X) 912包括攜載3!編碼之信號的三條線，而第二通道(此處通道Y) 922包括四條線且經組態以用於4!編碼。可採用不同數目及組態之通道，且僅出於說明性目的而提供圖9中描繪之特定實例。轉碼器906可經調適以將資料904及時脈資訊組合於待經由兩個或多於兩個通道912及/或922傳輸之符號中。

可藉由基於所有通道912、922之可用信號傳遞狀態的組合來嵌入時脈資訊而實現編碼效率。藉由確保信號傳遞狀態轉變在至少一個通道912、922上的連續符號間隔之間發生而嵌入時脈資訊。在操作中，轉碼器906可經組態以產生用於各通道912、922之不同符號集合。在一個實例中，傳輸器902根據時脈信號924接收之資料904可經傳輸作為編碼於在3!第一通道912上傳輸之三個信號中的第一符號序列及編碼於同時在4!第二通道922上傳輸之六個信號中的第二符號序列。轉碼器906藉由確保信號傳遞狀態轉變在通道912及922中之至少一者上的連續符號之間發生而嵌入時脈資訊。每符號間隔之狀態總數為在第一通道912上傳輸的每符號之狀態數目與在第二通道922上傳輸的每符號之狀態數目的乘積。因此，當跨兩個通道912、922嵌入時脈資訊時，轉碼器在每一符號間隔處可用之狀態數目可經計算為：

$$(N_{通道1}! \times N_{通道2}!) - 1 = (3! \times 4!) - 1 = (6 \times 24) - 1 = 143$$

在另一實例中，當跨使用3!編碼於三個信號中之兩個通道嵌入時脈資訊時，轉碼器在每一符號間隔處可用之狀態數目可經計算為：

$$(N_{通道X}! \times N_{通道Y}!) - 1 = (3! \times 3!) - 1 = (6 \times 6) - 1 = 35$$

轉碼器在每一符號轉變處可用之狀態數目控管每一接收資料循環中可傳輸之位元數目。

7個符號中發送之位元	*描述*
$\log_2(3! - 1)^7 = 16.2535$	一個通道3!
$\log_2(4! - 1)^7 = 31.6650$	一個通道4!
$\log_2\left((3! - 1) \times 4!\right)^7 = 48.3482$	3!及4!，在3!上進行轉碼
$\log_2\left(3! \times (4! - 1)\right)^7 = 49.7597$	3!及4!，在4!上進行轉碼
$\log_2\left((3! \times 4!) - 1\right)^7 = 50.1191$	在組合之3!及4!上進行轉碼

表**1**

表1及表2說明當轉碼器跨兩個或多於兩個***N***!通道嵌入時脈資訊時譯碼效率提高。表1係關於圖9之多道介面900。如自該表可看出，當轉碼器906考慮在兩個通道912、922上傳輸之符號序列而嵌入時脈資訊時，獲得最大編碼效率。

7個符號中發送之位元	*描述*
$\log_2(3! - 1)^7 \times 2 = 32.5070$	在每一3!通道上進行轉碼
$\log_2\left((3! - 1) \times 3!\right)^7 = 34.3482$	在一個3!通道上進行轉碼
$\log_2(3! \times 3! - 1)^7 = 36.1895$	在組合之3!通道上進行轉碼

表**2**

表2係關於具有兩個3!通道之多道介面的一個實例。

在圖9之實例中，接收器932包括藉由偵測兩個通道912、922上之轉變而產生接收時脈954的CDR 936。解串器938、948將接收自各別通道912、922之符號提供至轉碼器940，該轉碼器使傳輸器中之轉碼器906執行的轉碼反向。接收器932中之轉碼器940藉由檢查所接收符號之組合序列以產生對應於在傳輸器902處接收之資料904的輸出資料942而操作。可根據***N***!通道912、922中之線的數目提供多組線路驅動器910、920及接收器934、944。

相比於習知介面，多道介面900可經組態以提供額外優勢。圖10說明轉碼器1024可用於控制資料傳遞至接收器之次序的實例。諸如圖5中之多道介面500之一個多道介面1000可獨立地將兩組或多於兩組資料位元1002、1004編碼於符號序列1006、1008中以供經由對應數目個通道傳輸。可將預先劃分成多組資料位元1002、1004之資料提供至多道介面1000，及/或多組資料位元1002、1004可藉由多道介面1000進行分割。根據功能、設計偏好或出於方便及/或其他原因，資料位元可任意地分配在兩組或多於兩組資料位元1002、1004中。

在所說明多道介面1000中，可將在第一時脈循環中接收之每一字組、位元組或其他資料元素編碼為在兩個通道中之一者上的符號對間隔1012a至1012g中依序傳輸的兩個或多於兩個符號。當自該等符號對間隔1012a至1012g接收到兩個或多於兩個符號時，接收器可解碼資料元素。

諸如圖9之多道介面900之多道介面1020可包括轉碼器1024，該轉碼器將資料1022及時脈資訊編碼為同時經由兩個或多於兩個通道傳輸之複數個符號序列1026、1028。轉碼器1024可藉由同時傳輸用於在兩個通道上傳輸之符號來控制資料傳遞至接收器之次序。在一個實例中，在第一時脈循環中接收的資料位元1022 (位元(0))可轉碼成兩個符號且在第一符號間隔1030期間在兩個通道上並行傳輸。在第二時脈循環中接收的資料位元1022 (位元(1))可經傳輸為在第二符號間隔1032期間在兩個通道上並行的兩個符號。在兩個並行資料通道上傳輸資料可為對時序敏感之應用提供特定益處，該等應用諸如攝影機中之快門及/或閃光控制、與遊戲應用相關聯之控制信號。

圖11說明根據本文中揭示之一或多個態樣提供的多道介面1100之另

一實例。在此實例中，多道介面1100包括至少一個N!編碼之通道1112及串列資料鏈路1122。串列資料鏈路1122可為單端串列鏈路(如所說明)或以不同方式編碼之串列資料鏈路。串列資料鏈路1122可包括串列匯流排，諸如互連積體電路(I2C)匯流排、攝影機控制介面(CCI)串列匯流排或此等串列匯流排技術之衍生物。在所描繪實例中，時脈信號1124由*N*!鏈路之串列器1108及串列鏈路1122之串列器1118使用，且無需經由單獨的時脈信號通道將時脈信號1124傳輸至接收器1132。替代地，轉碼器1106將時脈資訊嵌入於經由串列器提供至*N*!通道1112之差分線路驅動器的符號序列中。

在接收器1132處，CDR 1136根據在接收器1134之輸出處偵測到的轉變產生接收器時脈信號1154。接收器時脈信號1154由N!通道解串器1138及串列鏈路解串器1148使用。在一些情況下，CDR 1136可監測與串列鏈路1122相關聯之線路接收器1144的輸出以便改良對符號間隔之間的轉變之偵測。*N*!通道解串器1138將經解串之符號資訊提供至轉碼器1140，該轉碼器產生表示經由*N*!編碼之通道1112傳輸的輸入資料1104之輸出資料1142。

在一個實例中，傳輸器1102在3!編碼之第一通道1112上的三個信號中傳輸符號。該等符號包括經嵌入時脈資訊，且第一通道1112上可用每符號5個信號傳遞狀態。傳輸器亦可使用在串列鏈路1122之該等線上傳輸的4個串列信號在第二通道上發送資料。接收器1132可根據在第一通道1112上傳輸之符號產生時脈信號1154，其中該時脈用於解碼/解串列化在兩個通道1112、1122上傳輸之資料。因此，當由CDR 1136提供之時脈1154由第二通道串列鏈路1122之解串器1148使用時，串列鏈路1122提供每符號$2^4 = 16$個狀態。當使用由CDR 1136提供之時脈1154時，達成每符號合計$5\times16 = 80$個狀態。

藉助於比較，習知或傳統四線串列鏈路1122可指定四條線中之一者攜載時脈信號，且資料傳輸可受限於該4條線中之其他三條上的三個信號。在此後一組態中，串列鏈路1122上可提供每符號$2^3 = 8$個信號傳遞狀態，且當資料亦在3!編碼之第一通道1112中傳輸時，產生每符號合計$5 \times 8 = 40$個信號傳遞狀態。

圖12為說明***N***線通信鏈路上之資料通信之方法的流程圖1200。通信鏈路可包括攜載使用適合編碼方案編碼之符號的複數個連接件，該編碼方案諸如***N***!編碼、多相編碼、多線差分編碼等。連接件可包括導電線、光學信號導體、半導電互連件等。該方法可由接收器件之一或多個處理器執行。

在步驟1202處，自多道介面之第一通道接收第一符號序列。該符號序列中之每一符號可對應於第一通道之***N***條線的信號傳遞狀態。

在步驟1204處，自多道介面恢復或擷取時脈信號。時脈信號可包括對應於***N***條線之第一符號序列中之連續符號對之間的複數個信號傳遞狀態轉變之邊緣。

在步驟1206處，使用時脈信號將第一符號序列轉換成第一資料位元集合。可藉由使用轉碼器將第一符號序列轉換成轉變數目集合且轉換該轉變數目集合以獲得第一資料位元集合而將第一符號序列轉換成第一資料位元集合。

在步驟1208處，使用時脈信號自接收自多道介面之第二通道的一或多個信號導出第二資料位元集合。可在不使用轉碼器的情況下導出第二資料位元集合。

根據本文中揭示之特定態樣，第一符號序列可編碼於接收自${}_N C_2$個不同***N***線對之${}_N C_2$個差分信號中。第二通道可包括***M***條線，其中第二符號序列

編碼於接收自$_{M}C_{2}$個不同M線對之$_{M}C_{2}$個差分信號中。M與N可具有相同值或具有不同值。

根據本文中揭示之特定態樣，導出第二資料位元集合包括自串列介面之M條線中的每一者接收串列信號，及根據時脈信號藉由取樣串列信號而擷取第二資料位元集合。導出第二資料位元集合可包括自串列介面之M條線接收$M/2$個差分信號，及根據時脈信號藉由取樣該$M/2$個差分信號而擷取第二資料位元集合。

根據本文中揭示之特定態樣，可藉由提供對應於在N條線之信號傳遞狀態中偵測到之轉變的時脈信號轉變或第二通道之一或多條線的信號傳遞狀態轉變而恢復或擷取時脈信號。時脈信號可包括對應於多道介面之第二通道之至少一條線之一或多個信號傳遞狀態轉變的邊緣。

根據本文中揭示之特定態樣，第一符號序列編碼於$_{N}C_{2}$個差分信號中。$_{N}C_{2}$個差分信號中之每一者可接收自不同的N線對。第二符號序列可編碼於接收自第二通道之M條線的$_{M}C_{2}$個差分信號。$_{M}C_{2}$個差分信號中之每一者可接收自不同的M線對。可使用轉碼器電路將第一符號序列轉換成第一資料位元集合。可使用相同轉碼器電路將第二符號序列轉換成第二資料位元集合。

根據本文中揭示之特定態樣，N條線及M條線中之一或多者的信號傳遞狀態轉變在第一符號序列中之每一依序符號對之間發生。第一符號序列中之每一者可以不同符號間隔傳輸。在每一符號間隔中接收之第一資料位元集合及第二資料位元集合可經組合以獲得每一符號間隔之完整資料元素。

圖13為說明採用處理電路1302之裝置1300的硬件實施之簡化實例的

圖式。處理電路通常具有可包括微處理器、微控制器、數位信號處理器、定序器及狀態機中之一或多者的處理器1316。可藉由匯流排架構實施處理電路1302，該匯流排架構一般藉由匯流排1320來表示。匯流排1320可取決於處理電路1302之特定應用及總設計約束而包括任何數目個互連匯流排及橋接器。匯流排1320將各種電路連結在一起，該等電路包括一或多個處理器及/或硬體模組(由處理器1316、模組及/或電路1304、1306及1308表示)、可組態以經由連接件或線(多道介面) 1314通信之線路介面電路1312及處理器可讀/電腦可讀儲存媒體1318。匯流排1320亦可連結此項技術中已熟知且因此將並不更進一步描述之各種其他電路，諸如時序源、周邊裝置、電壓調節器及功率管理電路。

處理器1316負責一般處理，包括執行儲存於電腦可讀儲存媒體1318上之軟體。軟體在由處理器1316執行時使處理電路1302執行上文針對任何特定裝置描述的各種功能。電腦可讀儲存媒體1318亦可用於儲存當執行軟體時藉由處理器1316操縱之資料，包括自經由連接件1314傳輸的符號解碼之資料。處理電路1302進一步包括模組及/或電路1304、1306及1308中之至少一者。模組及/或電路1304、1306及1308可為在處理器1316中運行之軟體模組、駐留/儲存於電腦可讀儲存媒體1318中之軟體模組、耦接至處理器1316之一或多個硬體模組或其某一組合。模組及/或電路1304、1306及/或1308可包括微控制器指令、狀態機組態參數或其某一組合。

在一個組態中，用於無線通信之裝置1300包括：模組及/或電路1306、1312，其經組態以自多道介面1314之第一通道接收第一符號序列；模組及/或電路1306，其經組態以自多道介面1314恢復時脈信號，其中該時脈信號包括對應於***N***條線之在第一符號序列中之連續符號對之間發生的複數個信

號傳遞狀態轉變之邊緣；模組及/或電路1304及/或1308，其經組態以使用該時脈信號將第一符號序列轉換成第一資料位元集合；以及模組及/或電路1304及/或1308，其經組態以使用該時脈信號自接收自多道介面1314之第二通道的一或多個信號導出第二資料位元集合。在一個實例中，圖6至圖9及圖11中說明之該等電路提供實施由處理電路1302執行之各種功能的邏輯。

在本發明之一個態樣中，電腦可讀儲存媒體1318上面儲存或維持有一或多個指令。在由處理電路1302之至少一個處理器1316執行時，該等指令可使得處理電路1302：自多道介面1314之第一通道接收第一符號序列；自多道介面1314恢復時脈信號，其中該時脈信號包括對應於***N***條線之在第一符號序列中之連續符號對之間發生的複數個信號傳遞狀態轉變之邊緣；使用該時脈信號將第一符號序列轉換成第一資料位元集合；及使用該時脈信號自接收自多道介面1314之第二通道的一或多個信號導出第二資料位元集合。該符號序列中之每一符號可對應於***N***條線之信號傳遞狀態。

可(例如)使用處理器206或236、實體層驅動器210或240以及儲存媒體208及238的一些組合來實施前述構件。

圖14為說明N線通信鏈路上之資料通信之方法的流程圖1400。通信鏈路可包括攜載使用適合編碼方案編碼之符號的複數個連接件，該編碼方案諸如***N***!編碼、多相編碼、多線差分編碼等。連接件可包括導電線、光學信號導體、半導電互連件等。該方法可由接收器件之一或多個處理器執行。

在步驟1402處，將時脈資訊嵌入於編碼第一資料位元之第一符號序列中。第一符號序列中之每一者可對應於多道介面之第一通道之***N***條線的信號傳遞狀態。可藉由使用轉碼器將第一資料位元轉換成轉變數目集合且轉

換該轉變數目集合以獲得第一符號序列而編碼時脈資訊。可在不使用轉碼器的情況下將第二資料位元編碼於第二符號序列中。

在步驟1404處，在第一通道上傳輸第一符號序列。

在步驟1406處，在多道介面之第二通道上傳輸第二符號序列。第二符號序列可編碼有第二資料位元且無經嵌入時脈資訊。

根據本文中揭示之特定態樣，可藉由在${}_{N}C_{2}$個不同N線對上之${}_{N}C_{2}$個差分信號中傳輸第一符號序列而傳輸第一符號序列。第二通道可包括***M***條線。可在${}_{M}C_{2}$個不同M線對上之${}_{M}C_{2}$個差分信號中傳輸第二符號序列。***M***及***N***的值可相同或不同。

根據本文中揭示之特定態樣，可在串列匯流排之M條線上傳輸第二符號序列。傳輸第二符號序列可包括在***M***/2個差分信號中傳輸第二資料集合。

根據本文中揭示之特定態樣，第一符號序列中之每一者以不同符號間隔進行傳輸。嵌入時脈資訊可包括引起***N***條線之信號傳遞狀態轉變或在第一符號序列中之每一連續符號對之間引起第二通道之一或多條線的信號傳遞狀態轉變。

根據本文中揭示之特定態樣，單一轉碼器電路可用於將第一資料位元編碼於第一符號序列中且將第二資料位元編碼於第二符號序列中。

根據本文中揭示之特定態樣，嵌入時脈資訊包括在第一符號序列中之每一連續符號對之間引起***N***條線之信號傳遞狀態轉變或在第二符號序列中之每一連續符號對之間引起第二通道之***M***條線的信號傳遞狀態轉變。時脈資訊可係關於用於編碼第一符號序列及第二符號序列兩者之傳輸時脈。

根據本文中揭示之特定態樣，可劃分資料元素以獲得第一資料位元集合及第二資料位元集合。可在第一通道上傳輸對應於第一資料位元集合之

第一符號，同時在第二通道上傳輸對應於第二資料位元集合之第二符號。

圖15為說明採用處理電路1502之裝置1500的硬件實施之簡化實例的圖式。處理電路通常具有可包括微處理器、微控制器、數位信號處理器、定序器及狀態機中之一或多者的處理器1516。可藉由匯流排架構實施處理電路1502，該匯流排架構一般藉由匯流排1520來表示。匯流排1520可取決於處理電路1502之特定應用及總設計約束而包括任何數目個互連匯流排及橋接器。匯流排1520將各種電路連結在一起，該等電路包括一或多個處理器及/或硬體模組(由處理器1516、模組及/或電路1504、1506及1508表示)、可組態以經由連接件或線1514通信之線路介面電路1512及處理器可讀/電腦可讀儲存媒體1518。匯流排1520亦可連結此項技術中已熟知且因此將並不更進一步描述之各種其他電路，諸如時序源、周邊設備、電壓調節器及功率管理電路。

處理器1516負責一般處理，包括執行儲存於電腦可讀儲存媒體1518上之軟體。軟體在由處理器1516執行時使處理電路1502執行上文針對任何特定裝置描述的各種功能。電腦可讀儲存媒體1518亦可用於儲存當執行軟體時藉由處理器1516操縱之資料，包括自經由連接件1514傳輸的符號解碼之資料。處理電路1502進一步包括模組及/或電路1504、1506及1508中之至少一者。模組及/或電路1504、1506及1508可為在處理器1516中運行之軟體模組、駐留/儲存於電腦可讀儲存媒體1518中之軟體模組、耦接至處理器1516之一或多個硬體模組或其某一組合。模組及/或電路1504、1506及/或1508可包括微控制器指令、狀態機組態參數或其某一組合。

在一個組態中，用於無線通信之裝置1500包括：模組及/或電路1504，其經組態以藉由編碼於第一符號序列中之第一資料位元嵌入資訊；模組及/

或電路1506、1512，其經組態以在多道介面之第一通道上傳輸第一符號序列；模組及/或電路1504、1506及/或1508，其經組態以在多道介面之第二通道上傳輸第二符號序列。在一個實例中，圖6至圖9及圖11中說明之該等電路提供實施由處理電路1502執行之各種功能的邏輯。

在本發明之一個態樣中，處理器可讀/電腦可讀儲存媒體1518上面儲存或維持有一或多個指令。在由處理電路1502之至少一個處理器1516執行時，該等指令可使得處理器1516：藉由編碼於第一符號序列中之第一資料位元嵌入時脈資訊；在多道介面1514之第一通道上傳輸第一符號序列；及在多道介面1514之第二通道上傳輸第二符號序列。第一符號序列中之每一者可對應於多道介面1514之第一通道之*N*條線的信號傳遞狀態。第二符號序列可編碼有第二資料位元且無經嵌入時脈資訊。

可(例如)使用處理器206或236、實體層驅動器210或240以及儲存媒體208及238的一些組合來實施前述構件。

具有專用時脈之多線符號轉變鏈路之例示性描述

如上文所描述，可藉由將時脈嵌入至符號轉變中而實施多線符號轉變計時。然而，經嵌入時脈需要接收器件處之時脈及資料恢復(CDR)邏輯/電路以根據符號轉變恢復該經嵌入時脈。此類CDR邏輯/電路藉由一些接收器件實施起來可為複雜的或代價大的。經嵌入時脈亦可由於多餘抖動、通道間偏斜、信號尖峰及其他原因而遭受符號滑移錯誤。

在本發明之一個態樣中，*N*!多線匯流排/鏈路可用於促進其中經嵌入時脈以確定符號轉變進行編碼/嵌入之符號的傳輸，同時一專用時脈線用於傳輸專用時脈。在本發明之其他態樣中，匯流排/鏈路可為單端多線匯流排/鏈路。經由專用時脈線傳輸之專用時脈促進接收器不使用CDR邏輯/電路

且不必依賴於經嵌入時脈而解碼經由多線匯流排/鏈路傳輸之符號。由此，使用專用時脈線接收專用時脈允許接收器放棄實施CDR邏輯/電路，且因此使與此類實施相關聯之複雜度及成本降至最低以及減少與經嵌入時脈有關之符號滑移錯誤。

在另一態樣中，在使用專用時脈線來傳輸/接收時脈信號之系統中，單獨時脈不需要被編碼/嵌入於待傳輸之符號序列的符號轉變中。因此，基於系統來保證符號序列中之每一符號之間的轉變並非強制性的，且因此，系統能夠在一個資料通道上且跨多個資料通道交插不同類型之符號。此外，由於此類系統中可不發生自符號轉變之時脈恢復，因此傳輸器處可省略用於將原始符號轉換為具有確定轉變之符號的電路/模組，且接收器處可省略用於將具有確定轉變之符號轉換為原始符號之電路/模組，由此使與實施此類電路/模組相關聯之複雜度及成本降至最低。

在又一態樣中，在使用專用時脈線來傳輸/接收時脈信號之系統中，時脈信號與資料信號分離地傳輸，且因此，時脈信號傳輸之方向並不約束資料信號傳輸之方向。因此，此類系統允許經由專用時脈線將時脈信號自第一器件傳輸至第二器件，同時將與該時脈信號相關聯之資料/符號自第二器件傳輸至第一器件。此外，此類系統現在能夠利用多線匯流排/鏈路及/或專用時脈線以用於雙向傳輸。由此，第一器件及第二器件兩者可藉由交插多線匯流排/鏈路之該等線及/或替代地經由專用時脈線傳輸專用時脈而利用該多線匯流排/鏈路來傳輸。

圖16為說明提供於兩個器件1602與1632之間的多道介面1600之另一實例之圖式。在傳輸器1602處，轉碼器1606可用於使用(例如)分數N (N!)編碼將資料1604及時脈資訊編碼於待經由通道(或「多線鏈路」) 1612上之

一組N條線傳輸的符號中，其中N為大於2之整數。時脈資訊可自第一傳輸時脈(例如，DDRCLK X) 1624或第二傳輸時脈(例如，DDRCLK Y) 1626導出，且可藉由確保連續符號之間的${}_{N}C_{2}$個信號中之至少一者上發生信號傳遞狀態轉變而編碼於在N條線上之${}_{N}C_{2}$個差分信號中傳輸的符號序列中。當使用$N!$編碼來驅動N條線時，符號中之每一位元由一組線路驅動器1610中之一者傳輸作為差分信號，其中該組線路驅動器1610中之差分驅動器耦接至不同的N線對。線對與信號之可用組合之數目可經計算為${}_{N}C_{2}$，且該可用組合數目判定可經由N條線傳輸之信號的數目。可基於可供用於每一符號傳輸間隔之可用信號傳遞狀態的數目來計算可編碼於一符號中之資料位元1604的數目。

終端阻抗(通常電阻)將N條線中之每一者耦接至終端網路1628中之共同中心點。應瞭解，N條線之信號傳遞狀態反映終端網路1628中歸因於耦接至各線之差分驅動器1610的電流之組合。應進一步瞭解，終端網路1628之中心點為零點，由此終端網路1628中之電流在該中心點處相互抵消。

鏈路中之${}_{N}C_{2}$個信號中之至少一者在連續符號之間轉變。有效的係，轉碼器1606藉由產生其中每一符號不同於其緊鄰前置符號之符號序列來確保在N條線上傳輸之各符號對之間出現轉變。在圖16中描繪之實例中，通道1612具有N=4條線，且該組4條線可攜載${}_{4}C_{2}$ = 6個差分信號。轉碼器1606可採用映射方案來產生原始符號以供在通道1612上可用之N條線上傳輸。轉碼器1606及串列器1608協作以基於輸入資料位元1604產生原始符號以供傳輸。在接收器1632處，轉碼器1640可採用映射來判定表徵一對連續原始符號(例如，查找表中之符號)之間的差異之轉變數目。轉碼器1606、1640在每一連續原始符號對包括兩個不同符號的基礎上進行操作。

傳輸器1602處之轉碼器1606可在各符號轉變處可用之$N!-1$個狀態之間進行選擇。在一個實例中，4!系統在每一符號轉變處為待傳輸之下一符號提供4!-1=23個信號傳遞狀態。位元速率可經計算為$\log_2(\boldsymbol{available_states})$/第一傳輸時脈1624之循環或第二傳輸時脈1626之循環。在使用雙資料速率(DDR)計時之系統中，符號轉變在第一傳輸時脈1624或第二傳輸時脈1626之上升邊緣及下降邊緣兩者處發生。在一個實例中，每字組(亦即，每傳輸時脈循環)可傳輸兩個或多於兩個符號，使得傳輸時脈循環中之全部可用狀態為$({}_N C_2-1)^2 = (23)^2 = 529$，且每符號可傳輸之資料位元1604的數目可經計算為$log_2(529) = 9.047$位元。

在一態樣中，可使用線路驅動器1620將用於編碼資料1604之第二傳輸時脈1626傳輸至接收器1632。舉例而言，線路驅動器1620可基於第二傳輸時脈1626產生時脈信號且經由專用時脈線1622傳輸該時脈信號。專用時脈線1622與通道/多線鏈路1612分離且並行，且可受限於在傳輸器1602與接收器1632之間傳達時脈信號。

接收器件1632使用一組線路接收器1634接收該符號序列，其中該組線路接收器1634中之每一接收器判定一對N線上之信號傳遞狀態的差異。因此，${}_N C_2$個接收器用於通道1612，其中N表示通道1612中之線的數目。該${}_N C_2$個接收器1634產生對應數目個原始符號作為輸出。

接收器1632使用線路接收器1644接收經由專用時脈線1622傳輸之時脈信號。在接收專用時脈線1622上之時脈信號之後，線路接收器1644產生對應於第二傳輸時脈1626之接收時脈(例如，DDRCLK Y) 1656。

在所描繪之實例中，通道1612具有N=4條線，且在通道1612之四條線上接收的信號由包括6個接收器(${}_4C_2 = 6$)之一組線路接收器1634處理以產

生提供至解串器1638之狀態轉變信號。解串器1638基於來自該組線路接收器1634之狀態轉變信號及(對應於第二傳輸時脈1626之)接收時脈1656解串列化符號。接收時脈1656可由外部電路使用以接收由轉碼器1640提供之資料。轉碼器1640藉由比較各下一符號與其立即前置者來解碼來自解串器1638之所接收符號區塊。轉碼器1640產生對應於提供至傳輸器1602之資料1604的輸出資料1642。因此，由於接收器1632可利用經由專用時脈線1622提供之第二傳輸時脈1626來解碼對應於資料1604之所接收符號，故接收器1632不需要CDR邏輯/電路來恢復可嵌入於所接收符號之間的轉變中之第一傳輸時脈1624。因此，接收器1632可忽略第一傳輸時脈1624。

如圖16之實例中所說明，可根據以下實例操作通道(或「多線鏈路」) 1612。在一個實例中，轉碼器1606接收用於經由通道(在此實例中，通道X) 1612傳輸之資料位元1604，該轉碼器產生一組原始符號，該組原始符號在以預定序列進行傳輸時確保在通道1612之4條線上傳輸的至少一個信號中發生信號傳遞狀態轉變。串列器1608產生提供至線路驅動器1610之判定各符號間隔內通道1612之4條線的信號傳遞狀態之符號值序列。

在另一實例中，藉由通道(在此實例中，通道X) 1612之轉碼器1606接收資料位元1604。轉碼器1606產生由串列器1608串列化之轉變數目集合，該串列器將該轉變數目集合轉換成提供至線路驅動器1610之判定各符號間隔內通道1612之4條線的信號傳遞狀態之符號值序列。原始符號之序列確保每對連續符號之間的在通道1612之4條線上傳輸的至少一個信號中發生信號傳遞狀態轉變。

在一態樣中，通道(或「多線鏈路」) 1612之至少一條線路/線為雙向的。因此，傳輸器1602可經組態以經由通道1612之至少一條雙向線路/線接

收自接收器1632傳輸之符號序列。在又一態樣中，專用時脈線1622為雙向的且可藉由經由通道1612傳輸之傳輸器1602或接收器1632驅動。舉例而言，傳輸器1602可經組態以經由專用時脈線1622自接收器1632接收專用時脈信號。專用時脈信號可與用於編碼接收器經由通道1612之至少一條雙向線路/線傳輸之符號序列的傳輸時脈相關聯。

圖17說明使用專用時脈線在多個資料通道上傳輸符號之實例。在實例1700中，第一類型之符號1710在第一資料通道(資料通道1) 1704上傳輸，第二類型之符號1712在第二資料通道(資料通道2) 1706上傳輸，且第三類型之符號1714在第三資料通道(資料通道3) 1708上傳輸.第一類型之符號1710、第二類型之符號1712及第三類型之符號1714可根據在專用時脈線1702上單獨傳輸之時脈信號而全部在其各別資料通道上傳輸。

如上文所描述，在使用專用時脈線來傳輸/接收時脈信號之系統中，單獨時脈不需要被編碼/嵌入於待傳輸之符號序列的符號轉變中。由此，傳輸器不一定必須保證符號序列中之每一符號之間的信號傳遞狀態轉變。因此，參看實例1750，傳輸器能夠在一個資料通道上且跨多個資料通道交插不同類型之符號。舉例而言，第一類型之符號1760、第二類型之符號1762及第三類型之符號1764可在第一資料通道(資料通道1) 1754上交插且傳輸。此外，第二類型之符號1762、第三類型之符號1764及第一類型之符號1760可在第二資料通道(資料通道2) 1756上交插且傳輸。又，第三類型之符號1764、第一類型之符號1760及第二類型之符號1762可在第三資料通道(資料通道3) 1758上交插且傳輸。

在一態樣中，第二類型之符號1762及第三類型之符號1764可在符號之間無信號傳遞狀態轉變的情況下(*參見*1766)在資料通道(例如，第一資料通

道1754)上傳輸。此外，第一類型之符號1760及第二類型之符號1762可在符號之間無信號傳遞狀態轉變的情況下(*參見*1768)在資料通道(例如，第二資料通道1756)上傳輸。又，第二類型之符號1762、第三類型之符號1764及第一類型之符號1760可在任何符號對之間無信號傳遞狀態轉變的情況下(*參見*1770及1772)在資料通道(例如，第三資料通道1758)上傳輸。第一類型之符號1760、第二類型之符號1762及第三類型之符號1764可根據在專用時脈線1752上單獨傳輸之時脈信號而全部在資料通道中之每一者上傳輸。

圖18說明使用專用時脈線進行多線轉碼之實例。在第一實例1800中，在傳輸器處，藉由位元至轉變符號轉換器(Bits至T) 1802接收待傳輸之資料位元。基於資料位元，Bits至T 1802產生原始轉變符號集合1804以供經由多線鏈路1820傳輸。將該原始轉變符號集合1804饋入轉變符號至符號轉換器(T至S) 1806中。T至S 1806選擇供傳輸之原始轉變符號，使得保證每一符號之間存在信號傳遞狀態轉變，從而允許將時脈資訊編碼/嵌入於符號轉變中。串列器(SER) 1808可基於在專用時脈線1812上傳輸之時脈信號而串列化T至S 1806輸出之符號。SER 1808產生判定多線鏈路1820之各線之信號傳遞狀態的符號序列。將符號序列1814提供至線路驅動器1810以供在多線鏈路1820上傳輸。

仍參看第一實例1800，在接收器處，上文關於傳輸器所描述之過程顛倒。解串器(DES) 1824經由線路接收器1822接收符號序列1814。DES 1824基於在專用時脈線1812上接收之時脈信號而解串列化所接收符號。將DES 1824之輸出饋入符號至轉變符號轉換器(S至T) 1826中。S至T 1826基於每一經解串列化符號之間存在的轉變恢復原始轉變符號1804。轉變符號至位

元轉換器(T至Bits) 1828隨後將經恢復原始轉變符號轉換為資料位元(Bits)。

如上文所描述，在使用專用時脈線來傳輸/接收時脈信號之系統中，單獨時脈不需要被編碼/嵌入於待傳輸之符號序列的符號轉變中。因此，參看使用專用時脈線之多線轉碼的第二實例1850，若沒有時脈資訊將編碼/嵌入於符號轉變中，則傳輸器不一定必須保證符號序列中之每一符號之間的轉變。此外，由於沒有時脈資訊將在傳輸器處嵌入於符號轉變中或在接收器處自符號轉變恢復，因此在傳輸器處可省略用於將原始符號轉換為具有確定轉變之符號的電路/模組，且在接收器處可省略用於將具有確定轉變之符號轉換為原始符號之電路/模組，從而使與實施此類電路/模組相關聯之複雜度及成本降至最低。

舉例而言，在第二實例1850中，在傳輸器處，藉由位元至轉變符號轉換器(Bits至T) 1852接收待傳輸之資料位元。基於資料位元，Bits至T 1852產生原始轉變符號集合1854以供經由多線鏈路1870傳輸。由於沒有時脈資訊將編碼/嵌入於符號轉變中，因此傳輸器不一定必須保證待傳輸之符號集合中之每一符號之間的信號傳遞狀態轉變。由此，在第二實例1850之傳輸器處可省略轉變符號至符號轉換器(例如，第一實例1800之T至S 1806)，且可將原始轉變符號1854直接饋入至串列器(SER) 1858。SER 1858可基於在專用時脈線1862上傳輸之時脈信號而串列化原始轉變符號1854。SER 1858產生判定多線鏈路1870之各線之信號傳遞狀態的符號序列。將符號序列1854提供至線路驅動器1860以供在多線鏈路1870上傳輸。

仍參看第二實例1850，在接收器處，上文關於傳輸器所描述之過程顛倒。解串器(DES) 1874經由線路接收器1872接收符號序列1854。DES 1874

基於在專用時脈線1862上接收之時脈信號解串列化所接收符號以恢復原始轉變符號集合1854。應注意，由於沒有時脈資訊編碼/嵌入於符號轉變中，因此接收器不一定必須基於每一經解串列化符號之間存在的轉變來恢復原始轉變符號。由此，在第二實例1850之接收器處可省略符號至轉變符號轉換器(例如，第一實例1800之S至T 1826)。轉變符號至位元轉換器(T至Bits) 1878將經恢復原始轉變符號轉換為資料位元(Bits)。在一態樣中，第二實例1850改良輸送量，此係因為其允許每符號傳輸一個額外狀態。

例示性接收器件及其方法

圖19為根據本發明之一或多個態樣(例如，與下文描述之圖20之方法有關的態樣)的經組態以支援與經由多線鏈路傳達資料位元有關之操作的裝置(接收器件) 1900之圖示。裝置1900包括通信介面(例如，至少一個收發器) 1902、儲存媒體1904、使用者介面1906、記憶體器件1908及處理電路1910。

此等組件可經由信號傳遞匯流排或其他適合組件而耦接至彼此及/或與彼此處於電通信，大體上由圖19中之連接線表示。信號傳遞匯流排可取決於處理電路1910之特定應用及總設計約束而包括任何數目個互連匯流排及橋接器。信號傳遞匯流排將各種電路連結在一起，使得通信介面1902、儲存媒體1904、使用者介面1906及記憶體器件1908中之每一者耦接至處理電路1910及/或與該處理電路電通信。信號傳遞匯流排亦可連結此項技術中熟知且因此將不再進一步描述之各種其他電路(未圖示)，諸如時序源、周邊裝置、電壓調節器及功率管理電路。

通信介面1902可經調適以促進裝置1900之無線通信。舉例而言，通信介面1902可包括經調適以促進資訊就網路中之一或多個通信器件而言之

雙向通信的電路及/或程式碼(例如，指令)。通信介面1902可耦接至一或多個天線1912，以供在無線通信系統內進行無線通信。通信介面1902可經組態有一或多個獨立接收器及/或傳輸器，以及一或多個收發器。在所說明之實例中，通信介面1902包括傳輸器1914及接收器1916。

記憶體器件1908可表示一或多個記憶體器件。如所指示，記憶體器件1908可維持網路相關資訊1918以及由裝置1900使用之其他資訊。在一些實施中，記憶體器件1908及儲存媒體1904被實施為共同記憶組件。記憶體器件1908亦可用於儲存由處理電路1910或裝置1900的某一其他組件操縱之資料。

儲存媒體1904可表示用於儲存程式碼(諸如處理器可執行碼或指令(例如，軟體、韌體))、電子資料、資料庫或其他數位資訊之一或多個電腦可讀器件、機器可讀器件及/或處理器可讀器件。儲存媒體1904亦可用於儲存在執行程式碼時由處理電路1910操縱的資料。儲存媒體1904可為可由通用或專用處理器存取之任何可用媒體，包括攜帶型或固定儲存器件、光儲存器件及能夠儲存、含有或攜載程式碼之各種其他媒體。

藉助於實例(且非限制)，儲存媒體1904可包括磁性儲存器件(例如，硬碟、軟性磁碟、磁條)、光碟(例如，緊密光碟(CD)或數位多功能光碟(DVD))、智慧卡、快閃記憶體器件(例如，卡、棒或保密磁碟)、隨機存取記憶體(RAM)、唯讀記憶體(ROM)、可程式化ROM (PROM)、可抹除PROM (EPROM)、電可抹除PROM (EEPROM)、暫存器、可卸除式磁碟及可由電腦存取及讀取之用於儲存程式碼之任何其他適合媒體。儲存媒體1904可實施於製品(例如，電腦程式產品)中。藉助於實例，電腦程式產品可包括封裝材料中之電腦可讀媒體。鑒於上述內容，在一些實施中，儲存媒體1904

可為非暫時性(例如，有形的)儲存媒體。

儲存媒體1904可耦接至處理電路1910，使得處理電路1910可自儲存媒體1904讀取資訊，且將資訊寫入至該儲存媒體。亦即，儲存媒體1904可耦接至處理電路1910，使得儲存媒體1904至少可由處理電路1910存取，包括至少一個儲存媒體整合至處理電路1910之實例及/或至少一個儲存媒體與處理電路1910分離之實例(例如，駐留於裝置1900中、在裝置1900外部、分佈跨越多個實體等)。

由儲存媒體1904儲存之程式碼及/或指令在由處理電路1910執行時引起處理電路1910執行本文中所描述之各種功能及/或處理操作中之一或多者。舉例而言，儲存媒體1904可包括經組態以用於調節處理電路1910之一或多個硬體區塊處的操作之操作，以及經組態以利用通信介面1902來進行利用其各別通信協定的無線通信之操作。

處理電路1910一般經調適用於處理，包括儲存於儲存媒體1904上之此類程式碼/指令的執行。如本文所用，術語「程式碼」或「指令」應廣義地解釋為包括(不限於)程式設計、指令、指令集、資料、程式碼、碼段、程式代碼、程式、子程式、軟體模組、應用程式、軟體應用程式、軟體套件、常式、次常式、物件、可執行體、執行線緒、程序、功能等，無論是否被稱作軟體、韌體、中間軟體、微碼、硬體描述語言或其他。

處理電路1910經配置以獲得、處理及/或發送資料，控制資料存取及儲存，發佈命令，且控制其他所要操作。處理電路1910可包括經組態以實施由在至少一個實例中之適當媒體提供之所要程式碼的電路。舉例而言，處理電路1910可被實施為一或多個處理器、一或多個控制器及/或經組態以執行可執行碼之其他結構。處理電路1910之實例可包括通用處理器、數位

信號處理器(DSP)、特殊應用積體電路(ASIC)、場可程式化閘陣列(FPGA)或其他可程式化邏輯組件、離散閘或電晶體邏輯、離散硬體組件，或其經設計以執行本文中所描述之功能的任何組合。通用處理器可包括微處理器，以及任何習知處理器、控制器、微控制器或狀態機。處理電路1910亦可被實施為計算組件之組合，諸如DSP與微處理器之組合、若干微處理器、結合DSP核心之一或多個微處理器、ASIC與微處理器，或任何其他數目之變化組態。處理電路1910之此等實例係用於說明，且亦涵蓋在本發明之範疇內的其他合適組態。

根據本發明之一或多個態樣，處理電路1910可經調適以針對本文中所描述之任何或所有裝置而執行特徵、處理程序、功能、操作及/或常式中之任一者或全部。如本文中所使用，關於處理電路1910之術語「經調適」可指處理電路1910執行以下操作中之一或多者以執行根據本文中所描述之各種特徵的特定處理程序、功能、操作及/或常式：經組態、採用、實施及/或程式化。

根據裝置1900之至少一個實例，處理電路1910可包括符號接收電路/模組1920、時脈接收電路/模組1922、符號解碼電路/模組1924、符號傳輸電路/模組1926及時脈傳輸電路/模組1928中之一或多者，該等電路/模組經調適以執行本文中所描述之特徵、處理程序、功能、操作及/或常式(例如，關於圖20描述之特徵、處理程序、功能、操作及/或常式)中之任一者或全部。

符號接收電路/模組1920可包括經調適以執行與(例如)經由多線鏈路接收符號序列有關之若干功能的電路及/或指令(例如，儲存於儲存媒體1904上之符號接收指令1930)。

時脈接收電路/模組1922可包括經調適以執行與(例如)經由專用時脈線接收時脈信號有關之若干功能的電路及/或指令(例如，儲存於儲存媒體1904上之時脈接收指令1932)，其中該專用時脈線與多線鏈路分離且並行。

符號解碼電路/模組1924可包括經調適以執行與(例如)使用時脈信號解碼符號序列有關之若干功能的電路及/或指令(例如，儲存於儲存媒體1904上之符號解碼指令1934)。在一態樣中，第二時脈信號可嵌入於符號序列中之連續符號對之間的確定轉變中。由此，符號解碼電路/模組1924可經組態以藉由使用經由專用時脈線接收之時脈信號解碼符號序列同時忽略第二時脈信號來執行解碼。符號解碼電路/模組1924可經組態以藉由使用時脈信號將符號序列轉換成資料位元集合來執行解碼。符號解碼電路/模組1924可經組態以藉由使用轉碼器將符號序列轉換成轉變數目集合且將該轉變數目集合轉換成資料位元集合來執行轉換。

符號傳輸電路/模組1926可包括經調適以執行與(例如)基於經由專用時脈線接收之時脈信號經由多線鏈路之至少一條雙向線路傳輸第二符號序列有關之若干功能的電路及/或指令(例如，儲存於儲存媒體1904上之符號傳輸指令1936)。

時脈傳輸電路/模組1928可包括經調適以執行與(例如)經由專用時脈線傳輸第三時脈信號有關之若干功能的電路及/或指令(例如，儲存於儲存媒體1904上之時脈傳輸指令1938)。第三時脈信號可與用於將資料位元編碼為符號傳輸電路/模組1926經由多線鏈路之至少一條雙向線路傳輸之符號序列的傳輸時脈相關聯。

如上文所提及，由儲存媒體1904儲存之指令在由處理電路1910執行時使得處理電路1910執行本文中所描述之各種功能及/或處理程序中之一或

多者。舉例而言，儲存媒體1904可包括符號接收指令1930、時脈接收指令1932、符號解碼指令1934、符號傳輸指令1936及時脈傳輸指令1938中之一或多者。

圖20為說明經由多線鏈路傳達資料位元之方法的流程圖2000。該方法可由接收器件(例如，圖1之裝置100、圖16之接收器1632或圖19之裝置1900)執行。

接收器件經由多線鏈路(例如，多線鏈路1612)自傳輸器件(例如，傳輸器1602)接收符號序列，2002。符號序列中之每一符號可對應於多線鏈路之***N***條線的信號傳遞狀態，其中***N***為大於1之整數。接收器件進一步經由專用時脈線(例如，專用時脈線1622)接收時脈信號(例如，DDRCLK Y 1626)，其中該專用時脈線與多線鏈路分離且並行，2004。接收器件亦使用時脈信號解碼符號序列，2006。

在一態樣中，第二時脈信號(例如，DDRCLK X 1624)嵌入於符號序列中之連續符號對之間的確定轉變中。因此，接收器件使用經由專用時脈線接收之時脈信號而忽略第二時脈信號來解碼符號序列。

在一態樣中，接收器件藉由使用時脈信號將符號序列轉換成資料位元集合來解碼符號序列。在又一態樣中，接收器件藉由使用轉碼器(例如，轉碼器1640)將符號序列轉換成轉變數目集合且將該轉變數目集合轉換成資料位元集合來執行轉換。

在一態樣中，多線鏈路中之至少一條線路為雙向的。接收器件可基於經由專用時脈線接收之時脈信號經由至少一條雙向線路傳輸第二符號序列，2008。在又一態樣中，接收器件及傳輸器件兩者可藉由交插多線鏈路中之該等線路而利用該多線鏈路來雙向傳輸。

在另一態樣中，專用時脈線為雙向的且可由經由多線鏈路傳輸之任何器件驅動。接收器件可經由專用時脈線傳輸第三時脈信號，2010。第三時脈信號可與用於將資料位元編碼為接收器件經由至少一條雙向線路傳輸之符號序列的傳輸時脈相關聯。在又一態樣中，接收器件及傳輸器件兩者可藉由替代地經由專用時脈線傳輸專用時脈信號來利用該專用時脈線。

例示性傳輸器件及其方法

圖21為根據本發明之一或多個態樣(例如，與下文描述之圖22之方法有關的態樣)的經組態以支援與經由多線鏈路傳達資料位元有關之操作的裝置(傳輸器件) 2100之圖示。裝置2100包括通信介面(例如，至少一個收發器) 2102、儲存媒體2104、使用者介面2106、記憶體器件2108及處理電路2110。

此等組件可經由信號傳遞匯流排或其他適合組件而耦接至彼此及/或與彼此處於電通信，大體上由圖21中之連接線表示。信號傳遞匯流排可取決於處理電路2110之特定應用及總設計約束而包括任何數目個互連匯流排及橋接器。信號傳遞匯流排將各種電路連結在一起，使得通信介面2102、儲存媒體2104、使用者介面2106及記憶體器件2108中之每一者耦接至處理電路2110及/或與該處理電路電通信。信號傳遞匯流排亦可連結此項技術中熟知且因此將不再進一步描述之各種其他電路(未圖示)，諸如時序源、周邊裝置、電壓調節器及功率管理電路。

通信介面2102可經調適以促進裝置2100之無線通信。舉例而言，通信介面2102可包括經調適以促進資訊就網路中之一或多個通信器件而言之雙向通信的電路及/或程式碼(例如，指令)。通信介面2102可耦接至一或多個天線2112，以供在無線通信系統內進行無線通信。通信介面2102可經組

態有一或多個獨立接收器及/或傳輸器，以及一或多個收發器。在所說明之實施例中，通信介面2102包括傳輸器2114及接收器2116。

記憶體器件2108可表示一或多個記憶體器件。如所指示，記憶體器件2108可維持網路相關資訊2118以及由裝置2100使用之其他資訊。在一些實施中，記憶體器件2108及儲存媒體2104被實施為共同記憶組件。記憶體器件2108亦可用於儲存由處理電路2110或裝置2100的某一其他組件操縱之資料。

儲存媒體2104可表示用於儲存程式碼(諸如處理器可執行碼或指令(例如，軟體、韌體))、電子資料、資料庫或其他數位資訊之一或多個電腦可讀器件、機器可讀器件及/或處理器可讀器件。儲存媒體2104亦可用於儲存在執行程式碼時由處理電路2110操縱的資料。儲存媒體2104可為可由通用或專用處理器存取之任何可用媒體，包括攜帶型或固定儲存器件、光儲存器件及能夠儲存、含有或攜載程式碼之各種其他媒體。

藉助於實例(且非限制)，儲存媒體2104可包括磁性儲存器件(例如，硬碟、軟性磁碟、磁條)、光碟(例如，緊密光碟(CD)或數位多功能光碟(DVD))、智慧卡、快閃記憶體器件(例如，卡、棒或保密磁碟)、隨機存取記憶體(RAM)、唯讀記憶體(ROM)、可程式化ROM (PROM)、可抹除PROM (EPROM)、電可抹除PROM (EEPROM)、暫存器、可卸除式磁碟及可由電腦存取及讀取之用於儲存程式碼之任何其他適合媒體。儲存媒體2104可實施於製品(例如，電腦程式產品)中。藉助於實例，電腦程式產品可包括封裝材料中之電腦可讀媒體。鑒於上述內容，在一些實施中，儲存媒體2104可為非暫時性(例如，有形的)儲存媒體。

儲存媒體2104可耦接至處理電路2110，使得處理電路2110可自儲存媒

體2104讀取資訊，且將資訊寫入至該儲存媒體。亦即，儲存媒體2104可耦接至處理電路2110，使得儲存媒體2104至少可由處理電路2110存取，包括至少一個儲存媒體整合至處理電路2110之實例及/或至少一個儲存媒體與處理電路2110分離之實例(例如，駐留於裝置2100中、在裝置2100外部、分佈跨越多個實體等)。

由儲存媒體2104儲存之程式碼及/或指令在由處理電路2110執行時使得處理電路2110執行本文中所描述之各種功能及/或處理操作中之一或多者。舉例而言，儲存媒體2104可包括經組態以用於調節處理電路2110之一或多個硬體區塊處的操作之操作，以及經組態以利用通信介面2102來進行利用其各別通信協定的無線通信之操作。

處理電路2110一般經調適用於處理，包括儲存於儲存媒體2104上之此類程式碼/指令的執行。如本文所用，術語「程式碼」或「指令」應廣義地解釋為包括(不限於)程式設計、指令、指令集、資料、程式碼、碼段、程式代碼、程式、子程式、軟體模組、應用程式、軟體應用程式、軟體套件、常式、次常式、物件、可執行體、執行線緒、程序、功能等，無論是否被稱作軟體、韌體、中間軟體、微碼、硬體描述語言或其他。

處理電路2110經配置以獲得、處理及/或發送資料，控制資料存取及儲存，發出命令，且控制其它所要操作。處理電路2110可包括經組態以實施由在至少一個實例中之適當媒體提供之所要程式碼的電路。舉例而言，處理電路2110可被實施為一或多個處理器、一或多個控制器及/或經組態以執行可執行碼之其他結構。處理電路2110之實例可包括通用處理器、數位信號處理器(DSP)、特殊應用積體電路(ASIC)、場可程式化閘陣列(FPGA)或其他可程式化邏輯組件、離散閘或電晶體邏輯、離散硬體組件，或其經

設計以執行本文中所描述之功能的任何組合。通用處理器可包括微處理器，以及任何習知處理器、控制器、微控制器或狀態機。處理電路2110亦可被實施為計算組件之組合，諸如DSP與微處理器之組合、若干微處理器、結合DSP核心之一或多個微處理器、ASIC與微處理器，或任何其他數目之變化組態。處理電路2110之此等實例係用於說明，且亦涵蓋在本發明之範疇內的其他合適組態。

根據本發明之一或多個態樣，處理電路2110可經調適以針對本文中所描述之任何或所有裝置而執行特徵、處理程序、功能、操作及/或常式中之任一者或全部。如本文中所使用，關於處理電路2110之術語「經調適」可指處理電路2110執行以下操作中之一或多者以執行根據本文中所描述之各種特徵的特定處理程序、功能、操作及/或常式：經組態、採用、實施及/或程式化。

根據裝置2100之至少一個實例，處理電路2110可包括時脈嵌入電路/模組2120、符號傳輸電路/模組2122、時脈傳輸電路/模組2124、符號接收電路/模組2126、時脈接收電路/模組2128及編碼電路/模組2140中之一或多者，該等電路/模組經調適以執行本文中描述之特徵、處理程序、功能、操作及/或常式(例如，關於圖22描述之特徵、處理程序、功能、操作及/或常式)中之任一者或全部。

編碼電路/模組2140可包括經調適以執行與(例如)將資料位元編碼為符號序列有關之若干功能的電路及/或指令(例如，儲存於儲存媒體2104上之編碼指令2142)。編碼電路/模組2140可經組態以藉由將資料位元轉換成轉變數目集合且轉換該轉變數目集合以獲得符號序列來執行編碼。

時脈嵌入電路/模組2120可包括經調適以執行與(例如)將第二時脈信

號嵌入符號序列中有關之若干功能的電路及/或指令(例如，儲存於儲存媒體2104上之時脈嵌入指令2130)，其中該第二時脈信號嵌入於符號序列中之連續符號對之間的確定轉變中。

符號傳輸電路/模組2122可包括經調適以執行與(例如)經由多線鏈路傳輸符號序列有關之若干功能的電路及/或指令(例如，儲存於儲存媒體2104上之符號傳輸指令2132)。

時脈傳輸電路/模組2124可包括經調適以執行與(例如)經由專用時脈線傳輸與符號序列相關聯之時脈信號有關之若干功能的電路及/或指令(例如，儲存於儲存媒體2104上之時脈傳輸指令2134)，其中該專用時脈線與多線鏈路分離且並行。

符號接收電路/模組2126可包括經調適以執行與(例如)基於經由專用時脈信號傳輸之時脈信號經由多線鏈路中之至少一條雙向線路接收第二符號序列有關之若干功能的電路及/或指令(例如，儲存於儲存媒體2104上之符號接收指令2136)。

時脈接收電路/模組2128可包括經調適以執行與(例如)經由專用時脈線接收第三時脈信號有關之若干功能的電路及/或指令(例如，儲存於儲存媒體2104上之時脈接收指令2138)。第三時脈信號可與用於將資料位元編碼為符號接收電路/模組2126經由多線鏈路中之至少一條雙向線路接收之符號序列的傳輸時脈相關聯。

如上文所提及，由儲存媒體2104儲存之指令在由處理電路2110執行時使得處理電路2110執行本文中所描述之各種功能及/或處理程序中之一或多者。舉例而言，儲存媒體2104可包括時脈嵌入指令2130、符號傳輸指令2132、時脈傳輸指令2134、符號接收指令2136、時脈接收指令2138及編碼

指令2142中之一或多者。

圖22為說明經由多線鏈路傳達資料位元之方法的流程圖2200。該方法可由傳輸器件(例如，圖1之裝置100、圖16之傳輸器1602或圖21之裝置2100)執行。

傳輸器件將資料位元(例如，位元X 1604)編碼為符號序列，2202。此外或視情況，傳輸器件將第二時脈信號(例如，DDRCLK X 1624)嵌入於該符號序列中，其中該第二時脈信號嵌入於符號序列中之連續符號對之間的確定轉變中，2204。該符號序列中之每一符號可對應於多線鏈路(例如，多線鏈路1612)之***N***條線的信號傳遞狀態，其中***N***為大於1之整數。傳輸器件進一步經由多線鏈路傳輸該符號序列，2206。傳輸器件亦經由專用時脈線(例如，專用時脈線1622)傳輸與該符號序列相關聯之時脈信號(例如，DDRCLK Y 1626)，其中該專用時脈線與多線鏈路分離且並行，2208。

在一態樣中，傳輸器件藉由使用轉碼器(例如，轉碼器1606)將資料位元轉換成轉變數目集合且將該轉變數目集合轉換成符號序列來將資料位元編碼為符號序列。

在一態樣中，多線鏈路中之至少一條線路為雙向的。傳輸器件可經由至少一條雙向線路自接收器件接收第二符號序列，2210。在又一態樣中，接收器件及傳輸器件兩者可藉由交插多線鏈路中之該等線路而利用該多線鏈路來雙向傳輸。

在另一態樣中，專用時脈線為雙向的且可由經由多線鏈路傳輸之任何器件驅動。傳輸器件可經由專用時脈線接收第三時脈信號。第三時脈信號可與用於將資料位元編碼為傳輸器件經由至少一條雙向線路接收之符號序列的傳輸時脈相關聯，2212。在又一態樣中，接收器件及傳輸器件兩者可

藉由替代地經由專用時脈線傳輸專用時脈信號來利用該專用時脈線。

應理解，所揭示操作程序中之步驟的特定次序或階層為例示性方法之說明。基於設計偏好，應理解，可重新配置該等操作程序中之步驟的特定次序或階層。隨附方法請求項以樣本次序呈現各個步驟之要素，且並不意欲受限於所呈現之特定次序或階層。

提供先前描述以使任何熟習此項技術者能夠實踐本文所描述之各種態樣。對此等態樣之各種修改將對熟習此項技術者顯而易見，且本文中所定義之一般原理可應用於其他態樣。因此，申請專利範圍並不意欲受限於本文中所展示之態樣，而是將被賦予與語言申請專利範圍一致的完整範疇，其中以單數形式參考元件不意欲意謂「一個且僅有一個」(除非明確地如此陳述)，而是意謂「一或多個」。除非另外特定地陳述，否則術語「一些」指代一或多個。一般熟習此項技術者已知或稍後將知曉的貫穿本發明而描述的各種態樣之元件的所有結構及功能等效物以引用的方式明確地併入本文中，且意欲由申請專利範圍涵蓋。此外，本文所揭示之任何內容均不意欲專用於公眾，無論申請專利範圍中是否明確地敍述此揭示內容。沒有申請專利範圍元件將被解釋為手段加功能，除非元件係使用片語「用於……之構件」來明確地敍述。

【符號說明】

100	裝置
102	處理電路
106	通信收發器
108	特殊應用積體電路
110	應用程式設計介面

112	記憶體
114	本端資料庫
122	天線
124	顯示器
126	小鍵盤
128	按鈕
200	裝置
202	IC器件
204	無線收發器
206	處理器
208	儲存媒體
210	編碼器件/實體層驅動器
212	匯流排
214	天線
220	通信鏈路
222	頻道/前向鏈路
224	頻道/反向鏈路
226	頻道
230	IC器件
232	顯示器控制器
234	攝像機控制器
236	處理器
238	儲存媒體

240	編碼器件/實體層驅動器
242	匯流排
300	時脈及資料恢復電路
302	接收器
304	比較器
306	設定重設鎖存器
308	***N***線
310	電平鎖存器
312	類比延遲元件/類比延遲電路
314	二進位比較信號
316	經濾波二進位比較信號
318	時脈信號
320	狀態轉變信號
322	電平鎖存信號
324	輸出鎖存器/
326	單發電路
326a	延遲件
328	輸出資料信號/資料輸出
340	延遲週期
342	延遲週期
400	時序圖
402	符號
404	符號

406	符號
408	設置時間/瞬變/故障/轉變/不確定狀態
410	尖峰
412	固定寬度脈衝
414	延遲
416	轉變開端
500	多道介面
502	傳輸器
504	資料/資料位元
506	轉碼器
508	串列器
510	線路驅動器/差分驅動器
512	通道
514	資料/資料位元
516	轉碼器
518	串列器
520	線路驅動器/差分驅動器
522	通道
524	傳輸時脈
526	傳輸時脈
528	終端網路
530	終端網路
532	接收器

534	線路接收器
536	CDR
538	解串器
540	轉碼器
542	輸出資料
544	線路接收器
546	CDR
548	解串器
550	轉碼器
552	輸出資料
554	接受時脈信號
556	接收時脈信號
600	多道介面
604	資料
608	轉碼器/串列器
612	通道
614	傳輸資料
618	轉碼及串列電路
622	通道
624	傳輸時脈
632	接收器
634	接收器
636	CDR

638	解串及轉碼電路
642	資料
648	解串及轉碼電路
652	資料
654	接收時脈
700	多道介面
704	資料
708	轉碼及串列電路
712	通道
714	資料
718	轉碼及串列電路
722	通道
724	傳輸時脈
732	接收器
734	接收器
736	CDR
738	解串及轉碼電路
742	資料
748	解串及轉碼電路
752	資料
754	接收時脈
800	多道介面
804	部分/資料位元X

808	轉碼器及串列器電路
810	線路驅動器
812	第一通道
814	部分
820	線路驅動器
822	第二通道
824	傳輸時脈
832	接收器
834	接收器
836	CDR
838	解串/轉碼電路
842	第一通道資料輸出
844	接收器
848	解串/轉碼電路
842	第二通道資料輸出
854	接收時脈
900	多道介面
902	傳輸器
904	資料
906	轉碼器
910	線路驅動器
912	第一通道
920	線路驅動器

922	第二通道
924	時脈信號
932	接收器
934	接收器
936	CDR
938	解串器
940	轉碼器
942	輸出資料
944	接收器
948	解串器
954	接收時脈
1000	多道介面
1002	資料位元
1004	資料位元
1006	符號序列
1008	符號序列
1012a	符號間隔
1012b	符號間隔
1012c	符號間隔
1012d	符號間隔
1012e	符號間隔
1012f	符號間隔
1012g	符號間隔

1020	多道介面
1022	資料
1024	轉碼器
1026	符號序列
1028	符號序列
1030	第一符號間隔
1032	第二符號間隔
1100	多道介面
1102	傳輸器
1104	輸入資料
1106	轉碼器
1108	串列器
1112	通道
1118	串列器
1122	串列資料鏈路
1124	時脈信號
1132	接收器
1134	接收器
1136	CDR
1138	解串器
1140	轉碼器
1142	輸出資料
1144	線路接收器

1148	解串器
1154	接收器時脈信號
1200	流程圖
1202	步驟
1204	步驟
1206	步驟
1208	步驟
1300	裝置
1302	處理電路
1304	模組及/或電路
1306	模組及/或電路
1308	模組及/或電路
1312	線路介面電路
1314	多道介面
1316	處理器
1318	電腦可讀儲存媒體
1320	匯流排
1400	方法
1402	步驟
1404	步驟
1406	步驟
1500	裝置
1502	處理電路

1504	模組及/或電路
1506	模組及/或電路
1508	模組及/或電路
1512	線路介面電路
1514	連接件
1516	處理器
1518	電腦可讀儲存媒體
1520	匯流排
1600	多道介面
1602	傳輸器
1604	資料
1606	轉碼器
1608	串列器
1610	線路驅動器/差分驅動器
1612	通道
1620	線路驅動器
1622	專用時脈線
1624	第一傳輸時脈
1626	第二傳輸時脈
1628	終端網路
1632	接收器
1634	線路接收器
1638	解串器

1640	轉碼器
1642	輸出資料
1644	線路接收器
1656	接收時脈
1700	實例
1702	專用時脈線
1704	第一資料通道
1706	第二資料通道
1708	第三資料通道
1710	第一類型之符號
1712	第二類型之符號
1714	第三類型之符號
1750	實例
1752	專用時脈線
1754	第一資料通道
1756	第二資料通道
1758	第三資料通道
1760	第一類型之符號
1762	第二類型之符號
1764	第三類型之符號
1800	第一實例
1802	位元至轉變符號轉換器
1804	原始轉變符號集合

1806	轉變符號至符號轉換器
1808	串列器
1810	線路驅動器
1812	專用時脈線
1814	符號序列
1820	多線鏈路
1822	線路接收器
1824	解串器
1826	符號至轉變符號轉換器
1828	轉變符號至位元轉換器
1850	實例
1852	位元至轉變符號轉換器
1854	原始轉變符號
1858	串列器
1860	線路驅動器
1862	專用時脈線
1870	多線鏈路
1872	線路接收器
1874	解串器
1878	轉變符號至位元轉換器
1900	裝置
1902	通信介面
1904	儲存媒體

1906	使用者介面
1908	記憶體器件
1910	處理電路
1912	天線
1914	傳輸器
1916	接收器
1918	網路相關資訊
1920	符號接收電路/模組
1922	時脈接收電路/模組
1924	符號解碼電路/模組
1926	符號傳輸電路/模組
1928	時脈傳輸電路/模組
1930	符號接收指令
1932	時脈接收指令
1934	符號解碼指令
1936	符號傳輸指令
1938	時脈傳輸指令
2000	流程圖
2002	步驟
2004	步驟
2006	步驟
2008	步驟
2010	步驟

2100	裝置
2102	通信介面
2104	儲存媒體
2106	使用者介面
2018	記憶體器件
2110	處理電路
2112	天線
2114	傳輸器
2116	接收器
2118	網路相關資訊
2120	時脈嵌入電路/模組
2122	符號傳輸電路/模組
2124	時脈傳輸電路/模組
2126	符號接收電路/模組
2128	時脈接收電路/模組
2130	時脈嵌入指令
2132	符號傳輸指令
2134	時脈傳輸指令
2136	符號接收指令
2138	時脈接收指令
2140	編碼
2142	編碼指令
2200	流程圖

2202 步驟

2204 步驟

2206 步驟

2208 步驟

2210 步驟

2212 步驟

201714443
專利案號：105129387
申請日：105/09/09
201714443
IPC分類：H04L 29/04 (2006.01)
H04L 7/027 (2006.01)
H04L 7/00 (2006.01)

【發明摘要】

【中文發明名稱】

多道分數N（N！）及其他多線通信系統

【英文發明名稱】

MULTI-LANE N-FACTORIAL (N!) AND OTHER MULTI-WIRE COMMUNICATION SYSTEMS

【中文】

本發明描述經由一多線資料通信鏈路促進資料通信(特定言之，一電子裝置內之兩個器件之間的資料通信)之系統、方法及裝置。一接收器件經由一多線鏈路接收一符號序列。該接收器件進一步經由一專用時脈線接收一時脈信號，其中該專用時脈線與該多線鏈路分離且並行。該接收器件使用該時脈信號解碼該符號序列。在一態樣中，一第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中。因此，該接收器件使用經由該專用時脈線接收之該時脈信號而忽略該第二時脈信號來解碼該符號序列。

【英文】

System, methods and apparatus are described that facilitate communication of data over a multi-wire data communications link, particularly between two devices within an electronic apparatus. A receiving device receives a sequence of symbols over a multi-wire link. The receiving device further receives a clock signal via a dedicated clock line, wherein the dedicated clock line is separate from, and in parallel with, the multi-wire link. The receiving device decodes the sequence of symbols using the clock signal. In an aspect, a second clock signal is embedded in guaranteed transitions between pairs of consecutive symbols in the sequence of symbols. Accordingly, the receiving device decodes the sequence of symbols using the clock signal received via the dedicated clock line while ignoring the second clock signal.

【指定代表圖】

圖16

【代表圖之符號簡單說明】

1600	多道介面
1602	傳輸器
1604	資料
1606	轉碼器
1608	串列器
1610	線路驅動器/差分驅動器
1612	通道
1620	線路驅動器
1622	專用時脈線
1624	第一傳輸時脈
1626	第二傳輸時脈
1628	終端網路
1632	接收器
1634	線路接收器
1638	解串器
1640	轉碼器
1642	輸出資料
1644	線路接收器
1656	接收時脈

【發明申請專利範圍】

【第1項】

一種接收器件，其包含：

一處理電路，其經組態以：

經由一多線鏈路接收一符號序列，

經由一專用時脈線接收一時脈信號，其中該專用時脈線與該多線鏈路分離且並行，以及

使用該時脈信號解碼該符號序列。

【第2項】

如請求項1之接收器件，其中：

一第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中，且

該處理電路經組態以使用經由該專用時脈線接收之該時脈信號而忽略該第二時脈信號來解碼該符號序列。

【第3項】

如請求項1之接收器件，其中經組態以進行解碼之該處理電路經進一步組態以使用該時脈信號將該符號序列轉換成一資料位元集合。

【第4項】

如請求項3之接收器件，其中經組態以將該符號序列轉換成該資料位元集合之該處理電路經進一步組態以：

使用一轉碼器將該符號序列轉換成一轉變數目集合；以及

將該轉變數目集合轉換成該資料位元集合。

【第5項】

如請求項1之接收器件，其中該符號序列中之每一符號對應於該多線鏈路中之*N*條線的一信號傳遞狀態，其中*N*為大於1之整數。

【第6項】

如請求項1之接收器件，其中該多線鏈路中之至少一條線路為雙向的。

【第7項】

如請求項6之接收器件，該處理電路經進一步組態以基於經由該專用時脈線接收之該時脈信號經由該至少一條雙向線路傳輸一第二符號序列。

【第8項】

如請求項7之接收器件，其中該專用時脈線為雙向的且可由經由該多線鏈路傳輸之任何器件驅動。

【第9項】

一種在一接收器件處之資料通信的方法，其包含：

經由一多線鏈路接收一符號序列；

經由一專用時脈線接收一時脈信號，其中該專用時脈線與該多線鏈路分離且並行；以及

使用該時脈信號解碼該符號序列。

【第10項】

如請求項9之方法，其中：

一第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中，且

使用經由該專用時脈線接收之該時脈信號而忽略該第二時脈信號來解碼該符號序列。

【第11項】

如請求項9之方法，其中該解碼包括使用該時脈信號將該符號序列轉換成一資料位元集合。

【第12項】

如請求項11之方法，其中該將該符號序列轉換成該資料位元集合包括：

使用一轉碼器將該符號序列轉換成一轉變數目集合；以及

將該轉變數目集合轉換成該資料位元集合。

【第13項】

如請求項9之方法，其中該符號序列中之每一符號對應於該多線鏈路中之N條線的一信號傳遞狀態，其中N為大於1之整數。

【第14項】

如請求項9之方法，其中該多線鏈路中之至少一條線路為雙向的。

【第15項】

如請求項14之方法，其進一步包括基於經由該專用時脈線接收之該時脈信號經由該至少一條雙向線路傳輸一第二符號序列。

【第16項】

如請求項15之方法，其中該專用時脈線為雙向的且可由經由該多線鏈路傳輸之任何器件驅動。

【第17項】

一種傳輸器件，其包含：

一處理電路，其經組態以：

將資料位元編碼為一符號序列，

經由一多線鏈路傳輸該符號序列，以及

經由一專用時脈線傳輸與該符號序列相關聯之一時脈信號，其中該專用時脈線與該多線鏈路分離且並行。

【第18項】

如請求項17之傳輸器件，該處理電路經進一步組態以將一第二時脈信號嵌入於該符號序列中，其中該第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中。

【第19項】

如請求項17之傳輸器件，其中經組態以編碼該等資料位元之該處理電路經進一步組態以：

使用一轉碼器將該等資料位元轉換成一轉變數目集合；以及

轉換該轉變數目集合以獲得該符號序列。

【第20項】

如請求項17之傳輸器件，其中該符號序列中之每一符號對應於該多線鏈路中之N條線的一信號傳遞狀態，其中N為大於1之整數。

【第21項】

如請求項17之傳輸器件，其中該多線鏈路中之至少一條線路為雙向的。

【第22項】

如請求項21之傳輸器件，該處理電路經進一步組態以基於經由該專用時脈線傳輸之該時脈信號經由該至少一條雙向線路接收一第二符號序列。

【第23項】

如請求項22之傳輸器件，其中該專用時脈線為雙向的且可由經由該多線鏈路傳輸之任何器件驅動。

【第24項】

一種在一傳輸器件處資料通信之方法，其包含：

將資料位元編碼為一符號序列；

經由一多線鏈路傳輸該符號序列；以及

經由一專用時脈線傳輸與該符號序列相關聯之一時脈信號，其中該專用時脈線與該多線鏈路分離且並行。

【第25項】

如請求項24之方法，其進一步包含將一第二時脈信號嵌入於該符號序列中，其中該第二時脈信號嵌入於該符號序列中之連續符號對之間的確定轉變中。

【第26項】

如請求項24之方法，其中該編碼該等資料位元包括：

使用一轉碼器將該等資料位元轉換成一轉變數目集合；以及

轉換該轉變數目集合以獲得該符號序列。

【第27項】

如請求項24之方法，其中該符號序列中之每一符號對應於該多線鏈路中之N條線的一信號傳遞狀態，其中N為大於1之整數。

【第28項】

如請求項24之方法，其中該多線鏈路中之至少一條線路為雙向的。

【第29項】

如請求項28之方法，其進一步包括基於經由該專用時脈線傳輸之該時脈信號經由該至少一條雙向線路接收一第二符號序列。

【第30項】

如請求項29之方法，其中該專用時脈線為雙向的且可由經由該多線鏈路傳輸之任何器件驅動。