

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3553967号

(P3553967)

(45) 発行日 平成16年8月11日(2004.8.11)

(24) 登録日 平成16年5月14日(2004.5.14)

(51) Int.Cl.<sup>7</sup>

F I

H03K 19/0948

H03K 19/094

B

H03K 19/20

H03K 19/20

請求項の数 27 (全 12 頁)

|               |                         |           |                                                     |
|---------------|-------------------------|-----------|-----------------------------------------------------|
| (21) 出願番号     | 特願平9-510350             | (73) 特許権者 | 富士通株式会社                                             |
| (86) (22) 出願日 | 平成8年8月23日(1996.8.23)    |           | 神奈川県川崎市中原区上小田中4丁目1番1号                               |
| (65) 公表番号     | 特表平11-511611            | (74) 代理人  | 弁理士 石田 敬                                            |
| (43) 公表日      | 平成11年10月5日(1999.10.5)   |           | 弁理士 土屋 繁                                            |
| (86) 国際出願番号   | PCT/US1996/013297       | (74) 代理人  | 弁理士 西山 雅也                                           |
| (87) 国際公開番号   | W01997/008831           | (72) 発明者  | モントイ, ロバート ケー.                                      |
| (87) 国際公開日    | 平成9年3月6日(1997.3.6)      |           | アメリカ合衆国, カリフォルニア 95030, ロスガトス, ローマ プリータ アベニュー 23200 |
| 審査請求日         | 平成13年10月31日(2001.10.31) |           |                                                     |
| (31) 優先権主張番号  | 519,443                 |           |                                                     |
| (32) 優先日      | 平成7年8月25日(1995.8.25)    |           |                                                     |
| (33) 優先権主張国   | 米国(US)                  |           |                                                     |

最終頁に続く

(54) 【発明の名称】 増速CMOSバッファ回路

(57) 【特許請求の範囲】

【請求項1】

一個またはそれ以上の入力信号を受信するための入力端子と；  
 パワーダウン端子に接続された制御端子と、第1の基準電圧に接続された電流操作端子と  
 および第2の電流操作端子を有する、プルアップトランジスタと；  
 制御端子と、前記入力端子に接続された第1の電流操作端子とおよび前記プルアップトラ  
 ンジスタの前記第2の電流操作端子に接続された第2の電流操作端子を有する、制御トラ  
 ンジスタと；  
 前記入力端子に接続された入力端子を有しかつ前記制御トランジスタの前記制御端子に接  
 続された出力端子とを有する、インバータと；および  
 前記プルアップトランジスタの前記第2の電流操作端子に接続された出力端子；  
 を具備する、バッファ回路。

【請求項2】

前記インバータはCMOS素子を具備する、項1記載の構造。

【請求項3】

更に、前記プルアップトランジスタの前記第2の電流操作端子と前記出力端子間に接続さ  
 れた第2のインバータを具備する、項1記載の構造。

【請求項4】

更に、前記第2のインバータおよび前記出力端子間に接続された第3のインバータを具備  
 する、項3記載の構造。

## 【請求項 5】

前記第 2 および第 3 のインバータは CMOS 素子を具備する、項 4 記載の構造。

## 【請求項 6】

前記プルアップトランジスタは P チャンネル MOS 素子を具備する、項 1 記載の構造。

## 【請求項 7】

前記制御トランジスタは N チャンネル MOS 素子を具備する、項 1 記載の構造。

## 【請求項 8】

更に、前記パワーダウン端子に接続された制御端子と、第 2 の基準電圧に接続された第 1 の電流操作端子とおよび前記入力端子に接続された第 2 の電流操作端子とを有するプルダウントランジスタを具備し、前記バッファ回路に DC 電流が流れないように前記パワーダウン端子への所定の電圧印加によって前記プルアップトランジスタをオフし、かつ前記プルダウントランジスタをオンする、項 1 記載の構造。

10

## 【請求項 9】

前記プルアップトランジスタが常に導通状態にあるように、前記パワーダウン端子は接地電位に接続されている、項 6 記載の構造。

## 【請求項 10】

前記プルアップトランジスタおよび前記プルダウントランジスタはそれぞれ P チャンネルおよび N チャンネル MOS 素子を具備する、項 8 記載の構造。

## 【請求項 11】

一個またはそれ以上の入力信号を受信するための入力端子と；

20

第 1 の制御端子に接続された制御端子と、第 1 の基準電圧に接続された第 1 の電流操作端子と、および基準ノードに接続された第 2 の電流操作端子を有する第 1 のプルアップトランジスタと；

第 2 の制御端子に接続された制御端子と、前記第 1 の基準電圧に接続された第 1 の電流操作端子と、および前記基準ノードに接続された第 2 の電流操作端子を有する第 2 のプルアップトランジスタと；

制御端子と、前記入力端子に接続された第 1 の電流操作端子とおよび前記基準ノードに接続された第 2 の電流操作端子を有する、制御トランジスタと；

前記入力端子に接続された入力端子を有しかつ前記制御トランジスタの前記制御端子に接続された出力端子を有するインバータ；および

30

前記基準ノードに接続された出力端子；

を具備する、バッファ回路。

## 【請求項 12】

更に、前記基準ノードおよび前記出力端子間に接続された第 2 のインバータを具備する、項 11 記載の構造。

## 【請求項 13】

更に、前記第 2 のインバータと前記出力端子間に接続される第 3 のインバータを具備する、項 12 記載の構造。

## 【請求項 14】

前記インバータは CMOS 素子を具備する、項 13 記載の構造。

40

## 【請求項 15】

前記第 1 および第 2 のプルアップトランジスタは P チャンネル MOS 素子を具備する、項 11 記載の構造。

## 【請求項 16】

前記制御トランジスタは N チャンネル MOS 素子を具備する、項 11 記載の構造。

## 【請求項 17】

更に、前記第 1 の制御端子に接続された制御端子と第 2 の基準電圧に接続された第 1 の電流操作端子とおよび前記入力端子に接続された第 2 の電流操作端子を具備する、項 11 記載の構造。

## 【請求項 18】

50

前記プルダウントランジスタはNチャンネルMOS素子を具備する、項17記載の構造。

【請求項 19】

前記第1の基準電圧はほぼ3.3Vであり、前記第2の基準電圧は接地電位である、項17記載の構造。

【請求項 20】

更に、前記第2のプルアップトランジスタと前記第1の基準電圧間に接続された第3のプルアップトランジスタを具備し、前記第3のプルアップトランジスタは前記第1の制御端子に対する制御端子を有する、項11または17記載の構造。

【請求項 21】

前記第3のプルアップトランジスタはPチャンネルMOS素子を具備する、項20記載の構造 10

【請求項 22】

一個またはそれ以上の入力信号を受信するための入力端子と；

出力端子と；

パワーダウン端子に接続された制御端子と第1の基準電圧に接続された第1の電流操作端子とおよび前記入力端子および前記出力端子とに接続された第2の電流操作端子を有するプルアップトランジスタと；および

前記出力端子に接続された制御端子と前記入力端子に接続された第2の電流操作端子とおよび第2の基準電圧に接続された第1の電流操作端子を有する制御トランジスタ；

とを具備する、バッファ回路。 20

【請求項 23】

前記プルアップトランジスタと前記制御トランジスタは、PチャンネルMOS素子を具備する、項22記載の構造。

【請求項 24】

更に、前記入力端子および前記出力端子間に接続されたインバータを具備する、項23記載の構造。

【請求項 25】

更に、前記第1に述べたインバータと前記出力端子間に接続された第2のインバータを具備する、項24記載の構造。

【請求項 26】

前記第1および第2のインバータはCMOS素子を具備する、項25記載の構造。 30

【請求項 27】

更に、前記パワーダウン端子に接続された制御端子と、前記第2の基準電圧に接続された第1の電流操作端子と、および前記入力端子に接続された第2の電流操作端子を有するプルダウントランジスタを具備し、前記バッファ回路にDC電流がながれないように、前記パワーダウン端子への所定電圧の印加によって前記プルアップトランジスタをオフとし、前記プルダウントランジスタをオンとする、項22記載の構造。

【発明の詳細な説明】

関連出願の相互参照

この出願は、参考文献としてここに組み込まれる、同一の所有者による米国出願“パワー 40  
ダウン構造を有するCMOSバッファ回路”、1995年8月25日出願、出願番号第08/519、444  
号、代理人ドケット番号M-3180USに、関係している。

技術分野

この発明はバッファ回路に関し、特にスイッチング速度を増加させたCMOS回路に関する。

発明の背景

半導体産業において、性能を向上させる要求が常に存在する。特に、回路のデータ転送速度または計算実行速度が非常に重要であり、更にこれが往々にして回路の市場性と市場へのアピール度を決定する。その結果、高速で動作する全ての回路は、非常に価値がある。図1を参照すると、CMOS・NORゲート11の一部として示される従来のCMOSバッファ回路10は、センスアンプとして構成されている。複数の入力信号線 $A_0 - A_n$ はそれぞれ、Nチャ 50

ネルMOSプルダウントランジスタ $MN_0 - MN_n$ を介して入力ノードAに接続されている。弱いPチャンネルMOSプルアップトランジスタ $MP_1$ が電源電圧 $V_{DD}$ と入力ノード間に接続され、そのゲートを接地電位に接続して導電状態を保持している。バッファ／ドライバ12はノードAにおいて信号を受信し、それに応答して出力端子Zを駆動する。コンデンサ $C_0$ は出力端子Zにおいて回路10に接続された負荷の容量特性をモデル化したものである。

もし全ての入力信号 $A_0 - A_1$ が論理的にロウレベルであると、プルダウントランジスタ $MN_{A_0} - MN_{A_n}$ のいずれも導通しない。トランジスタ $MP_1$ を介して流れる電流は従ってノードAをほぼ $V_{DD}$ に充電し、それによってノードAをハイレベルに引き上げる。その一方でもし、一個またはそれ以上の入力信号 $A_0 - A_1$ が論理的にハイレベルであると、一個またはそれ以上の関連するプルダウントランジスタ $MN_{A_0} - MN_{A_n}$ が導通し、ノードAを放電してこれをロウレベルに引き下げる。CMOSレベルと一致させかつバッファ回路10とその他のCMOS回路間の互換性を確保するために、出力端子Z、従ってノードAの信号の変動幅は、ほぼ接地電位から $V_{DD}$ でなければならない。なお $V_{DD}$ は3.3Vである。

論理的な遷移を実行するためのノードAにおけるゼロと3.3V間の充電および放電によって、バッファ回路10はそのスイッチング速度が大きく制限される。更に、各プルダウントランジスタ $MN_{A_0} - MN_{A_n}$ はノードAに容量を付加するので、プルダウントランジスタ $MN_A$ を介して回路10に接続された入力信号Aの数を増加させると、ノードAと接地間の容量が増加し、その結果回路10のスイッチング速度が減少する。ノードAにおける容量性負荷は、従って、速度と信号処理能力との間で望ましくないバランスを必要とする。

発明の開示

増速されたスイッチング速度で動作するのみならず、スイッチング速度がプルダウントランジスタと従ってそれに接続された入力信号の数に不必要に依存することを解消したバッファ回路を開示する。本発明の一実施例によれば、フィードバック信号が出力端子から制御トランジスタに供給される。このフィードバック信号は、入力信号のロウレベルからハイレベルへの遷移の間に、制御トランジスタをオンにする。一旦オンになると、この制御トランジスタは、入力ノードAにおける電圧の変動幅を制限する。入力ノードに接続されたCMOSインバータは、入力ノードの2値状態に不活性なCMOSレベルの出力信号を形成する。従って、入力ノードにおける小さな電圧変化が結果として出力端子におけるCMOSレベル電圧に変動を生じるため、すなわち入力ノードは必ずしも完全にCMOSレベル間で充電され放電される必要がないので、論理的遷移の速度が上昇する。

本発明のその他の実施例では、バッファ回路はプルアップトランジスタと入力トランジスタ間に接続された制御トランジスタを含んでいる。ロウレベルからハイレベルへの信号遷移の間において、制御トランジスタは入力ノードにおける信号変動を制限し、それによって論理遷移の速度を上昇させる。制御トランジスタは同時に、入力ノードをプルアップトランジスタから切り離し、従って入力コンデンサをプルアップトランジスタから切り離す。その結果、プルアップトランジスタが出力をハイレベルに引き上げる速度が上昇する。バッファ回路に供給される入力信号の数が増加するに従って、論理遷移時間の短縮はより顕著となる。

更にその他の実施例では、ロウレベルからハイレベルへのスイッチング遷移の期間において出力をよりすばやく充電するために、プルアップトランジスタに並列に一個またはそれ以上の電流源が設けられる。入力がクロックサイクルのあらかじめ決められた部分においてのみ論理状態を変化させるような応用事例においては、パルス信号を用いて電流源のオン、オフ状態を制御して、電流源が、入力に変化するクロックサイクルの一部分の間においてのみオンとなるようにする。これらの電流源は、入力が論理状態を変化させないクロックサイクルの一部分の間において、オフとなるので、電力消費は最小となる。

好ましい実施例において、前述のバッファ回路は、プルアップトランジスタのゲートとパワーダウン端子にそのゲートを接続したプルダウントランジスタを含んでいる。適当な電圧がパワーダウン端子に印加されると、プルアップトランジスタはオフし、プルダウントランジスタはオンして、回路にDC電流が流れなくなる。

【図面の簡単な説明】

10

20

30

40

50

図1は、CMOS・NORゲートの一部として示される、従来のバッファ回路の回路図であり；  
 図2は、本発明の第1の実施例にかかるバッファ回路の回路図で有り；  
 図3は、本発明の第2の実施例にかかるバッファ回路の回路図で有り；  
 図4は、本発明の第3の実施例にかかるバッファ回路の回路図で有り；  
 図5は、本発明の各実施例の動作において使用される制御信号のタイミング図あり；  
 図6は、本発明の第4の実施例にかかるバッファ回路の回路図で有り；  
 図7は、本発明の第5の実施例にかかるバッファ回路の回路図であり；  
 図8は、本発明の第6の実施例にかかるバッファ回路の回路図であり；更に  
 図9および図10は本発明による実施例の異なる実施形態を示すものである。

#### 実施例

図2は、本発明の第1の実施例にかかるCMOSバッファ回路20を示す。単純化のために図示してはいないが、入力ノードAにはプルダウントランジスタを介してどのような数の入力信号を接続しても良い。バッファ回路20の目的とする応用に従って、このような入力信号をバッファ回路20に接続するプルダウントランジスタの特別な構成が変化することに注意すべきである。たとえば、n入力のNOR回路の実施に当たって、回路20を用いようとする場合は、図1のプルダウントランジスタ $MN_{A0} - MN_{An}$ の入力構成を使用することが可能である。

回路20は、弱いPチャンネルプルアップトランジスタ $MP_2$ のゲートとNチャンネルプルダウントランジスタ $MN_1$ のゲートに接続されたパワーダウン端子22を含んでいる。通常動作モードにおいては、論理的ロウレベルのパワーダウン信号PDが、パワーダウン端子22に供給され、その結果トランジスタ $MP_2$ はオンとなり、トランジスタ $MN_1$ はオフとなる。パワーダウンモードにおいて、PDは論理的にハイレベルであり、それによってトランジスタ $MP_2$ はオフとなり、トランジスタ $MN_1$ はオンとなる。このモードにおいて、トランジスタ $MP_2$ を介したDC電流は流れない。回路20の全消費電力を減少させるのに加えて、この出願人による“パワーダウン構造を有するCMOSバッファ回路”と題された前述の出願において議論されているように、このパワーダウン特性は更に、回路20の $I_{DDQ}$ テストを可能とする。

制御トランジスタ $MN_2$ が、プルアップトランジスタ $MP_2$ とプルダウントランジスタ $MN_1$ 間に直列に接続され、かつそのゲートは、Pチャンネルトランジスタ $MP_3$ とNチャンネルトランジスタ $MN_3$ によって形成されるCMOSインバータ24の出力に接続されている。インバータ24の入力端子は入力ノードAに接続されている。トランジスタ $MN_2$ および $MP_2$ に共通なノードは、以降ノードBとして言及される。ノードBと出力端子Z間には、CMOSインバータ26と28が接続され、インバータ26はPチャンネルトランジスタ $MP_4$ とNチャンネルトランジスタ $MN_4$ によって形成され、インバータ28はPチャンネルトランジスタ $MP_5$ とNチャンネルトランジスタ $MN_5$ によって形成される。コンデンサ $C_0$ は、出力端子Zにおける負荷（図示せず）の容量特性をモデル化したものである。

回路20の以下の論議のために、ノードAは初期状態でロウレベルであると仮定する。その論理的ロウ状態におけるノードAの電圧は、何個の入力プルダウントランジスタ（図示せず）が導通しているか、すなわちノードAをロウレベルに引っ張っているかに依存して、0と0.6V間で変化する。この状態でロウレベルに引かれた場合、ノードAは約0.6Vとなると仮定する。ノードAがロウレベルである場合、インバータ24の出力はハイレベル（ほぼ $V_{DD}$ ）となり、その結果制御トランジスタ $MN_2$ を導通させる。

入力信号（図示せず）が、入力プルダウントランジスタ（図示せず）のいずれもがノードAをロウレベルに引き下げない様なものである場合、トランジスタ $MP_2$ と $MN_2$ はノードAを $V_{DD}$ に向かって引き上げ始める。インバータ24のしきい値電圧はほぼ1.0Vにセットされており、そのためノードAの電圧がほぼ1.0Vに達するとインバータ24の出力はロウレベルとなり、制御トランジスタ $MN_2$ をオフとする。スイッチとして動作することによって、制御トランジスタ $MN_2$ は、入力ノードAをノードBから切り離し、それによってノードAをほぼ1.0Vにクランプする。回路20の入力容量、すなわち入力プルダウントランジスタ（図示せず）をノードAに接続することによって生じるノードAにおける容量性負荷が、効果的にノードBから切り離される。この切り離しによって、トランジスタ $MP_2$ がよりすばやく

10

20

30

40

50

ノードBを $V_{DD}$ に引き上げる事を可能とする。この状態で、回路20にはDC電流が流れず、それによって電力消費が減少する。

一個またはそれ以上の入力信号がハイレベルに遷移すると、それらに関するプルダウントランジスタはノードAをすばやくロウレベルに引き下げる。ノードAをノードBから引き離すことによって、ノードAがノードBに接続されていた場合よりも早くノードAをロウレベルに引き下げることが可能であることに注意すべきである。ノードAが約1.0V以下に落ちる事に伴って、インバータ24の出力はハイレベルに遷移し、制御トランジスタ $MN_2$ をオンしてその結果ノードAとノードBを再接続する。インバータ24のゲート遅延は、制御トランジスタ $MN_2$ のターンオン時間と同様に、このノードAとBが制御トランジスタ $MN_2$ を介して再接続される前に、ノードAを都合よくインバータ24のしきい値電圧、すなわち約1.0V以下の電圧に、すばやく引き落とす事を可能にする。一旦ターンオンすると、制御トランジスタ $MN_2$ は弱いプルアップトランジスタとして動作し、より強い入力プルダウントランジスタがノードAを接地電位にまで引き下げる動作に対して抵抗する。ただ一個の入力プルダウントランジスタが導通している場合、制御トランジスタ $MN_2$ は、ノードAが0.6V以下に落ちることを防止する。導通している入力プルダウントランジスタの数を増やすことによって、勿論、ノードAは接地電位近くに引き落とされる結果となる。

前述の実施例は、従来のCMOSバッファに比べて非常に速いスイッチング速度を達成する。制御トランジスタ $MN_2$ は、好都合にもノードAの変化を約1Vに制限する。既に述べたように、ノードAは約1.0Vに引き上げられるので、バッファ回路20の入力容量はノードBから分離される。この分離構造は、ノードBを充電し放電するために必要な時間を短縮し、その結果バッファ回路20が論理状態間でより素早く遷移することを可能とする。プルダウントランジスタを介してバッファ回路20に供給される入力信号の数が増加するに従って、この分離構造による論理遷移時間の短縮はより顕著になる。

インバータ26および28は、出力端子ZおよびノードB間でバッファとして動作し、出力端子Zにおける信号の変動がCMOS論理レベルと確実に両立するようにする。

図3は本発明の第2の実施例を示す。バッファ回路30(図3)の動作は、バッファ回路20(図2)のそれと一点を除いて同じである。同じ入力信号が与えられたとすると、バッファ回路30(図3)によって提供される出力信号は、バッファ回路20(図2)によって提供される出力信号と論理的に相補的な関係を有する。

図4は本発明の第3の実施例を示す。バッファ回路40はバッファ回路20(図2)の全ての構成を有し、更にバッファ回路20に関する前述の説明は等しくバッファ回路40に適用される。従って、図2および図4の実施例に共通なこれらの構成は、同じ記号で示される。

バッファ回路40は、効率を改善するためにノードBと $V_{DD}$ 間に接続された追加のPチャンネルプルアップトランジスタ $MP_6$ を使用している。トランジスタ $MP_6$ のゲートは高出力制御端子23に接続されている。ロウレベルの高電力制御信号HPが端子23に印加されると、トランジスタ $MP_6$ は導通し、電流源として働いてノードBに追加的な電流を供給する。ロウレベルからハイレベルへの論理遷移の間に、トランジスタ $MP_6$ に供給されるこの追加的な電流はノードBを高速で充電し、その結果ロウからハイ論理レベルへの遷移速度を加速する。

トランジスタ $MP_6$ によって供給される追加的な電流は、しかしながら、バッファ回路40の電力消費を増加させる。全体の電力消費は、しかしながら、トランジスタ $MP_6$ が入力ノードAが論理状態をスイッチングするクロックサイクルの部分においてのみ導通するように、端子23に供給されるHP制御信号をパルス化することによって、最小とすることが可能である。このようにして、入力ノードAが論理状態をスイッチングしないクロックサイクル部分間で、トランジスタ $MP_6$ はオフとなりバッファ回路40において電流量を減少し、それによって電力消費を減少する。クロックサイクルのこのような“非スイッチング”部分において、トランジスタ $MP_2$ はオン状態を維持し、出力端子Zの現在の論理状態を維持するための最低の電流を供給する。

図5は、高電力制御信号HPのパルス化を入力ノードAのスイッチング遷移と入力ノードAのスイッチング遷移に関して示したタイミング図であり、Dはバッファ回路40の伝搬遅延

10

20

30

40

50

を示す。ある実施例では、単安定マルチバイブレータ（図示せず）を、入力ノードAがスイッチングするクロックサイクルの部分において端子23にロウレベルのパルス印加するために使用する。このようなマルチバイブレータはこの技術分野では周知であり、従って以下において議論しない。その他の実施例では、入力ノードAが論理状態をスイッチングしない場合にトランジスタMP<sub>6</sub>をオフとするために、通常のセルフタイム式のパルス発振器を使用することができる。

その他の実施例において、出力端子Zをインバータ26の出力に直接接続し、それによって出力がバッファ回路40の出力の論理的な相補形となるバッファ回路（図示せず）を結果として形成することにより、CMOSインバータ28をバッファ回路40から取り除くことも可能である。

10

図6は本発明の第4の実施例を示す。バッファ回路60はバッファ回路40（図4）の全ての構成を含み、更にバッファ回路40に関する上述の記載は等しくバッファ回路60に適用される。従って、図4および6の実施例に共通な構成は、同じ記号によって示される。

バッファ回路60（図6）は、V<sub>DD</sub>とトランジスタMP<sub>6</sub>間に直列に接続されたPチャンネルトランジスタMP<sub>7</sub>を含んでいる。トランジスタMP<sub>7</sub>のゲートはパワーダウン端子22に接続されている。通常動作の期間において、バッファ回路60がバッファ回路40（図4）と同じ方法で動作するように、パワーダウン端子22はロウレベルに維持される。パワーダウンモードでは、PD信号はハイレベルとなり、トランジスタMP<sub>2</sub>およびMP<sub>7</sub>をオフとし、トランジスタMN<sub>1</sub>をオンとする。この状態で、バッファ回路60を介して流れるDC電流はゼロとなり、その結果すでに議論したように回路60の電力消費が減少し、I<sub>DDQ</sub>テストが可能となる。

20

図7は本発明にかかる第5の実施例を示す。バッファ回路70は、上記で議論したパワーダウン構成を除いてはバッファ回路60（図6）の全ての構成を含む。従って、図6および7の実施例に共通な構成は、同じ記号で示されている。回路70のトランジスタMP<sub>2</sub>およびMP<sub>6</sub>は、独立して制御が可能な電流源として動作し、そのゲートを制御端子72と74にそれぞれ接続している。トランジスタMP<sub>2</sub>とMP<sub>6</sub>の導通状態は、パルス信号P<sub>1</sub>およびP<sub>2</sub>によってそれぞれ制御されている。従って、トランジスタMP<sub>2</sub>およびMP<sub>6</sub>を介してノードBに供給される電流量は、パルス信号P<sub>1</sub>およびP<sub>2</sub>のデューティサイクルをそれぞれ調整することによって正確に制御することが可能であり、その結果、回路70の動作特性を容易に調整することが可能となる。例えば、パルス信号P<sub>1</sub>およびP<sub>2</sub>のデューティサイクルを減少することにより、結果としてトランジスタMP<sub>2</sub>およびMP<sub>6</sub>がノードBにより多くの電流を供給するようになり、そのため回路70のスイッチング速度が上昇する。反対に、パルス信号P<sub>1</sub>およびP<sub>2</sub>のデューティサイクルを増加させることによって、結果としてノードBにより多くの電流が供給され、それによって回路70の電力消費を減少させる（同時にスイッチング速度も減少する）。回路70の望ましい動作特性によって、パルス信号P<sub>1</sub>およびP<sub>2</sub>は同じかまたは異なるデューティサイクルを持つ。その他の実施例では、トランジスタMP<sub>2</sub>およびMP<sub>6</sub>に並列に付加的でかつ独立して制御が可能な電流源を追加することによって、回路70の動作特性に対するより大きな柔軟性および制御が可能となる。

30

その他の実施例では、入力信号がクロックサイクルの所定部分の期間においてスイッチする同期システムの一部として、バッファ回路70を使用することが可能である。このような実施例では、トランジスタMP<sub>6</sub>は好ましくはトランジスタMP<sub>2</sub>よりも数倍大きく、高電流源として働き、入力信号がスイッチ遷移時間を増加するようにスイッチするクロックサイクルの部分的な期間においてオンとなる。トランジスタMP<sub>6</sub>は、入力信号が電力消費を減少するために変化しないクロックサイクルの部分的な期間においてオフとなる。低電流源として働くトランジスタMP<sub>2</sub>は、入力信号が出力端子Zにおける電流の論理状態を維持するためにスイッチングしない場合、オンとなる。トランジスタMP<sub>2</sub>およびMP<sub>6</sub>の導電度は、単安定マルチバイブレータまたはその他の一般的な論理回路の何れかによって制御される。このロウ／ハイレベル電流スイッチング構造は、これによって回路70が高電流源のみを有する回路と同じ速度でスイッチングすることを可能とし、かつ同時にクロックサイクルの一部分においてノードAに少ない電流を供給することによって電力消費をより少なくするので、効果がある。トランジスタMP<sub>2</sub>およびMP<sub>6</sub>は、静的な電力消費を除去するために、両者共にオ

40

50

フされる。

図8は本発明にかかる第6の実施例を示す。バッファ回路80の動作はバッファ回路20(図2)のそれと類似であり、従って回路80と回路20に共通な部品は同じ符号が付されている。バッファ回路80は、トランジスタ $MP_2$ 及び $MN_1$ のゲートに接続されたパワーダウン端子22を含み、従ってバッファ回路20(図2)について上記で議論されたパワーダウン構造と同じパワーダウン構造を有している。

回路80は更に、プルアップトランジスタ $MP_2$ と接地間に直列に接続された制御トランジスタ $MP_7$ を含んでいる。好ましくはPチャンネルMOS素子である制御トランジスタ $MP_7$ のゲートはCMOSインバータ26の出力に接続されている。以下の回路80の議論のために、入力信号はノードAにおいて入力プルダウントランジスタ(図示せず)を介してバッファ回路80に接続されているものと仮定する。更にノードAは、最初論理的ロウレベルにあると仮定する。この状態において、インバータ26の出力はハイであり、それによって制御トランジスタ $MP_6$ を非導通状態に維持し、出力端子Zをほぼ接地電位にまで低下させる。

入力信号がこれらに関係する入力プルダウントランジスタの何れもが導通しない状態に移った場合、プルアップトランジスタ $MP_2$ はノードAをハイに引き上げ始める。インバータ26のしきい値電圧は、ノードAが約1.0Vに近づくとインバータ26の出力がロウレベルとなりそれによって出力端子Zをハイレベルにするように、セットされる。インバータ26の出力におけるこのロウレベルの信号は、同時に制御トランジスタ $MP_7$ をオンとする。導通すると、制御トランジスタ $MP_7$ とプルアップトランジスタ $MP_2$ は、ノードAにおける電圧を約1.1Vを越える値からクランプする電圧分割器を構成し、それによってノードAが $V_{DD}$ にまで充電するのを防止する。言い換えると、ノードAが約1.1Vに近づくと、制御トランジスタ $MP_7$ はオンし、弱いプルダウントランジスタとして動作し、ノードAを接地に向かって引き下げる。

一個またはそれ以上の入力信号が論理状態を変化させる場合、入力プルダウントランジスタはノードAのロウレベルへの引き下げを開始する。ノードAが約1.0V以下に落ちると、インバータ26の出力はハイレベルとなり、制御トランジスタ $MP_7$ をオフとし、出力端子Zをほぼ接地電位まで引き下げる。

ノードAの電圧を上述した方法で1.1Vにクランプすることによって、ノードAにおける信号変動が都合良く制限される。従って、ノードAは $V_{DD}$ の一部分まで充電されかつ一部分から放電されるので、その結果回路80のスイッチング速度が上昇する。

バッファ回路20(図2)とは異なって、バッファ回路80は、ロウレベルからハイレベルへの遷移において、ノードAに接続された入力プルダウントランジスタの入力容量を分離しない。その結果、多くの入力信号数を必要とする応用においては、バッファ回路80よりもむしろバッファ回路20を使用の方が効果がある。

しかしながら、比較的少ない入力信号数(即ち16以下)しか必要でない応用事例において、バッファ回路80はCMOSインバータ24を含まず、従ってそれに係わる遅延を持たないので、バッファ回路20に比べてバッファ回路80の方が有利である。図2および8に従って構成を最適に選択するためには、ノードAの充電時間とインバータ24のゲート遅延間のバランスを取ることが必要である。

その他の実施例では、出力端子Zを直接インバータの出力と接続し、それによって結果的に出力がバッファ回路80の論理的な相補形であるバッファ回路を生じるようにすることにより、CMOSインバータ28を、バッファ回路80から取り除くことができる。もし、上述のパワーダウン構造が必要とされない場合、トランジスタ $MN_1$ を取り除き、ノード22を接地しても良い。

上述のバッファ回路は種々の論理的な応用事例において使用することが可能である。例えば、上述したバッファ回路は、図9に示すようにk入力NORゲート90の一部として構成され、ここではブロックBCは、本発明にかかる上述の何れかのバッファ回路を示している。入力信号A1~Akの何れかがハイレベル(即ちほぼ $V_{DD}$ )であると、出力端子Zはロウレベル(即ちほぼ $V_{SS}$ )になる。一方でもし、入力信号の全てがロウレベルであると、出力端子Zはハイレベルになる。パワーダウン端子22を静的な電力消費を除去するために上述し

10

20

30

40

50



たようにして使用することができる。

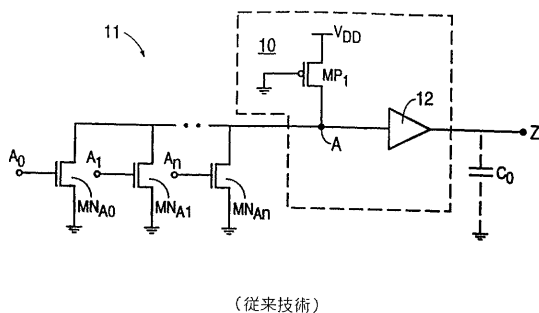
その他の実施例として、上述のバッファ回路は、図10に示すように、 $k$ ビットの均等性検出器 (equality detector) 100の一部として使用することができる。もし、入力信号 $A_i$ および $B_i$ の何れかの所定対に対して、 $A_i$ が論理的に $B_i$ に等しくない場合、ノードAは、図2に関して上記議論したようにロウレベルに引き下げられ、出力端子Zをロウレベルにする。その一方で、1から $k$ の間の全ての $i$ の値に対して $A_i$ が $B_i$ に等しいと、ノードAは上記議論したようにハイレベル（ほぼ1.0V）に引き上げられ、出力端子Zはハイレベルに引き上げられる。パワーダウン端子22は、静的な電力消費をオフにするために使用することができる。

上記実施例は、MOS部品として説明され図示されているけれども、その他の技術、例えば

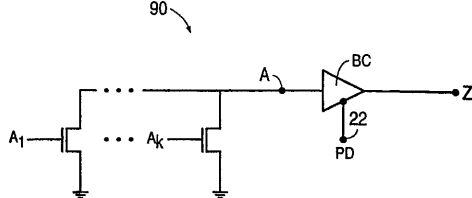
10

バイポーラ、CMOS、またはBiCMOSのような技術において実施することが可能である。本発明の特定の実施例について図示しかつ説明したが、この技術分野の当業者にとって、この発明のより広い観点から離れることなく変更および修正が可能であることは、明白であり、従って添付の請求の範囲が、このような全ての変更および修正をこの発明の真の精神および範囲内において包含するものである。

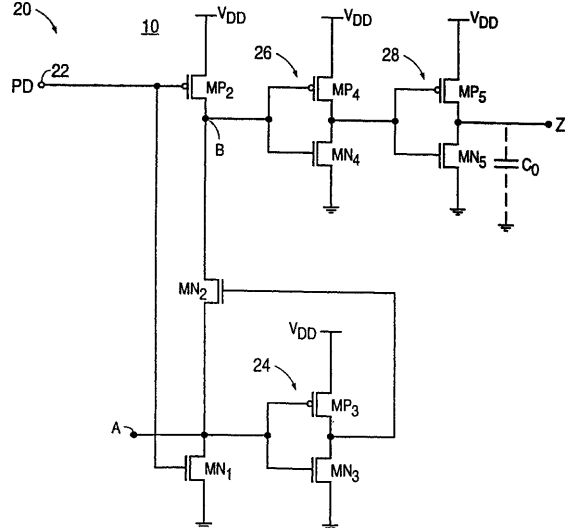
【図1】



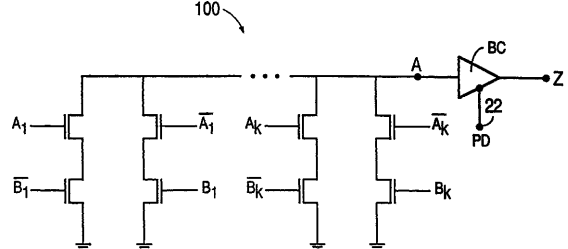
【図9】



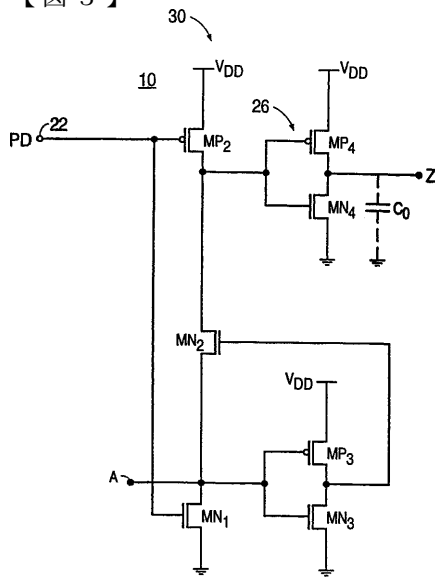
【図2】



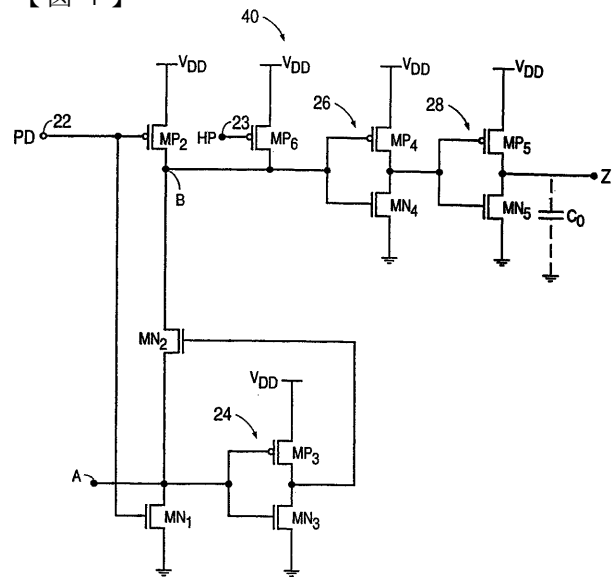
【図10】



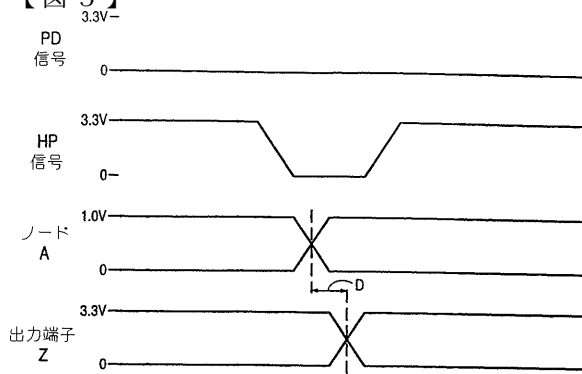
【図 3】



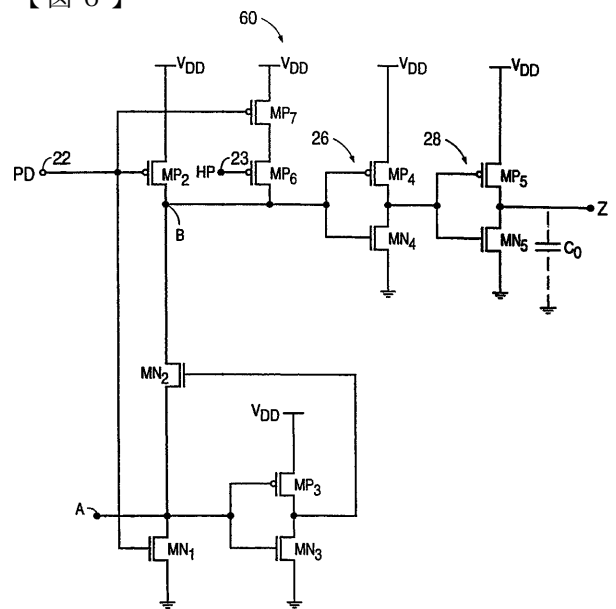
【図 4】



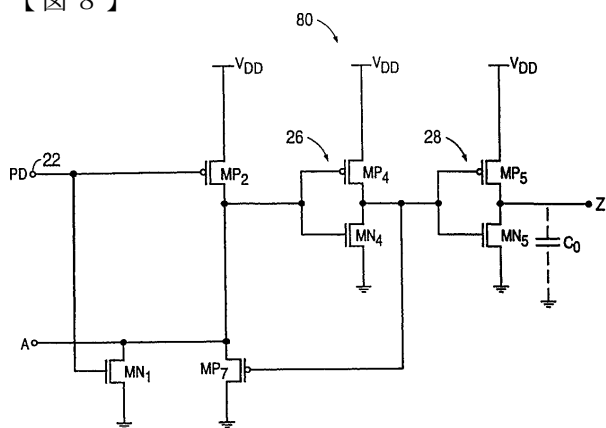
【図 5】



【図 6】



【図 8】



The circuit diagram shows a CMOS logic circuit 70. It features an input stage with PMOS transistors MP2 and MP6, and NMOS transistors MN2 and MN3. The output stage consists of PMOS transistors MP4 and MP5, and NMOS transistors MN4 and MN5. A load capacitor C0 is connected to the output node Z. The circuit is powered by VDD and ground.

---

フロントページの続き

- (72)発明者 ザシオ, ジョン ジェイ.  
アメリカ合衆国, カリフォルニア 94087, サニーベイル, レノックス ウェイ 1369
- (72)発明者 アサト, クレイトン エス.  
アメリカ合衆国, カリフォルニア 95133, サンホセ, メドウモント ドライブ 2368
- (72)発明者 パティル, タラン  
アメリカ合衆国, アリゾナ 85022, フェニックス, イースト ゲルディング ドライブ 1719

審査官 彦田 克文

- (56)参考文献 特開昭54-68146 (JP, A)  
特開平2-230817 (JP, A)  
特開昭55-67235 (JP, A)  
米国特許第4471240 (US, A)  
欧州特許出願公開第206405 (EP, A2)  
特開昭63-256011 (JP, A)  
特開平4-324381 (JP, A)
- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H03K 19/0948  
H03K 19/20