



(12) 发明专利申请

(10) 申请公布号 CN 103794577 A

(43) 申请公布日 2014. 05. 14

(21) 申请号 201410038644. X

H01L 23/528 (2006. 01)

(22) 申请日 2014. 01. 26

(71) 申请人 深圳市兴森快捷电路科技股份有限公司

地址 518000 广东省深圳市南山区深南路科技园工业厂房 25 栋 1 段 3 层

申请人 广州兴森快捷电路科技有限公司
宜兴硅谷电子科技有限公司

(72) 发明人 袁正红 潘计划 毛忠宇

(74) 专利代理机构 广州嘉权专利商标事务有限公司 44205

代理人 唐致明

(51) Int. Cl.

H01L 23/31 (2006. 01)

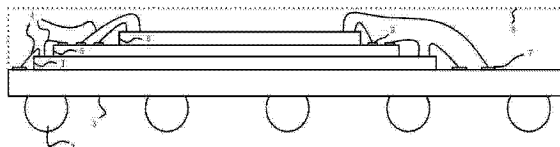
权利要求书2页 说明书9页 附图2页

(54) 发明名称

一种基于半导体基板的 3D 封装装置及其工艺方法

(57) 摘要

本发明公开了一种基于半导体基板的 3D 封装装置及其工艺方法, 该装置包括载体基板、金线、引脚焊球、第一绑线焊盘、第一芯片、用于实现芯片之间互连与隔离的隔层基板、第二绑线焊盘以及第二芯片。该方法包括: 在第一芯片的上表面以及第二芯片的下表面之间设置一用于实现芯片之间互连与隔离的隔层基板。由于本发明采用了用于实现芯片之间互连与隔离的隔层基板, 因此能够减小产品的体积、提高芯片之间的互连性密度、提高封装器件的集成度以及减少载体基板的负担和电路设计的难度。本发明作为一种基于半导体基板的 3D 封装装置及其工艺方法广泛应用于芯片封装的领域中。



1. 一种基于半导体基板的 3D 封装装置,其特征在于:其包括载体基板和金线,所述载体基板的下表面设有引脚焊球,所述载体基板上表面分别设有第一绑线焊盘以及第一粘贴层,所述第一粘贴层的上表面设有第一芯片,所述第一芯片的上表面设有第二粘贴层,所述第二粘贴层的上表面设有用于实现芯片之间互连与隔离的隔层基板,所述隔层基板上表面分别设有第二绑线焊盘以及第三粘贴层,所述第三粘贴层的上表面设有第二芯片;

所述第一绑线焊盘通过金线进而与第一芯片进行连接,所述第一芯片通过金线进而与第二绑线焊盘进行连接,所述第二绑线焊盘通过金线进而与第二芯片进行连接。

2. 根据权利要求 1 所述一种基于半导体基板的 3D 封装装置,其特征在于:所述的第二芯片通过金线进而与第一绑线焊盘进行连接。

3. 根据权利要求 1 所述一种基于半导体基板的 3D 封装装置,其特征在于:所述载体基板上表面还设有铜层,而所述的第一粘贴层设置在铜层的上表面。

4. 根据权利要求 1 所述一种基于半导体基板的 3D 封装装置,其特征在于:所述载体基板上表面还设有油墨层,而所述的第一粘贴层设置在油墨层的上表面。

5. 根据权利要求 3 所述一种基于半导体基板的 3D 封装装置,其特征在于:所述的铜层上设有过孔。

6. 根据权利要求 1 所述一种基于半导体基板的 3D 封装装置,其特征在于:所述的第一粘贴层、第二粘贴层以及第三粘贴层均为银胶层、树脂胶层或胶膜层。

7. 一种基于半导体基板的 3D 封装工艺方法,其特征在于:该方法包括:

A、在载体基板上表面设置第一粘贴层,并且将第一芯片粘贴在第一粘贴层的上表面,从而使第一芯片固定在载体基板上;

B、在第一芯片的上表面设置第二粘贴层,并且将用于实现芯片之间互连和隔离的隔层基板粘贴在第二粘贴层的上表面,从而使隔层基板固定在第一芯片上;

C、通过采用金线进而使载体基板上的第一绑线焊盘与第一芯片之间,以及第一芯片与隔层基板上的第二绑线焊盘之间进行互连;

D、在隔层基板上表面设置第三粘贴层,在所述第三粘贴层的上表面设置第二芯片;

E、通过采用金线从而使第二芯片与隔层基板上的第二绑线焊盘之间进行互连,并且通过采用金线从而使载体基板上的第一绑线焊盘与第一芯片之间,以及第一芯片与隔层基板上的第二绑线焊盘之间进行再次互连;

G、在载体基板的下表面设置引脚焊球。

8. 根据权利要求 7 所述一种基于半导体基板的 3D 封装工艺方法,其特征在于:所述步骤 A,其具体包括:

A11、在载体基板上表面设置一铜层,并且在所述铜层的上表面设置第一粘贴层;

A12、将第一芯片粘贴在第一粘贴层的上表面后,进行 115 度至 135 度的烘烤,从而使第一芯片固定在载体基板上。

9. 根据权利要求 7 所述一种基于半导体基板的 3D 封装工艺方法,其特征在于:所述步骤 A,其具体包括:

A13、在载体基板上表面设置一油墨层,并且在所述油墨层的上表面设置第一粘贴层;

A14、将第一芯片粘贴在第一粘贴层的上表面后,进行 115 度至 135 度的烘烤,从而使第

一芯片固定在载体基板上。

10. 根据权利要求 7 所述一种基于半导体基板的 3D 封装工艺方法,其特征在于:在步骤 E 与步骤 G 之间还设有步骤 F,所述的步骤 F 具体为:

F、通过采用金线从而使第二芯片与载体焊盘上的第一绑线焊盘之间进行互连。

一种基于半导体基板的 3D 封装装置及其工艺方法

技术领域

[0001] 本发明涉及芯片封装技术,尤其涉及一种基于半导体基板的 3D 封装装置及其工艺方法。

背景技术

[0002] 随着电子产品向小型化、高密度化、高集成度和多功能化的方向迅速发展,芯片的封装要求也越来越高了,高集成度、多功能、小尺寸、结构复杂的芯片封装装置日渐增多。然而,行业目前常用的芯片封装结构,其分别具有不同的缺点:1、第一种常用的芯片封装结构为多个芯片粘贴在同一个平面,但这一方案却占据水平方向上较多的面积,并不符合器件小尺寸的发展趋势;2、第二种常用的芯片封装结构为芯片之间通过一个硅隔层粘贴在一起进而形成垂直方向的结构,但这一方案却会导致芯片之间直接互连密度小,并且使大部分引脚互连至载体基板上,大大增加载体基板的负担以及增加载体基板的电路设计难度;3、第三种常用的芯片封装结构为在芯片上种植微焊球作为芯片之间的互连引脚,这样就能够提高各个芯片之间的直接互连密度,但是这种方案的技术要求高,制造难度大,并且成本投资花费高。由此可知,人们应该尽快发明一种芯片的封装结构,从而能够同时满足器件尺寸小、芯片之间的互连性高以及易于实现等要求。

发明内容

[0003] 为了解决上述技术问题,本发明的目的是提供一种基于半导体基板的 3D 封装装置。

[0004] 本发明的另一目的是提供一种基于半导体基板的 3D 封装工艺方法。

[0005] 本发明所采用的技术方案是:一种基于半导体基板的 3D 封装装置,其包括载体基板和金线,所述载体基板的下表面设有引脚焊球,所述载体基板上表面分别设有第一绑线焊盘以及第一粘贴层,所述第一粘贴层的上表面设有第一芯片,所述第一芯片的上表面设有第二粘贴层,所述第二粘贴层的上表面设有用于实现芯片之间互连与隔离的隔层基板,所述隔层基板上表面分别设有第二绑线焊盘以及第三粘贴层,所述第三粘贴层的上表面设有第二芯片;

所述第一绑线焊盘通过金线进而与第一芯片进行连接,所述第一芯片通过金线进而与第二绑线焊盘进行连接,所述第二绑线焊盘通过金线进而与第二芯片进行连接。

[0006] 进一步,所述的第二芯片通过金线进而与第一绑线焊盘进行连接。

[0007] 进一步,所述载体基板上表面还设有铜层,而所述的第一粘贴层设置在铜层的上表面。

[0008] 进一步,所述载体基板上表面还设有油墨层,而所述的第一粘贴层设置在油墨层的上表面。

[0009] 进一步,所述的铜层上设有过孔。

[0010] 进一步,所述的第一粘贴层、第二粘贴层以及第三粘贴层均为银胶层、树脂胶层或

胶膜层。

[0011] 本发明所采用的另一技术方案是：一种基于半导体基板的 3D 封装工艺方法，该方法包括：

A、在载体基板的上表面设置第一粘贴层，并且将第一芯片粘贴在第一粘贴层的上表面，从而使第一芯片固定在载体基板上；

B、在第一芯片的上表面设置第二粘贴层，并且将用于实现芯片之间互连和隔离的隔层基板粘贴在第二粘贴层的上表面，从而使隔层基板固定在第一芯片上；

C、通过采用金线进而使载体基板上的第一绑线焊盘与第一芯片之间，以及第一芯片与隔层基板上的第二绑线焊盘之间进行互连；

D、在隔层基板的上表面设置第三粘贴层，在所述第三粘贴层的上表面设置第二芯片；

E、通过采用金线从而使第二芯片与隔层基板上的第二绑线焊盘之间进行互连，并且通过采用金线从而使载体基板上的第一绑线焊盘与第一芯片之间，以及第一芯片与隔层基板上的第二绑线焊盘之间进行再次互连；

G、在载体基板的下表面设置引脚焊球。

[0012] 进一步，所述步骤 A，其具体包括：

A11、在载体基板的上表面设置一铜层，并且在所述铜层的上表面设置第一粘贴层；

A12、将第一芯片粘贴在第一粘贴层的上表面后，进行 115 度至 135 度的烘烤，从而使第一芯片固定在载体基板上。

[0013] 进一步，所述步骤 A，其具体包括：

A13、在载体基板的上表面设置一油墨层，并且在所述油墨层的上表面设置第一粘贴层；

A14、将第一芯片粘贴在第一粘贴层的上表面后，进行 115 度至 135 度的烘烤，从而使第一芯片固定在载体基板上。

[0014] 进一步，在步骤 E 与步骤 G 之间还设有步骤 F，所述的步骤 F 具体为：

F、通过采用金线从而使第二芯片与载体焊盘上的第一绑线焊盘之间进行互连。

[0015] 本发明的有益效果是：由于本发明的封装装置采用了隔层基板来实现芯片之间的互连以及隔离，因此，本发明的封装装置不仅能够形成竖直方向的结构，使装置的体积更小，而且还能够提高芯片之间的直接互连性密度、提高芯片封装装置的集成度、减少载体基板的负担以及降低载体基板电路设计的难度。另外，将基板设置在芯片之间从而实现芯片之间的隔离和互连，这一封装工艺简单，无需采用昂贵的半导体封装设备来实现，由此可知，本发明的封装装置还具有易于实现以及投资成本低优点。

[0016] 本发明的另一有益效果是：由于本发明的封装工艺方法是将半导体基板设置在芯片之间从而实现芯片之间的互连以及隔离，因此，本发明的方法不仅能够使芯片封装器件形成竖直方向的结构，体积更小，而且还能够提高芯片之间的直接互连性密度、提高芯片封装器件的集成度、减少载体基板的负担以及降低载体基板的电路设计难度。另外，由于本发明的方法是将半导体基板设置在芯片之间进而实现芯片之间的隔离和互连，而且无需采用昂贵的半导体设备来实现，因此由此可知，本发明的方法还具有易于实现以及投资成本低的优点。

附图说明

[0017] 下面结合附图对本发明的具体实施方式作进一步说明：

图 1 是一种基于半导体基板的 3D 封装装置的结构示意图；

图 2 是一种基于半导体基板的 3D 封装工艺方法的步骤流程图。

[0018] 1、第一芯片；2、引脚焊球；3、载体基板；4、金线；5、隔层基板；6、第二芯片；7、第一绑线焊盘；8、塑封料层；9、第二绑线焊盘。

具体实施方式

[0019] 由图 1 所示，一种基于半导体基板的 3D 封装装置，其包括载体基板 3 和金线 4，所述载体基板 3 的下表面设有引脚焊球 2，所述载体基板 4 的上表面分别设有第一绑线焊盘 7 以及第一粘贴层，所述第一粘贴层的上表面设有第一芯片 1，所述第一芯片 1 的上表面设有第二粘贴层，所述第二粘贴层的上表面设有用于实现芯片之间互连与隔离的隔层基板 5，所述隔层基板 5 的上表面分别设有第二绑线焊盘 9 以及第三粘贴层，所述第三粘贴层的上表面设有第二芯片 6；

所述第一绑线焊盘 7 通过金线 4 进而与第一芯片 1 进行连接，所述第一芯片 1 通过金线 4 进而与第二绑线焊盘 9 进行连接，所述第二绑线焊盘 9 通过金线 4 进而与第二芯片 6 进行连接。另外，本发明的 3D 封装装置还包括一用于对载体基板 3、第一芯片 1、隔层基板 5 以及第二芯片 6 进行包封的塑封料层 8。所述的塑封料层 8，其所使用的成分主要有二氧化硅和树脂。

[0020] 对于所述的隔层基板 5 和载体基板 3，两者的材料可为相同或不同，例如两者的材料均可采用由玻璃纤维布与树脂混压合成的半导体材料。另外，对于所述的隔层基板 5 和载体基板 3，两者的内部均布有线路和过孔，并且两者的厚度可均为 0.1mm 至 0.45mm，层数为 2 层至 8 层。

[0021] 进一步作为优选的实施方式，所述的第一粘贴层、第二粘贴层以及第三粘贴层均为银胶层、树脂胶层或胶膜层。

[0022] 上述的技术特征可适用于下列的具体实施例中。

[0023] 本发明装置的第一具体实施例

一种基于半导体基板的 3D 封装装置，其包括载体基板 3、金线 4、第一芯片 1、第二芯片 6、用于粘贴第一芯片 1 的第一粘贴层以及用于粘贴第二芯片 6 的第三粘贴层；

在所述载体基板 3 的下表面设置有用于外部封装的引脚焊球 2，在所述载体基板 3 的上表面分别设置有第一绑线焊盘 7 以及一作为芯片粘贴区的第一铜层，而所述的第一粘贴层设置在所述第一铜层的上表面，所述的第一芯片 1 设置在第一粘贴层的上表面，由此可知，所述的第一芯片 1 是直接接触第一铜层的上表面的，这样则能够有效地改善芯片的散热途径，即提高芯片的散热功能。其中，所述的第一粘贴层是由银胶组成的。

[0024] 所述第一芯片 1 的上表面设有第二粘贴层，所述的第二粘贴层是由银胶组成的，而所述第二粘贴层的上表面设有用于实现芯片之间互连与隔离的隔层基板 5，即所述的隔层基板 5 是通过第二粘贴层从而固定在第一芯片 1 上。

[0025] 所述隔层基板 5 的上表面分别设有第二绑线焊盘 9 以及一作为芯片粘贴区的第二铜层，而所述的第三粘贴层设置在第二铜层的上表面，所述的第二芯片 6 设置在第三粘贴

层的上表面。同样地,由于第二芯片 6 是通过第三粘贴层进而固定设置在第二铜层的上表面,即第二芯片 6 是直接接触第二铜层的上表面,因此,通过这样的结构就能够有效地改善芯片的散热途径,即提高芯片的散热功能。其中,所述的第三粘贴层是由银胶组成的。

[0026] 所述第一绑线焊盘 7 通过金线 4 进而与第一芯片 1 进行连接,所述第一芯片 1 通过金线 4 进而与第二绑线焊盘 9 进行连接,所述第二绑线焊盘 9 通过金线 4 进而与第二芯片 6 进行连接。另外,根据载体基板 3 内部电路的不同设计,所述第二芯片 6 也可通过金线 4 进而与载体基板 3 上的第一绑线焊盘 7 进行连接。

[0027] 进一步作为优选的实施方式,所述的第一铜层为方形的铜层,即第一铜层的形状为方形的。并且所述的第一铜层上可设有用于连接至载体基板 3 中其它层地网路的过孔,这样不仅能够有利于增强芯片的抗干扰能力,而且还能够进一步提高本发明封装装置的散热能力。另外,作为粘贴区的第一铜层,其面积为第一芯片 1 面积的 1.2 至 2.0 倍,这样则能够避免第一粘贴层的面积会大于粘贴区,即大于第一铜层的面积,从而对载体基板 3 上的第一绑线焊盘 7 造成污染及影响。

[0028] 进一步作为优选的实施方式,所述第一芯片 1 的厚度为 0.1mm 至 0.25mm,而第一粘贴层的厚度为 0.02mm 至 0.1mm。并且所述第一粘贴层的面积占第一芯片 1 的面积百分比为 20%-80%,这样能够有效地避免第一粘贴层的银胶爬上到第一芯片 1 的上表面。

[0029] 进一步作为优选的实施方式,所述隔层基板 5 的边缘与第一芯片 1 上焊盘的边缘,两者之间的间距在 0.3mm 至 2.5mm 之间,这样则能够避免第一芯片 1 上的焊盘沾有第二粘贴层的银胶,以及能够减少因第一芯片 1 上的焊盘与隔层基板 5 之间距离过远而造成的绑线难度。另外,所述的隔层基板 5 是采用由玻璃纤维布与树脂混压合成的半导体材料,总厚度为 0.1mm 至 0.35mm,层数为 2 层至 6 层,膨胀系数为 10-20 PPM/C,玻璃能转换温度 200-300 度。

[0030] 进一步作为优选的实施方式,所述第二粘贴层的厚度为 0.02mm 至 0.1mm,并且第二粘贴层的面积占隔层基板 5 的面积百分比为 30%-80%。

[0031] 进一步作为优选的实施方式,所述隔层基板 5 内部所布局的线路和过孔,该线路与隔层基板 5 边缘之间的距离大于 0.1mm,这样则能防止切割时会露出线路,从而避免在塑封之后造成与金线 4 短路风险,使电路失效。

[0032] 进一步作为优选的实施方式,所述的第二铜层为方形的铜层,即第二铜层的形状为方形的。并且所述的第二铜层上可设有用于连接至隔层基板 5 中其它层地网路的过孔,而该过孔的类别可为地孔,用于屏蔽,这样则能够有利于增强芯片的抗干扰能力以及散热能力。另外,作为粘贴区的第二铜层,其面积为第二芯片 6 面积的 1.2 至 2.0 倍,这样则能够避免第三粘贴层的银胶撒溅到隔层基板 5 上的第二绑线焊盘 9,从而提高绑线的稳定性。

[0033] 进一步作为优选的实施方式,所述第二芯片 6 的边缘与隔层基板 5 上的第二绑线焊盘 9 的边缘,两者之间的间距为 0.3mm 至 2.5mm 之间,并且第二芯片 6 的厚度为 0.1mm 至 0.25mm,这样能够有效地进一步解决第三粘贴层的银胶撒溅到第二绑线焊盘 9 上,以及能够解决第三粘贴层的银胶爬行至第二芯片 6 的上表面。

[0034] 本发明装置的第二具体实施例

一种基于半导体基板的 3D 封装装置,其包括载体基板 3、金线 4、第一芯片 1、第二芯片 6、用于粘贴第一芯片 1 的第一粘贴层以及用于粘贴第二芯片 6 的第三粘贴层;

在所述载体基板 3 的下表面设置有用于外部封装的引脚焊球 2, 在所述载体基板 3 的上表面分别设置有第一绑线焊盘 7 以及一作为芯片粘贴区的第一油墨层, 而所述的第一粘贴层设置在第一油墨层的上表面, 所述的第一芯片 1 设置在第一粘贴层的上表面。由于采用油墨层来作为芯片的粘贴区, 因此, 可以改善布线空间以及降低布线的设计难度。其中, 所述的第一粘贴层为树脂胶层。

[0035] 所述第一芯片 1 的上表面设有第二粘贴层, 所述的第二粘贴层为树脂胶层, 而所述第二粘贴层的上表面设有用于实现芯片之间互连与隔离的隔层基板 5, 即所述的隔层基板 5 是通过第二粘贴层从而固定在第一芯片 1 上的。

[0036] 所述隔层基板 5 的上表面分别设有第二绑线焊盘 9 以及一作为芯片粘贴区的第二油墨层, 而所述的第三粘贴层设置在第二油墨层的上表面, 所述的第二芯片 2 设置在第三粘贴层的上表面。同样地, 由于利用油墨层来作为芯片的粘贴区, 因此, 可以改善布线的空间以及降低布线的设计难度。其中, 所述的第三粘贴层为树脂胶层。

[0037] 所述第一绑线焊盘 7 通过金线 4 进而与第一芯片 1 进行连接, 所述第一芯片 1 通过金线 4 进而与第二绑线焊盘 9 进行连接, 所述第二绑线焊盘 9 通过金线 4 进而与第二芯片 6 进行连接。另外, 根据载体基板 3 内部电路的不同设计, 所述第二芯片 6 也可通过金线 4 进而与载体基板 3 上的第一绑线焊盘 7 进行连接。

[0038] 进一步作为优选的实施方式, 所述第一芯片 1 的厚度为 0.1mm 至 0.25mm, 而所述第一粘贴层的厚度为 0.02mm 至 0.15mm, 并且所述第一粘贴层的面积占第一芯片 1 的面积百分比为 20%-80%, 这样则能够有效地改善第一粘贴层的树脂胶撒溅到其它位置上的情况, 以及能够防止第一粘贴层的树脂胶溢出至第一芯片 1 的上表面。

[0039] 进一步作为优选的实施方式, 所述第一芯片 1 的边缘与载体基板 3 上第一绑线焊盘 7 的边缘, 两者之间的距离为 0.3mm 至 2.5mm, 这样能够有效地减少第一绑线焊盘 7 上沾有树脂胶的几率以及降低绑线的难度。

[0040] 进一步作为优选的实施方式, 所述隔层基板 5 的面积小于第一芯片 1 的面积, 并且所述隔层基板 5 的边缘与第一芯片 1 上的焊盘的边缘, 两者之间的间距在 0.3mm 至 2.5mm 之间, 这样能够改善第一芯片 1 上的焊盘沾有树脂胶的情况以及第一芯片 1 上的焊盘与隔层基板 5 过远而造成绑线困难的情况。

[0041] 进一步作为优选的实施方式, 所述的隔层基板 5 是采用由玻璃纤维布与树脂混压合成的半导体材料, 总厚度为 0.1mm 至 0.35mm, 层数为 2 层至 6 层, 膨胀系数为 10-20 PPM/C, 玻璃能转换温度 200-300 度。通过采用这一所述的隔层基板 5 来实现芯片之间的互连与隔离, 能够有效地控制高温形变以及降低装置总体叠层的高度。

[0042] 进一步作为优选的实施方式, 所述第二粘贴层的厚度为 0.02mm 至 0.1mm, 并且所述第二粘贴层的面积占隔层基板 5 的面积百分比为 80%-95%。

[0043] 进一步作为优选的实施方式, 所述隔层基板 5 上的第二绑线焊盘 9 的边缘与隔层基板 5 的边缘, 两者之间的间距大于 0.2mm, 这样能够有效地解决第二粘贴层的树脂胶爬上第二绑线焊盘 9 上, 并且避免对第二绑线焊盘 9 造成污染。另外, 所述隔层基板 5 内部所布局的线路, 该线路与隔层基板 5 边缘之间的距离大于 0.1mm, 这样能够防止切割时会露出线路, 从而避免在塑封之后造成与金线 4 短路风险, 使电路失效。

[0044] 进一步作为优选的实施方式, 所述第三粘贴层的厚度为 0.02mm 至 0.1mm, 并且所

述第三粘贴层的面积占第二芯片 6 的面积的比例为 80%-95%。

[0045] 进一步作为优选的实施方式,所述第二芯片 6 的尺寸小于隔层基板 5,并且所述第二芯片 6 的边缘与隔层基板 5 上第二绑线焊盘 9 之间的距离为 0.3mm 至 2.5mm,这样则能够防止第二绑线焊盘 9 上沾有第三粘贴层的树脂胶,以及减少绑线的难度,提高绑线的稳定性。

[0046] 进一步作为优选的实施方式,所述第二芯片 6 的厚度为 0.1mm 至 0.25mm,这样则能够进一步地解决第三粘贴层的树脂胶撒溅到第二绑线焊盘 9 这一情况,以及能够避免第三粘贴层的树脂胶爬行至第二芯片 6 的上表面。

[0047] 本发明装置的第三具体实施例

一种基于半导体基板的 3D 封装装置,其包括载体基板 3、金线 4、第一芯片、第二芯片 6、用于粘贴第一芯片 1 的第一粘贴层以及用于粘贴第二芯片 6 的第三粘贴层;

在所述载体基板 3 的下表面设置有用于外部封装的引脚焊球 2,在所述载体基板 3 的上表面分别设置有第一绑线焊盘 7 以及第一粘贴层。所述的第一粘贴层为胶膜层,并且所述第一粘贴层的厚度为 0.018mm 至 0.10mm,而所述的胶膜层是由双面带有粘性的胶膜所组成的。

[0048] 所述的第一芯片 1 通过第一粘贴层从而固定在载体基板 3,并且所述第一粘贴层的面积是等于第一芯片 1 的面积。另外,所述第一芯片 1 的边缘与第一绑线焊盘 7 之间的距离为 0.1mm 至 2.5mm,并且所述第一芯片 1 的厚度为 0.1mm 至 0.25mm,这样能够改善绑线的稳定性,提高线型的稳固性。

[0049] 所述第一芯片 1 的上表面设有第二粘贴层,而所述的第二粘贴层也为胶膜层。所述第二粘贴层的上表面设有用于实现芯片之间互连与隔离的隔层基板 5,即所述的隔层基板 5 是通过胶膜进而固定在第一芯片 1 上的。所述隔层基板 5 的尺寸相对于第一芯片 1 而言,并没有严格的尺寸要求,其可以比第一芯片 1 的尺寸大,而当隔层基板 5 的尺寸比第一芯片 1 的尺寸大时,所述隔层基板 5 与第一芯片 1 各边长的比例小于 1.5。另外,当隔层基板 5 的尺寸比第一芯片 1 的尺寸大时,第一芯片 1 上与隔层基板连接的金线 4 则会嵌入到第二粘贴层中,并且金线 4 线弧的高度会小于第二粘贴层的厚度,这样则能够提高隔层基板 5 的布线集成度,从而提高整个封装装置的集成度,同时也可以消除对第二芯片 6 的尺寸限制,增加芯片类别混合的灵活性。

[0050] 所述隔层基板 5 的上表面分别设有第二绑线焊盘 9 以及第三粘贴层,所述的第三粘贴层也为胶膜层。所述的第二芯片 6 设置在第三粘贴层的上表面。

[0051] 所述第一绑线焊盘 7 通过金线 4 进而与第一芯片 1 进行连接,所述第一芯片 1 通过金线 4 进而与第二绑线焊盘 9 进行连接,所述第二绑线焊盘 9 通过金线 4 进而与第二芯片 6 进行连接。另外,根据载体基板 3 内部电路的不同设计,所述第二芯片 6 也可通过金线 4 进而与载体基板 3 上的第一绑线焊盘 7 进行连接。

[0052] 优选地,所述隔层基板 5 内部所布局的线路,该线路与隔层基板 5 边缘之间的距离大于 0.1mm,这样能够防止切割时会露出线路,从而避免在塑封之后造成与金线 4 短路风险,使电路失效。

[0053] 优选地,所述第二芯片 6 的边缘与第二绑线焊盘 9,两者之间的距离为 0.1mm 至 2.5mm,这样能有效地稳固线型。

[0054] 优选地,所述第三粘贴层的面积与第二芯片 6 的面积相等。

[0055] 由图 2 所示,一种基于半导体基板的 3D 封装工艺方法,该方法包括:

A、在载体基板的上表面设置第一粘贴层,并且将第一芯片粘贴在第一粘贴层的上表面,从而使第一芯片固定在载体基板上;

B、在第一芯片的上表面设置第二粘贴层,并且将用于实现芯片之间互连和隔离的隔层基板粘贴在第二粘贴层的上表面,从而使隔层基板固定在第一芯片上;

C、通过采用金线进而使载体基板上的第一绑线焊盘与第一芯片之间,以及第一芯片与隔层基板上的第二绑线焊盘之间进行互连,以实现载体基板内部所设置的电路、第一芯片上所设置的电路以及隔层基板内部所设置的电路的二次分配;

D、在隔层基板的上表面设置第三粘贴层,在所述第三粘贴层的上表面设置第二芯片;

E、通过采用金线从而使第二芯片与隔层基板上的第二绑线焊盘之间进行互连,并且通过采用金线从而使载体基板上的第一绑线焊盘与第一芯片之间,以及第一芯片与隔层基板上的第二绑线焊盘之间进行再次互连,以实现载体基板内部所设置的电路、第一芯片上所设置的电路、隔层基板内部所设置的电路以及第二芯片上所设置的电路的三次分配;

G、在载体基板的下表面设置引脚焊球。

[0056] 进一步作为优选的实施方式,所述步骤 A,其具体包括:

A11、在载体基板的上表面设置一铜层,并且在所述铜层的上表面设置第一粘贴层;

A12、将第一芯片粘贴在第一粘贴层的上表面后,进行 115 度至 135 度的烘烤,从而使第一芯片固定在载体基板上。

[0057] 进一步作为优选的实施方式,所述步骤 A,其具体包括:

A13、在载体基板的上表面设置一油墨层,并且在所述油墨层的上表面设置第一粘贴层;

A14、将第一芯片粘贴在第一粘贴层的上表面后,进行 115 度至 135 度的烘烤,从而使第一芯片固定在载体基板上。

[0058] 另外,根据载体基板内部线路的不同设计,本发明的方法还包括步骤 F,所述的步骤 F 具体为:通过采用金线从而使第二芯片与载体焊盘上的第一绑线焊盘之间进行互连。而这一步骤是设置在步骤 E 与步骤 G 之间。

[0059] 本发明方法的第一具体实施例

一种基于半导体基板的 3D 封装工艺方法,该方法具体包括:

S0、对第一芯片、第二芯片、载体基板、隔层基板以及金线进行清洗;通过水洗的方式将载体基板和隔层基板上残留的外来物质清洗干净,从而保障载体基板上和隔层基板上用于粘贴芯片的粘贴区,以及绑线焊盘的区域清洁,以保证粘贴芯片和金线的可靠性,然后,清洗完后则放入 115 度至 135 度的恒温烤箱内烘烤 1 至 2 小时,以消除载体基板和隔层基板的水气湿气,并且减小载体基板和隔层基板的弯曲;

S1、在载体基板的上表面设置一方形的铜层或一油墨层,并且在所述的铜层或油墨层的上表面设置第一粘贴层,其中,所述的第一粘贴层为银胶层、胶膜层或树脂胶层;

S2、将第一芯片粘贴在第一粘贴层的上表面后,进行 115 度至 135 度的烘烤,从而使第一芯片牢固地设置在载体基板上,并且排除了载体基板的湿气,减小其弯曲形变的几率;

S3、在第一芯片的上表面设置第二粘贴层,并且将用于实现芯片之间互连与隔离的隔

层基板粘贴在第二粘贴层的上表面后,进行 115 度至 135 度的烘烤,从而使隔层基板牢固地设置在第一芯片上;

S4、利用等离子进而将步骤 S3 完成后的装置进行清洗,这样能够清洁载体基板上第一绑线焊盘表面上的氧化层以及异物颗粒,以提高金线焊接的质量;

S5、通过绑线设备,进而利用金线使载体基板上的第一绑线焊盘与第一芯片之间、以及第一芯片与隔层基板上的第二绑线焊盘之间进行互连,以实现载体基板、第一芯片以及隔层基板,三者所设置的电路的二次分配,其中,所述金线的线长为 0.2mm 至 3.5mm,线弧高度为 0.05mm 至 0.15mm,线径为 0.02mm 或 0.025mm,这样能够实现线弧抗压、抗拉强度最优化;

S6、在隔层基板的上表面设置第三粘贴层,所述第三粘贴层的上表面设置第二芯片后,进行 115 度至 135 度且 1 至 2 小时的烘烤,以消除装置内部的湿气和起到固化芯片的作用,其中,所述的第三粘贴层为银胶层或胶膜层;

S7、利用等离子将步骤 S6 完成后的装置进行清洗,这样能够清洁载体基板上第一绑线焊盘以及隔层基板上第二绑线焊盘,两者表面的氧化物和异物颗粒,以提高金线焊接的质量;

S8、通过绑线设备,进而利用金线使第二芯片与隔层基板上的第二绑线焊盘之间进行互连,并且利用金线使载体基板上的第一绑线焊盘与第一芯片之间,以及第一芯片与隔层基板上的第二绑线焊盘之间进行再次互连,以实现载体基板、第一芯片、隔层基板以及第二芯片,四者所设置的电路的三次分配,其中,所述金线的线长为 0.2mm 至 3.5mm,线弧高度为 0.05mm 至 0.15mm,这样能够实现线弧抗压、抗拉强度最优化;

S9、利用等离子进而将步骤 S8 完成后的装置进行清洗,这样能够去除外来异物,提高装置的清洁度,并且防止塑封料层与基板、芯片及其它器件之间出现因异物而导致的分层,其中,所述的塑封料层主要是用于将载体基板、第一芯片、隔层基板以及第二芯片进行包封后形成一模块,并且所述的塑封料层主要的成分为二氧化硅和树脂;

S10、当利用塑封料层进行塑封后,进行 120 度至 130 度且 2 至 10 小时的烘烤,这样能够优化塑封材料的性能,固化完全,而且能够使装置具备防水、防腐、耐磨、耐腐蚀、抗震等特性;

S11、采用材料为锡铅或锡银铜成分的引脚焊球焊接在载体基板下表面的焊盘上,其中,所述引脚焊球的直径为 0.2mm 至 0.7mm;另外,在引脚焊球粘贴在载体基板下表面的焊盘之前,在载体基板下表面的焊盘上刷一层助焊剂,这样能够使引脚焊球更可靠地与载体基板下表面的焊盘进行粘结,然后经过回焊炉,以使引脚焊球与载体基板下表面的焊盘粘接,引脚焊球自回位至该焊盘的中央,不至偏离;还有,由于采用引脚焊球作为模块内部电路与外部互连的通道,因此能够有效地缓解模块在贴装过程中受到的应力,从而减少芯片的损坏率,增加模块循环焊接使用的次数;

S12、利用激光或油墨将所需要的文字、图形印在该模块产品的正面,作为产品的标示。

[0060] 另外,根据载体基板内部线路的不同设计,本发明的方法还包括,通过采用金线从而使第二芯片与载体焊盘上的第一绑线焊盘之间进行互连这一步骤,而这一步骤可设置在步骤 S8 与步骤 S9 之间。

[0061] 由上述可知,由于本发明是采用半导体基板来作为芯片之间实现隔离与互连的隔层,因此,不仅能够使本发明的封装装置形成竖直方向的结构,体积更小,而且能够提高芯

片之间的直接互连性密度、提高芯片封装装置的集成度、减少载体基板的负担以及降低载体基板电路设计的难度。另外,由上述可知,本发明的封装工艺非常简单,无需采用昂贵的半导体封装设备来实现,因此,本发明的封装工艺还具有易于实现以及投资成本低的优点。

[0062] 以上是对本发明的较佳实施进行了具体说明,但本发明创造并不限于所述实施例,熟悉本领域的技术人员在不违背本发明精神的前提下还可做作出种种的等同变形或替换,这些等同的变形或替换均包含在本申请权利要求所限定的范围内。

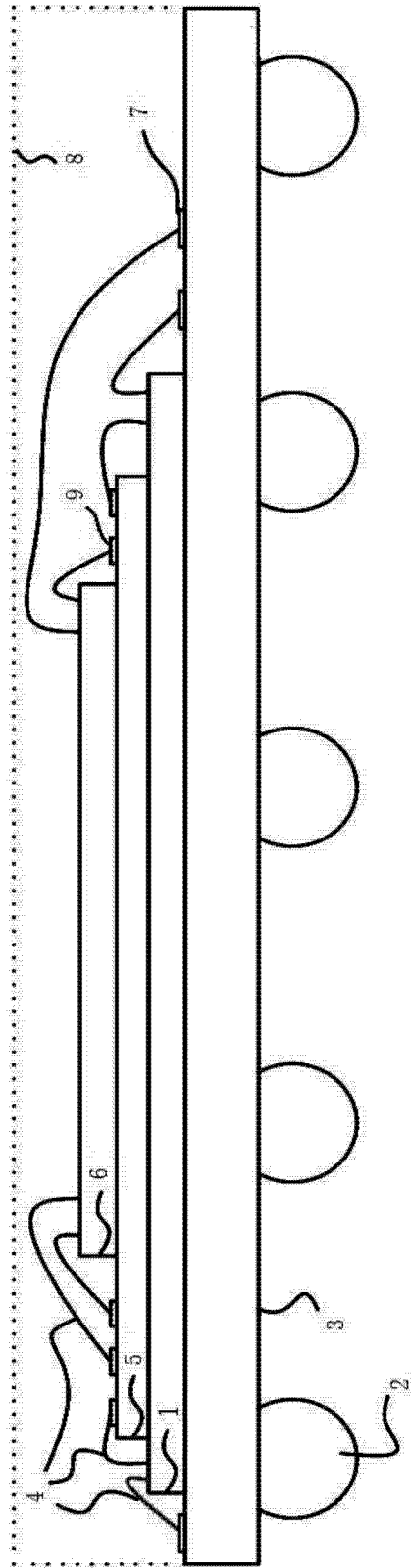


图 1

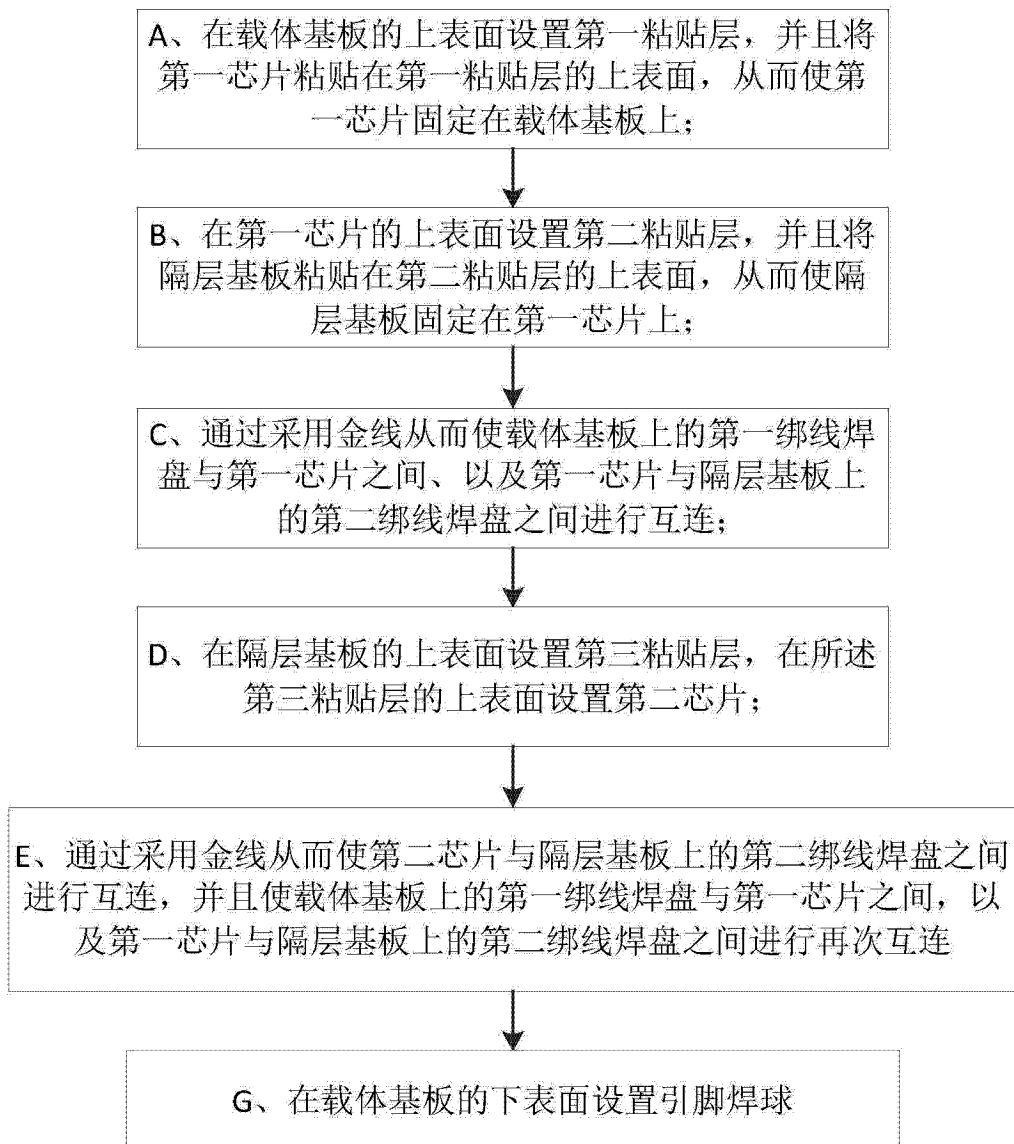


图 2