

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 27 年 5 月 28 日 (2015.5.28)

【公開番号】特開 2012-231132 (P2012-231132A)

【公開日】平成 24 年 11 月 22 日 (2012.11.22)

【年通号数】公開・登録公報 2012-049

【出願番号】特願 2012-90014 (P2012-90014)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 27/10 3 2 1

H 0 1 L 27/10 4 6 1

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 7 T

H 0 1 L 29/78 6 1 9 A

【手続補正書】

【提出日】平成 27 年 4 月 7 日 (2015.4.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ビット線と、第 1 のトランジスタと、第 2 のトランジスタと、酸化物半導体を用いた第 3 のトランジスタと、キャパシタと、を有し、

前記キャパシタは、前記第 3 のトランジスタのドレイン電極と、誘電体膜を介して該ドレイン電極の側面と対向して設けられた導電膜と、によって構成され、

前記第 1 のトランジスタのソースは、前記ビット線と接続され、

前記第 1 のトランジスタのドレインは、前記第 2 のトランジスタのソースと接続され、

前記第 1 のトランジスタは、前記キャパシタの電位によってオンおよびオフが制御され、

前記第 1 のトランジスタがオンのとき、前記第 2 のトランジスタおよび前記第 1 のトランジスタを通して前記ビット線にデータ 1 が与えられることを特徴とする半導体記憶装置。

【請求項 2】

ビット線と、ワード線と、ソース線と、共通配線と、第 1 のトランジスタと、第 2 のトランジスタと、酸化物半導体を用いた第 3 のトランジスタと、キャパシタと、を有し、

前記第 1 のトランジスタのソースまたはドレインの一方を前記第 2 のトランジスタのソースまたはドレインの一方と接続し、

前記第 1 のトランジスタのゲートを前記第 3 のトランジスタのソースまたはドレインの一方、および前記キャパシタを構成する一対の容量電極の一方と接続し、

前記第 1 のトランジスタのソースまたはドレインの他方、および前記第 3 のトランジスタ

タのソースまたはドレインの他方を前記ビット線と接続し、  
前記第3のトランジスタのゲートを前記ワード線と接続し、  
前記第2のトランジスタのゲート、およびソースまたはドレインの他方を前記ソース線と接続し、  
前記キャパシタを構成する前記一对の容量電極の他方を前記共通配線と接続し、  
前記共通配線は接地し、  
前記共通配線は上面から見て網状であり、前記共通配線が形成する網の目に前記第3のトランジスタが設けられることを特徴とする半導体記憶装置。

【請求項3】

請求項2において、  
前記第3のトランジスタは、ソース電極およびドレイン電極と、少なくとも前記ソース電極および前記ドレイン電極の上面と接する酸化物半導体膜と、前記酸化物半導体膜上に設けられたゲート絶縁膜と、前記ゲート絶縁膜を介して前記酸化物半導体膜と重畳するゲート電極と、前記ソース電極、前記ドレイン電極、前記酸化物半導体膜、前記ゲート絶縁膜および前記ゲート電極を覆って設けられた絶縁膜と、を有することを特徴とする半導体記憶装置。

【請求項4】

請求項2または請求項3において、  
前記キャパシタは、前記ドレイン電極および前記共通配線を一对の容量電極とし、少なくとも前記絶縁膜を誘電体膜とすることを特徴とする半導体記憶装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、  
前記ソース電極および前記ドレイン電極間の空間を埋める絶縁膜が設けられることを特徴とする半導体記憶装置。

【請求項6】

請求項1乃至請求項5のいずれか一において、  
前記ゲート絶縁膜、または前記ソース電極および前記ドレイン電極間の空間を埋める前記絶縁膜が加熱処理により酸素を放出する絶縁膜であることを特徴とする半導体記憶装置。

【請求項7】

請求項6において、  
前記絶縁膜は、温度が250 以上450 以下の範囲における酸素の拡散係数が、前記ゲート絶縁膜、または前記ソース電極および前記ドレイン電極間の空間を埋める前記絶縁膜と比べて小さいことを特徴とする半導体記憶装置。