



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2012년12월18일
 (11) 등록번호 10-1213708
 (24) 등록일자 2012년12월12일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
 (21) 출원번호 10-2009-0049214
 (22) 출원일자 2009년06월03일
 심사청구일자 2011년11월09일
 (65) 공개번호 10-2010-0130490
 (43) 공개일자 2010년12월13일
 (56) 선행기술조사문헌
 KR1020070093752 A
 KR100421480 B1
 JP2008218495 A
 JP2009021612 A

전체 청구항 수 : 총 9 항

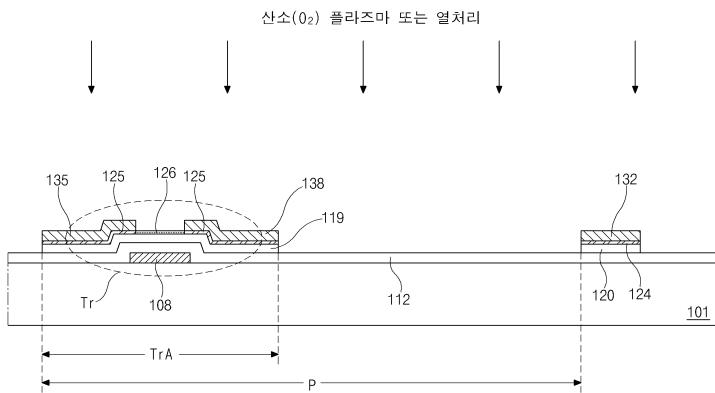
심사관 : 설관식

(54) 발명의 명칭 어레이 기판 및 이의 제조방법

(57) 요약

본 발명은, 기판 상에 일방향으로 연장하며 형성된 케이트 배선과 상기 케이트 배선과 연결되며 형성된 케이트 전극과; 상기 케이트 배선 및 케이트 전극 위로 형성된 케이트 절연막과; 상기 케이트 절연막 위로 상기 케이트 전극에 대응하여 형성된 제 1 두께의 산화물 반도체층과; 상기 산화물 반도체층 위로 제 2 두께를 가지며 형성된 보조패턴과; 상기 보조패턴 위로 상기 보조패턴의 중앙부를 노출시키며 서로 이격하며 형성된 소스 및 드레인 전극과; 상기 케이트 절연막 위로 상기 소스 전극과 연결되며 상기 케이트 배선과 교차하며 형성된 데이터 배선과; 상기 소스 및 드레인 전극과 데이터 배선 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 구비하며 형성된 보호층과; 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 형성된 화소전극을 포함하며, 상기 보조패턴은 상기 소스 및 드레인 전극과 접촉하는 제 1 영역과, 상기 소스 및 드레인 전극 사이로 노출되는 중앙부의 제 2 영역으로 나뉘며, 상기 제 1 영역은 티타늄 또는 티타늄 합금으로 이루어져 오믹콘택층을 이루며, 상기 제 2 영역은 상기 티타늄 또는 티타늄 합금이 완전 산화되어 절연특성을 갖는 티타늄 산화막을 이루는 것이 특징인 어레이 기판을 제공한다.

대 표 도 - 도3h



특허청구의 범위

청구항 1

기판 상에 일방향으로 연장하며 형성된 게이트 배선과 상기 게이트 배선과 연결되며 형성된 게이트 전극과;

상기 게이트 배선 및 게이트 전극 위로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 제 1 두께의 산화물 반도체층과;

상기 산화물 반도체층 위로 제 2 두께를 가지며 형성된 보조패턴과;

상기 보조패턴 위로 상기 보조패턴의 중앙부를 노출시키며 서로 이격하며 형성된 소스 및 드레인 전극과;

상기 게이트 절연막 위로 상기 소스 전극과 연결되며 상기 게이트 배선과 교차하며 형성된 데이터 배선과;

상기 소스 및 드레인 전극과 데이터 배선 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 구비하며 형성된 보호층과;

상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 형성된 화소전극

을 포함하며, 상기 보조패턴은 상기 소스 및 드레인 전극과 접촉하는 제 1 영역과, 상기 소스 및 드레인 전극 사이로 노출되는 중앙부의 제 2 영역으로 나뉘며, 상기 제 1 영역은 티타늄 또는 티타늄 합금으로 이루어져 오믹콘택층을 이루며, 상기 제 2 영역은 상기 티타늄 또는 티타늄 합금이 완전 산화되어 절연특성을 갖는 티타늄 산화막을 이루는 것이 특징인 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 산화물 반도체층은 a-IGZO(amorphous-Indium Gallium Zinc Oxide) 또는 ZTO(Zinc Tin Oxide) 인 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 제 1 두께는 500Å 내지 1000Å이고, 상기 제 2 두께는 50Å 내지 500Å인 것이 특징인 어레이 기판.

청구항 4

화소영역과 상기 화소영역 내에 스위칭 영역을 갖는 기판 위로, 일방향으로 연장하는 게이트 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 배선과 게이트 전극 위로 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 화소영역의 경계에 상기 게이트 배선과 교차하는 데이터 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 절연막 위로 순차 적층된 형태로 제 1 두께의 산화물 반도체층과 제 2 두께를 가지며 티타늄 또는 티타늄 합금으로 이루어진 보조패턴을 형성하고 동시에 상기 보조패턴 위로 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극 사이로 노출된 상기 보조패턴 부분을 완전 산화시켜 절연특성을 갖는 티타늄 산화막을 형성하는 단계와;

상기 티타늄 산화막과 소스 및 드레인 전극과 데이터 배선 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와;

상기 보호층 위로 각 화소영역에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계

를 포함하는 어레이 기판의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 데이터 배선과, 순차 적층된 상기 산화물 반도체층과 보조패턴과 소스 및 드레인 전극을 형성하는 단계는,

상기 게이트 절연막 위로 전면에 스퍼터닝을 통해 순차적으로 산화물 반도체 물질층과, 티타늄 또는 티타늄 합금으로 이루어진 보조물질층과, 금속층을 형성하는 단계와;

상기 제 1 금속층 위로 제 3 두께를 갖는 제 1 포토레지스트 패턴과, 상기 제 3 두께보다 얇은 제 4 두께를 갖는 제 2 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 및 제 2 포토레지스트 패턴 외부로 노출된 상기 금속층과, 그 하부의 상기 보조물질층과 상기 산화물 반도체 물질층 제거함으로써 상기 게이트 절연막 위로 상기 데이터 배선을 형성하고, 상기 스위칭 영역에 연결된 상태의 소스 드레인 패턴과, 그 하부로 순차적으로 상기 보조패턴과 상기 산화물 반도체층을 형성하는 단계와;

상기 제 2 포토레지스트 패턴을 애싱(ashing)을 통해 제거함으로써 상기 소스 드레인 패턴의 중앙부를 노출시키는 단계와;

상기 제 2 포토레지스트 패턴이 제거됨으로써 노출된 상기 소스 드레인 패턴의 중앙부를 습식식각을 진행하여 제거함으로써 서로 이격하는 소스 및 드레인 전극을 형성하며, 상기 보조패턴의 중앙부를 노출시키는 단계와;

상기 제 1 포토레지스트 패턴을 제거하는 단계

를 포함하는 어레이 기판의 제조 방법.

청구항 6

제 4 항에 있어서,

상기 데이터 배선과, 순차 적층된 상기 산화물 반도체층과 보조패턴과 소스 및 드레인 전극을 형성하는 단계는,

상기 게이트 절연막 위로 전면에 스퍼터닝을 통해 순차적으로 산화물 반도체 물질층과, 티타늄 또는 티타늄 합금으로 이루어진 보조물질층을 형성하는 단계와;

상기 보조물질층과 그 하부의 상기 산화물 반도체 물질층을 패터닝하여 상기 스위칭 영역에 상기 게이트 절연막 위로 아일랜드 형태로 순차 적층된 상기 산화물 반도체층과 보조패턴을 형성하는 단계와;

상기 보조패턴 위로 기판 전면에 금속층을 형성하는 단계와;

상기 금속층을 패터닝하여 상기 게이트 절연막 위로 상기 데이터 배선을 형성하고, 상기 스위칭 영역에 상기 보조패턴 위로 서로 이격하는 소스 및 드레인 전극을 형성하며 상기 보조패턴의 중앙부를 노출시키는 단계

를 포함하는 어레이 기판의 제조 방법.

청구항 7

제 4 항에 있어서,

상기 보조패턴 부분을 완전 산화시켜 절연특성을 갖는 티타늄 산화막을 형성하는 단계는,

상기 소스 및 드레인 전극 사이로 상기 보조패턴이 노출된 기판을 산소(O_2) 가스 분위기를 갖는 진공의 챔버 내에서 플라즈마 처리를 실시하거나, 또는 $300^{\circ}C$ 내지 $400^{\circ}C$ 온도 분위기를 갖는 오븐 또는 퍼나스(furnace) 내에서 수십 초 내지 수십 분간 열처리를 실시하는 것이 특징인 어레이 기판의 제조 방법.

청구항 8

제 4 항에 있어서,

상기 산화물 반도체층은 a-IGZO(amorphous-Indium Gallium Zinc Oxide) 또는 ZTO(Zinc Tin Oxide)로 형성하는 것이 특징인 어레이 기판의 제조 방법.

청구항 9

제 4 항에 있어서,

상기 제 1 두께는 500 \AA 내지 1000 \AA 이고, 상기 제 2 두께는 50 \AA 내지 500 \AA 인 것이 특징인 어레이 기판의 제조 방법.

명세서**발명의 상세한 설명****기술분야**

[0001] 본 발명은 어레이 기판에 관한 것이며, 특히 건식식각 진행에 의해 반도체층의 표면 손상 발생을 원천적으로 억제하며, 소자 특성 안정성이 우수한 산화물 반도체층을 갖는 박막트랜지스터를 포함하는 어레이 기판 및 이의 제조방법에 관한 것이다.

배경기술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들에 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 평판표시장치로서 액정표시장치 또는 유기전계 발광소자가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 대체하고 있다.

[0003] 액정표시장치 중에서는 각 화소(pixel)별로 전압의 온(on), 오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 어레이 기판을 포함하는 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.

[0004] 또한, 유기전계 발광소자는 높은 휘도와 낮은 동작 전압 특성을 가지며, 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하므로 최근 평판표시장치로서 주목 받고 있다.

[0005] 이러한 액정표시장치와 유기전계 발광소자에 있어서 공통적으로 화소영역 각각을 온(on)/오프(off) 제거하기 위해서 필수적으로 스위칭 소자인 박막트랜지스터를 구비한 어레이 기판이 구성된다.

[0006] 도 1은 액정표시장치 또는 유기전계 발광소자를 구성하는 종래의 어레이 기판에 있어 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 부분에 대한 단면을 도시한 것이다.

- [0007] 도시한 바와 같이, 어레이 기판(11)에 있어 다수의 게이트 배선(미도시)과 다수의 데이터 배선(33)이 교차하여 정의되는 다수의 화소영역(P) 내의 스위칭 영역(TrA)에는 게이트 전극(15)이 형성되어 있다. 또한, 상기 게이트 전극(15) 상부로 전면에 게이트 절연막(18)이 형성되어 있으며, 그 위에 순차적으로 순수 비정질 실리콘의 액티브층(22)과 불순물 비정질 실리콘의 오믹콘택층(26)으로 구성된 반도체층(28)이 형성되어 있다. 또한 상기 오믹콘택층(26) 위로는 상기 게이트 전극(15)에 대응하여 서로 이격하여 소스 전극(36)과 드레인 전극(38)이 형성되어 있다. 이때 상기 스위칭 영역(TrA)에 순차 적층 형성된 게이트 전극(15)과 게이트 절연막(18)과 반도체층(28)과 소스 및 드레인 전극(36, 38)은 박막트랜지스터(Tr)를 이룬다.
- [0008] 또한, 상기 소스 및 드레인 전극(36, 38)과 노출된 액티브층(22) 위로 전면에 상기 드레인 전극(38)을 노출시키는 드레인 콘택홀(45)을 포함하는 보호층(42)이 형성되어 있으며, 상기 보호층(42) 상부에는 각 화소영역(P)별로 독립되며, 상기 드레인 콘택홀(45)을 통해 상기 드레인 전극(38)과 접촉하는 화소전극(50)이 형성되어 있다. 이때, 상기 데이터 배선(33) 하부에는 상기 오믹콘택층(26)과 액티브층(22)을 이루는 동일한 물질로 제 1 패턴(27)과 제 2 패턴(23)의 이중층 구조를 갖는 반도체 패턴(29)이 형성되어 있다.
- [0009] 전술한 구조를 갖는 종래의 어레이 기판(11)에 있어서 상기 스위칭 영역(TrA)에 구성된 박막트랜지스터(Tr)의 반도체층(28)을 살펴보면, 순수 비정질 실리콘의 액티브층(22)은 그 상부로 서로 이격하는 오믹콘택층(26)이 형성된 부분의 제 1 두께(t1)와 상기 오믹콘택층(26)이 제거되어 노출된 된 부분의 제 2 두께(t2)가 달리 형성됨을 알 수 있다. 이러한 액티브층(22)의 두께 차이($t_1 \neq t_2$)는 제조 방법에 기인한 것이며, 상기 액티브층(22)의 두께 차이($t_1 \neq t_2$)에 의해 상기 박막트랜지스터(Tr)의 특성 저하가 발생하고 있다.
- [0010] 도 2a 내지 도 2e는 종래의 어레이 기판의 제조 단계 중 반도체층과 소스 및 드레인 전극을 형성하는 단계를 도시한 공정 단면도이다.
- [0011] 우선, 도 2a에 도시한 바와 같이, 기판(11) 상에 금속물질을 증착하고 패터닝함으로써 일방향으로 연장하는 게이트 배선(미도시)과, 상기 게이트 배선(미도시)과 연결된 게이트 전극(미도시)을 형성한다. 이후, 상기 게이트 배선(미도시)과 게이트 전극(미도시) 위로 무기절연물질을 증착하여 전면에 게이트 절연막(미도시)을 형성한다.
- [0012] 다음, 상기 게이트 절연막(미도시) 위로 순수 비정질 실리콘층(20)을 형성하고 그 상부로 불순물 비정질 실리콘층(24)과 금속층(30)을 순차적으로 형성한다. 이후 상기 금속층(30) 위로 포토레지스트를 도포하여 포토레지스트층(미도시)을 형성하고, 이를 노광 마스크를 이용하여 노광하고, 연속하여 현상함으로써 상기 소스 및 드레인 전극이 형성될 부분에 대응하여 제 3 두께를 갖는 제 1 포토레지스트 패턴(91)을 형성하고, 동시에 상기 소스 및 드레인 전극 사이의 이격영역에 대응해서는 상기 제 3 두께보다 얇은 제 4 두께를 갖는 제 2 포토레지스트 패턴(92)을 형성한다.
- [0013] 다음, 도 2b에 도시한 바와 같이, 상기 제 1 및 제 2 포토레지스트 패턴(91, 92) 외부로 노출된 상기 금속층(도 2a의 30)과 그 하부의 불순물 및 순수 비정질 실리콘층(도 2a의 24, 20)을 식각하여 제거함으로써 최상부에 금속물질로서 소스 드레인 패턴(31)을 형성하고, 그 하부로 불순물 비정질 실리콘 패턴(25)과, 액티브층(22)을 형성한다.
- [0014] 다음, 도 2c에 도시한 바와 같이, 애싱(ashing)을 진행함으로써 상기 제 4 두께의 제 2 포토레지스트 패턴(도 2b의 92)을 제거한다. 이 경우 상기 제 1 두께의 제 1 포토레지스트 패턴(도 2b의 91)은 그 두께가 줄어든 상태로 제 3 포토레지스트 패턴(93)을 이루며 상기 소스 드레인 패턴(31) 상에 남아있게 된다.
- [0015] 다음, 도 2d에 도시한 바와 같이, 상기 제 3 포토레지스트 패턴(93) 외부로 노출된 상기 소스 드레인 패턴(도 2c의 31)을 식각하여 제거함으로써 서로 이격하는 소스 및 드레인 전극(36, 38)을 형성한다. 이때 상기 소스 및 드레인 전극(36, 398) 사이로 상기 불순물 비정질 실리콘 패턴(25)이 노출되게 된다.
- [0016] 다음, 도 2e에 도시한 바와 같이, 상기 소스 및 드레인 전극(36, 38) 사이의 이격영역에 노출된 상기 불순물 비정질 실리콘 패턴(도 2d의 25)에 대해 전식식각을 실시함으로써 상기 소스 및 드레인 전극(36, 38) 외부로 노출된 상기 불순물 비정질 실리콘 패턴(도 2d의 25)을 제거함으로써 서로 이격하는 오믹콘택층(26)을 상기 소스 및 드레인 전극(36, 38) 하부에 형성한다.
- [0017] 이때, 상기 전식식각은 상기 소스 및 드레인 전극(36, 38) 외부로 노출된 불순물 비정질 실리콘 패턴(도 2d의 25)을 완전히 없애기 위해 충분히 오랜시간 지속되며, 이러한 과정에서 상기 불순물 비정질 실리콘 패턴(도 2d의 25) 하부에 위치한 액티브층(22)까지도 상기 불순물 비정질 실리콘 패턴(도 2d의 25)이 제거되는 부분에 대해서는 소정 두께 식각이 발생하게 된다. 따라서 액티브층(22)에 있어 그 상부에 오믹콘택층(26)이 형성된 부분

과 노출된 부분에 있어 두께($t_1 \neq t_2$) 차이가 발생하게 된다. 상기 전식식각을 충분히 오랜시간 실시하지 않으면, 소스 및 드레인 전극(36, 38) 간의 이격영역에 있어 제거되어야 할 상기 불순물 비정질 실리콘 패턴(도 2d의 25)이 상기 액티브층(22) 상부에 남게되므로 이를 방지하기 위함이다.

[0018] 따라서, 전술한 종래의 어레이 기판(11)의 제조 방법에 있어서는 필연적으로 액티브층(22)의 두께 차이가 발생하게 되며, 이로 인해 박막트랜지스터(도 1의 Tr)의 특성 저하가 발생하게 된다.

[0019] 또한, 액티브층(22)이 오믹콘택층(26) 형성을 위한 전식식각 진행 시 식각되어 제거되는 두께까지 고려하여 1500Å 내지 1800Å정도의 두께를 갖도록 상기 액티브층(22)을 이루는 순수 비정질 실리콘층(도 2a의 20)을 충분히 두껍게 증착해야 하는 바, 재료비가 증가하고 증착시간이 늘어나 생산성을 떨어뜨리는 결과를 초래하고 있다.

[0020] 한편, 최근에는 박막트랜지스터의 반도체층을 순수 또는 불순물 비정질 실리콘 이외에 산화물 반도체 물질을 이용하여 형성하는 것이 개발되었다. 하지만, 이러한 산화물 반도체 물질을 이용한 반도체층을 구비한 박막트랜지스터의 경우, 산화물 반도체층과 접촉하는 물질층(통상적으로 산화실리콘 또는 질화실리콘의 무기질연물질로 이루어지는 보호층)과의 계면 특성이 좋지 않고, 상기 산화물 반도체층의 잊은 약액과의 접촉에 의한 표면 오염 발생으로 소자 특성이 급격히 변화되는 문제가 발생하고 있는 실정이다.

발명의 내용

해결 하고자하는 과제

[0021] 본 발명은 전술한 문제를 해결하기 위한 것으로, 액티브층이 전식식각에 노출되지 않음으로써 그 표면에 손상이 발생하지 않아 박막트랜지스터의 특성이 향상되는 어레이 기판의 제조 방법을 제공하는 것을 그 목적으로 한다.

[0022] 나아가 산화물 반도체 물질을 이용하여 이를 반도체층으로 갖는 박막트랜지스터가 보다 안정적인 소자 특성을 갖도록 하는 어레이 기판의 제조 방법을 제공하는 것을 또 다른 목적으로 한다.

과제 해결수단

[0023] 상기 목적을 달성하기 위한 본 발명의 실시예에 따른 어레이 기판은, 기판 상에 일방향으로 연장하며 형성된 게이트 배선과 상기 게이트 배선과 연결되며 형성된 게이트 전극과; 상기 게이트 배선 및 게이트 전극 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 제 1 두께의 산화물 반도체층과; 상기 산화물 반도체층 위로 제 2 두께를 가지며 형성된 보조패턴과; 상기 보조패턴 위로 상기 보조패턴의 중앙부를 노출시키며 서로 이격하여 형성된 소스 및 드레인 전극과; 상기 게이트 절연막 위로 상기 소스 전극과 연결되며 상기 게이트 배선과 교차하며 형성된 데이터 배선과; 상기 소스 및 드레인 전극과 데이터 배선 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 구비하며 형성된 보호층과; 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 형성된 화소전극을 포함하며, 상기 보조패턴은 상기 소스 및 드레인 전극과 접촉하는 제 1 영역과, 상기 소스 및 드레인 전극 사이로 노출되는 중앙부의 제 2 영역으로 나뉘며, 상기 제 1 영역은 티타늄 또는 티타늄 합금으로 이루어져 오믹콘택층을 이루며, 상기 제 2 영역은 상기 티타늄 또는 티타늄 합금이 완전 산화되어 절연특성을 갖는 티타늄 산화막을 이루는 것이 특징이다.

[0024] 이때, 상기 산화물 반도체층은 a-IGZO(amorphous-Indium Gallium Zinc Oxide) 또는 ZTO(Zinc Tin Oxide) 인 것이 바람직하다.

[0025] 또한, 상기 제 1 두께는 500Å 내지 1000Å이고, 상기 제 2 두께는 50Å 내지 500Å인 것이 바람직하다.

[0026] 본 발명의 실시예에 따른 어레이 기판의 제조 방법은, 화소영역과 상기 화소영역 내에 스위칭 영역을 갖는 기판 위로, 일방향으로 연장하는 게이트 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 배선과 게이트 전극 위로 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 화소영역의 경계에 상기 게이트 배선과 교차하는 데이터 배선을 형성하고, 상기 스위칭 영역에 상기 게이트 절연막 위로 순차 적층된 형태로 제 1 두께의 산화물 반도체층과 제 2 두께를 가지며 티

타늄 또는 티타늄 합금으로 이루어진 보조패턴을 형성하고 동시에 상기 보조패턴 위로 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 사이로 노출된 상기 보조패턴 부분을 완전 산화시켜 절연특성을 갖는 티타늄 산화막을 형성하는 단계와; 상기 티타늄 산화막과 소스 및 드레인 전극과 데이터 배선 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와; 상기 보호층 위로 각 화소영역에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함한다.

[0027] 이때, 상기 데이터 배선과, 순차 적층된 상기 산화물 반도체층과 보조패턴과 소스 및 드레인 전극을 형성하는 단계는, 상기 게이트 절연막 위로 전면에 스퍼터닝을 통해 순차적으로 산화물 반도체 물질층과, 티타늄 또는 티타늄 합금으로 이루어진 보조물질층과, 금속층을 형성하는 단계와; 상기 제 1 금속층 위로 제 3 두께를 갖는 제 1 포토레지스트 패턴과, 상기 제 3 두께보다 얇은 제 4 두께를 갖는 제 2 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토레지스트 패턴 외부로 노출된 상기 금속층과, 그 하부의 상기 보조물질층과 상기 산화물 반도체 물질층 제거함으로써 상기 게이트 절연막 위로 상기 데이터 배선을 형성하고, 상기 스위칭 영역에 연결된 상태의 소스 드레인 패턴과, 그 하부로 순차적으로 상기 보조패턴과 상기 산화물 반도체층을 형성하는 단계와; 상기 제 2 포토레지스트 패턴을 애싱(ashing)을 통해 제거함으로써 상기 소스 드레인 패턴의 중앙부를 노출시키는 단계와; 상기 제 2 포토레지스트 패턴이 제거됨으로써 노출된 상기 소스 드레인 패턴의 중앙부를 습식식각을 진행하여 제거함으로써 서로 이격하는 소스 및 드레인 전극을 형성하며, 상기 보조패턴의 중앙부를 노출시키는 단계와; 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함한다.

[0028] 또한, 상기 데이터 배선과, 순차 적층된 상기 산화물 반도체층과 보조패턴과 소스 및 드레인 전극을 형성하는 단계는, 상기 게이트 절연막 위로 전면에 스퍼터닝을 통해 순차적으로 산화물 반도체 물질층과, 티타늄 또는 티타늄 합금으로 이루어진 보조물질층을 형성하는 단계와; 상기 보조물질층과 그 하부의 상기 산화물 반도체 물질층을 패터닝하여 상기 스위칭 영역에 상기 게이트 절연막 위로 아일랜드 형태로 순차 적층된 상기 산화물 반도체층과 보조패턴을 형성하는 단계와; 상기 보조패턴 위로 기판 전면에 금속층을 형성하는 단계와; 상기 금속층을 패터닝하여 상기 게이트 절연막 위로 상기 데이터 배선을 형성하고, 상기 스위칭 영역에 상기 보조패턴 위로 서로 이격하는 소스 및 드레인 전극을 형성하며 상기 보조패턴의 중앙부를 노출시키는 단계를 포함한다.

[0029] 또한, 상기 보조패턴 부분을 완전 산화시켜 절연특성을 갖는 티타늄 산화막을 형성하는 단계는, 상기 소스 및 드레인 전극 사이로 상기 보조패턴이 노출된 기판을 산소(O_2) 가스 분위기를 갖는 진공의 챔버 내에서 플라즈마 처리를 실시하거나, 또는 300°C 내지 400°C 온도 분위기를 갖는 오븐 또는 퍼나스(furnace) 내에서 수십 초 내지 수십 분간 열처리를 실시하는 것이 특징이다.

[0030] 상기 산화물 반도체층은 a-IGZO(amorphous-Indium Gallium Zinc Oxide) 또는 ZTO(Zinc Tin Oxide)로 형성하며, 상기 제 1 두께는 500Å 내지 1000Å이고, 상기 제 2 두께는 50Å 내지 500Å인 것이 바람직하다.

효과

[0031] 이와 같이, 본 발명에 따른 어레이 기판 제조방법에 의해 산화물 반도체층이 건식식각에 노출되지 않음으로써 그 표면 손상이 발생하지 않아 박막트랜지스터 특성이 저하되는 것을 방지하는 효과가 있다.

[0032] 산화물 반도체층이 건식식각에 영향을 받지 않게 되므로 식각되어 없어지는 두께를 고려하지 않아도 되므로 상기 산화물 반도체층의 두께를 줄임으로써 재료 낭비를 막고, 증착 시간을 단축시켜 생산성을 향상시키는 효과가 있다.

[0033] 나아가 산화물 반도체 물질로 이루어진 반도체층이 식각액 등에 노출되는 것을 최소화하고, 스터터링에 의해 증착 형성되는 티탄늄 또는 티타늄 합금으로 이루어진 오믹콘택층 및 상기 티타늄 또는 티타늄 합금이 산화되어 형성된 것을 특징으로 하는 산화막을 상기 소스 및 드레인 전극 사이로 노출된 산화물 반도체층과 접촉하도록 형성함으로써 박막트랜지스터가 안정적인 소자 특성을 갖도록 하는 장점을 갖는다.

발명의 실시를 위한 구체적인 내용

[0034] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.

- [0035] 도 3a 내지 도 3j는 본 발명의 실시예에 따른 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도이다. 이때, 설명의 편의를 위해 각 화소영역(P) 내의 게이트 및 데이터 배선과 연결되는 박막트랜지스터가 형성될 부분을 스위칭 영역(TrA)이라 정의한다.
- [0036] 우선, 도 3a에 도시한 바와 같이, 투명한 절연기판(101) 예를들어 유리 또는 플라스틱으로 이루어진 기판(101) 상에 제1금속물질 예를들면 구리(Cu), 구리 합금(AlNd), 알루미늄(Al) 및 알루미늄 합금(AlNd) 중 선택된 하나 또는 둘 이상의 물질을 증착함으로써 단일층 또는 이중층 구조를 갖는 제 1 금속층(미도시)을 형성한다.
- [0037] 다음, 상기 제 1 금속층(미도시)을 포토레지스트의 도포, 노광 마스크를 이용한 노광, 노광된 포토레지스트의 현상 및 식각 등 일련의 단위 공정을 포함하는 마스크 공정을 진행하여 패터닝함으로써 화소영역(P)의 경계에 일방향으로 연장하는 게이트 배선(미도시)을 형성하고, 동시에 상기 스위칭 영역(TrA)에 상기 게이트 배선(미도시)과 연결된 게이트 전극(108)을 형성한다.
- [0038] 이후, 상기 게이트 배선(미도시)과 게이트 전극(108) 위로 무기절연물질 예를들면 산화실리콘(SiO₂) 또는 질화실리콘(SiNx)을 화학기상증착(Chemical Vapor Deposition :CVD) 장비를 통해 증착함으로써 전면에 게이트 절연막(112)을 형성한다.
- [0039] 다음, 도 3b에 도시한 바와같이, 상기 게이트 절연막(112) 위로 산화물 반도체 물질 예를들면 a-IGZO(amorphous-Indium Gallium Zinc Oxide) 또는 ZTO(Zinc Tin Oxide)를 스퍼터링(sputtering)을 통해 증착함으로써 전면에 산화물 반도체 물질층(118)을 형성한다. 이때 상기 산화물 반도체 물질층(118)의 두께는 500Å 내지 1000Å 정도인 것이 바람직하다.
- [0040] 다음, 산화물 반도체 물질층(118) 위로 티타늄(Ti) 또는 티타늄 합금을 스퍼터링(sputtering)을 통해 증착함으로써 50Å 내지 500Å 정도의 두께를 갖는 보조물질층(122)을 형성한다. 이때 상기 보조물질층(122)은 티타늄(Ti) 또는 티타늄 합금으로 이루어짐으로써 상기 산화물 반도체 물질층(118)과 접촉하여 오믹(ohmic) 특성을 갖는 것이 특징이며, 나아가 산소(O₂) 플라즈마 공정 진행에 의해 절연 특성을 갖는 산화막(도 3h의 126)으로 변형 될 수 있는 것이 특징이다.
- [0041] 다음, 도 3c에 도시한 바와 같이, 상기 보조물질층(122) 위로 제 2 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 몰리브덴(Mo), 크롬(Cr) 중 하나를 스퍼터링(sputtering)을 통해 증착함으로써 제 2 금속층(128)을 형성한다.
- [0042] 이후, 도 3d에 도시한 바와같이, 상기 제 2 금속층(128) 위로 포토레지스트를 도포하여 포토레지스트층(미도시)을 형성하고, 상기 포토레지스트층(미도시)에 대해 빛의 투과영역과 차단영역, 그리고 슬릿형태로 구성되거나 또는 다중의 코팅막을 더욱 구비하여 통과되는 빛량을 조절함으로써 그 빛 투과도가 상기 투과영역보다는 작고 상기 차단영역보다는 큰 반투과영역으로 구성된 노광 마스크(미도시)를 이용하여 회절노광 또는 하프톤노광을 실시한다.
- [0043] 다음, 상기 노광된 포토레지스트층(미도시)을 현상함으로써 상기 제 2 금속층(128) 위로 데이터 배선(도 3e의 132)이 형성될 부분과, 스위칭 영역(TrA)에 있어 서로 이격하는 소스 및 드레인 전극(도 3f의 135, 138)이 형성될 부분에 대응해서는 제 1 두께의 제 1 포토레지스트 패턴(191a)을 형성하고, 상기 소스 및 드레인 전극(도 3f의 135, 138) 사이의 이격영역을 이루게 될 부분에 대응해서는 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴(191b)을 형성한다. 이때, 그 이외의 영역에 대응해서는 상기 포토레지스트층(미도시)은 제거되어 상기 제 2 금속층(128)을 노출시키는 상태가 된다.
- [0044] 다음, 도 3e에 도시한 바와 같이, 상기 제 1 및 제 2 포토레지스트 패턴(191a, 191b) 외부로 노출된 제 2 금속층(도 3d의 128)과 그 하부에 위치한 보조물질층(도 3d의 122) 및 산화물 반도체 물질층(도 3d의 118)을 순차적으로 식각하여 제거함으로써 상기 게이트 절연막(112) 위로 상기 화소영역(P)의 경계에 상기 게이트 배선(미도시)과 교차하여 상기 화소영역(P)을 정의하는 데이터 배선(132)을 형성하고, 상기 각 스위칭 영역(TrA)에는 서로 동일한 형태를 가지고 순차 중첩된 형태로 상기 데이터 배선(132)과 연결된 상태의 소스 드레인 패턴(129)과 그 하부로 보조패턴(123) 및 산화물 반도체층(119)을 형성한다. 이때 상기 제 2 금속층(도 3d의 128)과 보조물질층(도 3d의 122) 및 상기 산화물 반도체 물질층(도 3d의 118)은 서로 다른 식각액을 이용하여 습식식각을 실시함으로써 패터닝 할 수 있으며, 특히 상기 보조물질층(도 3d의 122)은 식각액의 사용없이 건식식각을 진행하여 패터닝 할 수도 있다.

- [0045] 한편, 전술한 바와 같은 공정 특성상 상기 데이터 배선(132) 하부에도 순차 적층된 형태로 각각 상기 소스 드레인 패턴(129) 하부에 형성된 상기 보조패턴(123)을 이루는 동일한 물질로 제 1 더미패턴(124)과, 상기 산화물 반도체층(119)을 이루는 동일한 물질로써 제 2 더미패턴(120)이 형성된다.
- [0046] 다음, 도 3f에 도시한 바와 같이, 상기 소스 드레인 패턴(129)과 데이터 배선(132)이 형성된 기판(101)에 대해 애싱(ashing)을 진행하여 상기 제 2 두께를 갖는 제 2 포토레지스트 패턴(도 3e의 191b)을 제거함으로써 상기 스위칭 영역(TRA)에 있어 상기 소스 드레인 패턴(도 3e의 129)의 중앙부를 노출시킨다. 이때, 상기 애싱(ashing) 진행에 의해 상기 제 1 포토레지스트 패턴(191a)은 그 두께가 줄어들지만 여전히 상기 소스 드레인 패턴(도 3e의 129) 및 데이터 배선(132) 상에 남아있게 된다.
- [0047] 다음, 도 3g에 도시한 바와 같이, 상기 제 1 포토레지스트 패턴(191a) 사이로 노출된 상기 소스 드레인 패턴(도 3f의 129)에 대해 습식식각을 진행하여 제거함으로써 서로 이격하는 소스 및 드레인 전극(135, 138)을 형성한다. 이때 상기 소스 전극(135)은 상기 데이터 배선(132)과 연결된 상태가 되며, 상기 서로 이격하는 소스 및 드레인 전극(135, 138) 사이로 상기 보조패턴(123)의 일부가 노출되게 된다.
- [0048] 이때 설명의 편의를 위해 상기 보조패턴(123) 중 상기 소스 및 드레인 전극(135, 138)에 의해 가려진 부분을 제 1 보조패턴(123a), 상기 소스 및 드레인 전극(135, 138) 사이로 노출된 부분을 제 2 보조패턴(123b)이라 정의한다.
- [0049] 이 경우, 상기 소스 및 드레인 전극(135, 138) 사이로 노출된 상기 제 2 보조패턴(123b)은 상기 소스 드레인 패턴(도 3f의 129)의 식각 진행시 상기 산화물 반도체층(119)의 에치스톱퍼(etch stopper)로서의 역할을 하게 되는 것이 특징이다. 따라서, 상기 소스 및 드레인 전극(135, 138) 패터닝 시 상기 산화물 반도체층(119)은 상기 제 2 보조패턴(123b)에 의해 덮혀있는 상태가 되므로 식각액에 노출되지 않음으로써 표면 오염 또는 상기 식각액에 의한 표면 식각 등이 발생하지 않는 것이 특징이다.
- [0050] 다음, 도 3h에 도시한 바와 같이, 상기 소스 및 드레인 전극(135, 138)과 제 1 및 제 2 보조패턴(도 3g의 123a, 123b)이 형성된 기판(101)에 대해 스트립(strip)을 진행함으로써 상기 데이터 배선(132)과 소스 및 드레인 전극(135, 138) 상부에 남아있는 상기 제 1 포토레지스트 패턴(도 3g의 191a)을 제거한다.
- [0051] 이후, 상기 제 1 포토레지스트 패턴(도 3g의 191a)이 제거됨으로써 소스 및 드레인 전극(135, 138)이 노출된 기판(101)에 대해 상기 소스 및 드레인 전극(135, 138) 사이로 노출된 상기 티타늄(Ti) 또는 티타늄 합금으로 이루어진 상기 제 2 보조패턴(도 3g의 123b)의 특성 변경을 위한 공정을 진행한다.
- [0052] 즉, 상기 소스 및 드레인 전극(135, 138) 사이로 노출된 상기 제 2 보조패턴(도 3g의 123b) 부분이 절연특성을 갖는 산화막(126)을 이루도록 하기 위해 산소(O_2) 가스 분위기를 갖는 진공의 챔버(미도시) 내에서 플라즈마 처리를 실시하거나 또는 300°C 내지 400°C 온도 분위기를 갖는 오븐 또는 퍼나스(furnace) 내에서 수십 초 내지 수십 분간 열처리를 실시한다.
- [0053] 이러한 산소(O_2) 플라즈마 공정 또는 열처리 공정 진행에 의해 상기 소스 및 드레인 전극(135, 138) 사이로 노출된 부분의 티타늄(Ti) 또는 티타늄 합금으로 이루어진 상기 제 2 보조패턴(도 3g의 123b)은 산화티타늄(TiO_x)으로 변화됨으로써 절연특성을 갖는 산화막(126)을 이루게 된다. 이때 전술한 바와 같은 공정 진행에 의해 형성된 상기 산화막(126)은 상기 소스 및 드레인 전극(135, 138) 사이에 위치하는 산화물 반도체층(119)과 직접 접촉하며 형성됨으로써 상기 산화물 반도체층(119)의 보호하는 역할을 하는 동시에 화학기상증착(CVD)에 의해 형성되는 일반적인 산화막과의 접촉시보다 계면 특성을 향상시키는 것이 특징이다.
- [0054] 상기 소스 및 드레인 전극(135, 138)에 의해 가려진 상기 제 1 보조패턴(도 3g의 123a)은 상기 산소(O_2) 플라즈마 공정을 진행하는 경우 상기 산소(O_2) 플라즈마에 노출되지 않고, 열처리 공정을 진행하여도 일반 대기 더욱 정화하는 대기 중의 산소(O_2)와 접촉하지 않음으로써 티타늄(Ti) 또는 티타늄 합금의 상태를 유지하게 된다. 이 경우 상기 티타늄(Ti) 또는 티타늄 합금 상태를 유지하는 상기 제 1 보조패턴(도 3g의 123a)은 상기 산화물 반도체층(119)과 소스 및 드레인 전극(135, 138) 사이에 위치하여 오믹콘택층(125)을 이루게 된다.
- [0055] 한편, 상기 보조패턴(도 3g의 123)의 두께를 50Å 내지 500Å 정도의 두께를 갖도록 형성한 이유는 상기 산소(O_2) 플라즈마 공정 또는 열처리 공정에 의해 산화막(126)으로 용이하게 변화될 수 있도록 하기 위함이다. 이보다 두꺼운 두께를 갖게되면 산소(O_2) 플라즈마에 노출된다 하더라도 최하부는 티타늄 산화막(TiO_x)으로 변화되지 않거나 또는 티타늄 산화막(TiO_x)으로 변화된다 하더라도 그 시간이 오래 걸리기 때문이다.

[0056] 더욱이 상기 소스 및 드레인 전극(135, 138)과 산화물 반도체층(119)과 동시에 중첩하는 상기 제 1 보조패턴(도 3g의 123a)은 오믹콘택층(125)을 이루어야 하는데, 이보다 더 두꺼운 두께를 갖거나 또는 이보다 얇은 두께를 갖도록 형성하는 경우 오믹콘택층(125)으로서의 역할 수행 능력이 떨어지므로 적절한 두께를 갖도록 하여 이러한 문제를 방지하기 위해 상기 보조패턴(도 3g의 123)은 그 두께를 50Å 내지 500Å 정도가 되도록 한 것이다.

[0057] 한편, 전술한 바와같은 일련의 공정을 진행하는 과정에서 산화물 반도체 물질로 이루어진 상기 산화물 반도체층(119) 중 특히 채널이 형성되는 소스 및 드레인 전극(135, 138) 사이에 위치하는 부분은 상기 소스 및 드레인 전극(135, 138) 패터닝을 위한 식각액에 노출되지 않으며, 본 발명의 공정 특성상 종래와 같이 서로 이격하는 오믹콘택층 형태를 이루기 위한 상기 오믹콘택층 자체의 패터닝 공정은 진행하지 않으므로 스위칭 영역(TrA) 전역에 걸쳐 일정한 두께를 이루게 된다. 따라서, 그 표면이 식각되는 등의 문제가 발생하지 않으므로 이를 구비한 박막트랜지스터(Tr)가 기판(101) 전면에 있어서 일정한 소자특성을 갖게 된다.

[0058] 또한, 상기 산화물 반도체층(119)과 직접 접촉하는 상기 산화막(126)은 상기 산화물 반도체 물질층(도 3c의 118)을 형성하고 나서, 여타의 약액파의 접촉없이 바로 상기 산화물 반도체 물질층(도 3c의 118) 위로 티타늄(Ti) 또는 티타늄 합금을 스퍼터링에 의해 형성함으로써 보조물질층(도 3c의 122)을 형성한 후, 이에 대해 산소(O₂) 플라즈마 공정 또는 열처리 공정을 진행하여 형성한 것이다. 따라서 본 발명에 따른 어레이 기판(101)은 상기 산화물 반도체층(119)과 상기 산화막(126)은 짧은 시간내에 연속하여 형성됨으로서 상기 산화물 반도체층(119)의 표면이 대기 중에 노출됨에 의한 표면 오염을 최소하였다.

[0059] 또한, 상기 산화물 반도체층(119)과 산화막(126)은 모두 스퍼터링을 통해 형성됨으로써 이들 두 물질층 간의 그 계면특성이 무기절연물질 예를들면 산화실리콘(SiO₂) 또는 질화실리콘(SiNx)을 화학기상증착 하여 형성한 절연막(보호층)과 접촉하는 종래의 어레이 기판의 산화물 반도체층과 절연막과의 계면특성보다 우수하여 보다 안정적인 소자 특성을 확보할 수 있다.

[0060] 또한, 상기 산화물 반도체층(119)은 그 표면에서 식각이 발생할 여지가 없으므로 종래와 같이 식각될 두께를 감안하여 1500Å 내지 1800Å 정도의 두께를 갖도록 형성할 필요없이 채널이 형성되는 액티브층으로서의 역할이 가능한 최적의 두께인 500Å 내지 1000Å 정도가 되도록 형성함으로써 재료 낭비를 줄이며 나아가 증착 시간을 줄일 수 있는 부가적인 효과를 얻을 수 있다.

[0061] 전술한 단계까지의 공정 진행에 의해 상기 스위칭 영역(TrA)에 순차 적층된 상기 게이트 전극(108)과, 게이트 절연막(112)과, 산화물 반도체층(119)과, 오믹콘택층(125)과, 서로 이격하는 소스 및 드레인 전극(135, 138)과 산화막(126)은 박막트랜지스터(Tr)를 이룬다.

[0062] 한편, 도면에 나타내지 않았지만, 상기 어레이 기판(101)이 유기전계 발광소자용 어레이 기판으로 이용되는 경우, 상기 데이터 배선(132)과 나란하게 상기 게이트 절연막(112) 위로 상기 데이터 배선(132)과 소정간격 이격하며 전원배선(미도시)이 더욱 형성될 수 있으며, 각 화소영역(P) 내에는 전술한 게이트 배선(미도시) 및 데이터 배선(132)과 연결된 상기 박막트랜지스터(Tr) 이외에 이와 동일한 구조를 가지며 상기 전원배선(미도시)과 상기 박막트랜지스터(Tr)와 연결된 적어도 하나의 구동 박막트랜지스터(미도시)가 상기 화소영역(P) 내에 더욱 형성될 수도 있다.

[0063] 다음, 도 3i에 도시한 바와 같이, 상기 소스 및 드레인 전극(135, 138)과 데이터 배선(132) 및 산화막(126) 위로 전면에 무기절연물질 예를들면 산화실리콘(SiO₂) 또는 질화실리콘(SiNx)을 증착하거나, 또는 유기절연물질 예를들어, 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포함으로써 전면에 보호층(140)을 형성하고, 이에 대해 마스크 공정을 진행하여 패터닝함으로써 상기 각 화소영역(P) 내의 상기 드레인 전극(138)의 일부를 노출시키는 드레인 콘택홀(143)을 형성한다.

[0064] 다음, 도 3j에 도시한 바와 같이, 상기 드레인 콘택홀(143)이 구비된 보호층(140) 위로 투명 도전성 물질 예를들면 금속물질 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면에 증착하여 투명 도전성 물질층(미도시)을 형성하고, 이를 마스크 공정을 진행하여 패터닝함으로써 상기 화소영역(P)별로 상기 드레인 콘택홀(143)을 통해 상기 드레인 전극(138)과 접촉하는 화소전극(150)을 형성함으로써 본 발명의 실시예에 따른 어레이 기판(101)을 완성한다.

[0065] 한편, 상기 각 화소영역(P)에 구동 박막트랜지스터(미도시)가 형성되는 경우, 상기 스위칭 영역(TrA)에 형성되는 박막트랜지스터(Tr)는 상기 화소전극(150)과 접촉하지 않고, 대신 상기 구동 박막트랜지스터(미도시)

의 드레인 전극(미도시)이 상기 화소전극(150)과 상기 구동 박막트랜지스터(미도시)의 드레인 전극(미도시)을 노출시키며 형성된 드레인 콘택홀(미도시)을 통해 접촉하여 전기적으로 연결되도록 형성한다. 이때 상기 스위칭 영역(TrA)에 형성된 박막트랜지스터(Tr)는 상기 드레인 콘택홀(143)이 형성되지 않고 보호층(150)에 의해 완전히 덮힌 형태가 된다. 또한, 상기 스위칭 영역(TrA)의 박막트랜지스터(Tr)와 상기 구동 박막트랜지스터(미도시)는 서로 전기적으로 연결되도록 구성한다. 이렇게 스위칭 영역(TrA)에 상기 게이트 및 데이터 배선(미도시, 132)과 연결된 박막트랜지스터(Tr)와 화소영역(P)에 구동 박막트랜지스터(미도시)가 형성되는 어레이 기판의 경우 유기전계 발광 소자용 어레이 기판(미도시)을 이루게 된다.

[0066]

[0067] 한편, 전술한 실시예의 경우, 산화물 반도체 물질층과, 보조물질층과, 제 2 금속물질층을 하프톤 노광 또는 회절노광을 포함하는 1회의 마스크 공정을 포함하여 총 4회의 마스크 공정을 통해 어레이 기판을 제조하는 것을 보이고 있지만, 그 변형예로서 5마스크 공정에 의해 제조할 수도 있다.

[0068] 이후 실시예와 차별점 있는 부분에 대해서만 간단히 설명한다.

[0069] 도 4a 내지 도 4e는 본 발명의 변형예에 따른 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도이다.

[0070] 이때, 상기 실시예와 동일한 구성요소에 대해서는 100을 더하여 도면부호를 부여하였다.

[0071] 우선, 도 4a에 도시한 바와 같이, 절연기판(201) 상에 제 1 실시예에 언급한 제 1 금속물질을 증착하여 제 1 금속층(미도시)을 형성하고 이를 패터닝함으로써 게이트 전극(208) 및 게이트 배선(미도시)과, 이들 두 구성요소 상부로 전면에 게이트 절연막(212)을 형성한다.

[0072] 이후, 상기 게이트 절연막(212) 위로 스퍼터링을 실시하여 실시예에서 언급한 산화물 반도체 물질 중 하나를 증착함으로써 500Å 내지 1000Å의 두께를 갖는 산화물 반도체 물질층(218)을 형성하고, 연속하여 스퍼터링을 실시하여 티타늄(Ti) 또는 티타늄 합금을 증착함으로써 상기 산화물 반도체 물질층(218) 상부에 50Å 내지 500Å의 두께를 갖는 보조물질층(222)을 형성한다.

[0073] 다음, 도 4b에 도시한 바와 같이, 상기 보조물질층(222)을 마스크 공정을 통해 패터닝함으로써 스위칭 영역(TrA)에 보조패턴(223)을 형성한다. 연속하여 상기 보조패턴(223) 외부로 노출된 상기 산화물 반도체 물질층(도 4a의 218)을 식각하여 제거함으로써 상기 스위칭 영역(TrA)에 아일랜드 형태의 산화물 반도체층(219)을 형성한다. 이때 상기 보조패턴(223)과 상기 산화물 반도체층(219)은 동일한 형태로 중첩되며 스위칭 영역(TrA)에만 형성되게 된다.

[0074] 다음, 도 4c에 도시한 바와 같이, 상기 보조패턴(223) 위로 전술한 제 2 금속물질을 증착하여 제 2 금속층(미도시)을 형성하고, 이를 마스크 공정을 진행하여 패터닝함으로써 각 화소영역(P)의 경계에 상기 게이트 배선(미도시)과 교차하는 데이터 배선(232)을 형성하고, 동시에 상기 스위칭 영역(TrA)에는 상기 보조패턴(223) 위로 서로 이격하는 소스 및 드레인 전극(235, 238)을 형성한다. 이러한 변형예의 경우, 상기 데이터 배선(232)의 하부에는 실시예에서와 같은 제 1 및 제 2 더미패턴은 형성되지 않게 된다.

[0075] 한편, 설명의 편의를 위해 상기 보조패턴(223) 중 상기 소스 및 드레인 전극(235, 238)에 의해 가려진 부분을 제 1 보조패턴(223a), 상기 소스 및 드레인 전극(235, 238) 사이로 노출된 부분을 제 2 보조패턴(223b)이라 정의한다.

[0076] 다음, 도 4d에 도시한 바와 같이, 상기 소스 및 드레인 전극(235, 238) 사이로 노출된 상기 제 2 보조패턴(도 4c의 223b)에 대해 산소(O₂) 플라즈마 공정을 진행하거나 또는 300°C 내지 400°C 온도 분위기를 갖는 오븐 또는 퍼나스(Furnace) 내에서 수십 초 내지 수십 분간 열처리 공정을 진행함으로써 절연특성을 갖는 티타늄 산화막(226)으로 변형시킨다. 이때, 소스 및 드레인 전극(235, 238) 하부로 티타늄 산화막(226)으로 변화되지 않은 제 1 보조패턴(도 4c의 223a) 부분은 오믹콘택층(225)을 이루게 된다.

[0077] 이후, 도 4e에 도시한 바와 같이, 상기 소스 및 드레인 전극(235, 238)과 데이터 배선(232)과 산화막(226) 상부로 무기절연물질을 증착하거나, 또는 유기절연물질을 도포함으로써 전면에 보호층(240)을 형성하고, 이에 대해 마스크 공정을 진행하여 패터닝함으로써 상기 각 화소영역(P) 내의 상기 드레인 전극(238)의 일부를 노출시키는 드레인 콘택홀(243)을 형성한다.

[0078] 다음, 상기 드레인 콘택홀(243)이 구비된 보호층(240) 위로 투명 도전성 물질을 전면에 증착하여 투명

도전성 물질층(미도시)을 형성하고, 이를 마스크 공정을 진행하여 패터닝함으로써 상기 화소영역(P)별로 상기 드레인 콘택홀(243)을 통해 상기 드레인 전극(238)과 접촉하는 화소전극(250)을 형성함으로써 본 발명의 변형예에 따른 어레이 기판(201)을 완성한다.

[0079] 전술한 본 발명의 변형예에서 보인 바와 같이 제작된 어레이 기판(201)도 상기 스위칭 영역(TrA)에 형성된 산화물 반도체층(219)은 상기 소스 및 드레인 전극(235, 238) 패터닝을 위한 식각액에 노출되지 않으며, 공정 특성상 종래와 같이 서로 이격하는 오믹콘택층 형성을 위한 상기 오믹콘택층 자체의 패터닝 공정은 진행하지 않으므로 스위칭 영역(TrA) 전면에 걸쳐 일정한 두께를 이루게 된다. 따라서, 상기 산화물 반도체층(219)은 그 표면이 식각되는 등의 문제가 발생하지 않으므로 이를 구비한 박막트랜지스터(Tr)가 기판(201) 전면에 있어서 일정한 소자특성을 갖게 된다.

도면의 간단한 설명

[0080] 도 1은 액정표시장치 또는 유기전계 발광소자를 구성하는 종래의 어레이 기판에 있어 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 단면을 도시한 도면.

[0081] 도 2a 내지 도 2e는 종래의 어레이 기판의 제조 단계 중 반도체층과 소스 및 드레인 전극을 형성하는 단계를 도시한 제조 공정 단면도.

[0082] 도 3a 내지 도 3j는 본 발명의 실시예에 따른 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.

[0083] 도 4a 내지 도 4e는 본 발명의 실시예의 변형예에 따른 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.

[0084] < 도면의 주요 부분에 대한 부호의 설명 >

[0085] 101 : 기판 108 : 게이트 전극

[0086] 112 : 게이트 절연막 119 : 산화물 반도체층

[0087] 120 : 제 2 더미패턴 124 : 제 1 더미패턴

[0088] 125 : 오믹콘택층 126 : (티타늄)산화막

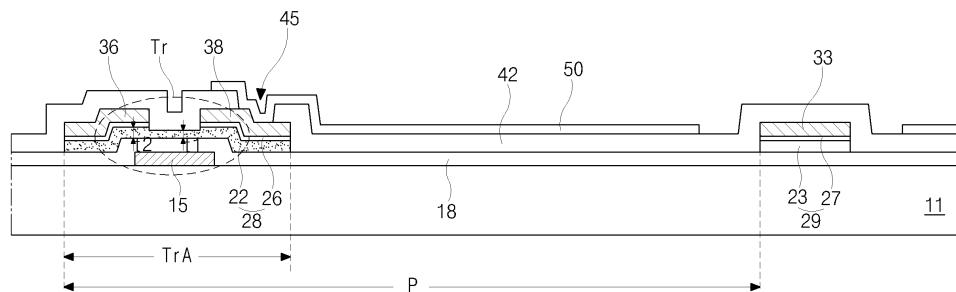
[0089] 132 : 데이터 배선 135 : 소스 전극

[0090] 138 : 드레인 전극 P : 화소영역

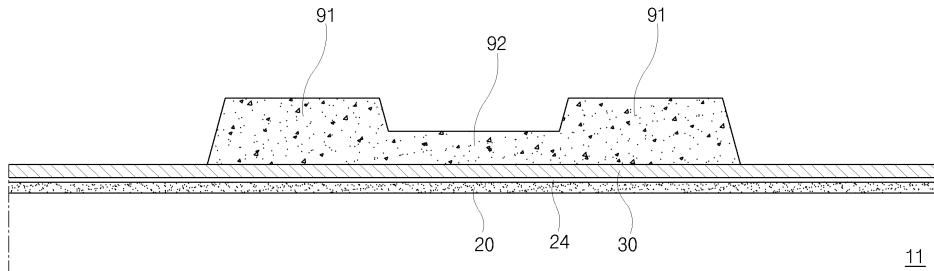
[0091] Tr : 박막트랜지스터 TrA : 스위칭 영역

도면

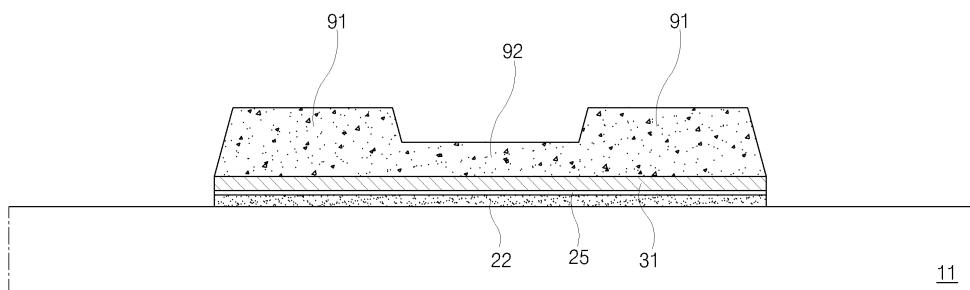
도면1



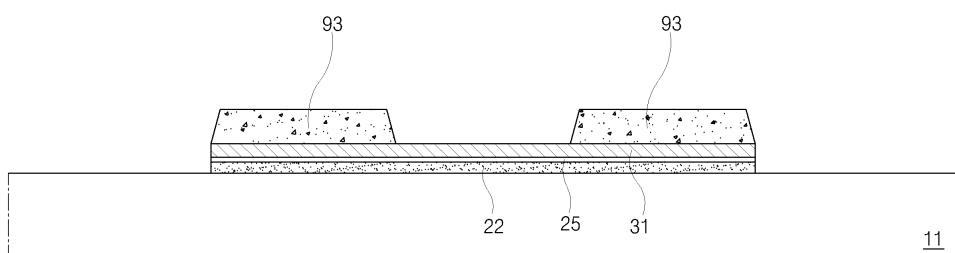
도면2a



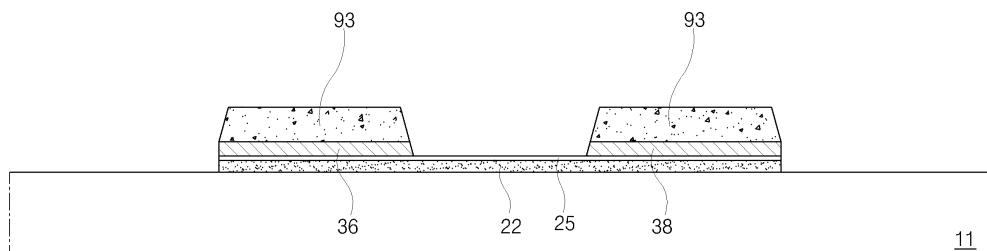
도면2b



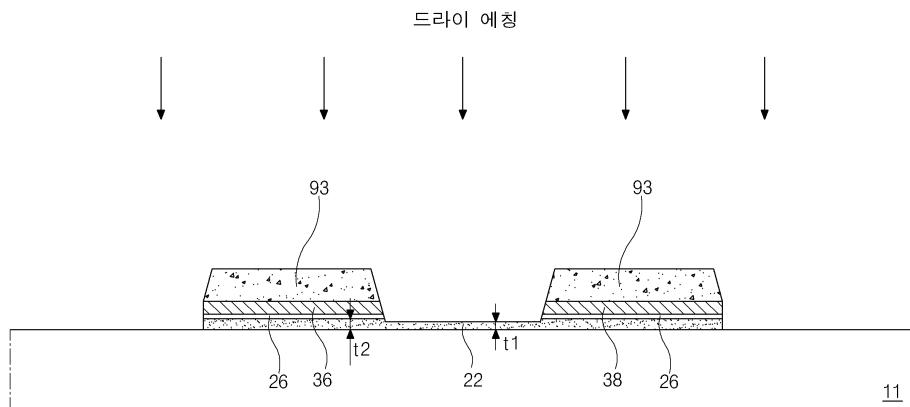
도면2c



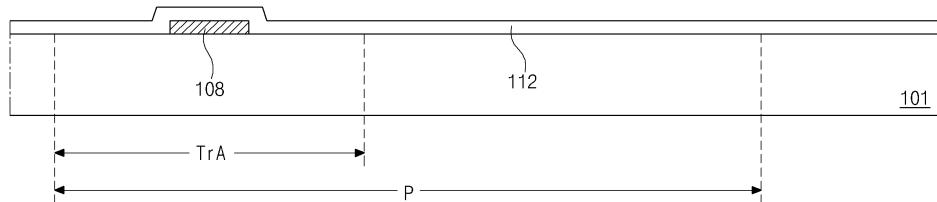
도면2d



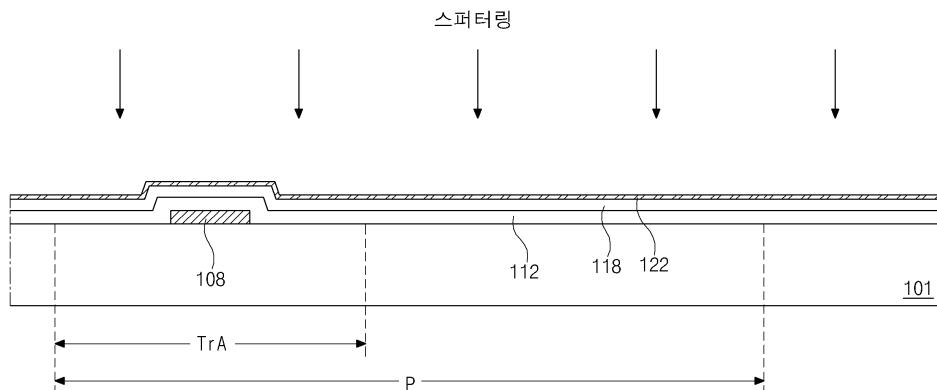
도면2e



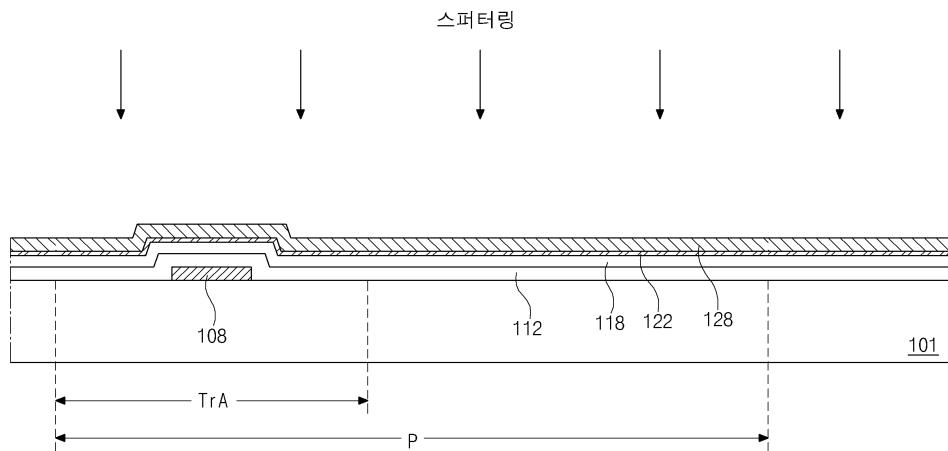
도면3a



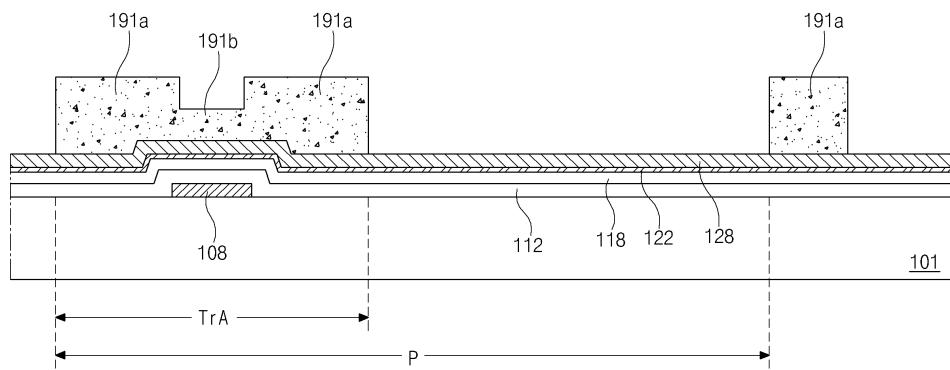
도면3b



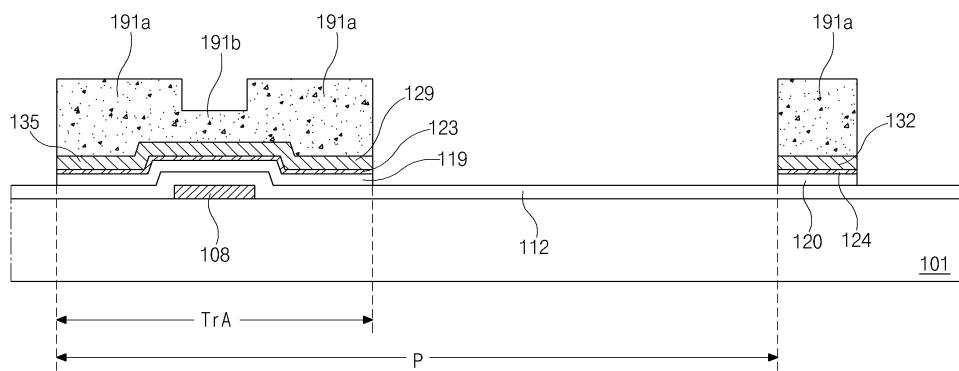
도면3c



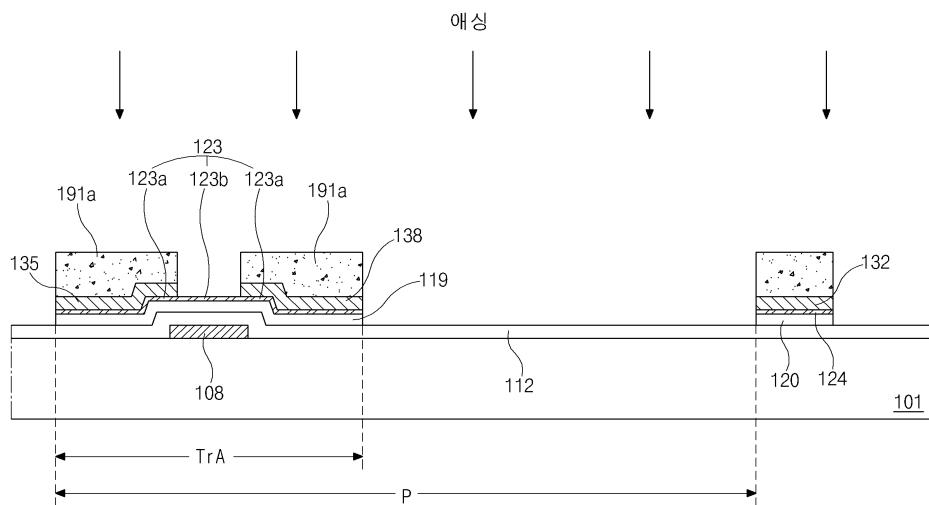
도면3d



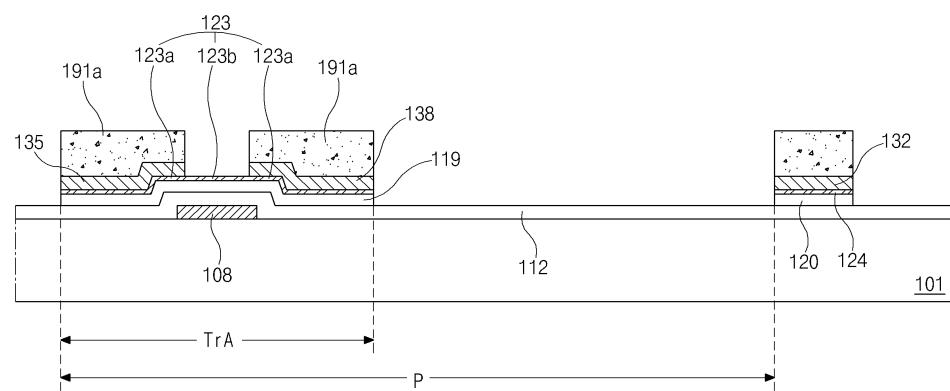
도면3e



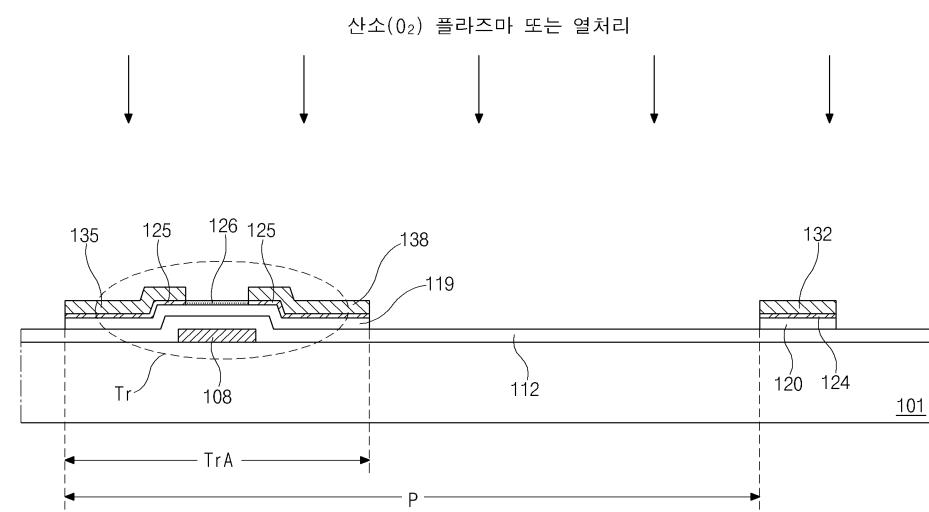
도면3f



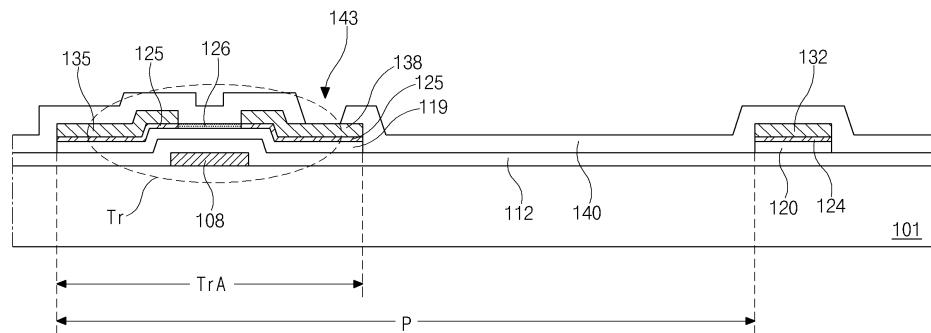
도면3g



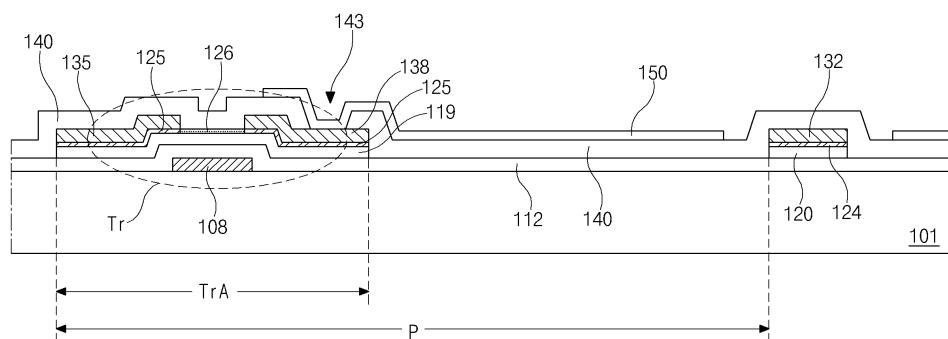
도면3h



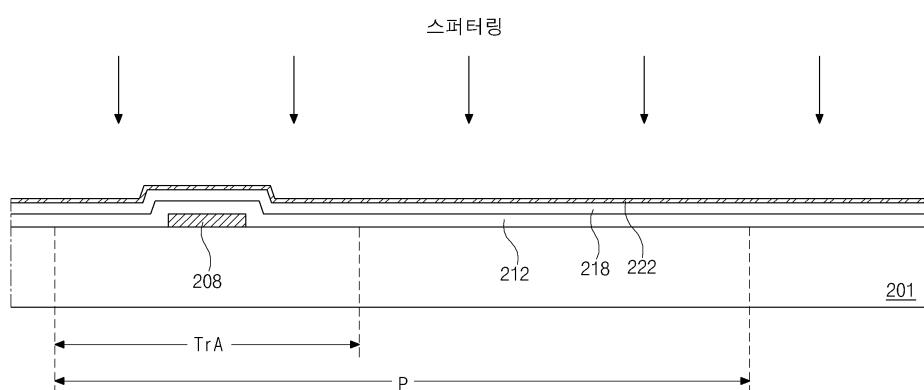
도면3i



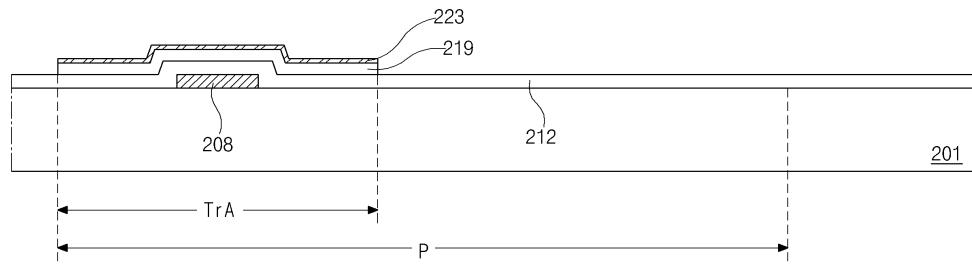
도면3j



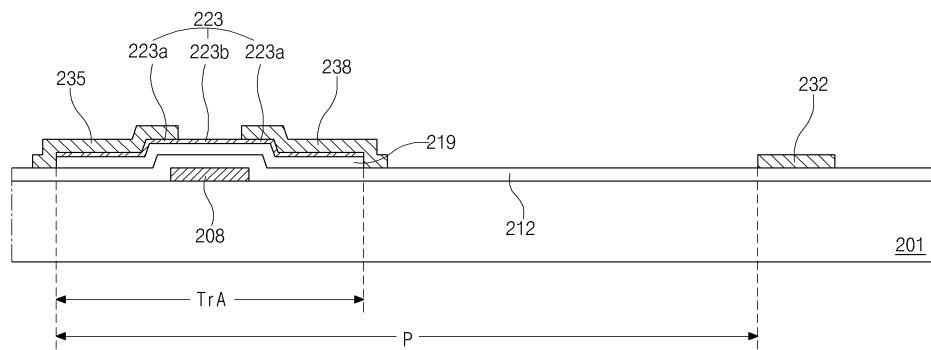
도면4a



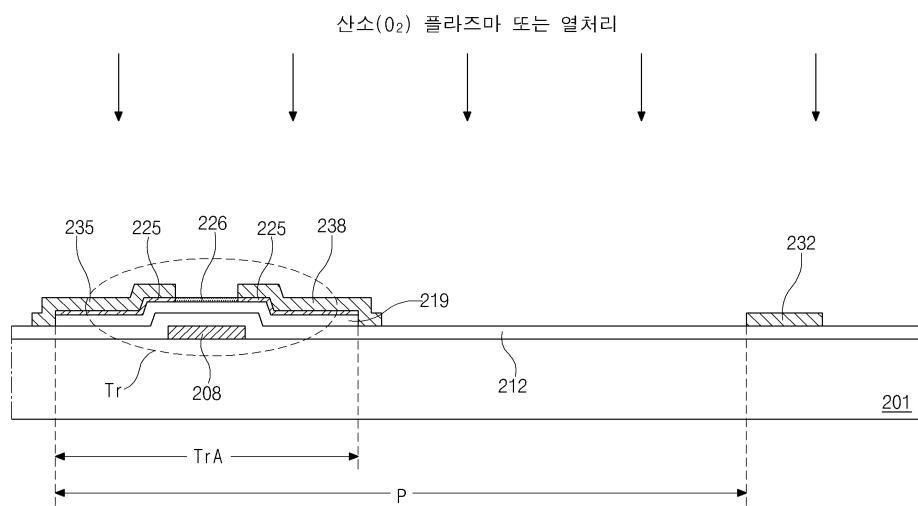
도면4b



도면4c



도면4d



도면4e

