

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

surface. The resistor is disposed on the top surface and is connected to the pair of top electrodes. The pair of rear electrodes are separated from each other in the one direction and are connected to the rear surface. The pair of rear electrodes are separated from each other in the one direction and are connected to the rear surface. Each of the pair of rear electrodes has a first layer and a second layer. The first layer is in contact with the rear surface. The second layer covers at least a portion of the first layer and is made of a material containing metal particles and synthetic resins.

(57) 要約: チップ抵抗器は、基板と、一对の上面電極と、抵抗体と、一对の裏面電極と、一对の側面電極と、を備える。基板は、上面と、裏面と、一对の側面と、を有する。前記上面および前記裏面は、前記基板の厚さ方向において互いに反対側を向く。前記一对の側面は、前記厚さ方向に対して直交する一方向において互いに離間し、かつ前記上面および前記裏面につながっている。前記一对の上面電極は、前記一方向において互いに離間し、かつ前記上面に接している。前記抵抗体は、前記上面に配置され、かつ前記一对の上面電極につながっている。前記一对の裏面電極は、前記一方向において互いに離間し、かつ前記裏面に接している。前記一对の側面電極は、前記一对の側面に接し、かつ前記一对の上面電極、および前記一对の裏面電極につながっている。前記一对の裏面電極の各々は、第1層および第2層を有する。前記第1層は、前記裏面に接している。前記第2層は、前記第1層の少なくとも一部を覆い、かつ金属粒子および合成樹脂を含む材料からなる。

明 細 書

発明の名称： チップ抵抗器

技術分野

[0001] 本開示は、チップ抵抗器に関する。

背景技術

[0002] 従来、様々な電子機器の配線基板に表面実装されるチップ抵抗器が広く知られている。特許文献1には、チップ抵抗器の一例が開示されている。当該チップ抵抗器は、絶縁基板と、絶縁基板の両端にそれぞれ配置された一対の上面電極、および一対の裏面電極と、一対の上面電極に導通する抵抗体と、一対の上面電極、および一対の裏面電極を相互に導通させる一対の端面電極とを備える。

[0003] 当該チップ抵抗器は、ハンダを介して配線基板に実装される。当該チップ抵抗器の使用時は、抵抗体から熱が発生する。これにより、一対の裏面電極、およびハンダの各々の熱ひずみの差に起因した熱応力がハンダに作用する。熱応力の大きさが比較的大である場合において、当該熱応力がハンダに繰り返し作用すると、ハンダに亀裂が発生することがある。ハンダに亀裂が発生すると、配線基板とチップ抵抗器との間の電流経路が阻害されるおそれがある。したがって、当該チップ抵抗器においては、熱応力によりハンダに亀裂が発生することを抑制する方策が求められる。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-53251号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は上記事情に鑑み、チップ抵抗器の使用時に、配線基板と、一対の裏面電極との間に介在するハンダに亀裂が発生することを抑制することが可能なチップ抵抗器を提供することをその課題とする。

課題を解決するための手段

[0006] 本開示によって提供されるチップ抵抗器は、厚さ方向において互いに反対側を向く上面および裏面、並びに前記厚さ方向に対して直交する一方向において互いに離間し、かつ前記上面および前記裏面につながる一对の側面を有する基板と、前記一方向において互いに離間し、かつ前記上面に接する一对の上面電極と、前記上面に配置され、かつ前記一对の上面電極につながる抵抗体と、前記一方向において互いに離間し、かつ前記裏面に接する一对の裏面電極と前記一对の側面に接し、かつ前記一对の上面電極、および前記一对の裏面電極につながる一对の側面電極と、を備え、前記一对の裏面電極の各々は、前記裏面に接する第1層と、前記第1層の少なくとも一部を覆う第2層と、を有し、前記第2層は、金属粒子および合成樹脂を含む材料からなる。

[0007] 本開示の構成および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

- [0008] [図1]本開示の第1実施形態にかかるチップ抵抗器の平面図である。
- [図2]図1に対応する平面図であり、一对の外部電極と、保護層の上層とを透過している。
- [図3]図1に示すチップ抵抗器の底面図である。
- [図4]図3に対応する底面図であり、一对の外部電極を透過している。
- [図5]図1のV-V線に沿う断面図である。
- [図6]本開示の第1実施形態の変形例にかかるチップ抵抗器の断面図である。
- [図7]図1に示すチップ抵抗器の製造工程を説明する底面図である。
- [図8]図1に示すチップ抵抗器の製造工程を説明する底面図である。
- [図9]図1に示すチップ抵抗器の製造工程を説明する平面図である。
- [図10]図1に示すチップ抵抗器の製造工程を説明する平面図である。
- [図11]図1に示すチップ抵抗器の製造工程を説明する平面図である。
- [図12]図1に示すチップ抵抗器の製造工程を説明する平面図である。

[図13]図1に示すチップ抵抗器の製造工程を説明する平面図である。

[図14]図1に示すチップ抵抗器の製造工程を説明する平面図である。

[図15]図14のXV-XV線に沿う断面図である。

[図16]図1に示すチップ抵抗器の製造工程を説明する断面図である。

[図17]図1に示すチップ抵抗器の製造工程を説明する平面図である。

[図18]図1に示すチップ抵抗器の製造工程を説明する断面図である。

[図19]本開示の第2実施形態にかかるチップ抵抗器の断面図である。

[図20]図19の部分拡大断面図である。

[図21]本開示の第3実施形態にかかるチップ抵抗器の断面図である。

[図22]図21の部分拡大断面図である。

[図23]図21に示すチップ抵抗器の製造工程を説明する平面図である。

[図24]図21に示すチップ抵抗器の製造工程を説明する平面図である。

[図25]本開示の第4実施形態にかかるチップ抵抗器の断面図である。

[図26]図25の部分拡大断面図である。

[図27]図25に示すチップ抵抗器の製造工程を説明する平面図である。

[図28]図25に示すチップ抵抗器の製造工程を説明する平面図である。

発明を実施するための形態

[0009] 本開示を実施するための形態について、添付図面に基づいて説明する。

[0010] 〔第1実施形態〕

図1～図5に基づき、本開示の第1実施形態にかかるチップ抵抗器A10について説明する。チップ抵抗器A10は、基板10、抵抗体20、一对の電極30、および保護層40を備える。ここで、図2は、理解の便宜上、一对の電極30の一部をなす一对の外部電極34（詳細は後述）と、保護層40の上層42（詳細は後述）とを透過している。図4は、理解の便宜上、当該一对の外部電極34を透過している。

[0011] チップ抵抗器A10と、後述するチップ抵抗器A20～A40との説明においては、便宜上、基板10の厚さ方向を「厚さ方向z」と呼ぶ。厚さ方向zに対して直交する一方向を「第1方向x」と呼ぶ。厚さ方向zおよび第1

方向 x の双方に対して直交する方向を「第2方向 y 」と呼ぶ。

[0012] チップ抵抗器A10は、様々な電子機器の配線基板に表面実装される。チップ抵抗器A10は、当該配線基板に流れる電流を制限するという機能を果たす。チップ抵抗器A10は、厚膜（メタルグレーズ皮膜）型の抵抗器である。図1に示すように、厚さ方向 z に沿ってみて視て、チップ抵抗器A10は矩形形状である。この場合において、第1方向 x は、チップ抵抗器A10の長手方向に相当する。この他、厚さ方向 z に沿って視て、チップ抵抗器A10は、第2方向 y を長手方向とする矩形形状でもよい。

[0013] 基板10には、図1、図2および図5に示すように、抵抗体20、一对の電極30、および保護層40が配置されている。基板10は、絶縁性を有する。厚さ方向に沿って視て、基板10は、第1方向 x に沿った一对の周縁を長辺とする矩形形状である。チップ抵抗器A10の使用の際、抵抗体20から熱が発生するため、基板10は、放熱性に優れていることが求められる。このため、基板10の材料は、熱伝導率が比較的高いことが望ましい。チップ抵抗器A10においては、基板10は、アルミナ（ Al_2O_3 ）を含むセラミックスからなる。

[0014] 図5に示すように、基板10は、上面11、裏面12、および一对の側面13を有する。上面11および裏面12は、厚さ方向 z において互いに反対側を向く。上面11は、図5の上方を向く。裏面12は、図5の下方を向く。チップ抵抗器A10を配線基板に実装した際、裏面12は、当該配線基板に対向する。一对の側面13は、上面11および裏面12につながっている。図2および図4に示すように、一对の側面13は、第1方向 x において互いに離間している。

[0015] 抵抗体20は、図1、図2および図5に示すように、基板10の上面11に配置されている。厚さ方向 z に沿って視て、抵抗体20は、第1方向 x に延びる帯状である。チップ抵抗器A10においては、抵抗体20は、金属粒子およびガラスを含む材料からなる。当該金属粒子は、たとえば、酸化ルテニウム（ RuO_2 ）、または銀（ Ag ）－パラジウム（ Pd ）合金である。

[0016] 図2および図5に示すように、抵抗体20には、厚さ方向zに貫通するトリミング溝21が形成されている。トリミング溝21は、抵抗体20と、抵抗体20を覆う保護層40の下層41（詳細は後述）との双方に対して一体となって形成されている。チップ抵抗器A10が示す例においては、厚さ方向zから視て、トリミング溝21はL字状である。抵抗体20の第2方向yの一端は、トリミング溝21により開口している。厚さ方向zにそって見たときのトリミング溝21の形状は、チップ抵抗器A10が示す例に限定されない。

[0017] 一对の電極30は、図1～図5に示すように、第1方向xにおいて互いに離間した状態で基板10に配置されている。抵抗体20の第1方向xの両端において、一对の電極30は、抵抗体20につながっている。チップ抵抗器A10を配線基板に実装した際、一对の電極30は、当該配線基板にハンダ接合される。これにより、一对の電極30は、抵抗体20と当該配線基板との導電経路を構成する。図5に示すように、一对の電極30の各々は、上面電極31、裏面電極32、側面電極33および外部電極34を含む。

[0018] 一对の上面電極31は、図2および図5に示すように、第1方向xにおいて互いに離間し、かつ基板10の上面11に接している。一对の上面電極31は、抵抗体20の第1方向xの両端につながっている。これにより、一对の上面電極31は、抵抗体20に導通している。一对の上面電極31の各々は、第2方向yに延びる帯状である。一对の上面電極31は、銀粒子およびガラスを含む材料からなる。

[0019] 一对の裏面電極32は、図4および図5に示すように、第1方向xにおいて互いに離間し、かつ基板10の裏面12に接している。一对の裏面電極32の各々は、第2方向yに延びる帯状である。図5に示すように、一对の裏面電極32の各々は、第1層321および第2層322を有する。

[0020] 図5に示すように、第1層321は、基板10の上面11に接している。チップ抵抗器A10においては、第1層321は、絶縁性を有し、かつ合成樹脂を含む材料からなる。当該合成樹脂は、たとえばエポキシ樹脂である。

チップ抵抗器A10においては、第1層321は、基板10の一对の側面13のいずれかと、裏面12との境界まで到達している。

[0021] 図5に示すように、第2層322は、第1層321の少なくとも一部を覆っている。チップ抵抗器A10においては、第2層322は、第1層321の全体を覆っている。第2層322は、金属粒子および合成樹脂を含む材料からなる。これにより、第2層322は、導電性を有する。当該金属粒子は、銀を含む。また、当該合成樹脂は、たとえばエポキシ樹脂である。

[0022] 一对の側面電極33は、図2、図4および図5に示すように、基板10の一对の側面13に接している。一对の側面電極33は、一对の上面電極31、および一对の裏面電極32につながっている。これにより、一对の裏面電極32は、一对の側面電極33、および一对の上面電極31を介して抵抗体20に導通している。チップ抵抗器A10においては、一对の側面電極33は、金属薄膜からなる。当該金属薄膜は、ニッケル(Ni)およびクロム(Cr)を含む合金からなる。

[0023] 図5に示すように、一对の側面電極33の各々は、上面部331、裏面部332および側面部333を有する。図2および図5に示すように、上面部331は、厚さ方向zに沿って視て基板10の上面11に重なり、かつ一对の上面電極31のいずれかに接している。図4および図5に示すように、裏面部332は、厚さ方向zに沿って視て基板10の裏面12に重なり、かつ一对の裏面電極32の第2層322のいずれかに接している。図5に示すように、側面部333は、基板10の一对の側面13、および一对の上面電極31のそれぞれいずれかに接している。側面部333の厚さ方向zの両端において、側面部333は、上面部331および裏面部332につながっている。チップ抵抗器A10においては、上面部331、裏面部332、および側面部333の各々の厚さは、いずれも均一である。

[0024] 一对の外部電極34は、図1、図3および図5に示すように、一对の上面電極31、一对の裏面電極32、および一对の側面電極33を覆っている。これにより、一对の外部電極34は、一对の上面電極31、一对の裏面電極

32、および一对の側面電極33のいずれにも導通している。あわせて、一对の電極30は、抵抗体20に導通している。一对の外部電極34は、めっき層からなる。

[0025] 図5に示すように、一对の外部電極34の各々は、中間部341および外部342を有する。中間部341は、一对の上面電極31のいずれかと、厚さ方向に沿って視て当該上面電極31に重なる一对の裏面電極32のいずれかと、当該上面電極31および当該裏面電極32につながる一对の側面電極のいずれかとを覆っている。中間部341は、ニッケルを含む。外部342は、中間部341を覆っている。外部342は、錫(Sn)を含む。

[0026] 保護層40は、図1および図5に示すように、抵抗体20を覆っている。保護層40は、下層41および上層42を有する。

[0027] 図2および図5に示すように、下層41は、抵抗体20の一部を覆っている。下層41の第1方向xの両端から、抵抗体20が第1方向xに向けてはみ出している。下層41には、先述したトリミング溝21が形成されている。下層41は、ガラスを含む材料からなる。

[0028] 図1および図5に示すように、上層42は、抵抗体20の一部と、下層41とを覆っている。上層42はさらに、基板10の上面11の一部と、一对の上面電極31の一部とを覆っている。上層42は、たとえば、黒色のエポキシ樹脂を含む材料からなる。

[0029] [第1実施形態の変形例]

次に、図6に基づき、チップ抵抗器A10の変形例であるチップ抵抗器A11について説明する。

[0030] チップ抵抗器A11においては、一对の側面電極33の構成が、先述したチップ抵抗器A10の構成に対して異なる。

[0031] チップ抵抗器A11においては、図6に示すように、一对の側面電極33の上面部331の各々は、一对の上面電極31のいずれかの表面から厚さ方向zに向けて膨出している。一对の側面電極33の裏面部332の各々は、一对の裏面電極32の第2層322のいずれかの表面から厚さ方向zに向け

て膨出している。一对の側面電極 3 3 の側面部 3 3 3 の各々は、基板 1 0 の一对の側面 1 3 のいずれかから第 1 方向 x に向けて膨出している。チップ抵抗器 A 1 1 においては、一对の側面電極 3 3 は、銀粒子および合成樹脂を含む材料からなる。当該合成樹脂は、たとえばエポキシ樹脂である。

[0032] 次に、図 7 ～図 1 8 に基づき、チップ抵抗器 A 1 0 の製造方法の一例について説明する。ここで、図 1 6 および図 1 8 の各々における断面位置は、図 1 5 における断面位置と同一である。

[0033] 最初に、図 7 に示すように、厚さ方向 z において互いに反対側を向く上面 8 1 1 および裏面 8 1 2 を有するシート状の基材 8 1 に、上面 8 1 1 に接する複数の上面電極 8 2 を形成する。上面 8 1 1 には、第 2 方向 y に延びる複数の一次溝 8 1 A と、第 1 方向 x に延びる複数の二次溝 8 1 B とが設けられている。複数の一次溝 8 1 A、および複数の二次溝 8 1 B は、ともに上面 8 1 1 から厚さ方向 z に凹んでいる。複数の一次溝 8 1 A、および複数の二次溝 8 1 B は、裏面 8 1 2 にも設けられている。裏面 8 1 2 における複数の一次溝 8 1 A、および複数の二次溝 8 1 B の各々の形成位置は、上面 8 1 1 における複数の一次溝 8 1 A、および複数の二次溝 8 1 B の各々の形成位置に対応している。上面 8 1 1 および裏面 8 1 2 において、複数の一次溝 8 1 A、および複数の二次溝 8 1 B により区画された複数の領域 8 0 の各々が、チップ抵抗器 A 1 0 の基板 1 0 に相当する。

[0034] 図 7 に示すように、複数の上面電極 8 2 は、基材 8 1 の上面 8 1 1 に位置する複数の領域 8 0 において、第 1 方向 x において互いに離間した状態で個別に形成される。複数の上面電極 8 2 の各々は、複数の一次溝 8 1 A の各々を跨ぐように形成する。これにより、複数の領域 8 0 の各々を区画する一对の一次溝 8 1 A を跨ぐ一对の上面電極 8 2 が形成される。当該一对の上面電極 8 2 が、チップ抵抗器 A 1 0 の一对の上面電極 3 1 に相当する。複数の上面電極 8 2 は、銀粒子およびガラスフリットが含有されたペーストを上面 8 1 1 に印刷した後、当該ペーストを焼成することにより形成される。

[0035] 次に、図 8 および図 9 に示すように、基材 8 1 の裏面 8 1 2 に接する複

数の裏面電極 8 3 を形成する。複数の裏面電極 8 3 は、裏面 8 1 2 に位置する複数の領域 8 0 において、第 1 方向 x において互いに離間した状態で個別に形成される。複数の裏面電極 8 3 の各々は、第 1 層 8 3 1 および第 2 層 8 3 2 により構成される。まず、図 8 に示すように、複数の第 1 層 8 3 1 の各々を、複数の一次溝 8 1 A の各々を跨ぐように形成する。複数の第 1 層 8 3 1 は、エポキシ樹脂を主剤としたペーストを裏面 8 1 2 に印刷した後、当該ペーストを熱硬化させることにより形成される。

[0036] 次に、図 9 に示すように、複数の第 1 層 8 3 1 を個別に覆う複数の第 2 層 8 3 2 を形成する。複数の第 2 層 8 3 2 の各々は、複数の第 1 層 8 3 1 の各々の全体を覆うように形成される。これにより、複数の領域 8 0 の各々を区画する一对の一次溝 8 1 A を跨ぐ一对の第 1 層 8 3 1、および一对の第 2 層 8 3 2 が形成される。当該一对の第 1 層 8 3 1、および当該一对の第 2 層 8 3 2 が、チップ抵抗器 A 1 0 の一对の裏面電極 3 2 に相当する。複数の第 2 層 8 3 2 は、エポキシ樹脂を主剤とし、かつ銀粒子が含有されたペーストを複数の第 1 層 8 3 1 に個別に印刷した後、当該ペーストを熱硬化させることにより形成される。以上により、複数の裏面電極 8 3 が形成される。

[0037] 次に、図 1 0 に示すように、基材 8 1 の上面 8 1 1 に接する複数の抵抗体 8 4 を形成する。複数の抵抗体 8 4 は、上面 8 1 1 に位置する複数の領域 8 0 に個別に形成される。複数の領域 8 0 の各々における抵抗体 8 4 が、チップ抵抗器 A 1 0 の抵抗体 2 0 に相当する。複数の領域 8 0 の各々において、抵抗体 8 4 の第 1 方向 x の両端は、一对の上面電極 8 2 に接する。複数の抵抗体 8 4 は、金属粒子およびガラスフリットが含有されたペーストを裏面 8 1 2 に印刷した後、当該ペーストを焼成することにより形成される。当該金属粒子は、酸化ルテニウム、または銀－パラジウム合金である。

[0038] 次に、図 1 1 に示すように、複数の抵抗体 8 4 を個別に覆う複数の下層 8 5 1 を形成する。複数の下層 8 5 1 の各々が、チップ抵抗器 A 1 0 の保護層 4 0 の下層 4 1 に相当する。複数の下層 8 5 1 は、ガラスペーストを複数の抵抗体 8 4 に個別に印刷した後、当該ガラスペーストを焼成することによ

り形成される。

[0039] 次いで、図12に示すように、厚さ方向 z に貫通する複数のトリミング溝841を、複数の抵抗体84、および複数の下層851の双方に対して一体的に形成する。複数のトリミング溝841の各々が、チップ抵抗器A10におけるトリミング溝21に相当する。複数のトリミング溝841は、レーザトリミング装置により形成される。

[0040] 複数のトリミング溝841の各々は、次の手順により形成される。最初に、トリミング溝841の形成対象となる抵抗体84の第1方向 x の両端に、抵抗値測定用のプローブを接触させる。次いで、抵抗体84の第2方向 y の一端から、抵抗体84および下層851の双方を厚さ方向 z に貫通する溝を第2方向 y に沿って形成する。抵抗体84の抵抗値が所定の値（チップ抵抗器A10の抵抗値）に近い値になるまで溝を形成した後、当該溝の終端から今度は第1方向 x に沿った溝を形成する。抵抗体84の抵抗値が所定の値となったとき、当該溝の形成を終了する。以上より、複数のトリミング溝841が形成される。

[0041] 次いで、図13に示すように、複数の抵抗体84、および複数の下層851と、複数の上面電極82のそれぞれ一部ずつとを覆う複数の上層852を形成する。複数の上層852は、第1方向 x において互いに離間した状態で、かつ第2方向 y に延びる帯状となるように形成される。複数の上層852は、基材81の上面811に設けられた複数の二次溝81Bを跨いでいる。上面811に位置する複数の領域80における上層852の一部が、チップ抵抗器A10の保護層40の上層42に相当する。複数の上層852は、複数の抵抗体84、および複数の下層851に対して一体となって覆うエポキシ樹脂を主剤としたペーストを印刷した後、当該ペーストを熱硬化させることにより形成される。

[0042] 次いで、図14に示すように、基材81を複数の一次溝81Aに沿って分割する。これにより、第2方向 y に延びる帯状である複数の基材81が得られる。本工程により、図15に示すように、複数の基材81の第1方向 x の

両端に、一对の側面 8 1 3 が現れる。一对の側面 8 1 3 は、第 1 方向 x を向く。

[0043] 次いで、図 1 6 に示すように、基材 8 1 の一对の側面 8 1 3 に接する一对の側面電極 8 6 を形成する。一对の側面電極 8 6 は、一对の上面電極 8 2、および一对の裏面電極 8 3 の第 2 層 8 3 2 の双方にも接するように形成される。一对の側面電極 8 6 は、一对の側面 8 1 3 と、一对の上面電極 8 2、および一对の裏面電極 8 3 のそれぞれ一部とに、ニッケルクロム合金をスパッタリング法により成膜することにより形成される。

[0044] 次いで、図 1 7 に示すように、基材 8 1 を二次溝 8 1 B に沿って分割する。これにより、複数の個片となった基材 8 1 が得られる。個片となった基材 8 1 が、チップ抵抗器 A 1 0 の基板 1 0 に相当する。個片となった基材 8 1 には、一对の上面電極 8 2、一对の裏面電極 8 3、抵抗体 8 4、下層 8 5 1、上層 8 5 2、および一对の側面電極 8 6 が配置されている。

[0045] 最後に、図 1 8 に示すように、個片となった基材 8 1 に配置された一对の上面電極 8 2、一对の裏面電極 8 3、および一对の側面電極 8 6 を個別に覆う一对の外部電極 8 7 を形成する。一对の外部電極 8 7 が、チップ抵抗器 A 1 0 の一对の外部電極 3 4 に相当する。一对の外部電極 8 7 の各々は、中間部 8 7 1 および外部 8 7 2 により構成される。中間部 8 7 1 が、チップ抵抗器 A 1 0 の一对の外部電極 3 4 の各々の中間部 3 4 1 に相当する。外部 8 7 2 が、チップ抵抗器 A 1 0 の一对の外部電極 3 4 の各々の外部 3 4 2 に相当する。

[0046] 中間部 8 7 1 および外部 8 7 2 は、それぞれ電解バレルめっきにより形成される。中間部 8 7 1 は、基材 8 1 から露出した一对の上面電極 8 2、一对の裏面電極 8 3、および一对の側面電極 8 6 の各々に対してニッケルを析出させることにより形成される。外部 8 7 2 は、中間部 8 7 1 に対して錫を析出させることにより形成される。以上の工程を経ることによって、チップ抵抗器 A 1 0 が製造される。

[0047] 次に、チップ抵抗器 A 1 0 の作用効果について説明する。

[0048] チップ抵抗器A10によれば、一对の裏面電極32の各々は、第1層321および第2層322を有する。第1層321は、基板10の裏面12に接している。第2層322は、第1層321の少なくとも一部を覆っている。第2層322は、金属粒子および合成樹脂を含む材料からなる。チップ抵抗器A10を配線基板に実装すると、一对の裏面電極32の各々において、第2層322が第1層321よりもハンダの近くに位置する。第2層322のヤング率は、ガラスおよび金属粒子を含む材料からなる一对の裏面電極32のヤング率よりも相対的に小である。これにより、チップ抵抗器A10の使用時にハンダに発生する熱応力を低減することができる。したがって、チップ抵抗器A10によれば、チップ抵抗器A10の使用時に、配線基板と、一对の裏面電極32との間に介在するハンダに亀裂が発生することを抑制することが可能となる。

[0049] チップ抵抗器A10においては、一对の裏面電極32の第1層321は、絶縁性を有し、かつ合成樹脂を含む材料からなる。一对の裏面電極32の第2層322の各々は、第1層321の全体を覆っている。このように、一对の裏面電極32の各々を、ともに合成樹脂を含む第1層321および第2層322の二層構成とすることにより、ハンダに発生する熱応力の低減効果を確保しつつ、基板10の裏面12に対する一对の裏面電極32の接着力を高め、かつ一对の裏面電極32の引張強度の低下を回避できる。

[0050] チップ抵抗器A10の一对の裏面電極32の各々においては、第1層321は、絶縁性を有するものの、第2層322は、導電性を有する。第2層322は、第1層321の全体を覆っている。これにより、図18に示す一对の外部電極87を形成する工程において、一对の裏面電極83の全体を覆う一对の外部電極87を形成することができる。

[0051] チップ抵抗器A10においては、一对の側面電極33は、金属薄膜からなる。これにより、一对の側面電極33の各々の厚さを、チップ抵抗器A11のように銀粒子および合成樹脂を含む材料からなる一对の側面電極33の各々の厚さよりも薄くすることができる。

[0052] チップ抵抗器A10は、一对の上面電極31、一对の裏面電極32、および一对の側面電極33を覆う一对の外部電極34をさらに備える。一对の外部電極34は、めっき層からなる。一对の外部電極34は、ニッケルを含む中間部341と、中間部341を覆い、かつ錫を含む外部342とを有する。これにより、チップ抵抗器A10を配線基板に実装する際、ハンダと外部342とが一体となった合金となり、当該配線基板に対するチップ抵抗器A10の実装性が良好なものとなる。あわせて、チップ抵抗器A10を配線基板に実装する際、中間部341がハンダなどに起因した熱衝撃を緩和するため、一对の上面電極31、一对の裏面電極32、および一对の側面電極33を当該熱衝撃から保護することができる。

[0053] 〔第2実施形態〕

図19および図20に基づき、本開示の第2実施形態にかかるチップ抵抗器A20について説明する。これらの図において、先述したチップ抵抗器A10と同一または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図19における断面位置は、図5における断面位置と同一である。

[0054] チップ抵抗器A20においては、一对の裏面電極32の構成が、先述したチップ抵抗器A10の構成に対して異なる。

[0055] 図19および図20に示すように、第1層321は、基板10の一对の側面13のいずれかと、基板10の裏面12との境界から、第1方向xに離間している。このため、図20に示すように、裏面12は、一对の側面13のいずれかと裏面12との境界と、第1層321との間に位置する領域121を有する。一对の裏面電極32の第2層322の各々は、基板10の裏面12の領域121に接している。

[0056] 次に、チップ抵抗器A20の作用効果について説明する。

[0057] チップ抵抗器A20によれば、一对の裏面電極32の各々は、第1層321および第2層322を有する。第1層321は、基板10の裏面12に接している。第2層322は、第1層321の少なくとも一部を覆っている。

第２層３２２は、金属粒子および合成樹脂を含む材料からなる。したがって、チップ抵抗器Ａ２０によっても、チップ抵抗器Ａ２０の使用時に、配線基板と、一对の裏面電極３２との間に介在するハンダに亀裂が発生することを抑制することが可能となる。

[0058] チップ抵抗器Ａ２０においては、一对の裏面電極３２の第１層３２１の各々は、基板１０の一对の側面１３のいずれかと、基板１０の裏面１２との境界から、第１方向×に離間している。一对の裏面電極３２の第２層３２２の各々は、一对の側面１３のいずれかと裏面１２との境界と、第１層３２１との間に位置する裏面１２の領域１２１に接している。チップ抵抗器Ａ２０の使用時にハンダに発生する熱応力は、特に基板１０の一对の側面１３のいずれかと、裏面１２との境界付近において集中することが知られている。これにより、図１４および図１５に示す基材８１の分割工程に影響を及ぼすことなく、かつハンダに発生する熱応力の低減効果を確保しつつ、第１層３２１の厚さをより大とすることができる。

[0059] 〔第３実施形態〕

図２１および図２２に基づき、本開示の第３実施形態にかかるチップ抵抗器Ａ３０について説明する。これらの図において、先述したチップ抵抗器Ａ１０と同一または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図２１における断面位置は、図５における断面位置と同一である。

[0060] チップ抵抗器Ａ３０においては、一对の裏面電極３２の構成が、先述したチップ抵抗器Ａ１０の構成に対して異なる。

[0061] 一对の裏面電極３２の第１層３２１は、導電性を有する。第１層３２１は、銀粒子およびガラスを含む材料からなる。図２１および図２２に示すように、第１層３２１は、基板１０の一对の側面１３のいずれかと、基板１０の裏面１２との境界から、第１方向×に離間している。このため、図２２に示すように、裏面１２は、一对の側面１３のいずれかと裏面１２との境界と、第１層３２１との間に位置する領域１２１を有する。

[0062] 図22に示すように、一对の裏面電極32の第2層322の各々は、基板10の裏面12の領域121に接している。チップ抵抗器A20においては、第2層322は、第1層321の一部を覆っている。さらにチップ抵抗器A30においては、第2層322は、裏面12から厚さ方向zに向けて膨出している。

[0063] 次に、図23および図24に基づき、チップ抵抗器A30の製造方法の一例について説明する。

[0064] チップ抵抗器A30の製造方法の一例では、先述したチップ抵抗器A10の製造方法の一例に対して、複数の裏面電極83を形成する工程が異なる。このため、チップ抵抗器A30の製造方法の一例の説明においては、複数の裏面電極83を形成する工程の説明のみに留める。

[0065] まず、図23に示すように、複数の第1層831の各々を、基材81の複数の一次溝81Aから第1方向xに離間させて形成する。これにより、基材81の裏面812に位置する複数の領域80の各々には、第1方向xにおいて互いに離間した一对の第1層321が形成される。複数の一次溝81Aのいずれかを挟んで隣り合う2つの第1層831の間には、裏面812の一部である隙間812Aが現れる。複数の第1層831は、銀粒子およびガラスフリットが含有されたペーストを裏面812に印刷した後、当該ペーストを焼成することにより形成される。

[0066] 次に、図24に示すように、複数の第1層831に接する複数の第2層832を形成する。複数の第2層832の各々は、複数の一次溝81Aのいずれかを挟んで隣り合う2つの第1層831のそれぞれ一部ずつを覆い、かつ隙間812Aを埋めるように形成する。この際、複数の第2層832の各々において、厚さ方向zに沿って視て隙間812Aに重なる部分が裏面812に向けて凹むようにする。複数の第2層832の各々は、エポキシ樹脂を主剤とし、かつ銀粒子が含有されたペーストを、隙間812A、および隙間812Aの隣に位置する2つの第1層831に印刷した後、当該ペーストを熱硬化させることにより形成される。以上により、複数の裏面電極83が形

成される。

[0067] 次に、チップ抵抗器A30の作用効果について説明する。

[0068] チップ抵抗器A30によれば、一对の裏面電極32の各々は、第1層321および第2層322を有する。第1層321は、基板10の裏面12に接している。第2層322は、第1層321の少なくとも一部を覆っている。第2層322は、金属粒子および合成樹脂を含む材料からなる。したがって、チップ抵抗器A30によっても、チップ抵抗器A30の使用時に、配線基板と、一对の裏面電極32との間に介在するハンダに亀裂が発生することを抑制することが可能となる。

[0069] チップ抵抗器A30においては、一对の裏面電極32の第1層321は、導電性を有し、かつガラスを含む材料からなる。第1層321は、基板10の一对の側面13のいずれかと、基板10の裏面12との境界から、第1方向xに離間している。一对の裏面電極32の第2層322の各々は、一对の側面13のいずれかと裏面12との境界と、第1層321との間に位置する裏面12の領域121に接している。チップ抵抗器A30においては、第1層321と第2層322との接着力が比較的小であることが、本開示の発明者により確認されている。したがって、第1層321および第2層322が、それぞれ基板10の裏面12に接する構成とすることにより、一对の裏面電極32が基板10から剥離することを防止できる。

[0070] 一对の裏面電極32の第2層322の各々は、第1層321の一部を覆い、かつ基板10の裏面12から厚さ方向zに向けて膨出している。これにより、チップ抵抗器A30を配線基板に実装する際、ハンダに含まれる気泡が第2層322により押し出されやすくなる。これにより、配線基板に対するチップ抵抗器A30の実装強度の向上を図ることができる。

[0071] [第4実施形態]

図25および図26に基づき、本開示の第4実施形態にかかるチップ抵抗器A40について説明する。これらの図において、先述したチップ抵抗器A10と同一または類似の要素には同一の符号を付して、重複する説明を省略

する。ここで、図 25 における断面位置は、図 5 における断面位置と同一である。

[0072] チップ抵抗器 A 40 においては、一对の裏面電極 32 の構成が、先述したチップ抵抗器 A 10 の構成に対して異なる。

[0073] 一对の裏面電極 32 の第 1 層 321 は、導電性を有する。第 1 層 321 は、銀粒子およびガラスを含む材料からなる。図 25 および図 26 に示すように、第 1 層 321 は、基板 10 の一对の側面 13 のいずれかと、基板 10 の裏面 12 との境界から、第 1 方向 x に離間している。このため、図 26 に示すように、裏面 12 は、一对の側面 13 のいずれかと裏面 12 との境界と、第 1 層 321 との間に位置する領域 121 を有する。

[0074] 図 26 に示すように、一对の裏面電極 32 の第 2 層 322 の各々は、基板 10 の裏面 12 の領域 121 に接している。チップ抵抗器 A 40 においては、第 2 層 322 は、第 1 層 321 の全体を覆っている。

[0075] 次に、図 27 および図 28 に基づき、チップ抵抗器 A 40 の製造方法の一例について説明する。

[0076] チップ抵抗器 A 40 の製造方法の一例では、先述したチップ抵抗器 A 10 の製造方法の一例に対して、複数の裏面電極 83 を形成する工程が異なる。このため、ここでは、複数の裏面電極 83 を形成する工程についてのみ説明する。

[0077] まず、図 27 に示すように、複数の第 1 層 831 の各々を、基材 81 の複数の一次溝 81A から第 1 方向 x に離間させて形成する。これにより、基材 81 の裏面 812 に位置する複数の領域 80 の各々には、第 1 方向 x において互いに離間した一对の第 1 層 831 が形成される。複数の一次溝 81A のいずれかを挟んで隣り合う 2 つの第 1 層 831 の間には、裏面 812 の一部である隙間 812A が現れる。複数の第 1 層 831 は、銀粒子およびガラスフリットが含有されたペーストを裏面 812 に印刷した後、当該ペーストを焼成することにより形成される。

[0078] 次いで、図 28 に示すように、複数の第 1 層 831 に接する複数の第 2 層

832を形成する。複数の第2層832の各々は、複数の一次溝81Aのいずれかを挟んで隣り合う2つの第1層831のそれぞれ全部を覆い、かつ隙間812Aを埋めるように形成する。複数の第2層832の各々は、エポキシ樹脂を主剤とし、かつ銀粒子が含有されたペーストを、隙間812A、および隙間812Aの隣に位置する2つの第1層831に印刷した後、当該ペーストを熱硬化させることにより形成される。以上により、複数の裏面電極83が形成される。

[0079] 次に、チップ抵抗器A40の作用効果について説明する。

[0080] チップ抵抗器A40によれば、一对の裏面電極32の各々は、第1層321および第2層322を有する。第1層321は、基板10の裏面12に接している。第2層322は、第1層321の少なくとも一部を覆っている。第2層322は、金属粒子および合成樹脂を含む材料からなる。したがって、チップ抵抗器A40によっても、チップ抵抗器A40の使用時に、配線基板と、一对の裏面電極32との間に介在するハンダに亀裂が発生することを抑制することが可能となる。

[0081] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0082] 本開示における種々の実施形態は、以下の付記として規定しうる。

[0083] 付記1. 厚さ方向において互いに反対側を向く上面および裏面、並びに前記厚さ方向に対して直交する一方向において互いに離間し、かつ前記上面および前記裏面につながる一对の側面を有する基板と、

前記一方向において互いに離間し、かつ前記上面に接する一对の上面電極と、

前記上面に配置され、かつ前記一对の上面電極につながる抵抗体と、

前記一方向において互いに離間し、かつ前記裏面に接する一对の裏面電極と、

前記一对の側面に接し、かつ前記一对の上面電極、および前記一对の裏面電極につながる一对の側面電極と、を備え、

前記一对の裏面電極の各々は、前記裏面に接する第1層と、前記第1層の少なくとも一部を覆う第2層と、を有し、

前記第2層は、金属粒子および合成樹脂を含む材料からなる、チップ抵抗器。

[0084] 付記2. 前記第1層は、絶縁性を有し、かつ合成樹脂を含む材料からなり、

前記第2層は、前記第1層の全体を覆っている、付記1に記載のチップ抵抗器。

[0085] 付記3. 前記第1層は、前記一对の側面のいずれかと前記裏面との境界まで到達している、付記2に記載のチップ抵抗器。

[0086] 付記4. 前記第1層は、前記一对の側面のいずれかと前記裏面との境界から前記一方向に離間し、

前記第2層は、前記一对の側面のいずれかと前記裏面との境界と、前記第1層との間に位置する前記裏面の領域に接している、付記2に記載のチップ抵抗器。

[0087] 付記5. 前記第1層は、導電性を有し、かつガラスを含む材料からなり、
前記第1層は、前記一对の側面のいずれかと前記裏面との境界から前記一方向に離間している、付記1に記載のチップ抵抗器。

[0088] 付記6. 前記第1層は、銀粒子を含む材料からなる、付記5に記載のチップ抵抗器。

[0089] 付記7. 前記第2層は、前記一对の側面のいずれかと前記裏面との境界と、前記第1層との間に位置する前記裏面の領域に接している、付記5または6に記載のチップ抵抗器。

[0090] 付記8. 前記第2層は、前記第1層の一部を覆い、かつ前記裏面から前記厚さ方向に向けて膨出している、付記7に記載のチップ抵抗器。

[0091] 付記9. 前記第2層は、前記第1層の全体を覆っている、付記7に記載のチップ抵抗器。

[0092] 付記10. 前記金属粒子は、銀を含む、付記1ないし9のいずれかに記載

のチップ抵抗器。

[0093] 付記 1 1. 前記一对の側面電極は、金属薄膜からなる、付記 1 ないし 1 0 のいずれかに記載のチップ抵抗器。

[0094] 付記 1 2. 前記金属薄膜は、ニッケルおよびクロムを含む合金からなる、付記 1 1 に記載のチップ抵抗器。

[0095] 付記 1 3. 前記一对の側面電極は、銀粒子および合成樹脂を含む材料からなる、付記 1 ないし 1 0 のいずれかに記載のチップ抵抗器。

[0096] 付記 1 4. 前記一对の上面電極、前記一对の裏面電極、および前記一对の側面電極を覆う一对の外部電極をさらに備え、

前記一对の外部電極は、めっき層からなる、付記 1 ないし 1 3 のいずれかに記載のチップ抵抗器。

[0097] 付記 1 5. 前記一对の外部電極の各々は、中間部と、前記中間部を覆う外部と、を有し、

前記中間部は、前記一对の上面電極のいずれかと、前記厚さ方向に沿って視て当該上面電極に重なる前記一对の裏面電極のいずれかと、当該上面電極および当該裏面電極につながる前記一对の側面電極のいずれかと、を覆い、

前記中間部は、ニッケルを含む、付記 1 4 に記載のチップ抵抗器。

[0098] 付記 1 6. 前記外部は、錫を含む、付記 1 5 に記載のチップ抵抗器。

[0099] 付記 1 7. 前記基板は、アルミナを含むセラミックスからなる、付記 1 ないし 1 6 のいずれかに記載のチップ抵抗器。

請求の範囲

- [請求項1] 厚さ方向において互いに反対側を向く上面および裏面、並びに前記厚さ方向に対して直交する一方向において互いに離間し、かつ前記上面および前記裏面につながる一対の側面を有する基板と、
- 前記一方向において互いに離間し、かつ前記上面に接する一対の上面電極と、
- 前記上面に配置され、かつ前記一対の上面電極につながる抵抗体と、
- 前記一方向において互いに離間し、かつ前記裏面に接する一対の裏面電極と、
- 前記一対の側面に接し、かつ前記一対の上面電極、および前記一対の裏面電極につながる一対の側面電極と、を備え、
- 前記一対の裏面電極の各々は、前記裏面に接する第1層と、前記第1層の少なくとも一部を覆う第2層と、を有し、
- 前記第2層は、金属粒子および合成樹脂を含む材料からなる、チップ抵抗器。
- [請求項2] 前記第1層は、絶縁性を有し、かつ合成樹脂を含む材料からなり、
- 前記第2層は、前記第1層の全体を覆っている、請求項1に記載のチップ抵抗器。
- [請求項3] 前記第1層は、前記一対の側面のいずれかと前記裏面との境界まで到達している、請求項2に記載のチップ抵抗器。
- [請求項4] 前記第1層は、前記一対の側面のいずれかと前記裏面との境界から前記一方向に離間し、
- 前記第2層は、前記一対の側面のいずれかと前記裏面との境界と、前記第1層との間に位置する前記裏面の領域に接している、請求項2に記載のチップ抵抗器。
- [請求項5] 前記第1層は、導電性を有し、かつガラスを含む材料からなり、
- 前記第1層は、前記一対の側面のいずれかと前記裏面との境界から

前記一方向に離間している、請求項 1 に記載のチップ抵抗器。

[請求項6] 前記第 1 層は、銀粒子を含む材料からなる、請求項 5 に記載のチップ抵抗器。

[請求項7] 前記第 2 層は、前記一对の側面のいずれかと前記裏面との境界と、前記第 1 層との間に位置する前記裏面の領域に接している、請求項 5 または 6 に記載のチップ抵抗器。

[請求項8] 前記第 2 層は、前記第 1 層の一部を覆い、かつ前記裏面から前記厚さ方向に向けて膨出している、請求項 7 に記載のチップ抵抗器。

[請求項9] 前記第 2 層は、前記第 1 層の全体を覆っている、請求項 7 に記載のチップ抵抗器。

[請求項10] 前記金属粒子は、銀を含む、請求項 1 ないし 9 のいずれかに記載のチップ抵抗器。

[請求項11] 前記一对の側面電極は、金属薄膜からなる、請求項 1 ないし 10 のいずれかに記載のチップ抵抗器。

[請求項12] 前記金属薄膜は、ニッケルおよびクロムを含む合金からなる、請求項 11 に記載のチップ抵抗器。

[請求項13] 前記一对の側面電極は、銀粒子および合成樹脂を含む材料からなる、請求項 1 ないし 10 のいずれかに記載のチップ抵抗器。

[請求項14] 前記一对の上面電極、前記一对の裏面電極、および前記一对の側面電極を覆う一对の外部電極をさらに備え、

前記一对の外部電極は、めっき層からなる、請求項 1 ないし 13 のいずれかに記載のチップ抵抗器。

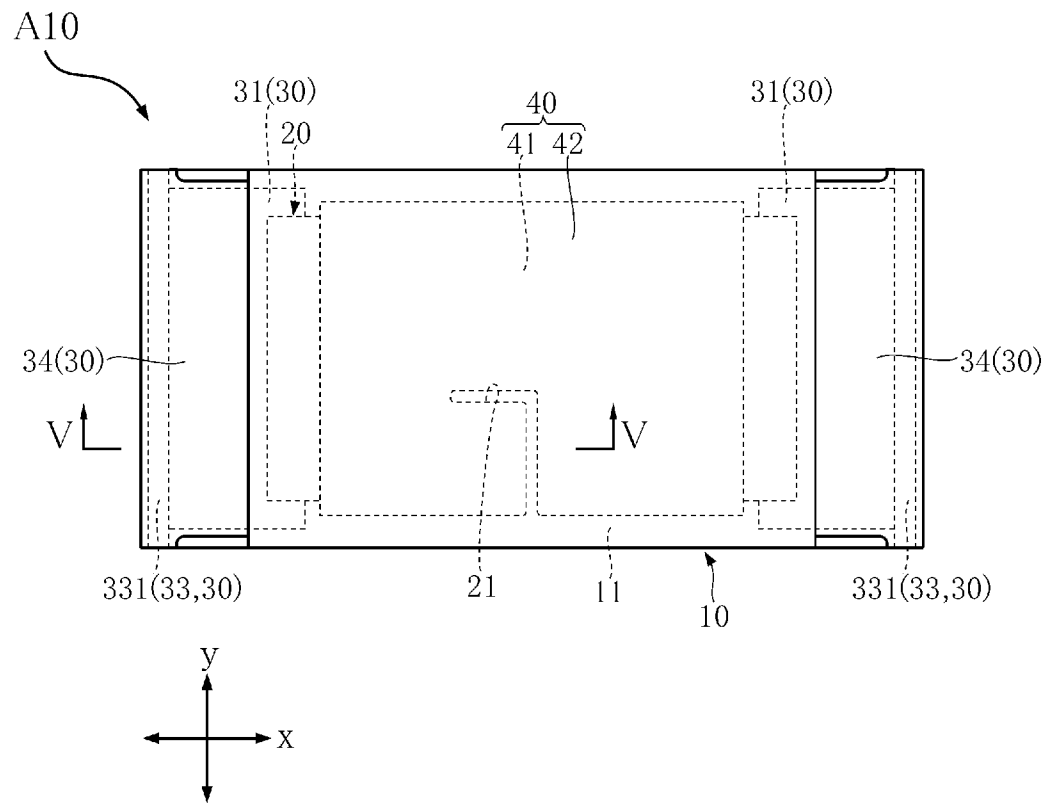
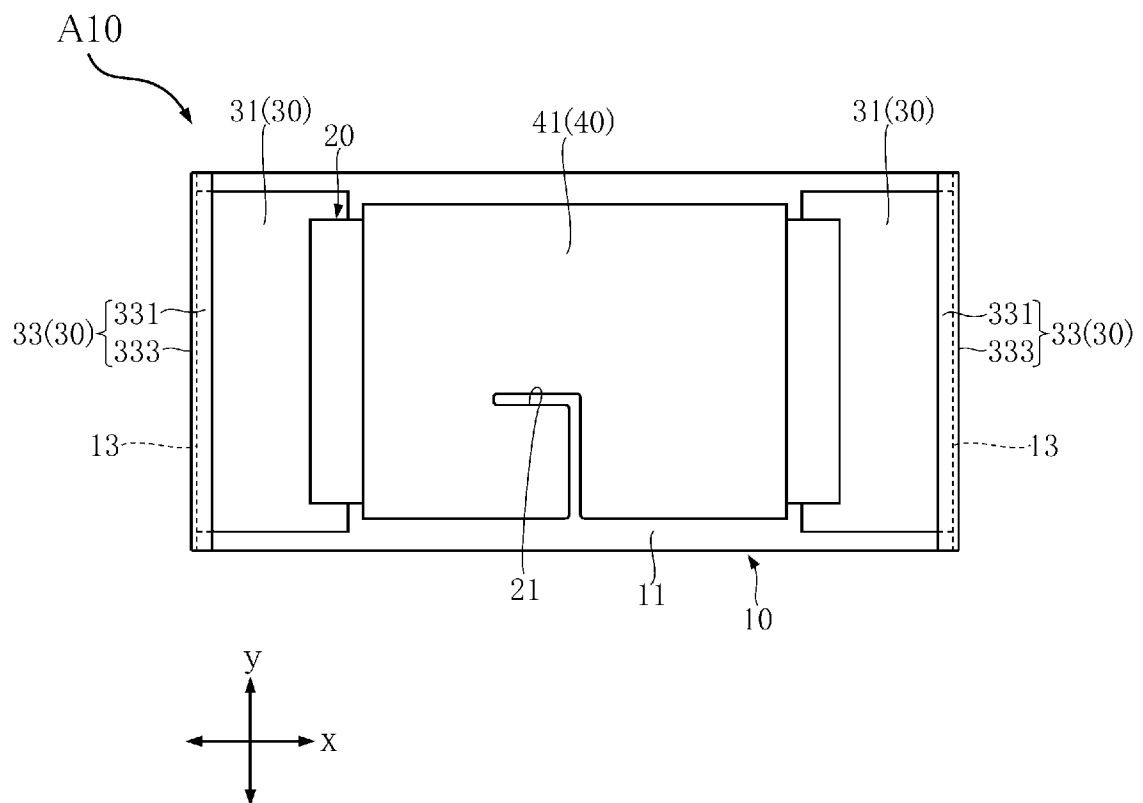
[請求項15] 前記一对の外部電極の各々は、中間部と、前記中間部を覆う外部と、を有し、

前記中間部は、前記一对の上面電極のいずれかと、前記厚さ方向に沿って視て当該上面電極に重なる前記一对の裏面電極のいずれかと、当該上面電極および当該裏面電極につながる前記一对の側面電極のいずれかと、を覆い、

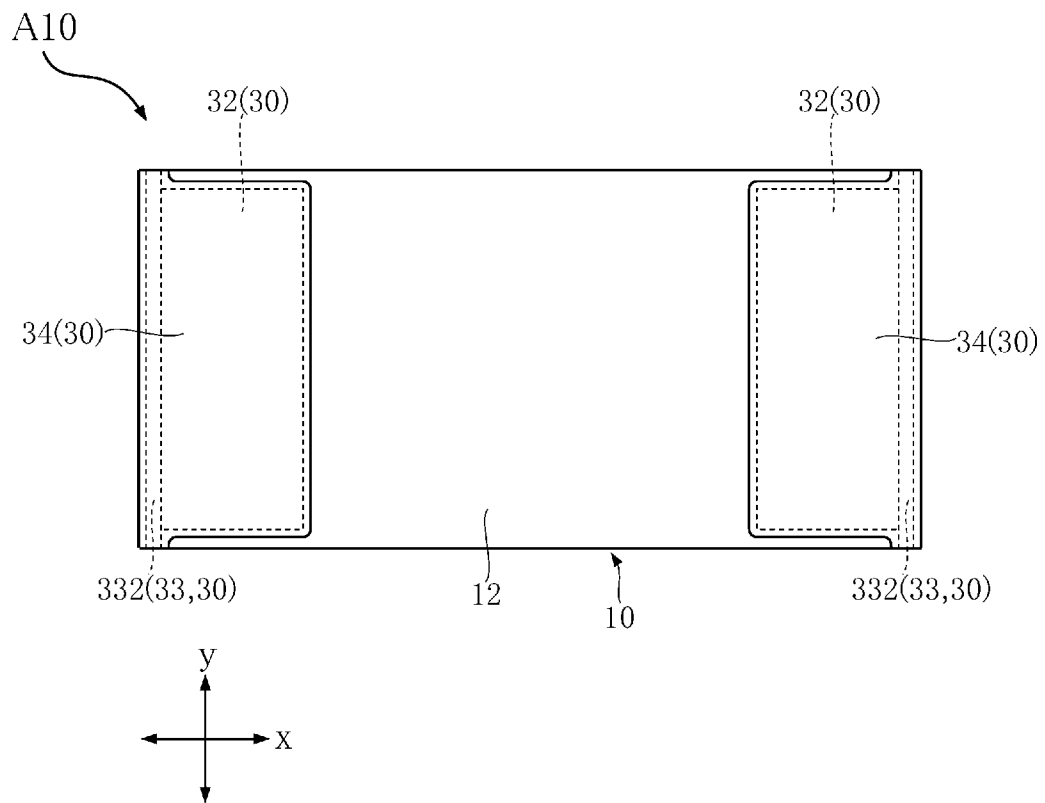
前記中間部は、ニッケルを含む、請求項 1 4 に記載のチップ抵抗器
。

[請求項16] 前記外部は、錫を含む、請求項 1 5 に記載のチップ抵抗器。

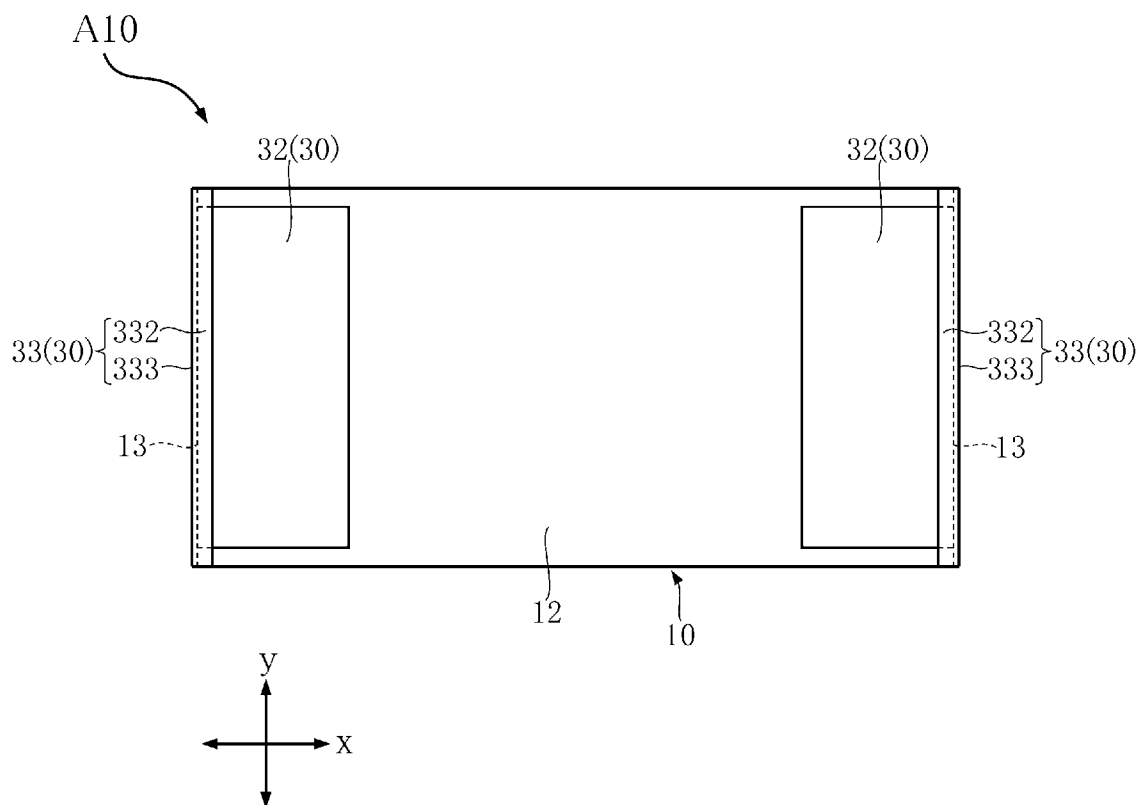
[請求項17] 前記基板は、アルミナを含むセラミックスからなる、請求項 1 ない
し 1 6 のいずれかに記載のチップ抵抗器。

[図1]
FIG.1[図2]
FIG.2

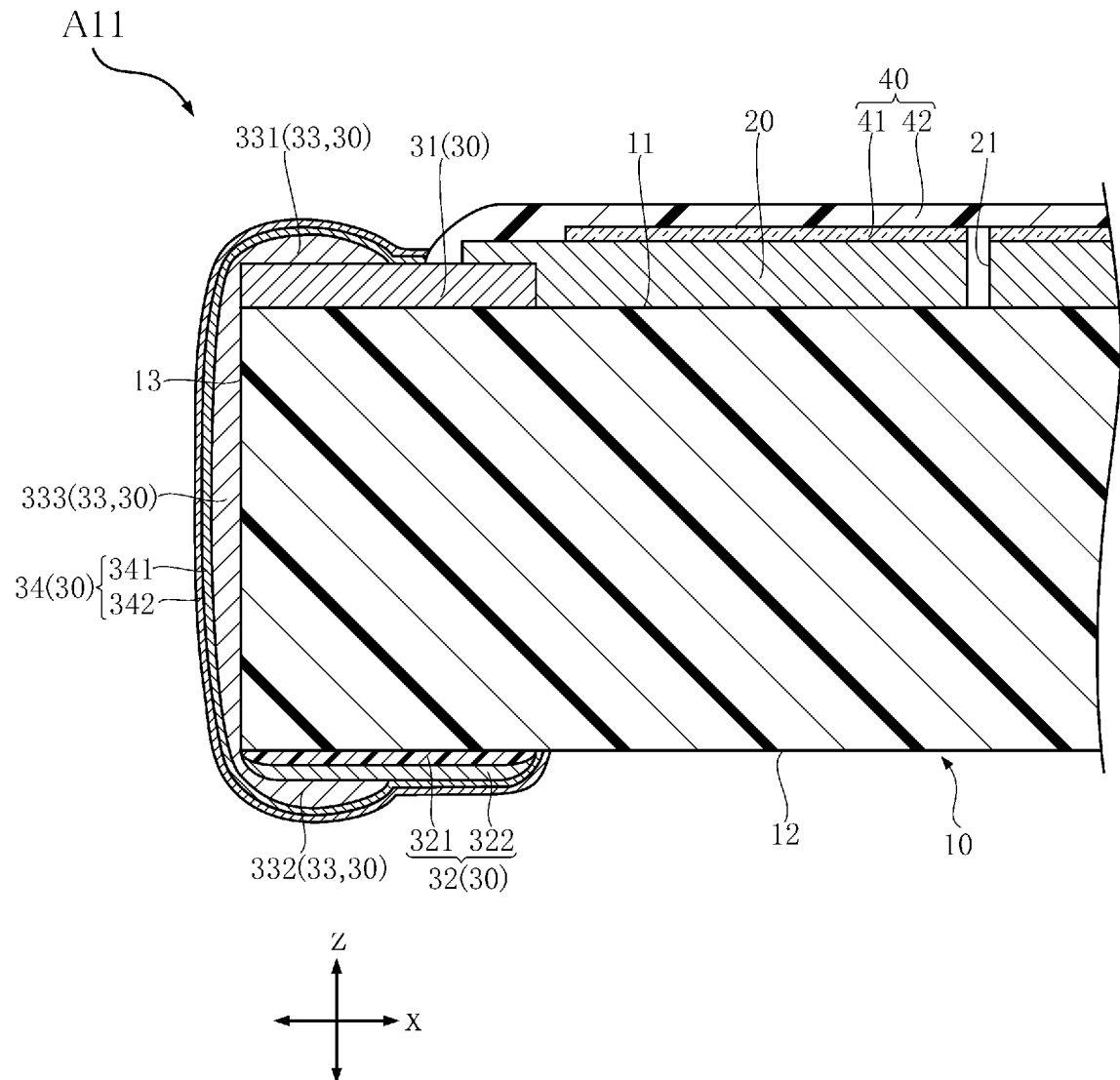
【図3】
FIG.3



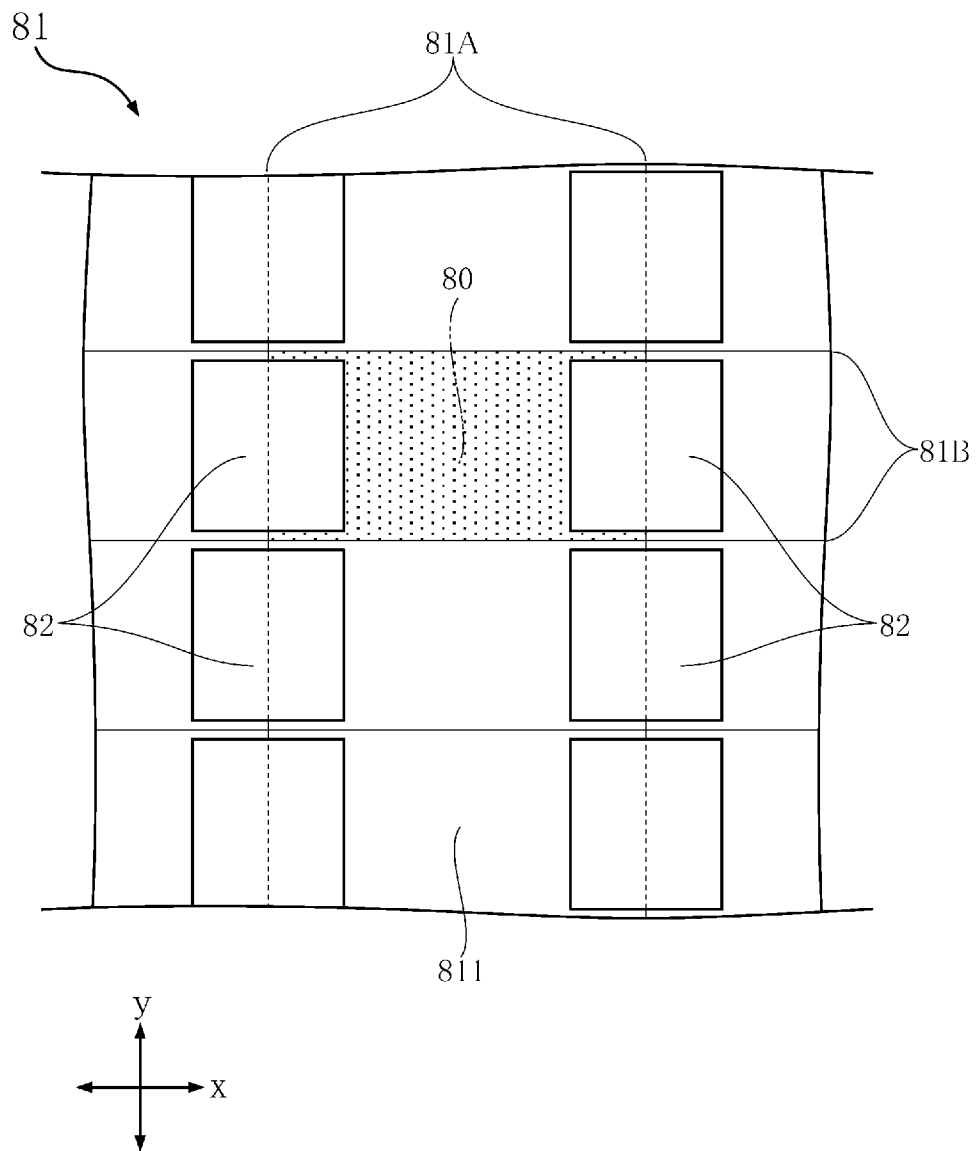
【図4】
FIG.4



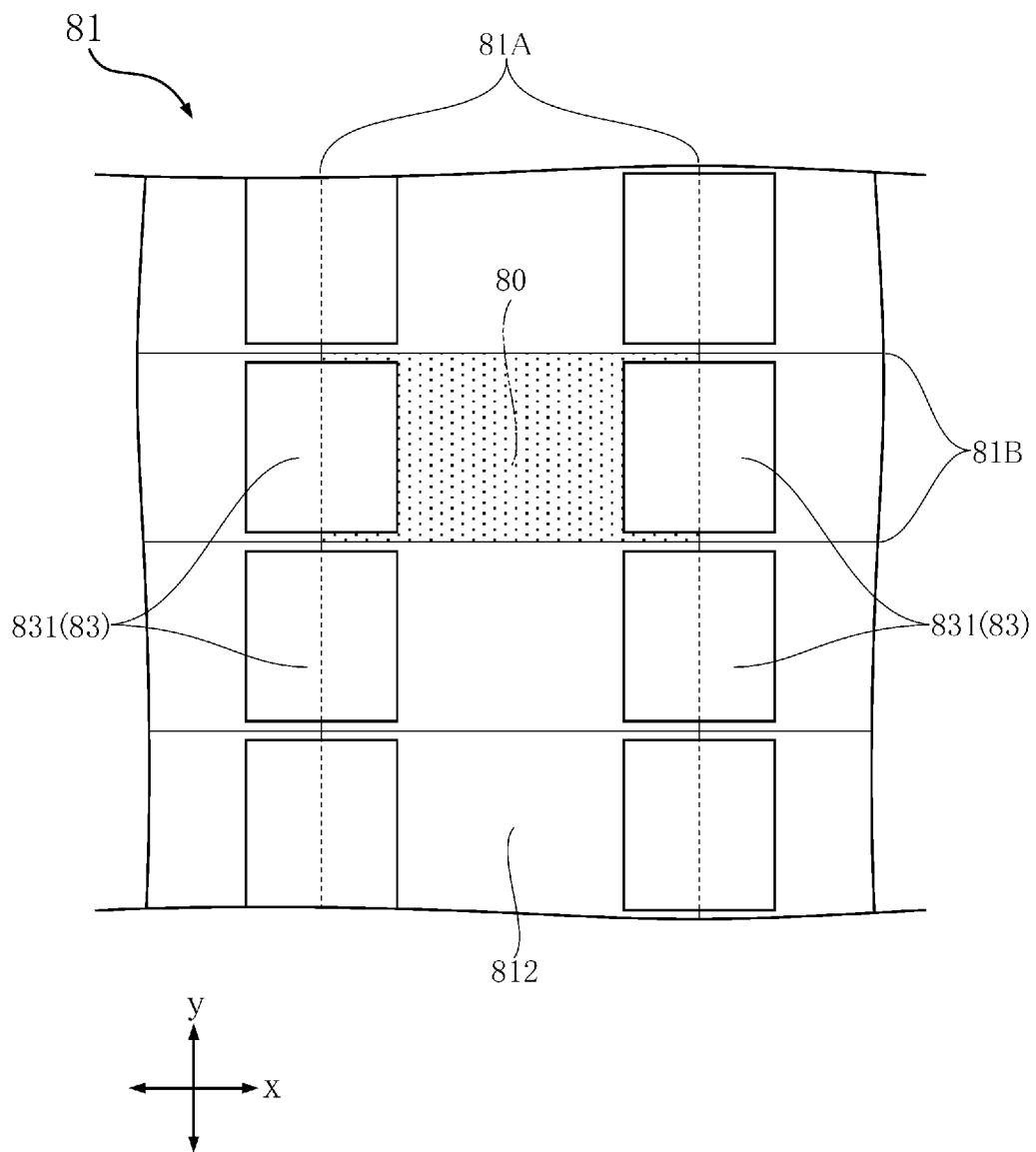
[図6]
FIG.6



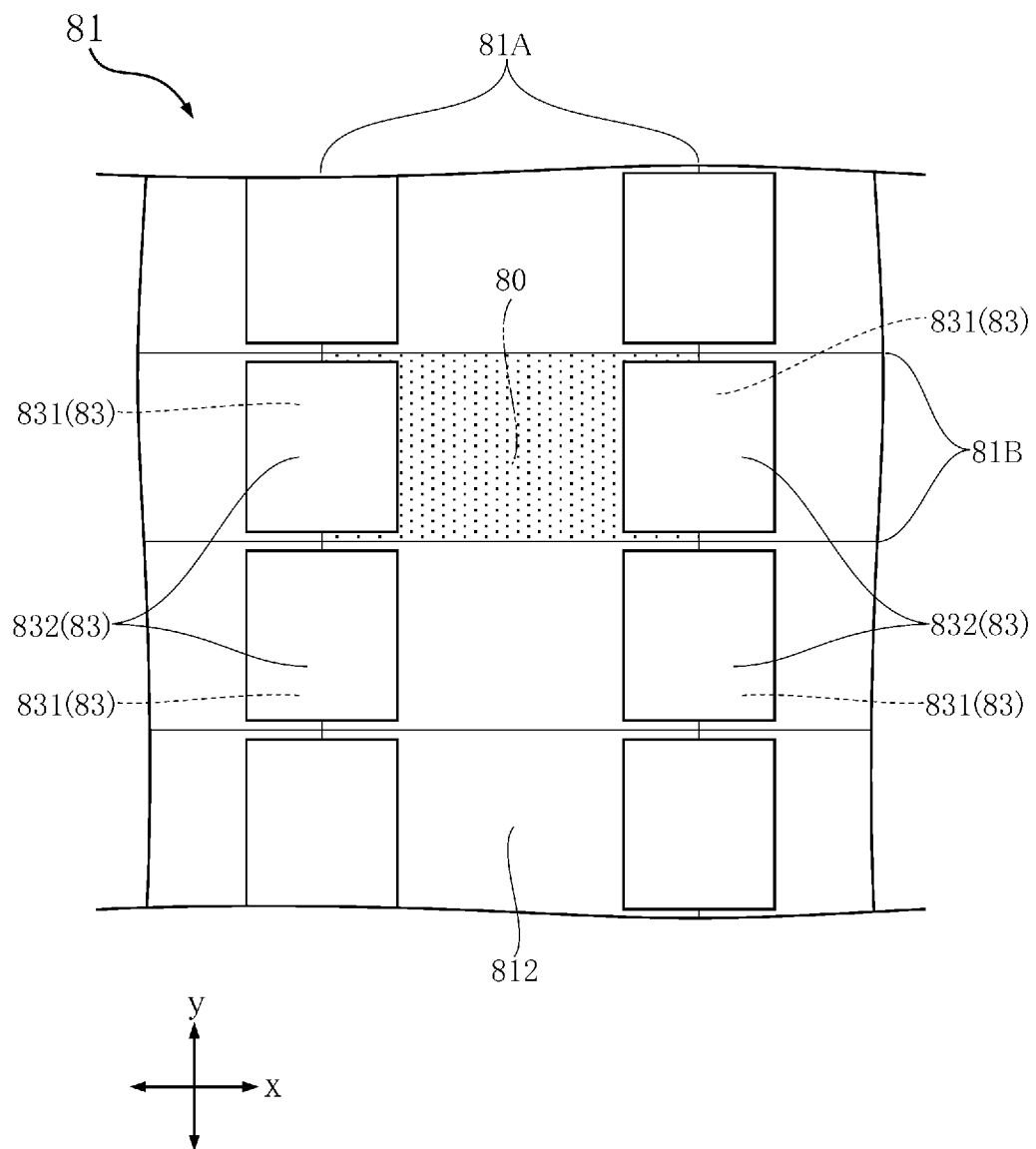
[図7]
FIG.7



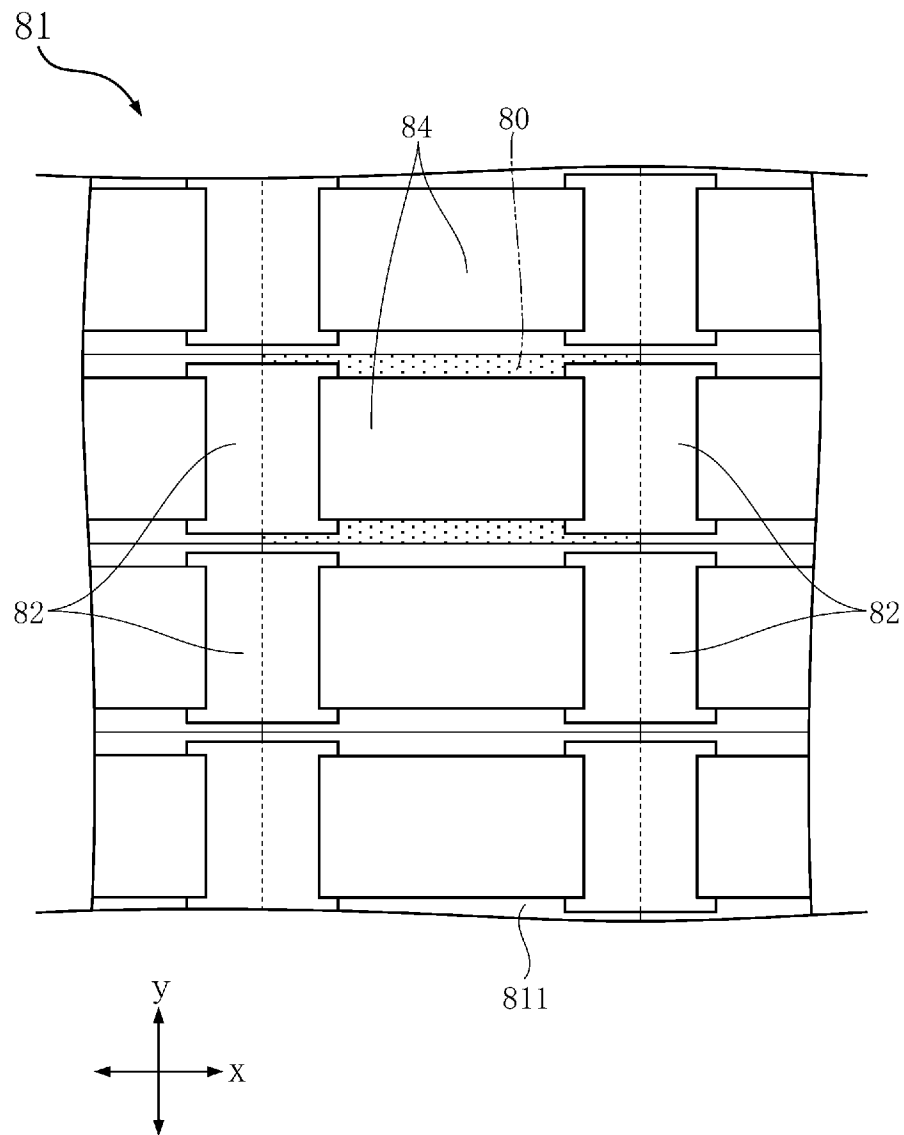
[図8]
FIG.8



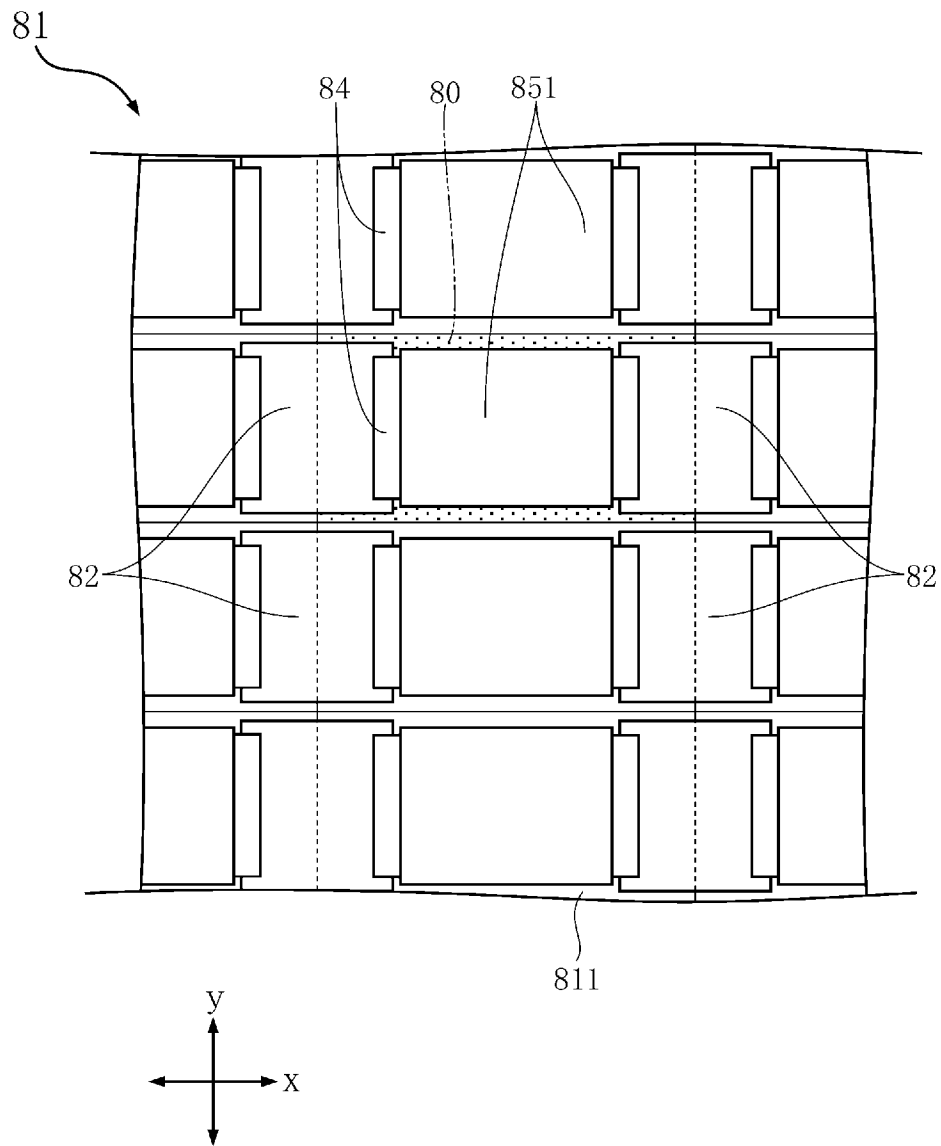
[図9]
FIG.9



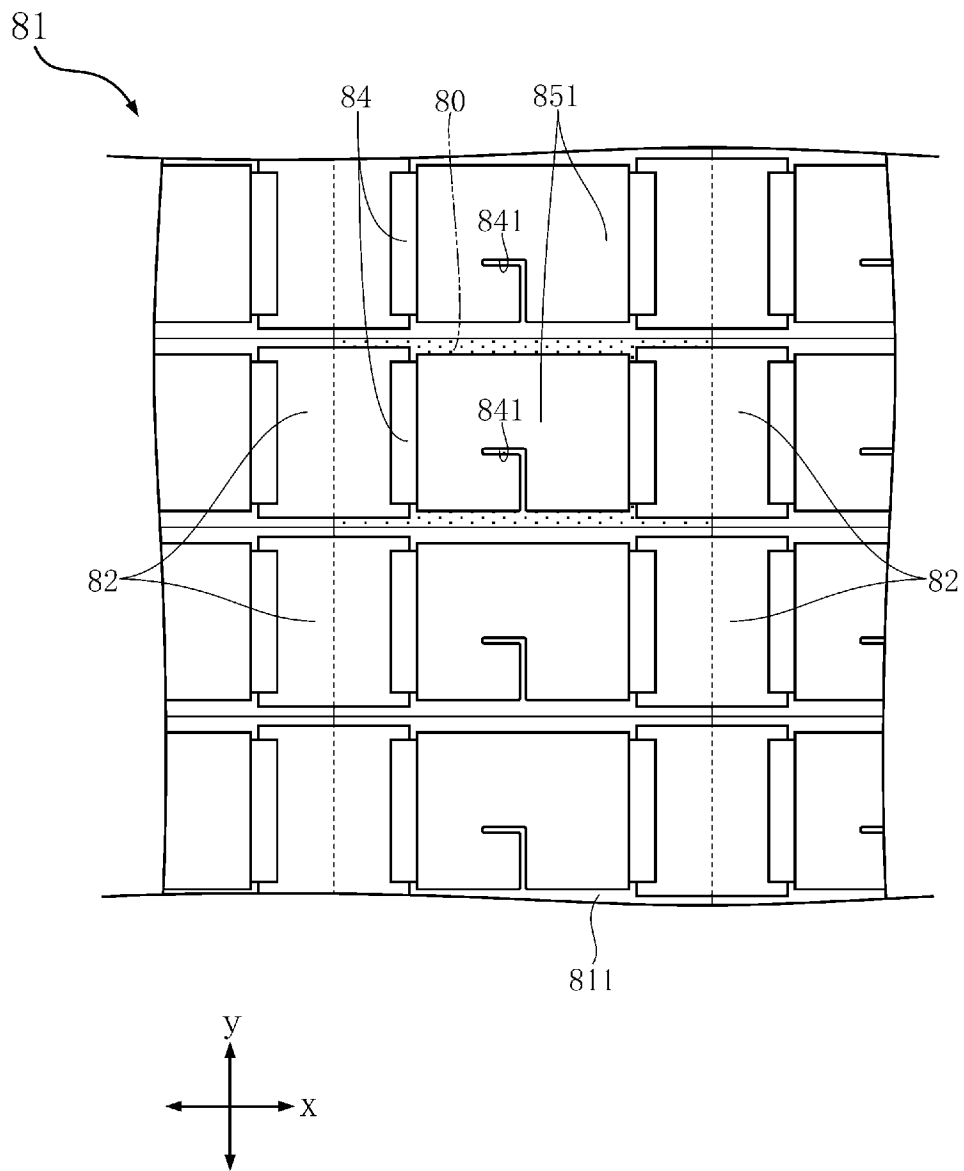
[図10]
FIG.10



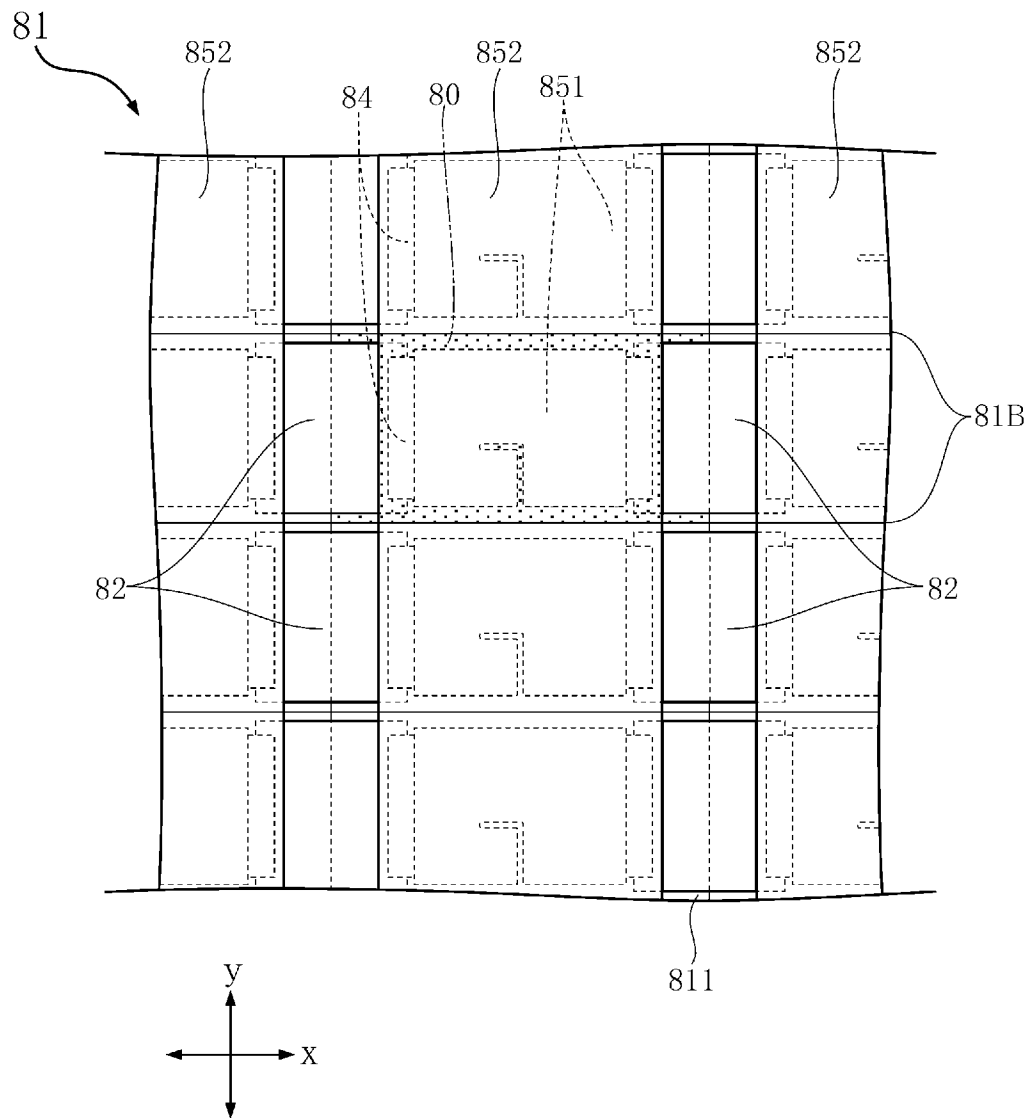
[図11]
FIG.11



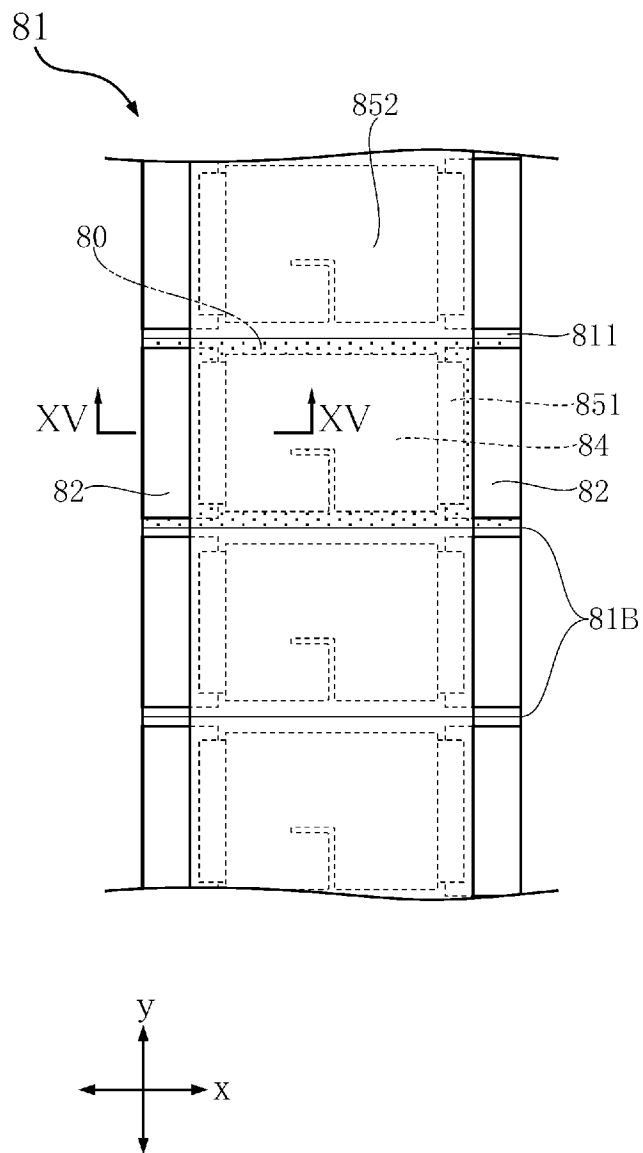
[図12]
FIG.12



[図13]
FIG.13



[図14]
FIG.14

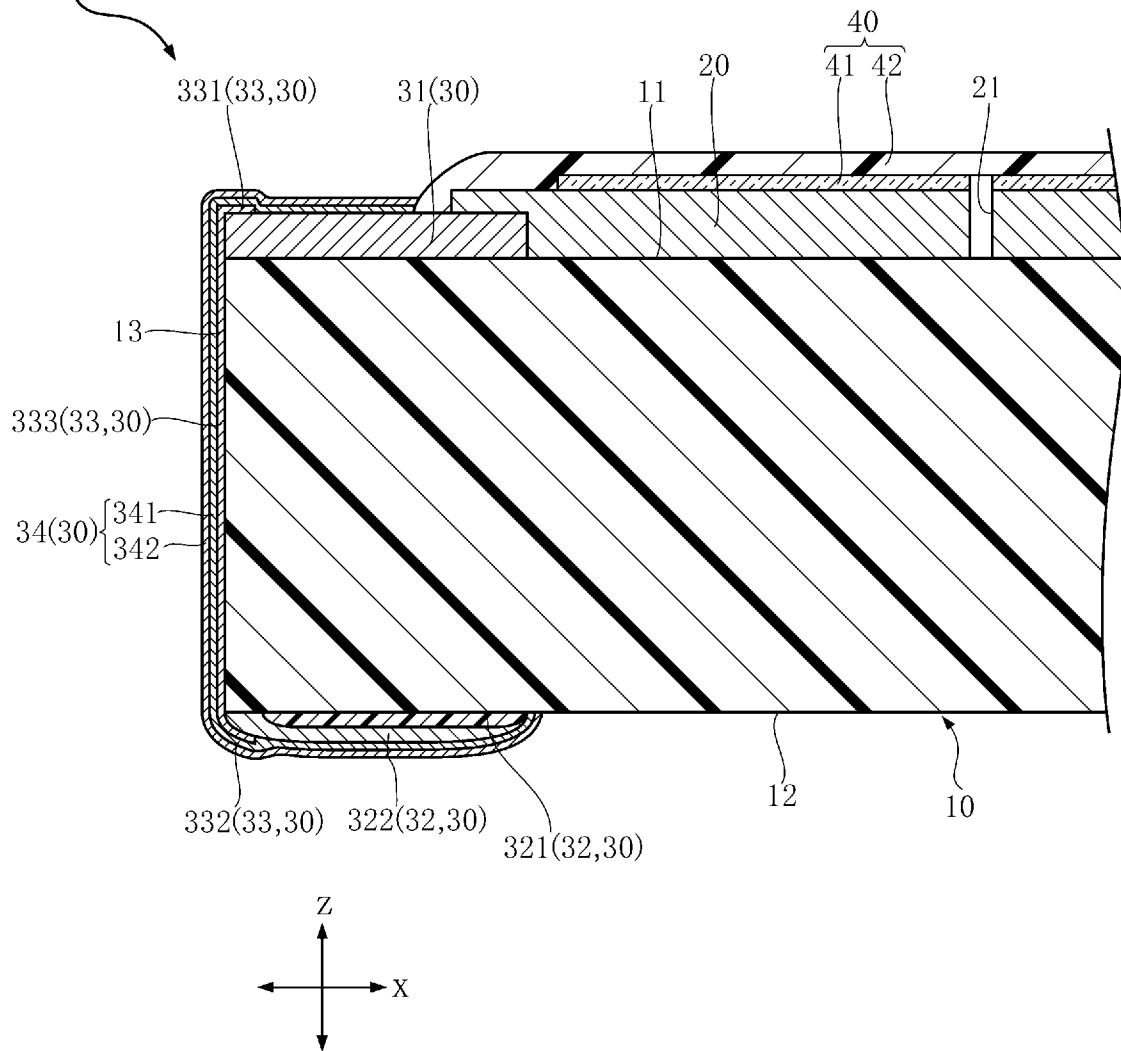


A cross-sectional view of a semiconductor device 81. The device features a substrate 812 with a top layer 82. A central region 811 is covered by a layer 852. To the right, a layer 84 is shown with a sub-layer 851. A large region 813 is filled with diagonal hatching. At the bottom, a region 83 is indicated, which includes sub-regions 831 and 832. A coordinate system is shown at the bottom left with a vertical Z-axis and a horizontal X-axis.

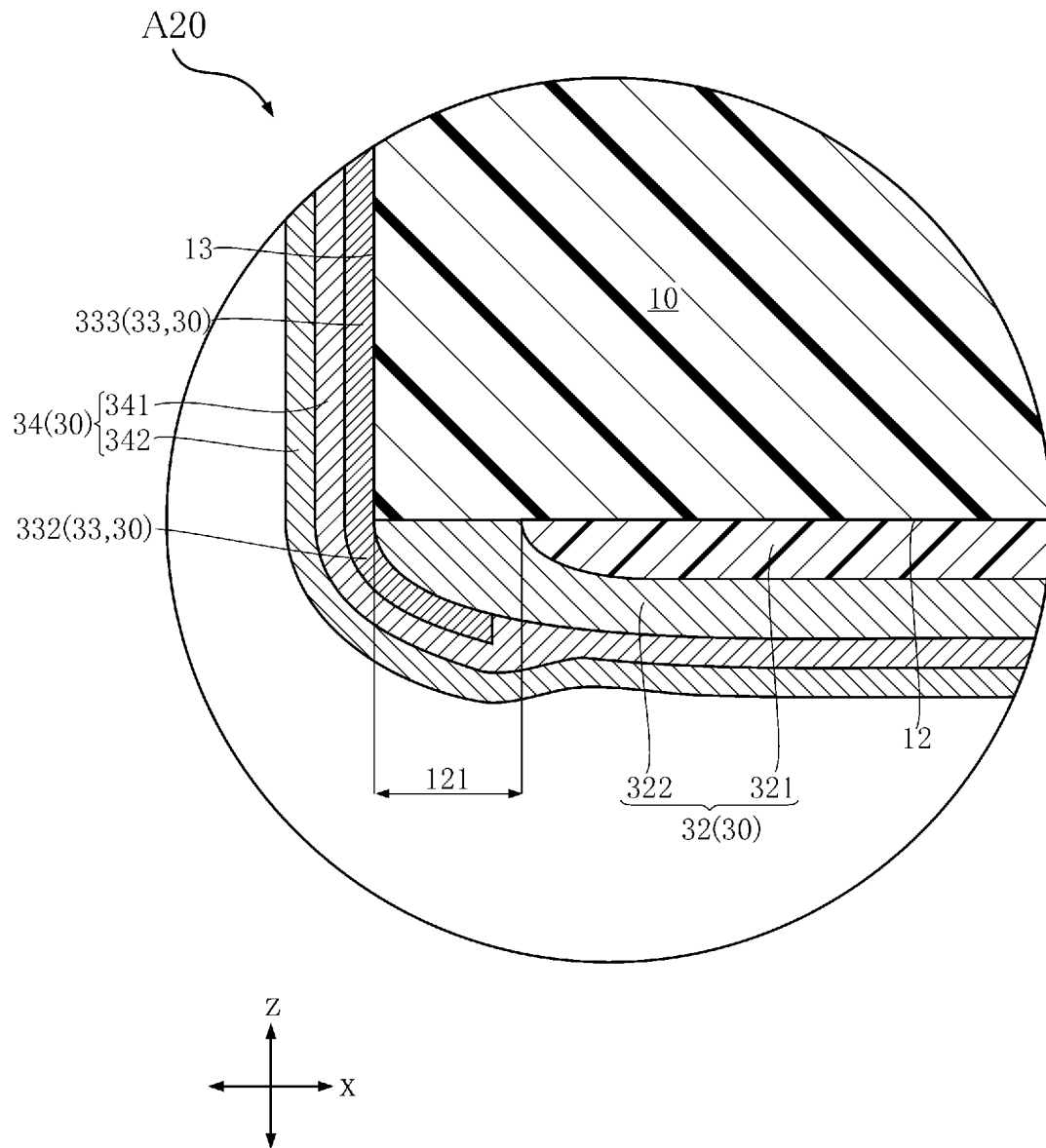
A cross-sectional view of a semiconductor device 81. The device features a substrate 82 with a top surface 852 and a bottom surface 851. A layer 811 is formed on the top surface 852. A layer 84 is formed on the bottom surface 851. A layer 812 is formed on the side surface 813. A layer 86 is formed on the top surface 852. A layer 83 is formed on the bottom surface 851, with sub-layers 831 and 832. A layer 812 is formed on the side surface 813. A coordinate system is shown with Z and X axes.

FIG. 8 is a schematic diagram of a rectangular device 81. The device has a central region 82 and two side regions 86. A dashed line 84 outlines a central area, and a dashed line 851 outlines a smaller area within it. A dashed line 852 outlines a larger area within it. A coordinate system with x and y axes is shown at the bottom left.

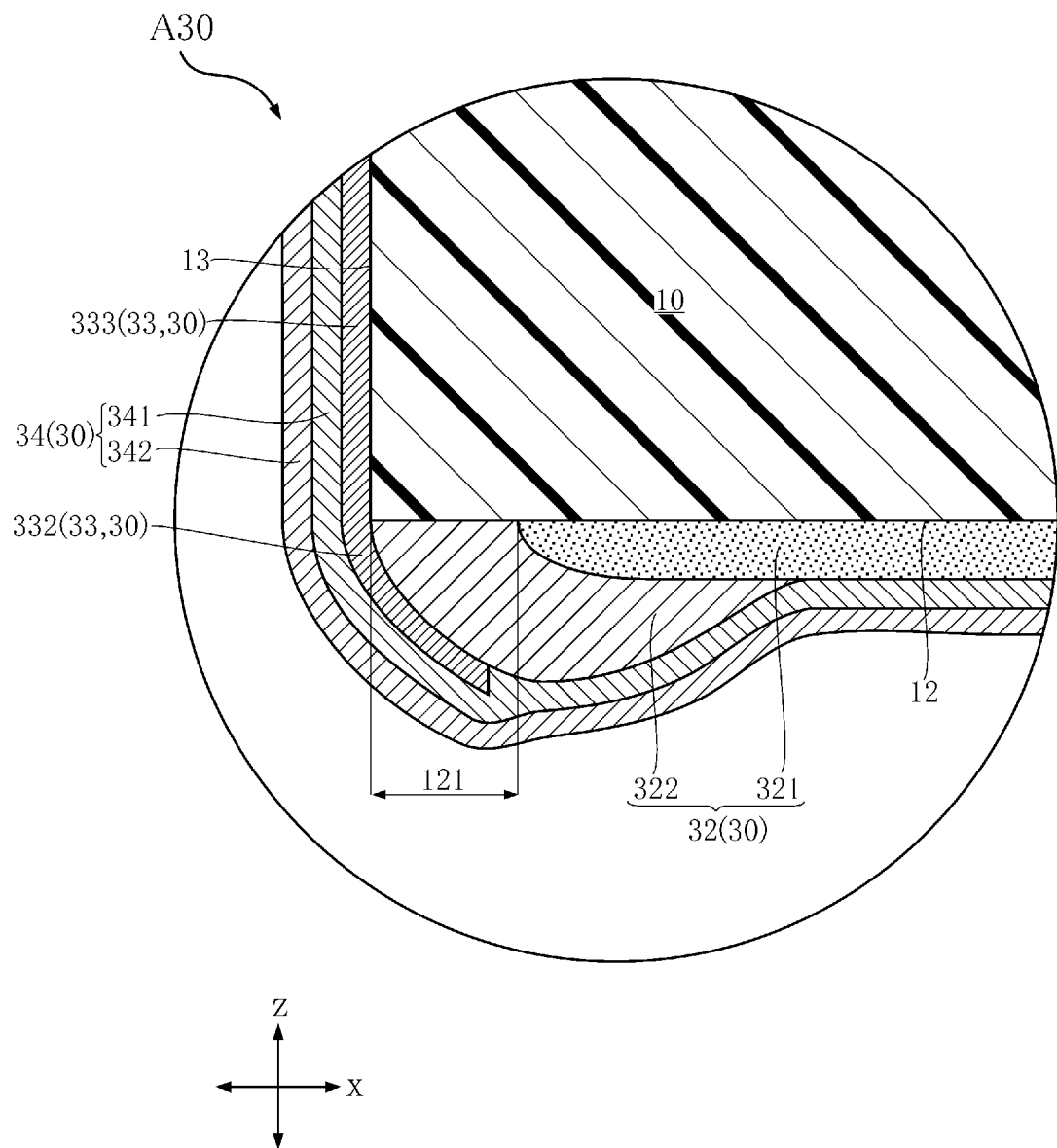
A20



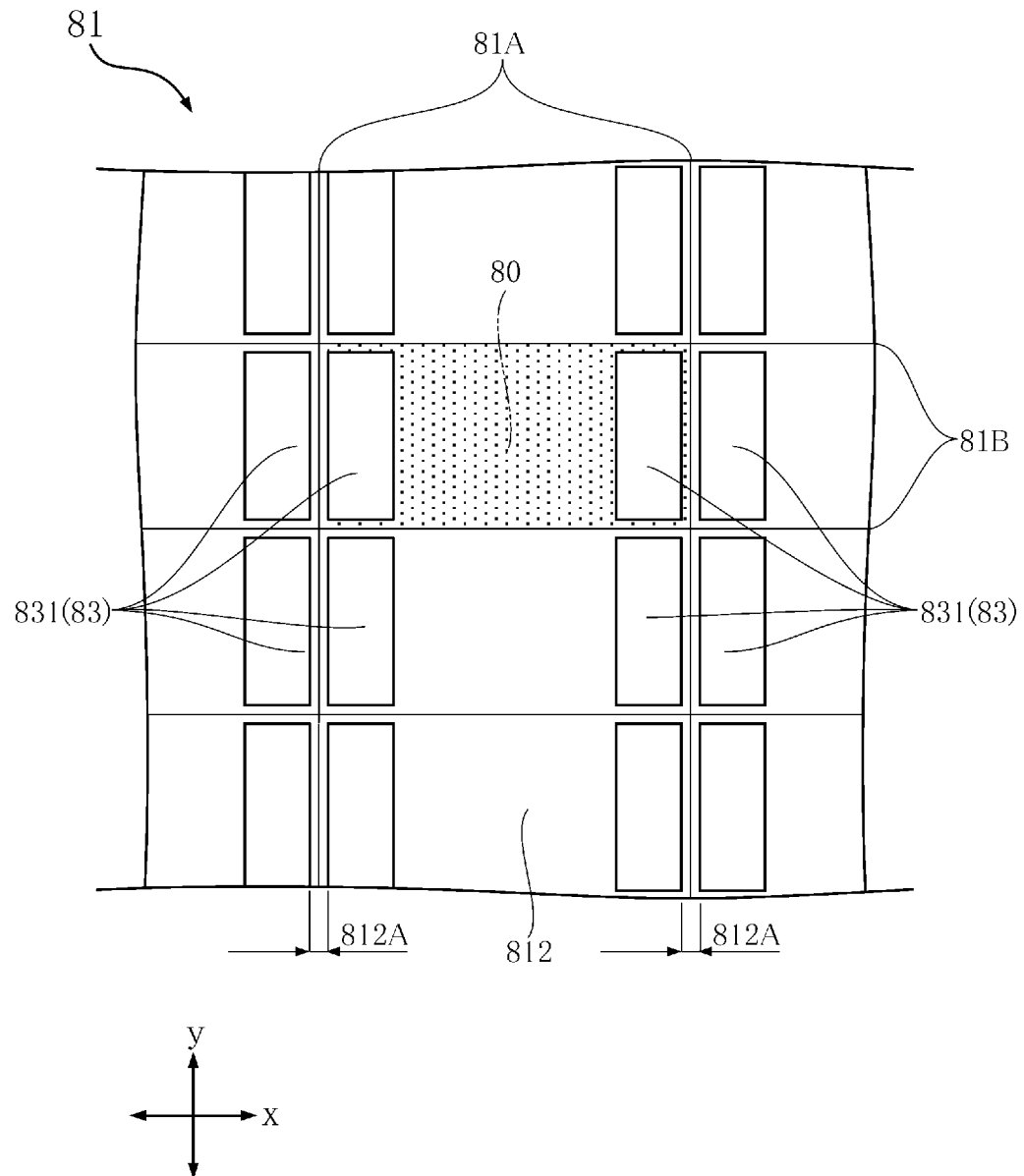
[図20]
FIG.20



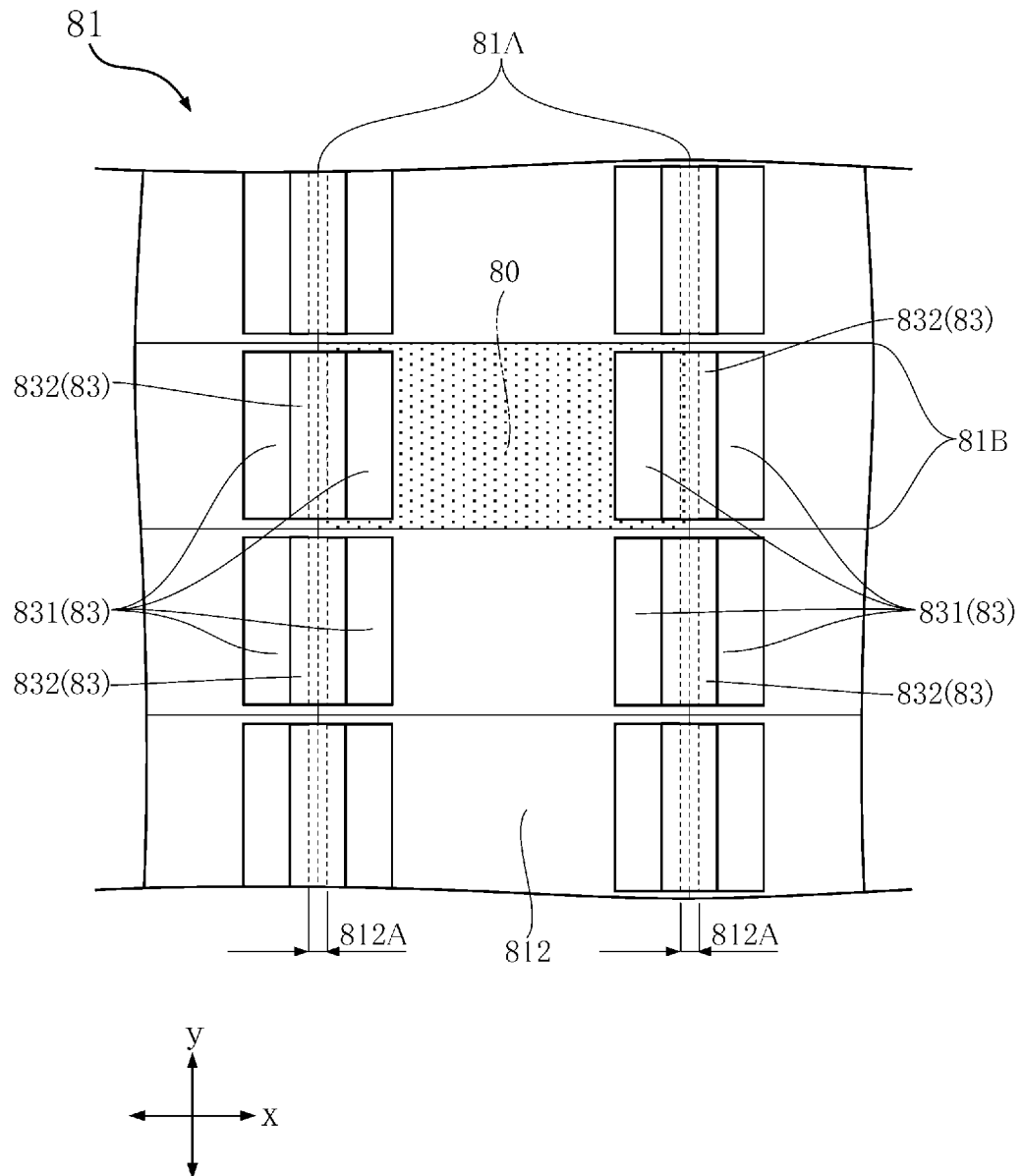
[図22]
FIG.22



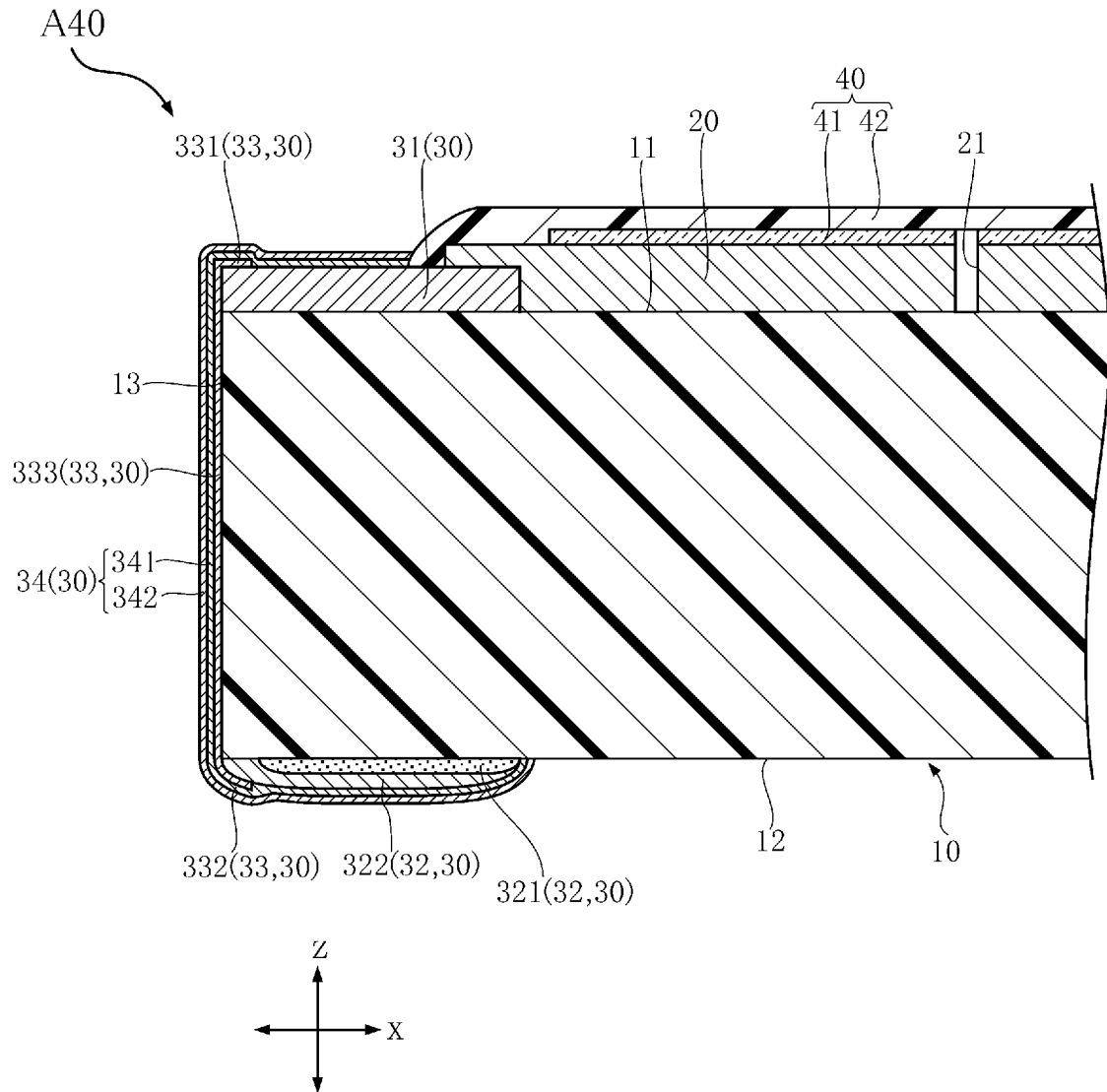
[図23]
FIG.23



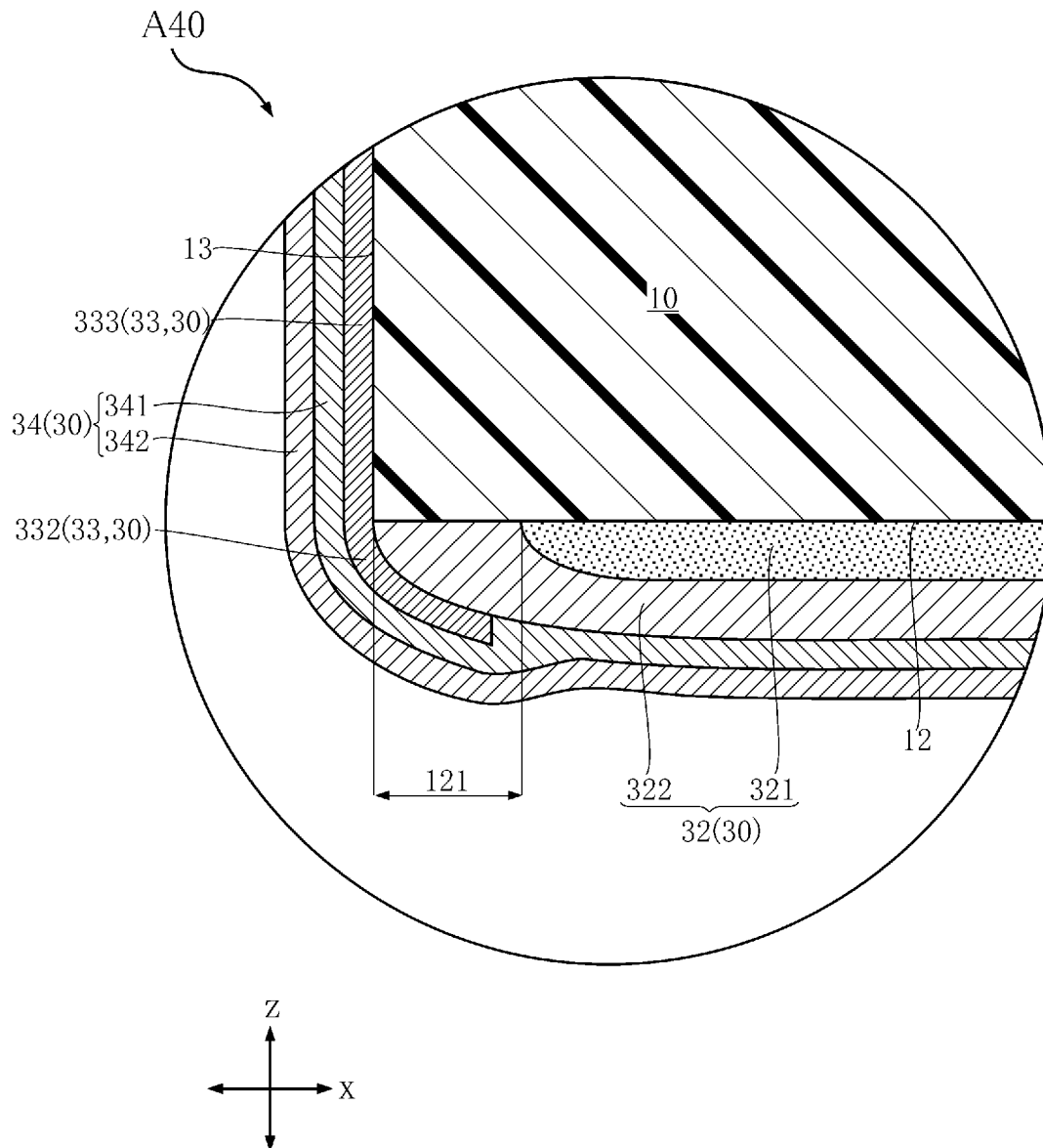
[図24]
FIG.24



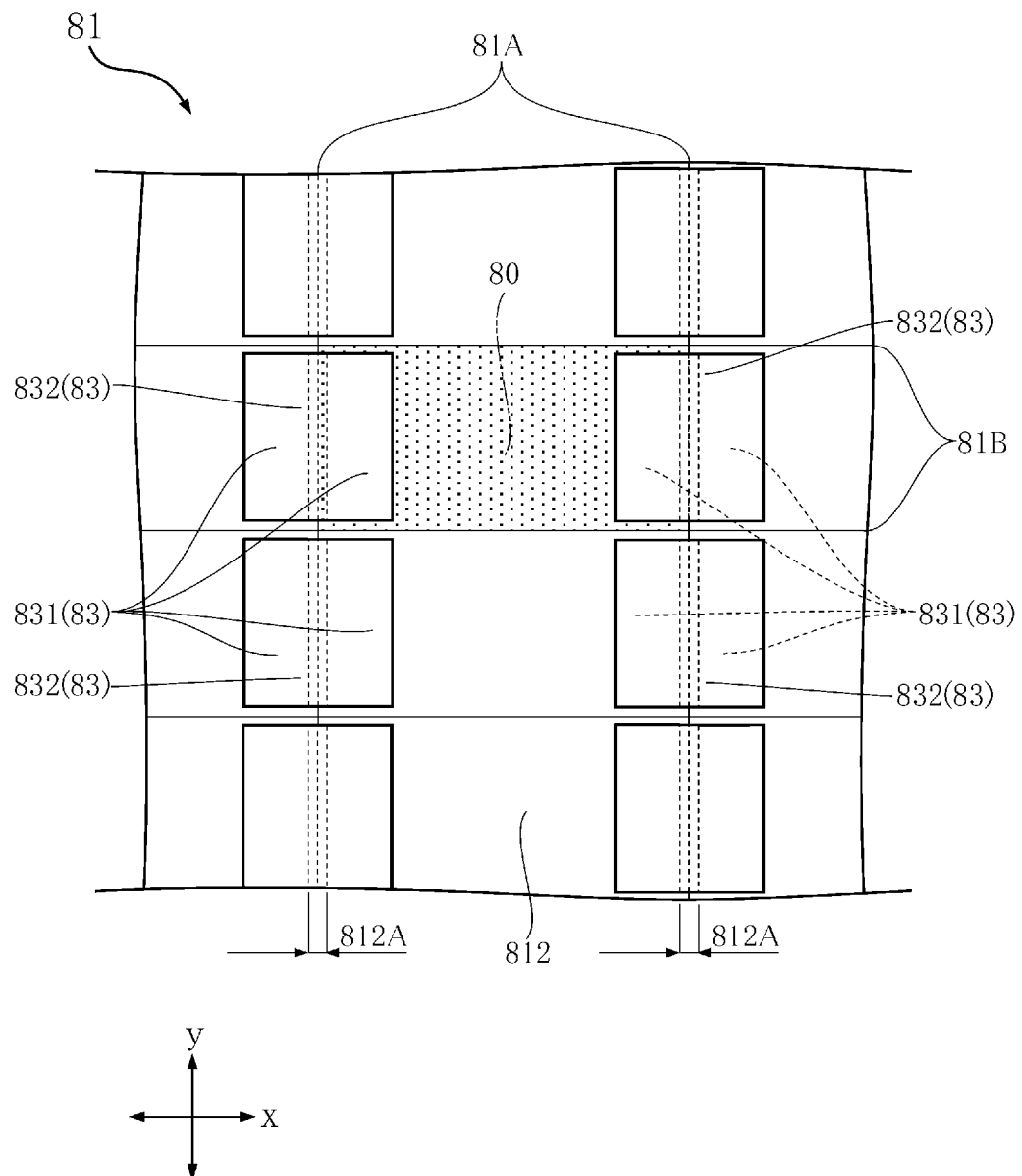
[図25]
FIG.25



[図26]
FIG.26



[図28]
FIG.28



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/007960

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01C1/14 (2006.01) i, H01C7/00 (2006.01) i
FI: H01C1/14Z, H01C7/00110

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01C1/14, H01C7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-84905 A (TAIYOSHA ELECTRIC CO., LTD.) 10.04.2008 (2008-04-10), paragraphs [0004], [0011]-[0027], [0049], fig. 1-5, 15	1, 5-10, 13-17 11-12
Y	JP 2018-32670 A (KOA CORPORATION) 01.03.2018 (2018-03-01), paragraph [0005]	11-12
X Y	JP 2011-165752 A (TAIYOSHA ELECTRIC CO., LTD.) 25.08.2011 (2011-08-25), paragraphs [0114]-[0137], fig. 9, 10	1-4, 10, 13-17 11-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20.05.2020

Date of mailing of the international search report
02.06.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/007960

JP 2008-84905 A 10.04.2008 (Family: none)

JP 2018-32670 A 01.03.2018 (Family: none)

JP 2011-165752 A 25.08.2011 (Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01C 1/14(2006.01)i; H01C 7/00(2006.01)i FI: H01C1/14 Z; H01C7/00 110														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01C1/14; H01C7/00														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2008-84905 A（太陽社電気株式会社）10.04.2008（2008 - 04 - 10） 段落 [0004], [0011] - [0027], [0049], 図1-5, 15	1, 5-10, 13-17												
Y		11-12												
Y	JP 2018-32670 A（KOA株式会社）01.03.2018（2018 - 03 - 01） 段落 [0005]	11-12												
X	JP 2011-165752 A（太陽社電気株式会社）25.08.2011（2011 - 08 - 25） 段落 [0114] - [0137], 図9-10	1-4, 10, 13-17												
Y		11-12												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 20.05.2020	国際調査報告の発送日 02.06.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 上谷 奈那 5D 6298 電話番号 03-3581-1101 内線 3551													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/007960

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-84905	A	10.04.2008	(ファミリーなし)	
JP	2018-32670	A	01.03.2018	(ファミリーなし)	
JP	2011-165752	A	25.08.2011	(ファミリーなし)	