



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I517353 B

(45)公告日：中華民國 105 (2016) 年 01 月 11 日

(21)申請案號：100128698 (22)申請日：中華民國 100 (2011) 年 08 月 11 日
(51)Int. Cl. : *H01L25/04 (2014.01)* *H01L21/77 (2006.01)*
(30)優先權：2010/09/01 美國 12/873,945
(71)申請人：奧瑞可國際公司(美國) ORACLE INTERNATIONAL CORPORATION (US)
美國
(72)發明人：哈瑞達 約翰 HARADA, JOHN A. (US)；多斯特 羅伯特 DROST, ROBERT J.
(US)；道格拉斯 大衛 DOUGLAS, DAVID C. (US)
(74)代理人：林志剛
(56)參考文獻：
TW 568351 TW 201025532A
JP 2009-27068A
審查人員：毛弘瑋
申請專利範圍項數：20 項 圖式數：6 共 37 頁

(54)名稱

用以組裝晶片封裝之組裝組件及方法

ASSEMBLY COMPONENT AND METHOD FOR ASSEMBLING A CHIP PACKAGE

(57)摘要

描述一種組裝組件及一種使用該組裝組件以組裝晶片封裝之技術。此晶片封裝包括一組配置於垂直方向之一堆疊中的半導體晶粒，其係於水平方向被彼此偏移以界定一步進階地於垂直堆疊之一側上。此外，晶片封裝可使用組裝組件來組裝。特別地，組裝組件可包括一具有另一步進階地之殼體。此另一步進階地可包括垂直方向上的步進之一序列，其被彼此偏移於水平方向。再者，殼體可被組態成匹配與該組半導體晶粒，以致該組半導體晶粒被配置於垂直方向之堆疊中。例如，另一步進階地可幾乎為該步進階地之鏡像。

An assembly component and a technique for assembling a chip package using the assembly component are described. This chip package includes a set of semiconductor dies that are arranged in a stack in a vertical direction, which are offset from each other in a horizontal direction to define a stepped terraced at one side of the vertical stack. Moreover, the chip package may be assembled using the assembly component. In particular, the assembly component may include a housing having another stepped terrace. This other stepped terrace may include a sequence of steps in the vertical direction, which are offset from each other in the horizontal direction. Furthermore, the housing may be configured to mate with the set of semiconductor dies such that the set of semiconductor dies are arranged in the stack in the vertical direction. For example, the other stepped terrace may approximately be a mirror image of the stepped terrace.

指定代表圖：

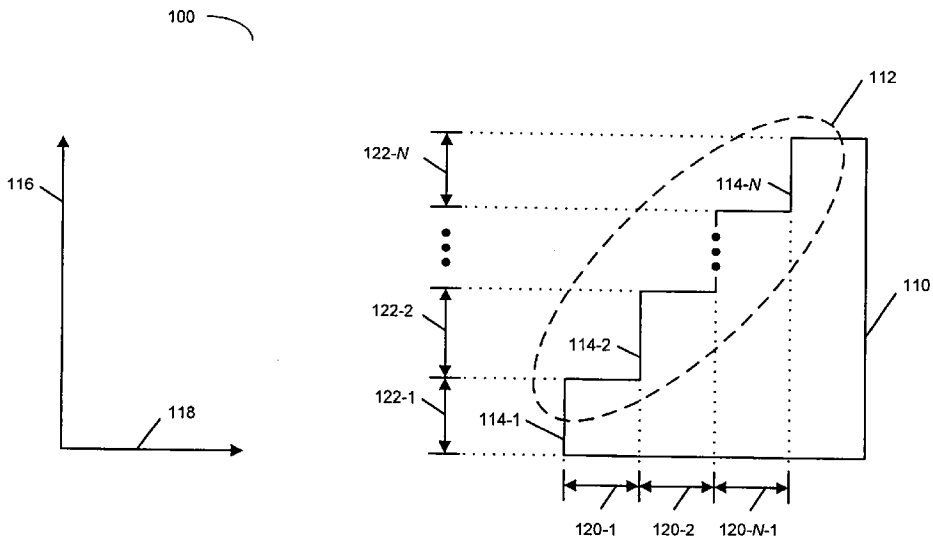


圖1

符號簡單說明：

- 100 . . . 組裝組件
- 110 . . . 殼體
- 112 . . . 步進階地
- 114-1 . . . 步進
- 114-2 . . . 步進
- 114-N . . . 步進
- 116 . . . 垂直方向
- 118 . . . 水平方向
- 120-1 . . . 偏移值
- 120-2 . . . 偏移值
- 120-N-1 . . . 偏移值
- 122-N、122-2、
122-1 . . . 垂直位移

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100128698

※申請日：100 年 08 月 11 日

※IPC 分類：H01L 25/04 (2014.01)
H01L 21/77 (2006.01)

一、發明名稱：(中文／英文)

用以組裝晶片封裝之組裝組件及方法

Assembly component and method for assembling a chip package

二、中文發明摘要：

描述一種組裝組件及一種使用該組裝組件以組裝晶片封裝之技術。此晶片封裝包括一組配置於垂直方向之一堆疊中的半導體晶粒，其係於水平方向被彼此偏移以界定一步進階地於垂直堆疊之一側上。此外，晶片封裝可使用組裝組件來組裝。特別地，組裝組件可包括一具有另一步進階地之殼體。此另一步進階地可包括垂直方向上的步進之一序列，其被彼此偏移於水平方向。再者，殼體可被組態成匹配與該組半導體晶粒，以致該組半導體晶粒被配置於垂直方向之堆疊中。例如，另一步進階地可幾乎為該步進階地之鏡像。

三、英文發明摘要：

An assembly component and a technique for assembling a chip package using the assembly component are described. This chip package includes a set of semiconductor dies that are arranged in a stack in a vertical direction, which are offset from each other in a horizontal direction to define a stepped terraced at one side of the vertical stack. Moreover, the chip package may be assembled using the assembly component. In particular, the assembly component may include a housing having another stepped terrace. This other stepped terrace may include a sequence of steps in the vertical direction, which are offset from each other in the horizontal direction. Furthermore, the housing may be configured to mate with the set of semiconductor dies such that the set of semiconductor dies are arranged in the stack in the vertical direction. For example, the other stepped terrace may approximately be a mirror image of the stepped terrace.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件代表符號簡單說明：

100：組裝組件

110：殼體

112：步進階地

114-1：步進

114-2：步進

114-N：步進

116：垂直方向

118：水平方向

120-1：偏移值

120-2：偏移值

120-N-1：偏移值

122-N、122-2、122-1：垂直位移

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明一般而言係有關一種半導體晶片封裝之製造程序。更明確地，本發明係有關一種組裝組件及一種用以組裝晶片封裝之技術，該晶片封裝包括一配置於堆疊中之晶片族群、及一相對於該堆疊呈一角度之斜坡組件。

【先前技術】

相較於連接至印刷電路板之個別封裝的晶片，包括堆疊之半導體晶片或晶粒的晶片封裝可提供顯著較高的性能。這些晶片封裝亦提供某些優點，諸如下列能力：使用堆疊中之不同晶片上的不同製程、結合較高密度的邏輯和記憶體、及使用較少的電力來轉移資料。例如，實施動態隨機存取記憶體（DRAM）之晶片的堆疊可使用一基礎晶片中之高金屬層數的、高性能的邏輯程序以實施輸入/輸出（I/O）及控制器功能，而一組較低金屬層數的、DRAM特殊處理過的晶片可被使用於該堆疊之剩餘晶片。以此方式，結合之晶片組可具有較佳的性能及較低的成本，相較於以下方式：一種包括使用DRAM製程所製造之I/O和控制器功能的單一晶片；一種包括使用邏輯製程所製造之記憶體電路的單一晶片；及/或嘗試使用單一製程來製作邏輯和記憶體兩者之實體結構。

然而，可能難以組裝其包括堆疊之半導體晶片的晶片封裝。特別地，現有的組裝技術可能很耗時且可能只有低

產量（其可能增加晶片封裝之成本）。例如，於許多現有的組裝技術中，涵蓋半導體晶片之堆疊的總垂直位置誤差為關聯與每一半導體晶片之垂直位置誤差的總和。結果，其包括多數半導體晶片之堆疊的總垂直位置誤差可變為過份地高。此可能導致極少的製造容限來減少個別的垂直位置誤差（其可增加半導體晶粒之成本）及/或可能限制其可被組裝於一堆疊中之半導體晶片的數目（其可能限制性能）。

因此，需要一種用以組裝晶片之堆疊而無上述問題的技術。

【發明內容】

本發明之一實施例係提供一種組裝組件，其包括一具有第一步進階地（stepped terrace）之殼體。此第一步進階地包括垂直方向上的步進之一序列，其中在該步進之序列中之第一步進後的各步進係從該步進之序列中一緊接在前的步進以水平方向被偏移一第一偏移值。再者，該殼體係組態成匹配與一組半導體晶粒，以致該組半導體晶粒被配置於垂直方向之一堆疊中，其係實質上垂直於該垂直堆疊中之第一半導體晶粒。此外，在該第一半導體晶粒後之各半導體晶粒係從該垂直堆疊中一緊接在前的半導體晶粒以水平方向被偏移一第二偏移值，藉此界定一第二步進階地於該垂直堆疊之一側上。

此組裝組件可促成晶片封裝之組裝，其中：一斜坡組

件被堅固地機械式耦合至半導體晶粒；該斜坡組件被置於該垂直堆疊之一側上；及該斜坡組件係幾乎平行於沿著該第二步進階地之方向，其係介於水平方向與垂直方向之間。例如，爲了促成組裝，該第一步進階地可幾乎爲該第二步進階地之一鏡像。再者，該組半導體晶粒中之一既定半導體晶粒可具有一額定厚度，且該步進之序列中之一既定步進的垂直位移可大於該額定厚度。此外，該第一偏移值可相同於或大於該第二偏移值。

注意：該第一偏移值及該第二偏移值可根據該方向及其用以將該斜坡組件堅固地機械式耦合至該組半導體晶粒之焊料的額定厚度來決定。

於某些實施例中，組裝組件促成該組半導體晶粒之組裝，其中涵蓋垂直方向上該組半導體晶粒之累積的位置誤差係小於關聯與該組半導體晶粒和一組介於該些半導體晶粒間之黏著層的垂直誤差之總和。例如，該累積的位置誤差可關聯與：該些半導體晶粒之厚度變化、該組黏著層之厚度變化、及/或該組黏著層中之散熱材料的厚度變化。此外，該組裝組件可促成該組半導體晶粒之組裝，其中關聯與該些半導體晶粒之邊緣變化的該些半導體晶粒之最大位置誤差係小於一預定值。

另一實施例提供一種使用該組裝組件以組裝晶片封裝之方法。於該方法期間，於半導體晶粒之該垂直堆疊中的第一半導體晶粒之邊緣被定位接近於該殼體之該垂直方向上的該第一步進階地中之該步進之序列中的該第一步進。

注意：該垂直方向係實質上垂直於該第一半導體晶粒。接著，一黏著層被塗佈至該第一半導體晶粒之頂部表面。此外，於半導體晶粒之該垂直堆疊中的第二半導體晶粒之邊緣被定位接近於該殼體之該垂直方向上的該步進之序列中之第二步進。接下來，該第二半導體晶粒之底部表面被機械式耦合至該黏著層，其中該第二步進係從該第一步進以該水平方向被偏移該第一偏移值，且其中該第二半導體晶粒以該水平方向被偏移該第二偏移值，藉此界定該第二步進階地於該垂直堆疊之一側上。再者，該斜坡組件被堅固地機械式耦合至該第一半導體晶粒及該第二半導體晶粒，其中該斜坡組件被定位於該垂直堆疊之該一側上，及其中該斜坡組件係幾乎平行於沿著該第二步進階地之方向，其係介於水平方向與垂直方向之間。

注意：一既定半導體晶粒（其可為該第一半導體晶粒與該第二半導體晶粒之一）之定位可涉及一種拾起並放置工具。再者，此定位可基於該既定半導體晶粒上之光學對準標記。

於某些實施例中，該黏著層包括散熱材料，其優先地傳導熱於一既定半導體晶粒之平面中。

此外，將該斜坡組件堅固地機械式耦合至該第一半導體晶粒和該第二半導體晶粒可涉及熔化或重流焊料於：該斜坡組件及/或該第一半導體晶粒和該第二半導體晶粒上。注意：當將該斜坡組件堅固地機械式耦合至該第一半導體晶粒和該第二半導體晶粒時，可施加一壓縮力於垂直方

向上。

另一實施例提供一種不使用該組裝組件而組裝晶片封裝之方法。於此方法期間，該第一半導體晶粒被定位於半導體晶粒之該垂直堆疊中，其中該垂直堆疊係沿著其實質上垂直於該第一半導體晶粒之該垂直方向。接著，該黏著層被塗佈至該第一半導體晶粒之該頂部表面。此外，於半導體晶粒之該垂直堆疊中的該第二半導體晶粒之該邊緣被定位相對於該第一半導體晶粒，其中該第二半導體晶粒之該底部表面被機械式耦合至該黏著層，及其中該第二半導體晶粒以該水平方向被偏移該偏移值，藉此界定一步進階地於該垂直堆疊之一側上。再者，該斜坡組件被堅固地機械式耦合至該第一半導體晶粒及該第二半導體晶粒，其中該斜坡組件被定位於該垂直堆疊之該一側上，及其中該斜坡組件係幾乎平行於沿著該步進階地之方向，其係介於水平方向與垂直方向之間。

【實施方式】

描述一種組裝組件、一種使用組裝組件以組裝晶片封裝之方法、及另一種不使用組裝組件以組裝晶片封裝之方法。此晶片封裝包括一組配置於垂直方向之一堆疊中的半導體晶粒，其係於水平方向被彼此偏移以界定一步進階地於垂直堆疊之一側上。此外，晶片封裝包括一定位於垂直堆疊之一側上的斜坡組件，其係幾乎平行於沿著該步進階地之方向。此晶片封裝可使用組裝組件來組裝。特別地，

組裝組件可包括一具有另一步進階地之殼體。此另一步進階地可包括垂直方向上的步進之一序列，其被彼此偏移於水平方向。再者，殼體可被組態成匹配與該組半導體晶粒，以致該組半導體晶粒被配置於垂直方向之堆疊中。例如，另一步進階地可幾乎為該步進階地之鏡像。

藉由促成晶片封裝之組裝，組裝組件和組裝技術可致能高性能晶片封裝（諸如具有高頻寬互連的晶片封裝）之低成本、高產量的製造。特別地，這些實施例可促成減少的機械誤差於晶片封裝之組裝期間，並促成一種更能承受晶片封裝中之組件的尺寸和位置之機械變化的晶片封裝。例如，使用這些實施例，該組半導體晶粒可被組裝於晶片封裝，其中涵蓋該堆疊的總垂直位置誤差係小於關聯與該組半導體晶粒和介於該些半導體晶粒間之黏著層的垂直誤差（有時稱為「垂直誤差」）。此可藉由個別地將各半導體晶粒參照組裝組件來達成（而非將堆疊中之一既定的半導體晶粒機械式地參照組裝期間之一緊接在前的半導體晶粒）。因此，組裝組件及相關的組裝技術可防止個別的垂直位置誤差被混合。另一方面，於具有少數半導體晶粒之堆疊中（諸如其中未禁止關聯與堆疊之混合的總垂直位置誤差之那些情況下），可使用其他組裝技術以組裝晶片封裝而不使用組裝組件。

現在描述組裝組件及晶片封裝之實施例。圖1呈現一方塊圖，其說明一可於晶片封裝（諸如圖3及4中之晶片封裝300，其有時被稱為「斜坡堆疊晶片封裝」）之組裝期

間被用以定位及固定半導體晶粒（或晶片）的組裝組件 100。此組裝組件包括一具有步進階地 112 之殼體 110。此外，此步進階地包括垂直方向 116 上的步進 114 之一序列。注意：在步進 114-1 後之各步進係從步進 114 之序列中一緊接在前的步進以水平方向 118 被偏移一相關的偏移值 120。再者，偏移值 120 可各具有幾乎針對步進 114 之序列的一恆定值，或者可隨著步進 114 之序列而改變（亦即，步進階地 112 中之不同步進 114 的偏移值可不同）。此外，關聯與步進 114（除了那些針對步進 114-1 或步進 114-N 者之外）之序列的垂直位移 122 可各具有幾乎一恆定值或者可隨著步進 114 之序列而改變（亦即，步進階地 112 中之不同步進 114 的垂直位移可不同）。

如圖 2 中所示，其呈現一方塊圖，其說明使用此組裝組件之晶片封裝的組裝，殼體 110 可被組態成匹配與一組半導體晶粒 210 以致該組半導體晶粒 210 被配置於垂直方向 116 方向上之一堆疊 212 中。注意：垂直方向 116 係實質上垂直於堆疊 212 中之半導體晶粒 210-1（及，因此，具有水平方向 118）。此外，在半導體晶粒 210-1 後之各半導體晶粒可從堆疊 212 中一緊接在前的半導體晶粒以水平方向 118 被偏移一相關的偏移值 214，藉此界定一步進階地 216 於堆疊 212 之一側上。這些偏移值可各具有幾乎針對該組半導體晶粒 210 的一恆定值，或者可隨著該組半導體晶粒 210 而改變（亦即，步進階地 216 中之不同步進的偏移值可不同）。

此外，如圖3中所示，其呈現一說明已組裝好的晶片封裝300之側視圖的方塊圖，組裝組件100（圖1）可促成晶片封裝300之組裝，其中：高頻寬的斜坡組件312被堅固地機械式並電氣地耦合至半導體晶粒210，藉此促成半導體晶粒210之間的通訊並供應電力至半導體晶粒210；斜坡組件312被定位於堆疊212之一側上（圖2）；及斜坡組件312係幾乎平行於沿著步進階地216（圖2）之方向314（以角度316），其係介於水平方向118與垂直方向116之間。

回來參考圖2，爲了促成組裝，步進階地112（圖1）可幾乎爲步進階地216（圖2）之一鏡像。再者，該組半導體晶粒210中之一既定的半導體晶粒可具有一額定厚度220，且步進114之序列中的一既定步進之垂直位移可大於額定厚度220（或者其可大於任何半導體晶粒210之最大厚度）。然而，注意：於某些實施例中，堆疊212中之至少某些半導體晶粒210的厚度可以是不同的（例如，厚度可隨著堆疊212而改變）。

於範例實施例中，垂直位移122可各爲 $160\mu\text{m}$ 相對於 $150\pm 5\mu\text{m}$ 之額定厚度220。（然而，於其他實施例中，額定厚度220可介於 30 與 $250\mu\text{m}$ 之間）。此相對於額定厚度220之額外的垂直位移可容許黏著層222中之黏著劑於組裝期間散開。注意：針對 $150\mu\text{m}$ 之額定厚度220，角度316（圖3）可介於 15 與 20 度之間。一般而言，額定厚度220係部分地取決於堆疊212中之半導體晶粒210的數目。再者，注意：黏著層222之額定厚度224可爲 $10\mu\text{m}$ 。（然而，於其他實

施 例 中 ， 黏 著 層 222 之 厚 度 可 沿 著 堆 疊 212 中 之 垂 直 方 向 116 而 改 變 ） 。

此 外 ， 步 進 階 地 112 （ 圖 1 ） 中 之 一 既 定 步 進 上 的 偏 移 值 可 相 同 於 或 大 於 步 進 階 地 216 中 之 相 關 偏 移 值 。 一 般 而 言 ， 偏 移 值 120 （ 圖 1 ） 和 偏 移 值 214 可 根 據 圖 3 中 之 方 向 314 （ 或 角 度 316 ） 及 用 以 將 斜 坡 組 件 312 （ 圖 3 ） 堅 固 地 機 械 式 耦 合 至 該 組 半 導 體 晶 粒 210 之 焊 料 （ 諸 如 圖 3 中 之 焊 料 球 318 ） 的 額 定 厚 度 來 決 定 。 注 意 ： 焊 料 之 厚 度 可 於 堆 疊 212 上 幾 乎 為 恆 定 或 者 可 於 堆 疊 上 改 變 （ 亦 即 ， 沿 著 垂 直 方 向 116 ） 。

於 某 些 實 施 例 中 ， 組 裝 組 件 100 （ 圖 1 ） 促 成 該 組 半 導 體 晶 粒 210 之 組 裝 而 具 有 在 垂 直 方 向 116 上 涵 蓋 該 組 半 導 體 晶 粒 210 之 累 積 的 位 置 誤 差 （ 亦 即 ， 在 涵 蓋 堆 疊 212 之 半 導 體 晶 粒 的 垂 直 位 置 中 的 累 積 位 置 誤 差 ） ， 其 係 小 於 關 聯 與 該 組 半 導 體 晶 粒 210 及 介 於 半 導 體 晶 粒 210 間 之 黏 著 層 222 （ 諸 如 在 150℃ 於 10 秒 內 硬 化 的 環 氧 樹 脂 或 膠 ） 。 例 如 ， 累 積 位 置 誤 差 可 關 聯 與 ： 半 導 體 晶 粒 210 之 厚 度 變 化 、 黏 著 層 222 之 厚 度 變 化 、 及 / 或 在 至 少 某 些 黏 著 層 222 中 之 一 可 選 的 散 熱 材 料 226 （ 諸 如 壓 形 的 石 墨 纖 維 ） 的 厚 度 變 化 。 於 某 些 實 施 例 中 ， 累 積 位 置 誤 差 可 小 於 1 μ m ， 且 可 小 如 0 μ m 。 此 外 ， 組 裝 組 件 100 （ 圖 1 ） 可 促 成 該 組 半 導 體 晶 粒 210 之 組 裝 而 具 有 最 大 位 置 誤 差 （ 亦 即 在 圖 3 之 距 離 320 之 最 大 誤 差 ） ， 其 係 關 聯 與 半 導 體 晶 粒 210 之 邊 緣 變 化 （ 諸 如 鋸 齒 線 位 置 中 之 變 化 ） ， 其 係 小 於 一 預 界 定 值 （ 例 如 ，

最大位置誤差可小於 $1\mu\text{m}$ ，且可小如 $0\mu\text{m}$ ）。如以下進一步參考圖 5 所述，此可藉由使用一種拾起並放置工具以使用半導體晶粒 210 上之光學對準標記（諸如基準標記）來組裝晶片封裝 300（圖 3）而完成，以致測得相對於半導體晶粒 210 之鋸齒道中心的距離 320（圖 3）。（替代地或除此之外，於某些實施例中，圖 1 中之組裝組件 100 包括機械擋止（諸如使用聚醯亞胺所製造之機械擋止），且半導體晶粒 210 可於圖 3 之晶片封裝 300 的組裝期間抵靠這些機械擋止而被推向上，藉此促成水平方向 118 及 / 或垂直方向 116 上之理想的容限。

回來參考圖 3，爲了考量垂直方向 116 上之機械對準誤差，焊料凸塊或墊（諸如焊料墊 322-1 及 / 或焊料墊 322-2）及 / 或焊料 318 之高度和節距可於至少某些半導體晶粒 210 之間沿著垂直方向 116 而改變。例如，距離 320（亦即，焊料墊 322-1 相對於半導體晶粒 210-1 之鋸齒道中心的位置）可爲 $60\mu\text{m}$ 且焊料墊 322 可各具有 $80\mu\text{m}$ 之寬度。再者，焊料球（諸如焊料球 318）在重流或熔化之前可具有 $120\mu\text{m}$ 之直徑，及在熔化後介於 40 與 $60\mu\text{m}$ 之間的約略厚度。於某些實施例中，二或更多列的焊料球可將斜坡組件 312 堅固地耦合至一既定的半導體晶粒。

圖 4 呈現一方塊圖，其說明組裝好的晶片封裝 300 之頂視圖，其中堆疊 212（圖 2）包括四個半導體晶粒 210。晶片封裝 300 之此視圖說明：於某些實施例中，焊料墊 410 可具有非矩形的形狀。例如，焊料墊 410 可具有橢圓形狀，

諸如那些具有 $80\mu\text{m}$ 寬及 $120\mu\text{m}$ 長的形狀。半導體晶粒 210 及 / 或斜坡組件 312 上之這些焊料墊形狀可承受一些水平及 / 或垂直位置誤差。

於某些實施例中，焊料墊可被移至斜坡組件 312 之邊緣。如此可促成垂直定向（亦即，圖 3 中之角度 316 可為 0 度）。此組態可促成一種記憶體模組，其中關聯與輸入 / 輸出（I/O）信號線及電力線之接點或墊係位於斜坡組件之邊緣上（而非於「脊柱」下）。以此方式，斜坡組件中之數個擴散層可被減少。例如，於此記憶體模組中，可有 60 個接點或墊沿著斜坡組件 312 之邊緣。

藉由容許堆疊程序於參照圖 1 中之組裝組件 100 的晶片封裝 300（相對於圖 2 之堆疊 212 中緊接在前的半導體晶粒）之組裝期間，此組裝組件可有效地減少關聯與晶片封裝 300 中之組件的尺寸和厚度之機械變化的水平及 / 或垂直位置誤差。因此，圖 1 中之組裝組件 100 可促成晶片封裝 300 之高度準確的且高產量的組裝。再者，因為此組裝組件亦促成高容量且低成本的製造技術（諸如拾起並放置工具）之使用，所以可顯著地減少晶片封裝 300 之成本。

此外，組裝低成本、高產量的晶片封裝之能力可促成高性能的裝置。例如，於某些實施例中，一斜坡堆疊晶片封裝（諸如晶片封裝 300）被包括於雙線內（in-line）記憶體模組中。例如，可有高達 80 個記憶體裝置（諸如動態隨機存取記憶體或其他型式的記憶體儲存裝置）於斜坡堆疊晶片封裝中。假如需要的話，「壞的」或故障的記憶體

裝置可被除能。因此，可使用 72 個記憶體裝置（在 80 個內）。再者，此架構可展現記憶體模組中之記憶體裝置的完整頻寬，以致僅有極少或者沒有潛時延遲於任何記憶體裝置之存取時。

另一方面，雙線內記憶體模組可包括各可包括一斜坡堆疊晶片封裝之多數欄位。例如，可有四個斜坡堆疊晶片封裝（其各包括九個記憶體裝置）於雙線內記憶體模組中。

於某些實施例中，這些雙線內記憶體模組之一或更多（其可包括一或更多斜坡堆疊晶片封裝）可被耦合至一處理器。例如，處理器可使用電容耦合信號之電容性近處通訊（PxC）而被耦合至一或更多雙線內記憶體模組。接著，處理器可使用 C4 焊料球而被安裝於一基底上。

現在描述組裝技術之實施例。圖 5 呈現一流程圖，其說明一種使用組裝組件 100（圖 1）以組裝晶片封裝之方法 500。於此方法期間，於半導體晶粒之垂直堆疊中的第一半導體晶粒之邊緣被定位接近於一殼體（諸如一組裝組件中之殼體）之垂直方向上的第一步進階地中之步進之序列中的第一步進（操作 510）。注意：該垂直方向係實質上垂直於該第一半導體晶粒。接著，一黏著層被塗佈至該第一半導體晶粒之頂部表面（操作 512）。

此外，於半導體晶粒之該垂直堆疊中的第二半導體晶粒之邊緣被定位接近於該殼體之該垂直方向上的該步進之序列中之第二步進，且該第二半導體晶粒之底部表面被機

械式耦合至該黏著層（操作514）。注意：該第二步進係從該第一步進以該水平方向被偏移第一偏移值，且該第二半導體晶粒以該水平方向被偏移第二偏移值，藉此界定第二步進階地於該垂直堆疊之一側上。再者，斜坡組件被堅固地機械式耦合至該第一半導體晶粒及該第二半導體晶粒（操作516），其中該斜坡組件被定位於該垂直堆疊之該一側上，及其中該斜坡組件係幾乎平行於沿著該第二步進階地之方向，其係介於水平方向與垂直方向之間。

注意：一既定半導體晶粒（其可為該第一半導體晶粒與該第二半導體晶粒之一）之定位可涉及一種拾起並放置工具。於一範例實施例中，水平及/或垂直對準係於1-10 μm 之內。再者，此定位可基於該既定半導體晶粒上之光學對準標記。例如，光學對準標記可包括基準標記。

此外，將該斜坡組件堅固地機械式耦合至該第一半導體晶粒和該第二半導體晶粒可涉及熔化焊料於：該斜坡組件及/或該第一半導體晶粒和該第二半導體晶粒上。當重流該焊料時，斜坡組件可被置於堆疊之上，反之亦然。如此可容許斜坡組件（或半導體晶粒之堆疊）之重量協助克服焊料之表面張力。

注意：當將該斜坡組件堅固地機械式耦合至該第一半導體晶粒和該第二半導體晶粒時，可施加一壓縮力於垂直方向上。如此可確保組裝好的晶片封裝具有理想的高度。於某些實施例中，壓縮力係沿著斜坡組件之法線而施加。這些壓縮力之任一者均可增進堆疊內之熱轉移，例如，藉

由填充或減少晶片封裝中的組件之間的間隙。

雖然方法 500 係說明組裝組件 100 (圖 1) 之使用，但是於其他實施例中，晶片封裝 300 (圖 3 及 4) 係並未使用組裝組件 100 (圖 1) 來組裝。在具有少數半導體晶粒 (或較少) 且其對於累積的位置誤差較不敏感之晶片封裝中，此方式是可行的。

一種相應的組裝技術係顯示於圖 6，其呈現一說明一種不使用組裝組件 100 (圖 1) 而組裝晶片封裝之方法 600 的流程圖。於此方法期間，該第一半導體晶粒被定位於半導體晶粒之該垂直堆疊中 (操作 610)，其中該垂直堆疊係沿著其實質上垂直於該第一半導體晶粒之該垂直方向。接著，該黏著層被塗佈至該第一半導體晶粒之該頂部表面 (操作 612)。此外，於半導體晶粒之該垂直堆疊中的該第二半導體晶粒之該邊緣被定位相對於該第一半導體晶粒 (操作 614)，其中該第二半導體晶粒之該底部表面被機械式耦合至該黏著層，及其中該第二半導體晶粒以該水平方向被偏移該偏移值，藉此界定一步進階地於該垂直堆疊之一側上。再者，該斜坡組件被堅固地機械式耦合至該第一半導體晶粒及該第二半導體晶粒 (操作 616)，其中該斜坡組件被定位於該垂直堆疊之該一側上，及其中該斜坡組件係幾乎平行於沿著該步進階地之方向，其係介於水平方向與垂直方向之間。

於方法 500 (圖 5) 及 600 之某些實施例中，可有額外的或較少的操作。例如，堆疊可被組裝以其包括半導體晶

粒之子集的片段，其被接著結合為完整的堆疊。此外，該些操作之順序可被改變，及/或二或更多操作可被結合為單一操作。

注意：組裝組件 100（圖 1）和晶片封裝 300（圖 3 及 4）可包括較少的組件或額外的組件。例如，可能有界定於斜坡堆疊晶片封裝中之半導體晶粒堆疊中的斷裂，諸如由於不包括斜坡組件上之一或更多半導體晶粒的焊料墊。此外，雖然這些裝置及系統被顯示為具有數個離散項目，但這些實施例應被視為可能出現之各種特徵的功能性描述而非此處所述之實施例的結構示意圖。因此，於這些實施例中，二或更多組件可被結合為單一組件及/或一或更多組件之位置可被改變。

雖然前述實施例係使用晶片封裝中之半導體晶粒（諸如矽），但於其他實施例中，可將半導體之外的不同材料使用為一或更多這些晶片中的基底材料。然而，於其中使用矽之實施例中，可使用標準的矽處理來製造半導體晶粒 210（圖 2-4）。這些半導體晶粒可提供支援邏輯及/或記憶體功能之矽區域。

再者，於圖 3 中，斜坡組件 312 可為被動組件，諸如具有用以電耦合至半導體晶粒 210 之金屬軌跡的塑膠基底。例如，斜坡組件 312 可使用射出成型塑膠。另一方面，斜坡組件 312 可為另一具有微影界定的佈線或信號線之半導體晶粒。於其中斜坡組件 312 包括半導體晶粒之實施例中，可包括主動裝置（諸如限制放大器）以減少信號線之間

的串音。此外，可使用差動發信以減少主動或被動斜坡組件 312 中之串音。

於某些實施例中，斜坡組件 312 包括電晶體及佈線，其係經由焊料球（諸如焊料球 318）以將資料及電力信號來回移動於半導體晶粒 210 之間。例如，斜坡組件 312 可包括高電壓信號。這些信號可使用如下元件而被降壓以供用於半導體晶粒 210：降壓調整器（諸如電容至電容降壓調整器）、以及電容及/或電感離散組件，以耦合至半導體晶粒 210。

此外，斜坡組件 312 可包括一用於記憶體之緩衝器或邏輯晶片、及/或通至外部裝置及/或系統之 I/O 連接器。例如，I/O 連接器可包括一或更多：焊球、焊線、邊緣連接器及/或 PxC 連接器，用以耦合至外部裝置。於某些實施例中，這些 I/O 連接器可位於斜坡組件 312 之背部表面上，且斜坡組件 312 可包括一或更多矽穿孔（TSV），其係將 I/O 連接器耦合至焊料墊（例如，焊料墊 322-2）。

於某些實施例中，晶片封裝 300 中之斜坡組件 312 及半導體晶粒 210 被安裝於一可選基底上（諸如印刷電路板或半導體晶粒）。此可選基底可包括：焊球、焊線、邊緣連接器及/或 PxC 連接器，用以耦合至外部裝置。假如這些 I/O 連接器係位於可選基底之背部表面上，則可選基底可包括一或更多 TSV。

雖然焊料球被使用於前述實施例中以便說明斜坡組件 312 與半導體晶粒 210 之電氣及機械耦合，但是於其他實施

例中，這些組件可使用其他技術而被電氣地及/或機械式地耦合，諸如：微彈簧、微球（以一種稍後描述之坑中球的架構）、及/或各向異性導電膜（諸如各向異性彈性體膜，其有時被稱為「各向異性導電膜」）。

於其中晶片封裝中之組件與電磁耦合信號之 PxC 通訊的實施例中（諸如介於下列之間的 PxC：斜坡組件 312 與半導體晶粒 210、斜坡組件 312 與外部裝置、斜坡組件 312 與可選基底、可選基底與半導體晶粒 210 及/或可選基底與外部裝置），PxC 可包括：電容耦合信號之通訊（其被稱為「電近處通訊」）、光學耦合信號之通訊（其被稱為「光學近處通訊」）、電磁耦合信號之通訊（其被稱為「電磁近處通訊」）、電感耦合信號之通訊、及/或導電耦合信號之通訊。

一般而言，所得之電接觸的阻抗可為傳導性的及/或電容性的，亦即，可具有包括同相組件及/或異相組件之複合阻抗。不論電接觸機制為何（諸如，焊料、微彈簧、各向異性層，等等），假如與接觸相關之阻抗為傳導性的，則可使用習知的傳輸和接收 I/O 電路於晶片封裝 300 之組件中。然而，針對具有複合（及，可能為可變的）阻抗之接觸，則傳輸和接收 I/O 電路可包括美國專利申請案 12/425,871（由 Robert J. Drost 等人於 2009 年四月 17 日提出申請，代理人案件編號 SUN09-0285，案名為「Receive Circuit for Connectors with Variable Complex Impedance」）中所述之一或更多實施例，其內容被併入於此以供參

考。

注意：當面對較低的半導體晶粒產量或者用以在封裝與組裝前廣泛地測試所需的高花費時，容許某項再加工之封裝技術是更為成本效益高的。因此，於其中介於半導體晶粒 210 與斜坡組件 312 之間的機械式及 / 或電耦合是可重配對的實施例中，可藉由容許再加工（諸如替換一個在組裝、測試或預燒期間被發現為壞的晶片）以增加晶片封裝 300 之產量。在這方面，可重配對的機械式或電耦合應被理解成可被重複地（亦即，二或更多次）建立及打斷而無須再加工或加熱（諸如利用焊料）之機械式或電耦合。於某些實施例中，可重配對的機械式或電耦合係涉及設計成彼此耦合之陽性及陰性組件（諸如扣合在一起的組件）。

雖然圖 3 說明晶片封裝 300 之一特定架構，但仍可使用數種技術及架構來實施有或沒有使用組裝組件 100（圖 1）之機械對準和組裝。例如，半導體晶粒 210 及 / 或斜坡組件 312 可使用一種坑中球對準技術（及，更一般性地，負特徵中之正特徵的對準技術）而相對於彼此地定位。特別地，球可被置於蝕刻坑中以相對地對準組件，諸如堆疊 212 中之半導體晶粒 210（圖 2）。正特徵之其他實施例包括半球狀凸塊。然而，晶片封裝 300 中之組件上的機械式鎖定的正與負表面特徵之任何組合均可被使用以對準及 / 或組裝晶片封裝 300。

參考圖 2，如先前所述，於某些實施例中，可選的散熱材料 226（圖 2）（及，更一般性地，介於具有高熱傳導

性的半導體晶粒210之間的中間材料)可協助移除在一或更多半導體晶粒210及/或斜坡組件312(圖3及4)上於電路之操作期間所產生的熱。此熱管理可包括任何下列熱路徑:於半導體晶粒210之平面中的第一熱路徑;於黏著層222之平面中的第二熱路徑;及/或於可選的散熱材料226之平面中的第三熱路徑。特別地,與這些熱路徑關聯的熱通量可經由晶片封裝之一邊緣上的熱耦合而被彼此獨立地管理。注意:此熱管理可包括使用:相位改變冷卻、浸沒冷卻、及/或冷卻板。同時注意:與第一熱路徑關聯的熱通量(其擴散通過晶片封裝之邊緣上的橫斷面區域)為額定厚度220之函數。因此,晶片封裝中之熱管理可隨著半導體晶粒210之較大或較小額定厚度而不同。

注意:可以有可選的囊封於晶片封裝300(圖3及4)的至少一部分周圍。此外,介於晶片封裝300(圖3及4)中的組件間之空氣間隙可被填充以增進熱移除。此可藉由減少圖3中之角度316來促成,亦即,半導體晶粒210可被更朝向垂直方向116地傾斜。

以上描述係為了使任何熟悉此項技術人士得以製造及使用本發明,且係在特定應用及其需求之背景下提供。此外,本發明之實施例的先前描述僅為了說明及描述之目的而提供。其並非想要排除其他或限制本發明於所揭露之形式。因此,對於熟悉此項技術之從業人員而言,許多修飾及改變將是很顯見的,且此處所界定之一般性原則可被應用於其他的實施例及應用而不背離本發明之精神及範圍。

此外，先前實施例之討論並不是要限制本發明。因此，本發明不應被限制於所示之實施例，而應包括符合此處所揭露之原則和特徵的最廣範圍。

【圖式簡單說明】

圖1係一方塊圖，其說明一種依據本發明之一實施例以組裝一晶片封裝之組裝組件。

圖2係一方塊圖，其說明使用依據本發明之一實施例之圖1的組裝組件之晶片封裝的組裝。

圖3係一方塊圖，其說明依據本發明之一實施例之組裝好的晶片封裝之側視圖。

圖4係一方塊圖，其說明依據本發明之一實施例之組裝好的晶片封裝之頂視圖。

圖5係一方塊圖，其說明一種使用依據本發明之一實施例之圖1的組裝組件以組裝晶片封裝的方法。

圖6係一方塊圖，其說明一種不使用依據本發明之一實施例之圖1的組裝組件以組裝晶片封裝的方法。

注意：類似的參考數字係參照所有圖式中之相應的部件。再者，相同部件之諸多實例是由一共同字首（以破折號分隔其實例編號）來標示。

【主要元件符號說明】

100：組裝組件

110：殼體

112：步進階地
 114-1：步進
 114-2：步進
 114-N：步進
 116：垂直方向
 118：水平方向
 120-1：偏移值
 120-2：偏移值
 120-N-1：偏移值
 122：垂直位移
 122-N、122-2、122-1：垂直位移
 210-1：半導體晶粒
 210-2：半導體晶粒
 210-3：半導體晶粒
 210-4：半導體晶粒
 210-N：半導體晶粒
 212：堆疊
 214：偏移值
 216：步進階地
 220：厚度
 222：黏著層
 224：厚度
 226：散熱材料
 300：晶片封裝

312：斜坡組件

314：方向

316：角度

318：焊料球

320：距離

322-1：焊料墊

322-2：焊料墊

410：焊料墊

七、申請專利範圍：

104年9月2日修正 (本)

1. 一種組裝組件，包含包括第一步進階地之殼體，其中該第一步進階地包括垂直方向上的步進之序列，

其中在該步進之序列中之第一步進後的各步進係從該步進之序列中緊接在前的步進以水平方向被偏移第一偏移值，

其中該殼體係組態成匹配與一組半導體晶粒，以致該組半導體晶粒被配置於該垂直方向之堆疊中，其係實質上垂直於該垂直方向之該堆疊中之第一半導體晶粒，及

其中在該第一半導體晶粒後之各半導體晶粒係從該垂直方向之該堆疊中緊接在前的半導體晶粒以該水平方向被偏移第二偏移值，藉此界定第二步進階地於該垂直方向之該堆疊之一側上，及

其中各半導體晶粒包含在該半導體晶粒的表面上之具有非矩形的形狀之焊料墊，該焊料墊係平行於該水平方向且在該第二步進階地上，及其中平行於沿著該第二步進階地之方向之斜坡組件使用該焊料墊中相應的一個被堅固地耦合至各半導體晶粒。

2. 如申請專利範圍第 1 項之組裝組件，其中該第一步進階地為該第二步進階地之鏡像。

3. 如申請專利範圍第 1 項之組裝組件，其中該組半導體晶粒中之既定半導體晶粒具有額定厚度；及

其中該步進之序列中之既定步進的垂直位移係大於該額定厚度。

4. 如申請專利範圍第 1 項之組裝組件，其中該第一偏移值係大於該第二偏移值。

5. 如申請專利範圍第 1 項之組裝組件，其中該組裝組件促成晶片封裝之組裝，

其中該斜坡組件被定位於該垂直方向之該堆疊之一側上；及

其中該沿著該第二步進階地之方向係介於該水平方向與該垂直方向之間。

6. 如申請專利範圍第 5 項之組裝組件，其中該第一偏移值及該第二偏移值係根據該方向及其用以將該斜坡組件堅固地機械式耦合至該組半導體晶粒之焊料的額定厚度來決定。

7. 如申請專利範圍第 1 項之組裝組件，其中該組裝組件促成該組半導體晶粒之組裝，其中涵蓋垂直方向上該組半導體晶粒之累積的位置誤差係小於關聯與該組半導體晶粒和一組介於該些半導體晶粒間之黏著層的垂直誤差之總和。

8. 如申請專利範圍第 7 項之組裝組件，其中該累積的位置誤差係關聯與該些半導體晶粒之厚度變化。

9. 如申請專利範圍第 7 項之組裝組件，其中該累積的位置誤差係關聯與該組黏著層之厚度變化。

10. 如申請專利範圍第 7 項之組裝組件，其中該累積的位置誤差係關聯與該組黏著層中之散熱材料的厚度變化。

11. 如申請專利範圍第 1 項之組裝組件，其中該組裝組件係促成該組半導體晶粒之組裝，其中關聯與該些半導體晶粒之邊緣變化的最大位置誤差係小於預定值。

12. 一種用以組裝晶片封裝之方法，包含：

將半導體晶粒之垂直堆疊中的第一半導體晶粒之邊緣定位接近於殼體之垂直方向上的第一步進階地中之步進之序列中的第一步進，其中該垂直方向係實質上垂直於該第一半導體晶粒；

將黏著層塗佈至該第一半導體晶粒之頂部表面；

將半導體晶粒之該垂直堆疊中的第二半導體晶粒之邊緣定位接近於該殼體之該垂直方向上的該步進之序列中之第二步進，其中該第二半導體晶粒之底部表面被機械式耦合至該黏著層，其中該第二步進係從該第一步進以水平方向被偏移第一偏移值，且其中該第二半導體晶粒以該水平方向被偏移第二偏移值，藉此界定第二步進階地於該垂直堆疊之一側上；及

將斜坡組件堅固地機械式耦合至該第一半導體晶粒及該第二半導體晶粒，其中該斜坡組件被定位於該垂直堆疊之該一側上，及

其中各半導體晶粒包含在該半導體晶粒的表面上之具有非矩形的形狀之焊料墊，該焊料墊係平行於該水平方向且在該第二步進階地上，及其中平行於沿著該第二步進階地之方向之該斜坡組件使用該焊料墊中相應的一個被堅固地耦合至各半導體晶粒。

13. 如申請專利範圍第 12 項之方法，其中定位其可為該第一半導體晶粒與該第二半導體晶粒之一的既定半導體晶粒係涉及拾起並放置（pick-and-place）工具。

14. 如申請專利範圍第 12 項之方法，其中定位其可為該第一半導體晶粒與該第二半導體晶粒之一的既定半導體晶粒係基於該既定半導體晶粒上之光學對準標記。

15. 如申請專利範圍第 12 項之方法，其中該黏著層包括散熱材料，其優先地傳導熱於既定半導體晶粒之平面中。

16. 如申請專利範圍第 12 項之方法，其中將該斜坡組件堅固地機械式耦合至該第一半導體晶粒及該第二半導體晶粒係涉及熔化焊料於下列之一者上：該斜坡組件、該第一半導體晶粒和該第二半導體晶粒；以及該斜坡組件與該第一半導體晶粒和該第二半導體晶粒兩者上。

17. 如申請專利範圍第 12 項之方法，其中將該斜坡組件堅固地機械式耦合至該第一半導體晶粒及該第二半導體晶粒係涉及施加壓縮力於垂直方向上。

18. 如申請專利範圍第 12 項之方法，其中該第一步進階地為該第二步進階地之鏡像。

19. 如申請專利範圍第 12 項之方法，其中可為該第一半導體晶粒與該第二半導體晶粒之一的既定半導體晶粒具有額定厚度；及

其中該步進之序列中之既定步進的垂直位移係大於該額定厚度。

20. 一種組裝晶片封裝之方法，包含：

將第一半導體晶粒定位於半導體晶粒之垂直堆疊中，其中該垂直堆疊係沿著其實質上垂直於該第一半導體晶粒之垂直方向；

將黏著層塗佈至該第一半導體晶粒之頂部表面；

將半導體晶粒之該垂直堆疊中的第二半導體晶粒之邊緣相對於該第一半導體晶粒定位，其中該第二半導體晶粒之底部表面被機械式耦合至該黏著層，及其中該第二半導體晶粒以水平方向被偏移一偏移值，藉此界定步進階地於該垂直堆疊之一側上；及

將斜坡組件堅固地機械式耦合至該第一半導體晶粒及該第二半導體晶粒，其中該斜坡組件被定位於該垂直堆疊之該一側上，及

其中各半導體晶粒包含在該半導體晶粒的表面上之具有非矩形的形狀之焊料墊，該焊料墊係平行於該水平方向且在該第二步進階地上，及其中平行於沿著該步進階地之方向之該斜坡組件使用該焊料墊中相應的一個被堅固地耦合至各半導體晶粒。

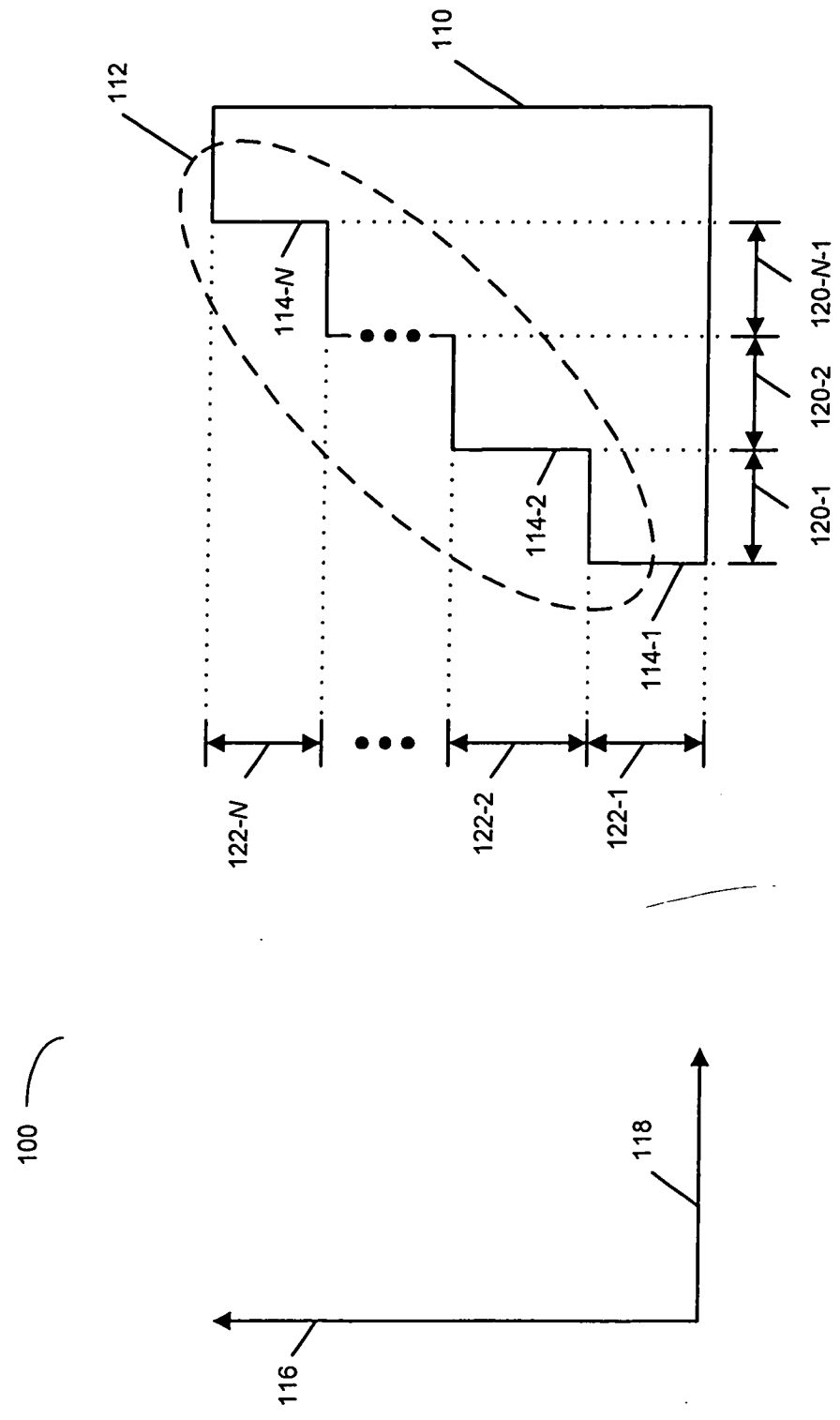


圖1

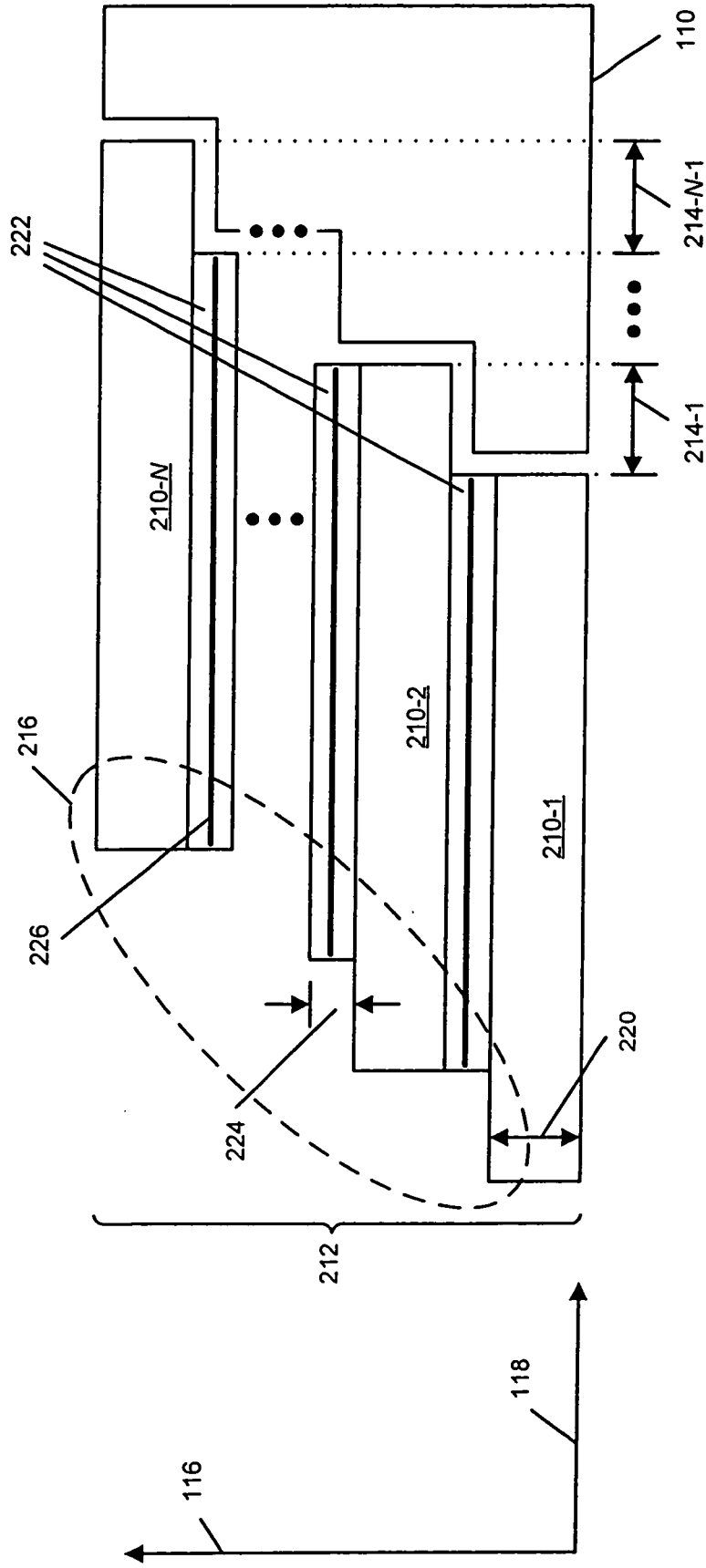


圖2

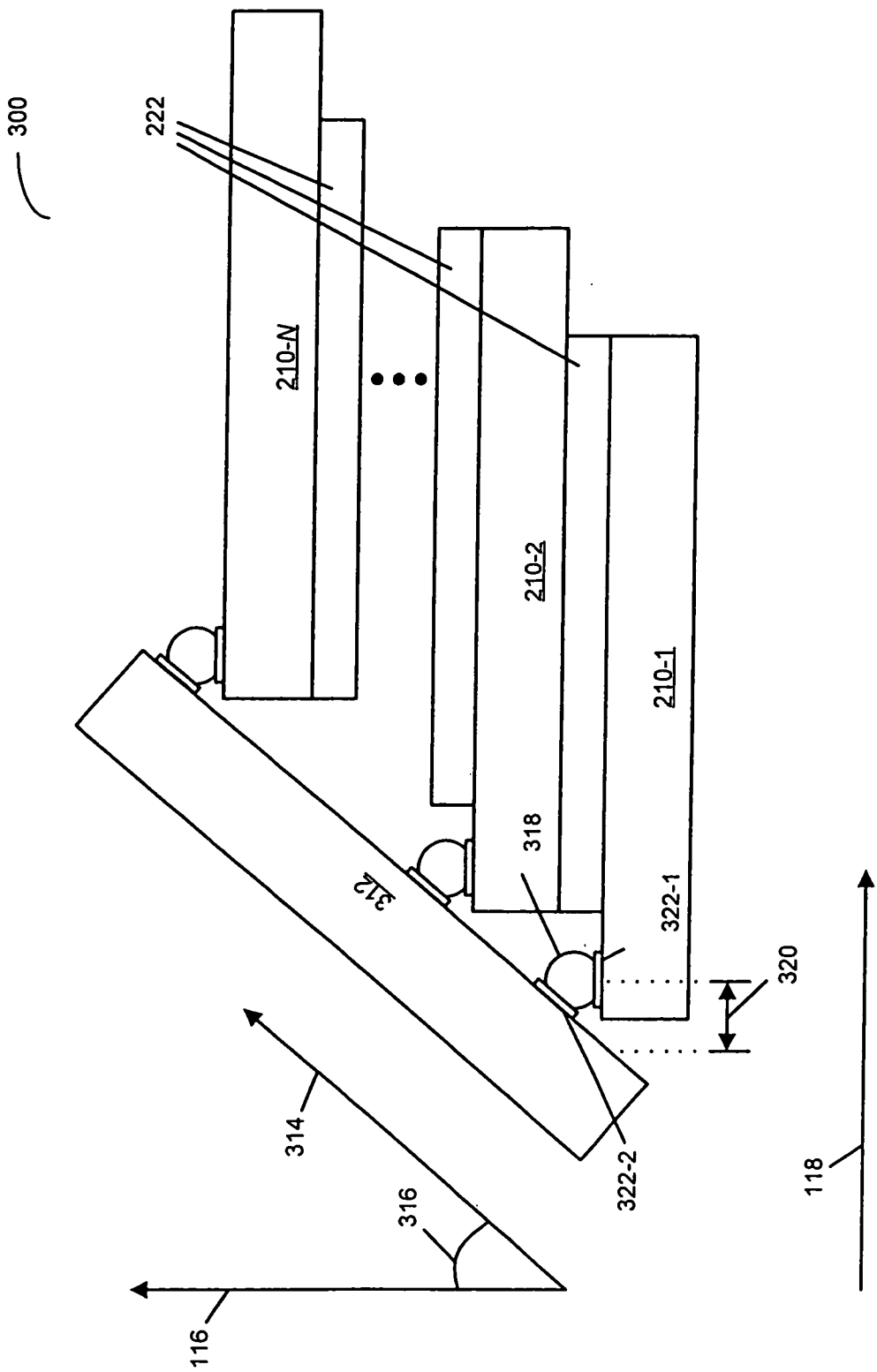


圖3

300

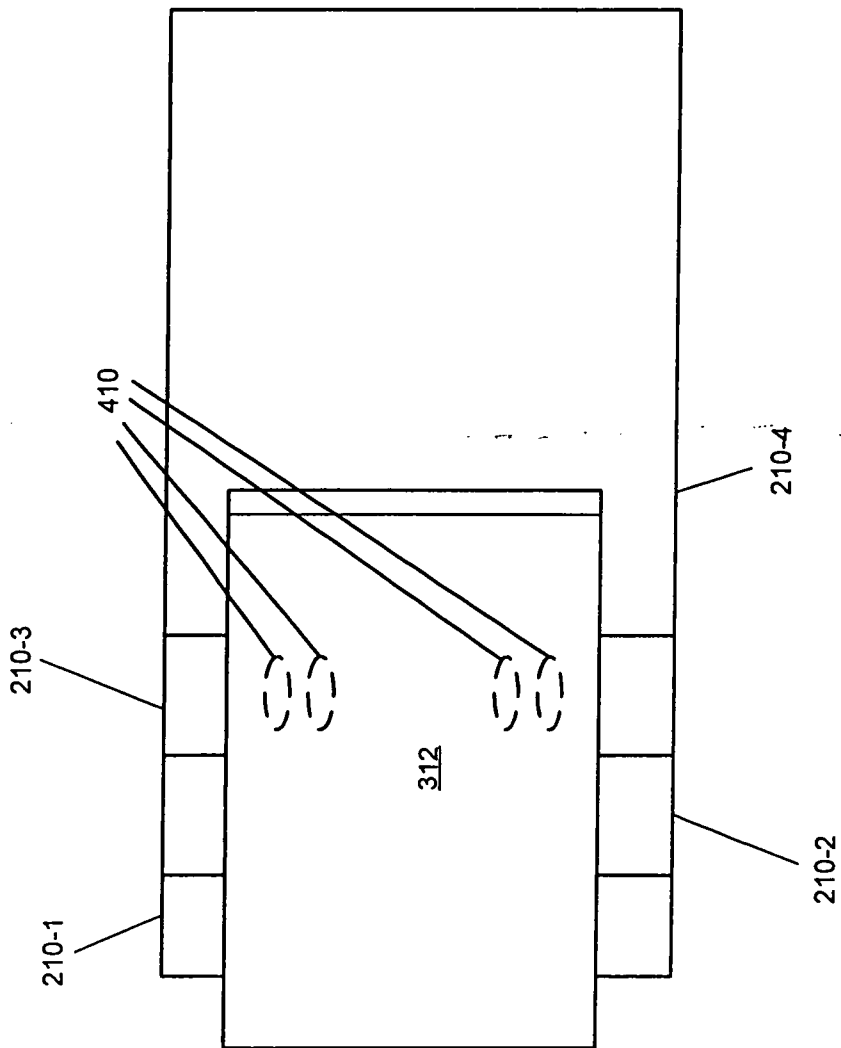


圖4

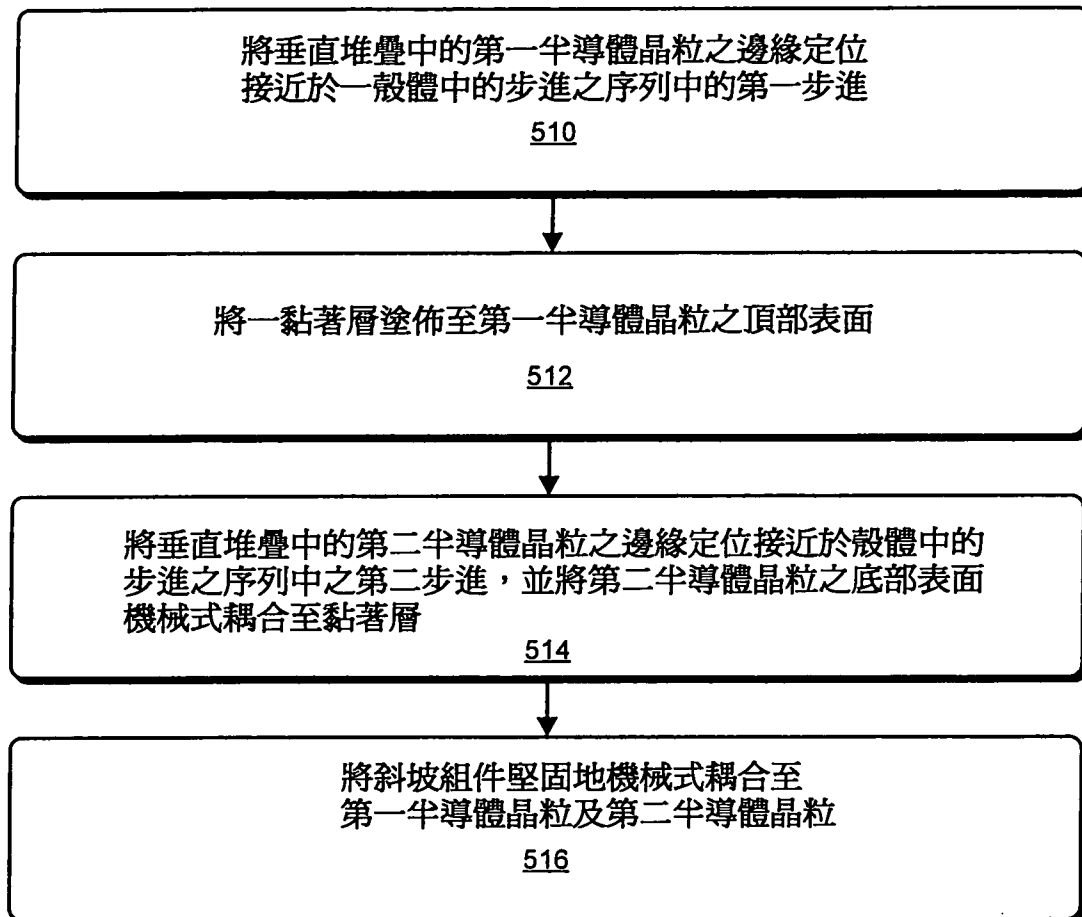


圖5

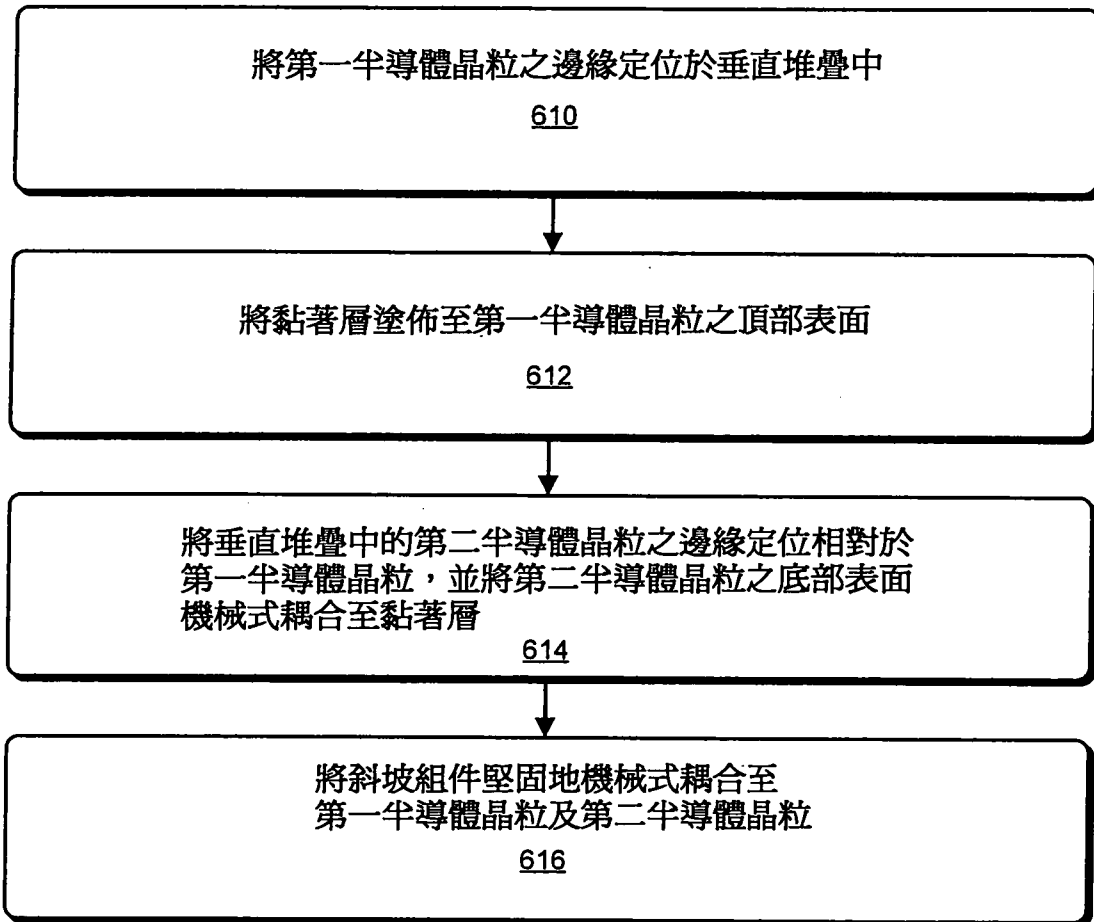


圖6