

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G11C 11/40 (2006.01)

(45) 공고일자

2006년08월04일

(11) 등록번호

10-0607918

(24) 등록일자

2006년07월26일

(21) 출원번호

10-2000-0020942

(65) 공개번호

10-2001-0006998

(22) 출원일자

2000년04월20일

(43) 공개일자

2001년01월26일

(30) 우선권주장

99-163461

1999년06월10일

일본(JP)

(73) 특허권자

후지쓰 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1

(72) 발명자

훈유아키히로

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

후지오카신야

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

이케다히토시

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

스즈키다카아키

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

다그치마사오

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

사또기미아키

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

사토고토쿠

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

마츠자키야스로우

일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시
키가이샤나이

(74) 대리인

김진환

김두규

심사관 : 유동열

(54) 반도체 기억 장치 및 전자 장치

요약

본 발명은 DRAM 등과 같이, 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치와, 컨트롤러를 탑재하는 전자 장치로서, 컨트롤러에 의한 반도체 기억 장치의 제어를 용이하게 하는 것을 과제로 한다.

DRAM(1)은 리프레시를 자기 관리하여, 리프레시 시기가 되면, BUSY1 신호선(4)에 비지 신호(BUSY1)를 출력하고, 또, 내부에서 리프레시 어드레스를 발생하여 리프레시를 실행하고, 리프레시가 종료되었을 때에는 비지 신호(BUSU1)를 해제하도록 구성하여, 컨트롤러(2)는 DRAM(1)으로부터 BUSY1 신호선(4)에 출력된 비지 신호(BUSY1)를 수신했을 때에는 비지 신호(BUSY1)가 해제될 때까지, DRAM(1)에 대한 액세스를 정지하도록 구성한다.

내용

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 전자 장치의 제1 실시 형태의 주요부를 나타내는 회로도.

도 2는 본 발명의 전자 장치의 제1 실시 형태가 구비하는 DRAM 및 컨트롤러의 동작예를 나타내는 타임 쳐트.

도 3은 본 발명의 반도체 기억 장치의 제1 실시 형태의 주요부를 나타내는 회로도.

도 4는 본 발명의 반도체 기억 장치의 제1 실시 형태가 구비하는 리프레시 제어 회로, BUSY1 출력 회로 및 리프레시 카운터의 구성을 나타내는 회로도.

도 5는 본 발명의 반도체 기억 장치의 제1 실시 형태가 구비하는 리프레시 제어 회로가 구비하는 Refz 발생 회로의 구성을 나타내는 회로도.

도 6은 본 발명의 반도체 기억 장치의 제1 실시 형태가 구비하는 리프레시 제어 회로, BUSY1 출력 회로 및 리프레시 카운터의 제1 동작예를 나타내는 과정도.

도 7은 본 발명의 반도체 기억 장치의 제1 실시 형태가 구비하는 리프레시 제어 회로, BUSY1 출력 회로 및 리프레시 카운터의 제1 동작예를 나타내는 과정도.

도 8은 본 발명의 반도체 기억 장치의 제1 실시 형태가 구비하는 커맨드 디코더의 구성을 나타내는 회로도.

도 9는 본 발명의 반도체 기억 장치의 제1 실시 형태가 구비하는 어드레스 입력 회로의 구성을 나타내는 회로도.

도 10은 본 발명의 전자 장치의 제1 실시 형태가 구비하는 컨트롤러의 동작예를 나타내는 과정도.

도 11은 본 발명의 반도체 기억 장치의 제2 실시 형태의 주요부를 나타내는 회로도.

도 12는 본 발명의 반도체 기억 장치의 제2 실시 형태가 구비하는 커맨드 디코더의 구성을 나타내는 회로도.

도 13은 본 발명의 반도체 기억 장치의 제2 실시 형태가 구비하는 어드레스 입력 회로의 구성을 나타내는 회로도.

도 14는 본 발명의 반도체 기억 장치의 제2 실시 형태의 동작을 나타내는 과형도.

도 15는 본 발명의 전자 장치의 제2 실시 형태의 주요부를 나타내는 회로도.

도 16은 본 발명의 전자 장치의 제3 실시 형태의 주요부를 나타내는 회로도.

도 17은 본 발명의 반도체 기억 장치의 제3 실시 형태의 주요부를 나타내는 회로도.

도 18은 본 발명의 반도체 기억 장치의 제3 실시 형태가 구비하는 데이터 레지스터 및 전송 게이트의 구성을 나타내는 회로도.

도 19는 본 발명의 반도체 기억 장치의 제3 실시 형태의 제1 동작예를 종래의 DRAM의 경우와의 비교로 나타내는 과형도.

도 20은 본 발명의 반도체 기억 장치의 제3 실시 형태의 제2 동작예를 종래의 DRAM의 경우와의 비교로 나타내는 과형도.

도 21은 본 발명의 반도체 기억 장치의 제3 실시 형태의 제3 동작예를 나타내는 타임 쳐트.

도 22는 본 발명의 반도체 기억 장치의 제3 실시 형태의 제4 동작예를 나타내는 과형도.

도 23은 본 발명의 반도체 기억 장치의 제3 실시 형태의 제5 동작예 및 제6 동작예를 나타내는 타임 쳐트.

도 24는 본 발명의 반도체 기억 장치의 제3 실시 형태의 제7 동작예를 설명하기 위한 과형도.

도 25는 본 발명의 반도체 기억 장치의 제3 실시 형태의 제7 동작예를 설명하기 위한 과형도.

도 26은 본 발명의 반도체 기억 장치의 제3 실시 형태가 구비하는 프리차지 신호 발생 회로의 구성을 나타내는 회로도.

도 27은 본 발명의 반도체 기억 장치의 제3 실시 형태가 구비하는 프리차지 신호 발생 회로가 구비하는 프리차지 기간 제어 회로의 구성을 나타내는 회로도.

도 28은 본 발명의 반도체 기억 장치의 제3 실시 형태가 구비하는 프리차지 신호 발생 회로가 구비하는 지연 시간 제어 회로의 구성을 나타내는 회로도.

도 29는 본 발명의 반도체 기억 장치의 제3 실시 형태가 구비하는 프리차지 신호 발생 회로가 구비하는 리셋트 신호 발생 회로의 구성을 나타내는 회로도.

도 30은 본 발명의 반도체 기억 장치의 제3 실시 형태가 구비하는 프리차지 신호 발생 회로가 구비하는 리프레시 시간 측정 신호 발생 회로의 구성을 나타내는 회로도.

도 31은 본 발명의 반도체 기억 장치의 제3 실시 형태가 구비하는 지연 시간 제어 회로의 동작을 나타내는 과형도.

도 32는 본 발명의 반도체 기억 장치의 제3 실시 형태의 동작예를 나타내는 과형도.

도 33은 본 발명의 전자 장치의 제4 실시 형태의 주요부를 나타내는 회로도.

도 34는 본 발명의 반도체 기억 장치의 제4 실시 형태의 주요부를 나타내는 회로도.

도 35는 본 발명의 반도체 기억 장치의 제4 실시 형태를 도 33에 나타내는 전자 장치의 DRAM에 적용한 경우의 동작예를 나타내는 과형도.

도 36은 본 발명의 전자 장치의 제5 실시 형태의 주요부를 나타내는 회로도.

도 37은 본 발명의 반도체 기억 장치의 제5 실시 형태의 주요부를 나타내는 회로도.

도 38은 본 발명의 반도체 기억 장치의 제5 실시 형태를 도 36에 나타내는 전자 장치의 DRAM에 적용한 경우의 동작예를 나타내는 과정도.

도 39는 본 발명의 전자 장치의 제6 실시 형태의 주요부를 나타내는 회로도.

도 40은 본 발명의 전자 장치의 제6 실시 형태가 구비하는 DRAM의 BUSY2 입력 회로, QS 출력 회로 및 플래시 메모리의 BUSY2 출력 회로, QS 입력 회로의 구성예를 나타내는 회로도.

도 41은 본 발명의 반도체 기억 장치의 제6 실시 형태의 주요부를 나타내는 회로도.

도 42는 본 발명의 반도체 기억 장치의 제6 실시 형태를 도 39에 나타내는 전자 장치의 DRAM에 적용한 경우의 동작예를 나타내는 과정도.

도 43은 본 발명의 반도체 기억 장치의 제6 실시 형태를 도 39에 나타내는 전자 장치의 DRAM에 적용한 경우의 다른 동작 예를 나타내는 과정도.

도 44는 본 발명의 반도체 기억 장치의 제7 실시 형태의 주요부를 나타내는 회로도.

도 45는 본 발명의 반도체 기억 장치의 제8 실시 형태의 주요부를 나타내는 회로도.

<도면의 주요 부분에 대한 부호의 설명>

1 : DRAM

2 : 컨트롤러

3 : 버스(커맨드, 어드레스, 데이터)

4 : BUSY1 신호선

BUSY1, BUSY2 : 비지 신호

QS : 데이터 스트로브 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 DRAM(dynamic random access memory)과 같이 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치, 이 반도체 기억 장치를 사용하는 전자 장치 및 이러한 전자 장치에 예컨대, 데이터 저장용의 반도체 기억 장치로서 사용하기에 적합한 반도체 기억 장치 등에 관한 것이다.

예컨대, DRAM은 지금까지 퍼스널 컴퓨터나 서버 등의 주기억에 사용되어 왔지만, 최근 인터넷의 발달이나 이동 통신(mobile) 기술의 진보 등에 의해 휴대 전화 등의 간이 단말기에도 대용량의 DRAM이 탑재되는 시대가 도래되고 있다.

발명이 이루고자 하는 기술적 과제

현재, 휴대 전화 등의 간이 단말기에는 SRAM(static random access memory)이 탑재되어 있지만, SRAM 대신에 혹은 SRAM과 함께 DRAM을 탑재하고자 하는 경우, DRAM은 SRAM과 달리 데이터 유지에 리프레시가 필요하다는 것을 고려해야 한다.

이 때문에, 첫째로, 휴대 전화 등의 간이 단말기에 탑재하는 DRAM은 컨트롤러에 의한 제어가 용이할 것, 둘째로, DRAM을 탑재하는 휴대 전화 등의 간이 단말기는 주전지(main battery)가 끊기거나 떨어지거나 하여 주전지에 의한 전원 전압의 공급이 도중에 끊어진 경우에 DRAM의 리프레시에 의한 백업용 전지의 전력 소비를 가능한 한 적게 하는 것이 요청된다.

본 발명은 이러한 점을 감안하여, 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치로서, 컨트롤러에 의한 제어를 용이하게 하는 반도체 기억 장치를 제공하는 것을 제1 목적으로 하고, 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치와 컨트롤러를 구비하는 전자 장치로서, 컨트롤러에 의한 반도체 기억 장치의 제어를 용이하게 하는 전자 장치를 제공하는 것을 제2 목적으로 하고, 다른 반도체 기억 장치로부터의 데이터 저장(待避:대피)을 용이하게 행할 수 있도록 하는 반도체 기억 장치를 제공하는 것을 제3 목적으로 하고, 데이터의 저장을 용이하게 하는 반도체 기억 장치 등을 제공하는 것을 제4 목적으로 한다.

발명의 구성 및 작용

본 발명 중, 제1 발명은 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치로서, 리프레시 기간 중에 외부로 비지 신호를 출력하도록 구성되어 있다.

데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치와 이 반도체 기억 장치를 제어하는 컨트롤러를 구비하는 전자 장치에 있어서의 반도체 기억 장치에 제1 발명의 반도체 기억 장치를 적용하는 경우, 컨트롤러는 반도체 기억 장치가 리프레시 기간중인지의 여부를 알 수 있기 때문에, 컨트롤러에 의한 반도체 기억 장치의 제어를 용이하게 한다.

본 발명 중, 제2 발명은 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치와, 이 반도체 기억 장치를 제어하는 컨트롤러를 구비하는 전자 장치로서, 반도체 기억 장치는 리프레시 기간중에 외부로 비지 신호를 출력하도록 구성되고, 컨트롤러는 비지 신호를 수신할 수 있도록 구성되어 있다.

제2 발명에 따르면, 컨트롤러는 반도체 기억 장치가 리프레시 기간중인지의 여부를 알 수 있기 때문에, 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치와, 이 반도체 기억 장치를 제어하는 컨트롤러를 구비한 전자 장치에 관한 것으로, 컨트롤러에 의한 반도체 기억 장치의 제어를 용이하게 한다.

본 발명 중, 제3 발명은 반도체 기억 장치로서, 외부로부터 자동 기록을 지시 받았을 때는, 기록 데이터를 내부에서 발생하는 어드레스에 자동적으로 기록하는 자동 기록 수단과, 자동 기록 동작중에는 자동 기록 동작중임을 명시하는 자동 기록 동작중 명시 신호를 외부로 출력하는 자동 기록중 명시 신호 출력 수단을 구비한다.

제3 발명에 따르면, 외부로부터 자동 기록을 지시 받았을 때는, 기록 데이터를 내부에서 발생하는 어드레스에 자동적으로 기록하는 자동 기록 수단을 구비하고 있기 때문에, 예컨대, 제1 반도체 기억 장치와, 이 제1 반도체 기억 장치를 제어하는 컨트롤러를 구비하는 전자 장치에 제1 반도체 기억 장치가 기억하는 데이터를 저장하기 위한 제2 반도체 기억 장치를 설치하고자 하는 경우에 있어서, 제2 발명을 제2 반도체 기억 장치로서 사용하는 경우에는 제1 반도체 기억 장치의 데이터의 저장을 용이하게 할 수 있다.

본 발명 중, 제4 발명은 외부로부터 자동 판독을 지시 받았을 때는, 자동 판독을 위한 어드레스 신호를 발생하는 어드레스 카운터와, 자동 판독하는 데이터 전송처가 출력하는 액세스의 접수를 허가하는지의 여부를 나타내는 액세스 접수 허가/불허 신호를 수신하는 액세스 접수 허가/불허 신호 수신 수단을 포함하고, 외부로부터 자동 판독의 지시를 수신하여, 상기 액세스 접수 허가/불허 신호가 액세스의 접수를 허가하고 있을 때는 데이터를 자동적으로 판독하는 자동 판독 수단을 구비한다.

제4 발명에 따르면, 외부로부터 자동 판독을 지시 수신하여, 데이터 전송처가 출력하는 액세스 접수 허가/불허 신호가 액세스의 접수를 허가하고 있을 때는 데이터를 자동적으로 판독하는 자동 판독 수단을 구비하고 있기 때문에, 데이터를 전송할 필요가 있는 경우(예컨대, 데이터 저장의 필요가 있는 경우)에 액세스 접수 허가/불허 신호를 출력하는 데이터 전송처(데이터가 저장되는 곳)에 데이터를 용이하게 전송(저장)할 수 있다.

이하, 도 1~도 45를 참조하여, 본 발명의 반도체 기억 장치의 제1 실시 형태~제8 실시 형태 및 본 발명의 전자 장치의 제1 실시 형태~제6 실시 형태에 관해서 설명한다.

본 발명의 전자 장치의 제1 실시 형태 : 도 1, 도 2

도 1은 본 발명의 전자 장치의 제1 실시 형태의 주요부를 나타내는 회로도이며, 도 1에서 도면 부호 1은 DRAM, 도면 부호 2는 DRAM(1)을 제어하는 컨트롤러, 도면 부호 3은 커맨드 버스, 어드레스 버스 및 데이터 버스 등의 버스이다.

여기서, DRAM(1)은 리프레시를 자기 관리하여, 리프레시 시기가 되면 BUSY1 신호선(4)에 비지 신호(BUSY1)를 출력하고, 내부 회로에서 리프레시 어드레스를 발생하여 리프레시를 실행하며, 리프레시가 종료되었을 때에는 비지 신호(BUSU1)를 해제하도록 구성되어 있다.

또, 컨트롤러(2)는 DRAM(1)에서 BUSY1 신호선(4)으로 출력된 비지 신호(BUSY1)를 수신할 수 있도록 구성되어 있고, 비지 신호(BUSY1)를 수신하였을 때는 예컨대, 비지 신호(BUSY1)가 해제될 때까지, DRAM(1)에 대한 액세스를 정지하도록 구성되어 있다.

또한, 본 명세서에서 비지 신호(BUSUY1)가 출력된다는 것은 비지 신호(BUSY1)가 L 레벨로 되는 것을 말하며, 비지 신호(BUSUY1)가 해제된다는 것은 비지 신호(BUSY1)가 H 레벨로 되는 것을 말한다.

도 2는 DRAM(1) 및 컨트롤러(2)의 동작예를 나타내는 타임 챕터이며, 도 2의 (a)는 컨트롤러(2)로부터 출력 예정인 커맨드, 도 2의 (b)는 컨트롤러(2)로부터 실제로 출력되는 커맨드, 도 2의 (b)는 DRAM(1)으로부터 출력되는 비지 신호(BUSY1)를 나타내고 있다.

즉, 이 예는 컨트롤러(2)가 커맨드(C1~C7)를 순차로 출력할 예정인 경우에 있어서, 커맨드(C1~C4)가 실제로 순차로 출력되어 커맨드(C4)가 출력되고 있을 때에, DRAM(1)으로부터 비지 신호(BUSY1)가 출력된 경우를 나타내고 있다.

이 경우, DRAM(1)은 비지 신호(BUSY1)의 출력시에 이미 커맨드(C4)를 입력하고 있기 때문에, 커맨드(C4)를 실행한 후 리프레시를 실행하여 리프레시가 종료되면 비지 신호(BUSY1)를 해제하도록 동작한다.

이에 대하여, 컨트롤러(2)는 비지 신호(BUSY1)를 수신하였을 때는 커맨드(C4)에 이어지는 커맨드(C5) 이하의 출력을 정지하여 DRAM(1)에 대한 액세스를 정지하고, 비지 신호(BUSY1)가 해제되면 커맨드(C5) 이하를 순차로 출력하여 DRAM(1)에 대한 액세스를 재개하게 된다.

이와 같이, 본 발명의 전자 장치의 제1 실시 형태에 따르면, DRAM(1)은 리프레시를 자기 관리하여, 리프레시 시기가 되면 비지 신호(BUSY1)를 BUSY1 신호선(4)에 출력하고, 또, 내부 회로에서 리프레시 어드레스를 발생하여 리프레시를 실행하도록 구성되어 있기 때문에, 컨트롤러(2)에 의한 DRAM(1)의 리프레시 관리가 불필요하게 된다.

또, 컨트롤러(2)는 비지 신호(BUSY1)를 수신함으로써, DRAM(1)이 리프레시 기간에 들어 간 것을 알게 되어 DRAM(1)에 대한 액세스를 정지할 수 있기 때문에, 컨트롤러(2)에 의한 DRAM(1)에 대한 액세스 제어가 용이하게 된다.

따라서, 본 발명의 전자 장치의 제1 실시 형태를 휴대 전화 등의 간이 단말기에 적용하여 휴대 전화 등의 간이 단말기에 리프레시를 필요로 하는 DRAM을 탑재하도록 하더라도, 컨트롤러에 의한 DRAM의 제어를 용이하게 행할 수 있다.

본 발명의 반도체 기억 장치의 제1 실시 형태 : 도 3~도 10

도 3은 본 발명의 반도체 기억 장치의 제1 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 반도체 기억 장치의 제1 실시 형태는 도 1에 나타내는 DRAM(1)에 사용할 수 있는 것이다.

도 3에서 도면 부호 5는 컨트롤러로부터의 커맨드 신호를 입력하여 디코딩하는 커맨드 디코더, 도면 부호 6은 컨트롤러로부터의 어드레스 신호(A0~An)를 입력하여 래치하는 어드레스 입력 회로, 도면 부호 7은 기록 데이터/판독 데이터(DQ0~DQn)의 입출력을 행하는 데이터 입출력 회로이다.

또한, 도면 부호 8은 리프레시를 자기 관리하는 리프레시 제어 회로, 도면 부호 9는 리프레시 제어 회로(8)에 의하여 제어되어 비지 신호(BUSY1)를 출력하는 BUSY1 출력 회로, 도면 부호 10은 리프레시 제어 회로(8)에 제어되어 리프레시 어드레스를 출력하는 리프레시 카운터이다.

또, 도면 부호 11-0, 11-1은 뱅크 어드레스 신호에 의해 선택되는, 뱅크(BANK)라 불리는 메모리 영역이며, 뱅크(11-0, 11-1)는 동일 회로 구성으로 되어 있으며, 뱅크(11-0)에 있어서, 12-0~12-3은 블록이라 불리는 메모리 영역이다.

블록(12-0~12-3)은 동일 회로 구성으로 되어 있으며, 블록(12-0)에 있어서, 도면 부호 13은 메모리 셀이 배열되어 이루어지는 메모리 셀 어레이, 도면 부호 14는 로우 어드레스 신호를 디코딩하여 워드선 선택을 행하는 로우 디코더, 도면 부호 15는 메모리 셀 어레이(13)로부터의 판독 데이터의 증폭을 행하는 센스 증폭기, 도면 부호 16은 컬럼 어드레스 신호를 디코딩하여 컬럼 선택을 행하는 컬럼 디코더이다.

또, 도면 부호 17은 블록(12-0~12-3)에 의해 공유되는 데이터 버스, 도면 부호 18은 블록(12-0~12-3)에 의해 공유되는 기록 증폭기/센스 버퍼, 도면 부호 19는 뱅크(11-0)의 동작을 제어하는 제어 회로이다.

또한, 도면 부호 20은 제어 회로(19)에 제어되어, 판독/기록시에는 어드레스 입력 회로(6)로부터 출력되는 로우 어드레스 신호를 선택하고, 리프레시시에는 리프레시 카운터(10)로부터 출력되는 리프레시 어드레스를 선택하는 셀렉터, 도면 부호 21은 셀렉터(20)로부터 출력되는 어드레스 신호를 래치하는 어드레스 래치 회로이다.

도 4는 리프레시 제어 회로(8), BUSY1 출력 회로(9) 및 리프레시 카운터(10)의 구성을 나타내는 회로도이며, 도 4에서, Com은 외부로부터 커맨드 신호를 디코딩하여 이루어지는 내부 커맨드 신호, 도면 부호 23은 뱅크(11-1)가 구비하는 제어 회로, RASz은 라스계의 회로를 활성화하는 라스계 활성화 신호이며, 본 발명의 반도체 기억 장치의 제1 실시 형태에서, 리프레시는 각 로우 어드레스마다 뱅크(11-0, 11-1)의 순으로 교대로 실행된다.

또한, 리프레시 제어 회로(8)에 있어서, 도면 부호 24는 정기적으로 리프레시 시기를 알리는 리프레시 제어 신호(Ref1)를 발생하는 Ref1 발생 회로이며, 리프레시 시기의 관리는 본 발명의 반도체 기억 장치의 제1 실시 형태의 내부에 발진기를 탑재하여 시간을 측정함으로써 실행하거나, 본 발명의 반도체 기억 장치의 제1 실시 형태를 사용하는 전자 장치에 구비되는 수정 발진기 등으로부터의 클록 신호를 이용하여 시간을 측정함으로써 실행한다.

또, 도면 부호 25는 비지 신호(BUSY1)의 출력과 컨트롤러로부터의 커맨드의 출력이 동시에 행해진 경우에 커맨드의 실행을 우선하기 위해서, 리프레시 카운터(10)의 동작 개시를 커맨드의 실행이 종료될 때까지 지연시키기 위한 리프레시 제어 신호(Refz)를 발생하는 Retz 발생 회로이다.

또한, 도면 부호 26은 커맨드 디코더(5)로부터 출력되는 내부 커맨드 신호(Com)와 리프레시 제어 신호(Ref1)를 NAND 처리하는 NAND 회로, 도면 부호 27은 NAND 회로(26)의 출력(S26)에 의해 ON, OFF가 제어되는 NMOS 트랜지스터이다.

또, 도면 부호 28은 NMOS 트랜지스터(27)를 통해 공급되는 리프레시 제어 신호(Ref1)와 리프레시 제어 신호(Refz)를 NOR 처리하는 NOR 회로, 도면 부호 29는 NOR 회로(28)의 출력을 반전하여 리프레시 제어 신호(REF)를 출력하는 인버터이다.

또한, 리프레시 카운터(10)에 있어서, 도면 부호 30은 리프레시 제어 신호(REF)를 트리거 신호로 사용하여 카운트 동작을 개시하여 리프레시 어드레스를 출력하는 카운터, 도면 부호 31은 카운터(30)의 출력을 NAND 처리하는 NAND 회로, 도면 부호 32는 NAND 회로(31)의 출력을 반전하여, 리프레시의 종료를 알리는 리프레시 종료 신호(Ref-end)를 출력하는 인버터이다.

또, BUSY1 출력 회로(9)에 있어서, 도면 부호 33은 리프레시 제어 신호(Ref1)를 셋트 신호, 리프레시 종료 신호(Ref-end)를 리셋트 신호로서 입력받는 RS 플립플롭 회로, 도면 부호 34는 RS 플립플롭 회로(33)의 정상(正相) 출력(Q)을 반전하여 비지 신호(BUSY1)를 출력하는 인버터이다.

도 5는 Refz 발생 회로(25)의 구성을 나타내는 회로도이며, 도 5에서, 도면 부호 36, 37은 플립플롭 회로를 구성하는 NAND 회로, 도면 부호 38은 NAND 회로(36)의 출력을 반전 지연하는 반전 지연 회로이며, 도면 부호 39는 인버터, 도면 부호 40은 저항, 도면 부호 41은 커패시터이다. 또한, 도면 부호 42는 NAND 회로(36)의 출력과 반전 지연 회로(38)의 출력을 NOR 처리하여, 리프레시 제어 신호(Refz)를 출력하는 NOR 회로이다.

도 6은 리프레시 제어 회로(8), BUSY1 출력 회로(9) 및 리프레시 카운터(10)의 제1 동작예를 나타내는 과정도이며, 도 6의 (a)는 컨트롤러로부터 출력되는 커맨드, 도 6의 (b)는 리프레시 제어 신호(Ref1), 도 6의 (c)는 비지 신호(BUSY1), 도 6의 (d)는 내부 커맨드 신호(Com), 도 6의 (e)는 라스계 활성화 신호(RASz), 도 6의 (f)는 리프레시 제어 신호(REF), 도 6의 (g)는 카운터(30)의 출력을 나타내고 있다.

도 6은 컨트롤러로부터 커맨드가 출력되고 있지 않을 때에, Ref1 발생 회로(24)로부터 리프레시 제어 신호(Ref1)가 출력된 경우(리프레시 제어 신호(Ref1)가 H 레벨로 된 경우)를 나타내고 있다.

이 경우에는 우선, 리셋되어 있던 RS 플립플롭 회로(33)가 리프레시 제어 신호(Ref1)에 의해 셋트되어, RS 플립플롭 회로(33)의 정상 출력(Q)=H 레벨이 되어, 비지 신호(BUSY1)가 출력된다(비지 신호(BUSY1)=L 레벨이 된다).

또, 이 경우에는 내부 커맨드 신호(Com)=L 레벨, NAND 회로(26)의 출력(S26)=H 레벨이 되고, NMOS 트랜지스터(27)=ON이 되는 동시에 라스계 활성화 신호(RASz)=L 레벨이 되고, Refz 발생 회로(25)에 있어서는 NAND 회로(37)의 출력=H 레벨, NAND 회로(36)의 출력=L 레벨, 반전 지연 회로(38)의 출력=H 레벨, 리프레시 제어 신호(Refz)=L 레벨이 된다.

이 결과, Ref1 발생 회로(24)로부터 출력되는 리프레시 제어 신호(Ref1)는 NMOS 트랜지스터(27)를 통해 NOR 회로(28)에 공급되지만, NOR 회로(28)는 리프레시 제어 신호(Ref1)에 대하여 인버터로서 기능하기 때문에, 리프레시 제어 신호(REF)로서 리프레시 제어 신호(Ref1)가 출력되어 카운터(30)가 기동된다.

즉, 컨트롤러로부터 커맨드가 출력되고 있지 않을 때에, Ref1 발생 회로(24)로부터 리프레시 제어 신호(Ref1)가 출력된 경우에는 비지 신호(BUSY1)가 L 레벨로 된 후, 즉시 카운터(30)로부터 리프레시 어드레스가 출력되어 리프레시가 실행된다.

그 후, 리프레시 어드레스가 전부 출력되어 카운터(30)의 출력이 전부 H 레벨이 되면, NAND 회로(31)의 출력=L 레벨, 리프레시 종료 신호(Ref-end)=H 레벨이 되어, RS 플립플롭 회로(33)는 리셋되고, RS 플립플롭 회로(33)의 정상 출력(Q)=L 레벨, 비지 신호(BUSY1)=H 레벨이 되어, 비지 신호(BUSY1)는 해제된다.

도 7은 리프레시 제어 회로(8), BUSY1 출력 회로(9) 및 리프레시 카운터(10)의 제2 동작예를 나타내는 과정도이며, 도 7의 (a)는 컨트롤러로부터 출력 예정인 커맨드, 도 7의 (b)는 컨트롤러로부터 실제로 출력되는 커맨드, 도 7의 (c)는 리프레시 제어 신호(Ref1), 도 7의 (d)는 비지 신호(BUSY1), 도 7의 (e)는 내부 커맨드 신호(Com), 도 7의 (f)는 라스계 활성화 신호(RASz), 도 7의 (g)는 NAND 회로(26)의 출력(S26), 도 7의 (h)는 리프레시 제어 신호(Refz), 도 7의 (i)는 리프레시 제어 신호(REF), 도 7의 (j)는 카운터(30)의 출력을 나타내고 있다.

도 7은 컨트롤러로부터의 커맨드의 입력과 리프레시 제어 신호(Ref1)의 출력이 동시에었던 경우를 나타내고 있다. 구체적으로는 컨트롤러로부터 커맨드(C1, C2, C3)가 연속해서 출력될 예정이었던 경우에 있어서, 커맨드(C1)의 입력과 리프레시 제어 신호(Ref1)의 출력이 동시에 발생한 경우를 나타내고 있다.

이 경우에는 우선, 리셋되어 있던 RS 플립플롭 회로(33)가 리프레시 제어 신호(Ref1)에 의해 셋트되어, RS 플립플롭 회로(33)의 정상 출력(Q)=H 레벨이 되어, 비지 신호(BUSY1)가 출력된다(비지 신호(BUSY1)=L 레벨이 된다).

또, 이 경우에는 내부 커맨드 신호(Com)=H 레벨, NAND 회로(26)의 출력=L 레벨이 되어 NMOS 트랜지스터(27)=OFF가 되기 때문에, 리프레시 제어 신호(Ref1)는 NOR 회로(28)에 공급되지 않는다.

그리고, 그 후, 리프레시 제어 신호(Ref1)가 L 레벨이 되면 NAND 회로(26)의 출력(S26)=H 레벨, NMOS 트랜지스터(27)=ON이 되고 NOR 회로(28)는 리프레시 제어 신호(Refz)에 대하여 인버터로서 기능하게 되어, 이 경우에는 리프레시 제어 신호(REF)로서 리프레시 제어 신호(Refz)가 출력되게 된다.

또, 내부 커맨드 신호(Com)=H 레벨, NAND 회로(26)의 출력(S26)=L 레벨이 됨으로써, Refz 발생 회로(25)에 있어서는 NAND 회로(36)의 출력=H 레벨, 리프레시 제어 신호(Refz)=L 레벨이 되고, 그 후, 반전 지연 회로(38)의 출력=H 레벨이 되어 리프레시 제어 신호(Refz)=L 레벨이 유지된다.

또, 내부 커맨드 신호(Com)=H 레벨이 됨으로써 라스계 활성화 신호(RASz)=H 레벨이 되는데, 커맨드(C1)의 실행이 종료되면 라스계 활성화 신호(RASz)=L 레벨이 되고, 이 결과, Refz 발생 회로(25)에 있어서는 NAND 회로(37)의 출력=H 레벨, NAND 회로(36)의 출력=L 레벨이 되어 리프레시 제어 신호(Refz)=H 레벨이 되고, 그 후, 반전 지연 회로(38)의 출력=H 레벨이 됨으로써 리프레시 제어 신호(Refz)=L 레벨이 된다.

따라서, 커맨드(C1)의 입력과 리프레시 제어 신호(Ref1)의 출력이 동시에 발생한 경우에는, 비지 신호(BUSY1)가 L 레벨로 되지만, 커맨드(C1)의 실행이 종료된 후 카운터(30)로부터 리프레시 어드레스가 출력되어 리프레시가 실행된다.

그리고, 그 후, 리프레시 어드레스가 전부 출력되어 카운터(30)의 출력이 전부 H 레벨이 되면, NAND 회로(31)의 출력=L 레벨, 리프레시 종료 신호(Ref-end)=H 레벨이 되며, RS 플립플롭 회로(33)는 리프레시 종료 신호(Ref-end)에 의해 리셋트되고, RS 플립플롭 회로(33)의 정상 출력(Q)=L 레벨, 비지 신호(BUSY1)=H 레벨이 되어 비지 신호(BUSY1)는 해제된다.

이와 같이, 본 발명의 반도체 기억 장치의 제1 실시 형태에서는, 컨트롤러로부터의 커맨드의 입력과 리프레시 제어 신호(Ref1)의 출력이 동시에 발생한 경우에는, 커맨드의 실행이 우선되고 커맨드의 실행후 리프레시가 실행된다.

도 8은 커맨드 디코더(5)의 구성을 나타내는 회로도이며, 도 8에서, 도면 부호 44는 컨트롤러로부터의 커맨드 신호를 버퍼링하는 입력 버퍼, 도면 부호 45는 비지 신호(BUSY1)를 반전하는 인버터이다.

또, 도면 부호 46-0, 46-m은 입력 버퍼(44)로부터 출력되는 커맨드의 전송을 제어하는 전송 게이트의 일부이며, 도면 부호 47-0, 47-m은 비지 신호(BUSY1)에 의해 ON, OFF가 제어되는 NMOS 트랜지스터, 도면 부호 48-0, 48-m은 인버터(45)의 출력에 의해 ON, OFF가 제어되는 PMOS 트랜지스터이다. 한편, 전송 게이트(46-0, 46-m) 사이에 존재하는 전송 게이트(46-1~46-(m-1))는 도시하지 않는다.

전송 게이트(46-0~46-m)는 비지 신호(BUSY1)=H 레벨인 경우에는 ON, 비지 신호(BUSY1)=L 레벨인 경우에는 OFF로 되는 것으로, 리프레시 기간 중에 만일 컨트롤러로부터 커맨드가 출력되었다고 하더라도 커맨드 신호를 수신하지 않는다.

또한, 도면 부호 49는 입력 버퍼(44)로부터 전송 게이트(46-0~46-m)를 통해 공급되는 커맨드 신호를 디코딩하여, 내부 커맨드 신호(Com)를 출력하는 컨트롤 디코더이다.

도 9는 어드레스 입력 회로(6)의 구성을 나타내는 회로도이며, 도 9에서 도면 부호 51은 컨트롤러로부터의 어드레스 신호(A0~An)를 버퍼링하는 입력 버퍼, 도면 부호 52는 비지 신호(BUSY1)를 반전하는 인버터이다.

또, 도면 부호 53-0, 53-n은 입력 버퍼(51)로부터 출력되는 어드레스 신호(A0~An)의 전송을 제어하는 전송 게이트의 일부이며, 도면 부호 54-0~54-n은 비지 신호(BUSY1)에 의해 ON, OFF가 제어되는 NMOS 트랜지스터, 도면 부호 55-0, 55-n은 인버터(52)의 출력에 의해 ON, OFF가 제어되는 PMOS 트랜지스터이다. 한편, 전송 게이트(53-0, 53-n) 사이에 존재하는 전송 게이트(53-1~53-(n-1))는 도시하지 않는다.

전송 게이트(53-0~53-n)는 비지 신호(BUSY1)=H 레벨인 경우에는 ON, 비지 신호(BUSY1)=L 레벨인 경우에는 OFF로 되는 것으로, 리프레시 기간중에 만일 컨트롤러로부터 어드레스 신호(A0~An)가 출력되더라도 어드레스 신호(A0~An)는 수신되지 않는다. 또, 도면 부호 56은 입력 버퍼(51)로부터 전송 게이트(53-0~53-n)를 통해 공급되는 어드레스 신호(A0~An)를 래치하는 어드레스 래치 회로이다.

이와 같이, 본 발명의 반도체 기억 장치의 제1 실시 형태에 따르면, 리프레시 제어 회로(8)에 의해 리프레시를 자기 관리하여, 리프레시 시기가 되면 처리중인 커맨드가 없는 경우는 즉시, 처리중인 커맨드가 있는 경우에는 커맨드 실행후, 리프레시 카운터(10)로부터 출력되는 리프레시 어드레스에 기초하여, 리프레시를 실행할 수 있도록 구성되어 있기 때문에 컨트롤러에 의한 리프레시 관리가 불필요하다.

또, 본 발명의 반도체 기억 장치의 제1 실시 형태에 따르면, 리프레시 시기가 되면 BUSY1 출력 회로(9)로부터 비지 신호(BUSY1)를 출력하도록 구성되어 있기 때문에, 컨트롤러는 비지 신호(BUSY1)를 수신함으로써, 본 발명의 반도체 기억 장치의 제1 실시 형태가 리프레시 기간에 있음을 알 수 있기 때문에, 컨트롤러에 의한 액세스 제어가 용이하다.

더욱이, 본 발명의 반도체 기억 장치의 제1 실시 형태에 따르면, 커맨드의 입력과 비지 신호(BUSY1)의 출력이 동시에 발생한 경우에는, 커맨드의 실행을 우선하도록 구성되어 있기 때문에 컨트롤러는, 커맨드의 입력과 비지 신호(BUSY1)의 출력이 동시에인 경우라도 이 커맨드를 다시 출력할 필요가 없어, 이 점에서도 컨트롤러에 의한 액세스 제어가 용이하게 된다.

또한, 본 발명의 반도체 기억 장치의 제1 실시 형태에 따르면, 비지 신호(BUSY1)의 출력 중에는, 커맨드 디코더(5)는 커맨드를 받아들이지 않도록 제어되는 동시에, 어드레스 입력 회로(6)는 어드레스 신호를 받아들이지 않도록 제어되기 때문에, 컨트롤러는 도 10에 나타낸 바와 같이 비지 신호(BUSY1)가 출력되고 있는 동안에는 본 발명의 반도체 기억 장치의 제1 실시 형태에 수신되지 않은 커맨드를 반복하여 출력하도록 하더라도 좋다.

본 발명의 반도체 기억 장치의 제2 실시 형태 : 도 11~도 14

도 11은 본 발명의 반도체 기억 장치의 제2 실시 형태의 주요부를 나타내는 회로도이다. 본 발명의 반도체 기억 장치의 제2 실시 형태는 도 1에 나타내는 DRAM(1)에 사용할 수 있다.

본 발명의 반도체 기억 장치의 제2 실시 형태는 도 3에 나타내는 본 발명의 반도체 기억 장치의 제1 실시 형태가 설치하고 있지 않은 BUSY1a 발생 회로(58) 및 BUSY1b 발생 회로(59)를 설치하는 동시에, 도 3에 나타내는 본 발명의 반도체 기억 장치의 제1 실시 형태가 설치하는 커맨드 디코더(5) 및 어드레스 입력 회로(6)와 회로 구성이 다른 커맨드 디코더(60) 및 어드레스 입력 회로(61)를 설치하고, 그 밖에 대해서는 도 3에 나타내는 본 발명의 반도체 기억 장치의 제1 실시 형태와 같은 식으로 구성한 것이다.

BUSY1b 발생 회로(59)는 비지 신호(BUSY1)를 입력하여 비지 신호(BUSY1b)를 출력하는 것으로, 비지 신호(BUSY1b)는 도 14의 (e)에 나타낸 바와 같이, 비지 신호(BUSY1)가 L 레벨에서 H 레벨로 변화된 경우에 H 레벨에서 L 레벨로 변화되고, 그 후, 일정 기간 경과 후에 H 레벨로 변화된다.

BUSY1a 발생 회로(58)는 비지 신호(BUSY1, BUSY1b)를 입력하여, 비지 신호(BUSY1a)를 출력하는 것으로, 비지 신호(BUSY1a)는 도 14의 (d)에 나타낸 바와 같이, 비지 신호(BUSY1)가 H 레벨에서 L 레벨로 변화된 경우에 H 레벨에서 L 레벨로 변화되고, 그 후, 비지 신호(BUSY1b)가 L 레벨에서 H 레벨로 변화된 경우에 L 레벨에서 H 레벨로 변화된다.

도 12는 커맨드 디코더(60)의 구성을 나타내는 회로도이다. 도 12에서 도면 부호 63은 컨트롤러로부터의 커맨드 신호를 버퍼링하는 입력 버퍼, 도면 부호 64는 커맨드 신호를 디코딩하여 내부 커맨드 신호(Com)를 출력하는 컨트롤 디코더, 도면 부호 65는 커맨드 신호를 일시 보관하는 레지스터이다.

또, 도면 부호 66은 비지 신호(BUSY1a)에 의해 동작이 제어되는 전환 스위치 회로이며, 비지 신호(BUSY1a)=H 레벨인 경우에는 입력 버퍼(63)로부터 출력되는 커맨드 신호를 컨트롤 디코더(64)에 전송하고, 비지 신호(BUSY1a)=L 레벨인 경우에는 입력 버퍼(63)로부터 출력되는 커맨드 신호를 레지스터(65)에 공급하는 것이다.

또한, 도면 부호 67은 비지 신호(BUSY1b)에 의해 동작이 제어되는 접속 스위치 회로이며, 비지 신호(BUSY1b)=L 레벨인 경우에는 ON이 되어, 레지스터(65)에 일시 보관되어 있는 커맨드 신호를 컨트롤 디코더(64)에 공급하고, 비지 신호(BUSY1b)=H 레벨인 경우에는 OFF가 된다.

도 13은 어드레스 입력 회로(61)의 구성을 나타내는 회로도이다. 도 13에서 도면 부호 69는 컨트롤러로부터의 어드레스 신호(A0~An)를 버퍼링하는 입력 버퍼, 도면 부호 70은 어드레스 신호(A0~An)를 래치하는 어드레스 래치 회로, 도면 부호 71은 어드레스 신호(A0~An)를 일시 보관하는 레지스터이다.

또한, 도면 부호 72는 비지 신호(BUSY1a)에 의해 동작이 제어되는 전환 스위치 회로이며, 비지 신호(BUSY1a)=H 레벨인 경우에는 입력 버퍼(69)로부터 출력되는 어드레스 신호(A0~An)를 어드레스 래치 회로(70)에 전송하고, 비지 신호(BUSY1a)=L 레벨인 경우에는 입력 버퍼(69)로부터 출력되는 어드레스 신호(A0~An)를 레지스터(71)에 공급한다.

또, 도면 부호 73은 비지 신호(BUSY1b)에 의해 동작이 제어되는 접속 스위치 회로이며, 비지1 신호(BUSY1)=L 레벨인 경우에는 ON이 되어 레지스터(71)에 일시 보관되어 있는 어드레스 신호(A0~An)를 어드레스 래치 회로(70)에 공급하고, 비지 신호(BUSY1b)=H 레벨인 경우에는 OFF가 된다.

도 14는 본 발명의 반도체 기억 장치의 제2 실시 형태의 동작을 나타내는 파형도이며, 도 14의 (a)는 컨트롤러로부터 출력되는 커맨드, 도 14의 (b)는 리프레시 제어 신호(Ref1), 도 14의 (c)는 비지 신호(BUSY1), 도 14의 (d)는 비지 신호(BUSY1a), 도 14의 (e)는 비지 신호(BUSY1b), 도 14의 (f)는 커맨드 디코더(60)의 입력 버퍼(63)의 출력, 도 14의 (g)는 커맨드 디코더(60)의 레지스터(65)의 출력, 도 14의 (h)는 라스계 활성화 신호(RASz)를 나타내고 있다.

도 14는 컨트롤러로부터 커맨드(C1)가 출력된 후, 리프레시 제어 회로(8)의 Ref1 발생 회로(24)로부터 리프레시 제어 신호(Ref1)가 출력되고, 이에 따라서, BUSY1 출력 회로(9)로부터 비지 신호(BUSY1)가 출력되었는데, 컨트롤러로부터 커맨드(C1)에 이어서 커맨드(C2)가 출력된 경우를 나타내고 있다.

이 경우, 커맨드(C1)는 커맨드 디코더(60)에 있어서, 입력 버퍼(63) 및 전환 스위치 회로(66)를 통해 컨트롤러 디코더(64)에 전송되고 디코딩되어, 커맨드(C1)가 실행된다.

또, 도 14의 (b)에 나타낸 바와 같이, 리프레시 제어 회로(8)의 Ref1 발생 회로(24)로부터 리프레시 제어 신호(Ref1)가 출력됨으로써, 도 14의 (c)에 나타낸 바와 같이, BUSY1 출력 회로(9)로부터 비지 신호(BUSY1)가 출력되어(비지 신호(BUSY1)가 L 레벨로 되어), 커맨드(C1)의 실행 후, 리프레시가 행해진다.

다른 한편, 비지 신호(BUSY1)가 L 레벨로 변화하는 것을 수신하여, 비지 신호(BUSY1a)가 H 레벨에서 L 레벨로 변화되고, 컨트롤러로부터 출력되는 커맨드(C2)는 커맨드 디코더(60)에 있어서, 입력 버퍼(63) 및 전환 스위치 회로(66)를 통해 레지스터(65)에 일시 보관된다.

그리고, 리프레시가 종료되고 비지 신호(BUSY1)가 L 레벨에서 H 레벨로 변화되면(비지 신호(BUSY1)가 해제되면), 이것을 수신하여, 비지 신호(BUSY1b)가 H 레벨에서 L 레벨로 변화되고, 커맨드 디코더(60)의 레지스터(65)에 일시 보관되어 있는 커맨드(C2)가 접속 스위치 회로(67)를 통해 컨트롤러 디코더(64)에 공급되어 디코딩되어, 커맨드(C2)가 실행된다.

본 발명의 반도체 기억 장치의 제2 실시 형태에 따르면, 리프레시 제어 회로(8)에 의해 리프레시를 자기 관리하여, 리프레시 시기가 되면 처리중인 커맨드가 없는 경우는 즉시, 처리중인 커맨드가 있는 경우에는 커맨드 실행후, 리프레시 카운터(10)로부터 출력되는 리프레시 어드레스에 기초하여 리프레시를 행할 수 있도록 구성되어 있기 때문에, 컨트롤러에 의한 리프레시 관리가 불필요하게 된다.

또, 본 발명의 반도체 기억 장치의 제2 실시 형태에 따르면, 리프레시 시기가 되면 BUSY1 출력 회로(9)로부터 비지 신호(BUSY1)를 출력하도록 구성되어 있지만, 리프레시 중이더라도 커맨드 신호 및 어드레스 신호를 접수할 수 있기 때문에, 컨트롤러는 본 발명의 반도체 기억 장치의 제2 실시 형태가 리프레시 중이더라도 본 발명의 반도체 기억 장치의 제2 실시 형태에 액세스할 수 있어, 효율적인 동작을 행할 수 있다.

본 발명의 전자 장치의 제2 실시 형태 : 도 15

도 15는 본 발명의 전자 장치의 제2 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 전자 장치의 제2 실시 형태는 도 1에 나타내는 본 발명의 전자 장치의 제1 실시 형태가 설치하는 컨트롤러(2)와 회로 구성이 다른 컨트롤러(75)를 설치하고, 그 밖에 관해서는 본 발명의 전자 장치의 제1 실시 형태와 동일 방식으로 구성한다.

컨트롤러(75)는 DRAM(1)(도 3에 나타내는 본 발명의 반도체 기억 장치의 제1 실시 형태 또는 도 11에 나타내는 본 발명의 반도체 기억 장치의 제2 실시 형태 등)이 구비하는 리프레시 카운터(10)와 동일한 방식의 리프레시 카운터(76)를 설치하여, DRAM(1)으로부터의 비지 신호(BUSY1)를 수신할 때마다, 리프레시 카운터(76)를 기동하여 DRAM(1)이 리프레시하고 있는 어드레스를 확인할 수 있도록 한다.

그래서, DRAM(1)으로서, 예컨대, 도 3에 나타내는 본 발명의 반도체 기억 장치의 제1 실시 형태 또는 도 11에 나타내는 본 발명의 반도체 기억 장치의 제2 실시 형태를 사용하는 경우, 뱅크(11-0, 11-1)를 독립적으로 동작시키도록 하여 한 쪽의 뱅크가 리프레시 중이라도 다른 쪽의 뱅크는 관독/기록을 행할 수 있도록 해 두면, 컨트롤러(75)는 리프레시 중인 뱅크를 피하여, 다른 뱅크를 액세스하는 것이 가능해진다.

이와 같이 구성된 본 발명의 전자 장치의 제2 실시 형태에 따르면, 도 1에 나타내는 본 발명의 전자 장치의 제1 실시 형태와 동일 작용 효과를 얻을 수 있는 동시에, 컨트롤러(75)는 DRAM(1) 내의 리프레시 중인 것 이외의 뱅크에 액세스할 수 있기 때문에 동작의 효율화를 도모할 수 있다.

본 발명의 전자 장치의 제3 실시 형태 : 도 16

도 16은 본 발명의 전자 장치의 제3 실시 형태의 주요부를 나타내는 회로도이며, 도 16에서 도면 부호 78은 DRAM, 도면 부호 79는 DRAM(78)을 제어하는 컨트롤러, 도면 부호 80은 커맨드 버스, 어드레스 버스 및 데이터 버스 등의 버스이다.

DRAM(78)은 리프레시를 자기 관리하여, 리프레시 시기가 되면 내부에서 리프레시 어드레스를 발생하여 리프레시를 시작하고, 리프레시 중에 컨트롤러(79)로부터 커맨드가 출력되었을 때에는 이 커맨드를 입력하고, 리프레시 중에 메모리 셀로부터 비트선에 출력된 데이터를 소정의 내부 회로에 저장시켜 리프레시를 중단하여, 입력한 커맨드를 실행하고, 그 후, 저장한 데이터를 비트선으로 되돌려 리프레시를 재개하도록 구성한 것이다.

본 발명의 전자 장치의 제3 실시 형태에 따르면, DRAM(78)은 리프레시를 자기 관리하여 리프레시 시기가 되면 내부에서 리프레시 어드레스를 발생하여 리프레시를 실행하도록 구성되어 있기 때문에, 컨트롤러(79)에 의한 DRAM(78)의 리프레시 관리가 불필요하다.

또, DRAM(78)은 리프레시 중에 컨트롤러(79)로부터 커맨드가 출력된 경우, 리프레시를 중단하여 컨트롤러(79)로부터 출력된 커맨드를 실행하고, 그 후, 리프레시를 재개하도록 구성되어 있기 때문에, 컨트롤러(79)는 DRAM(78)이 리프레시 중인가의 여부를 판단하지 않고서, DRAM(78)에 액세스할 수 있다.

따라서, 본 발명의 전자 장치의 제3 실시 형태를 휴대 전화 등의 간이 단말기에 적용하여, 휴대 전화 등의 간이 단말기에 리프레시를 필요로 하는 DRAM을 탑재하도록 하더라도, 컨트롤러에 의한 DRAM의 제어를 용이하게 행할 수 있다.

본 발명의 반도체 기억 장치의 제3 실시 형태 : 도 17~도 32

도 17은 본 발명의 반도체 기억 장치의 제3 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 반도체 기억 장치의 제3 실시 형태는 도 16에 나타내는 DRAM(78)에 사용할 수 있다.

도 17에서 도면 부호 82는 컨트롤러로부터의 커맨드 신호를 디코딩하는 커맨드 디코더, 도면 부호 83은 컨트롤러로부터의 어드레스 신호(A0~An)를 입력하는 어드레스 입력 회로, 도면 부호 84는 기록 데이터/판독 데이터(DQ0~DQn)의 입출력을 행하는 데이터 입출력 회로이다.

또한, 도면 부호 85는 리프레시를 자기 관리하여, 정기적으로 리프레시 제어 신호(REF)를 출력하는 리프레시 제어 회로, 도면 부호 86은 리프레시 제어 신호(REF)를 트리거 신호로서 리프레시 어드레스를 출력하는 리프레시 카운터, 도면 부호 87은 어드레스 입력 회로(83)로부터 출력되는 로우 어드레스와 리프레시 카운터(86)로부터 출력되고 있는 리프레시 어드레스를 비교하는 비교기이다.

또한, 도면 부호 88-0, 88-1은 뱅크 어드레스 신호에 의해 선택되는 뱅크이며, 뱅크(88-0, 88-1)는 동일 회로 구성으로 되어 있고, 뱅크(88-0)에 있어서, 도면 부호 89-0~89-3은 블록이다. 블록(89-0~89-3)은 동일 회로 구성으로 되어 있고, 블록(89-0)에 있어서, 도면 부호 90은 메모리 셀 어레이, 도면 부호 91은 로우 디코더, 도면 부호 92는 센스 증폭기, 도면 부호 93은 컬럼 디코더이다.

또, 도면 부호 94는 리프레시시에 비트선으로 판독 도중인 데이터를 일시적으로 저장하기 위한 데이터 레지스터, 도면 부호 95는 비트선과 데이터 레지스터의 접속을 도모하는 전송 게이트, 도면 부호 96은 전송 게이트의 ON, OFF를 제어하는 전송 게이트 신호를 발생하는 전송 게이트 신호 발생 회로이다.

또한, 도면 부호 97은 블록(89-0~89-3)에 의해 공유되는 데이터 버스, 도면 부호 98은 블록(89-0~89-3)에 의해 공유되는 기록 증폭기/센스 버퍼, 도면 부호 99는 뱅크(88-0)의 동작을 제어하는 제어 회로이다.

또, 도면 부호 100은 제어 회로(99)에 의하여 제어되어, 판독/기록시에는 어드레스 입력 회로(83)로부터 출력되는 로우 어드레스 신호를 선택하고, 리프레시시에는 리프레시 카운터(86)로부터 출력되는 리프레시 어드레스를 선택하는 셀렉터, 도면 부호 101은 셀렉터(100)로부터 출력되는 어드레스 신호를 래치하는 어드레스 래치 회로이다.

도 18은 데이터 레지스터(94) 및 전송 게이트(95)의 구성을 나타내는 회로도이다. 도 18에서 BL0, /BL0, BLx, /BLx는 비트선, 도면 부호 103-0, 103-x는 플립플롭, 도면 부호 104-0, 104-x, 105-0, 105-x는 인버터, 도면 부호 106-0, 106-x, 107-0, 107-x는 전송 게이트 신호에 의해 ON, OFF가 제어되는 NMOS 트랜지스터이다.

도 19, 도 20은 본 발명의 반도체 기억 장치의 제3 실시 형태의 제1, 제2 동작예를 종래의 DRAM의 경우와 비교하여 나타내는 파형도이며, 도 19의 (a), 도 20의 (a)는 종래의 DRAM의 동작예, 도 19의 (b)는 본 발명의 반도체 기억 장치의 제3 실시 형태의 제1 동작예, 도 20의 (b)는 본 발명의 반도체 기억 장치의 제3 실시 형태의 제2 동작예를 나타내고 있다.

이들 동작예는 워드선(WL0)에 의해 선택되고 있는 메모리 셀의 리프레시 중에 워드선(WL1)에 의해 선택되는 메모리 셀에 대한 액세스가 있었던 경우를 나타내고 있으며, 종래의 DRAM의 경우에는, 워드선(WL0)에 의해 선택되고 있는 메모리 셀의 리프레시 중에는 워드선(WL1)에 의해 선택되는 메모리 셀의 판독 또는 기록을 행할 수 없기 때문에, 도 19의 (a) 및 도 20의 (a)에 나타낸 바와 같이, 워드선(WL0)에 의해 선택되고 있는 메모리 셀의 리프레시가 종료되고 나서, 워드선(WL1)에 의해 선택되는 메모리 셀의 판독 또는 기록을 행하게 된다.

이에 대하여, 본 발명의 반도체 기억 장치의 제3 실시 형태의 제1 동작예의 경우에 있어서는, 도 19의 (b)에 나타낸 바와 같이, 워드선(WL0)에 의해 선택되는 메모리 셀의 리프레시가 개시되면, 센스 증폭기에 의한 비트선(BL, /BL) 사이의 전위차의 확대 도중에, 전송 게이트 신호가 H 레벨로 되어 비트선(BL, /BL)에 출력되고 있는 메모리 셀의 데이터(D0)가 데이터 레지스터(94)에 저장되어, 워드선(WL0)이 비선택으로 되고, 또한, 전송 게이트 신호가 L 레벨로 된다.

그리고, 워드선(WL1)이 선택되어, 판독 또는 기록이 행해지고, 그 후, 워드선(WL1)이 비선택으로 되어, 판독 또는 기록이 종료되면, 전송 게이트 신호가 H 레벨이 되어, 전송 게이트(95)가 ON으로 되고, 데이터 레지스터(94)에 저장되어 있는 데이터가 비트선(BL, /BL)에 전송되는 동시에, 워드선(WL0)이 다시 선택되어, 워드선(WL0)에 의해 선택되는 메모리 셀의 리프레시가 재개된다.

또, 본 발명의 반도체 기억 장치의 제3 실시 형태의 제2 동작예의 경우에 있어서는 도 20의 (b)에 나타낸 바와 같이, 워드선(WL0)에 의해 선택되는 메모리 셀의 리프레시가 개시되면 센스 증폭기에 의해 비트선(BL, /BL) 사이의 전위차가 확대되기 전에 즉, 메모리 셀에 의해 비트선(BL, /BL) 사이에 전위차가 발생한 단계에서, 전송 게이트 신호가 H 레벨로 되어 비트선(BL, /BL)에 출력되고 있는 메모리 셀의 데이터(D0)가 데이터 레지스터(94)로 저장되어, 전송 게이트 신호가 L 레벨이 되고, 또한, 워드선(WL0)이 비선택으로 된다.

그리고, 워드선(WL1)이 선택되어 판독 또는 기록이 행해지고, 그 후, 워드선(WL1)이 비선택으로 되어 판독 또는 기록이 종료되면, 전송 게이트 신호가 H 레벨이 되고 전송 게이트(95)가 ON으로 되어 데이터 레지스터(94)에 저장되어 있는 데이터가 비트선(BL, /BL)에 전송되는 동시에, 워드선(WL0)이 선택되어, 워드선(WL0)에 의해 선택되는 메모리 셀의 리프레시가 재개된다. 또한, 본 발명의 반도체 기억 장치의 제3 실시 형태의 제2 동작예에는 본 발명의 반도체 기억 장치의 제3 실시 형태의 제1 동작예의 경우보다도 워드선(WL1)의 판독 또는 기록 동작을 고속화한 것이다.

이와 같이, 본 발명의 반도체 기억 장치의 제3 실시 형태에서는, 리프레시 중에 외부로부터 액세스가 있으면 리프레시는 리프레시 도중일 때의 비트선(BL, /BL) 상의 데이터를 데이터 레지스터(94)로 저장하는 리프레시 단계 1과, 외부로부터의 액세스에 기초한 커맨드의 실행이 종료된 후에 데이터 레지스터(94)에 저장되어 있는 데이터를 비트선(BL, /BL)에 전송하여 리프레시를 재개하는 리프레시 단계 2의 2개의 단계에 의해 실행된다.

도 21은 본 발명의 반도체 기억 장치의 제3 실시 형태의 제3 동작예를 나타내는 타임 쳐트이며, 본 발명의 반도체 기억 장치의 제3 실시 형태의 제3 동작예는 리프레시 단계 1과 리프레시 단계 2 사이에 복수의 워드선을 순차로 선택하여, 이들 복수의 워드선에 의해 선택되는 메모리 셀의 판독 또는 기록을 행하는 것이다.

도 22는 본 발명의 반도체 기억 장치의 제3 실시 형태의 제4 동작예를 나타내는 파형도이며, 워드선(WL0)의 리프레시에 외부로부터 액세스가 없었던 경우를 나타내고 있다. 이 경우, 리프레시는 리프레시 단계 1, 2를 연속함으로써 실행된다. 또, 이 경우에는 리프레시 단계 2에 있어서의 전송 게이트의 ON 동작은 행하지 않도록 하는 편이 적합하다.

도 23은 본 발명의 반도체 기억 장치의 제3 실시 형태의 제5 동작예 및 제6 동작예를 나타내는 타임 쳐트이며, 도 23의 (a)는 제5 동작예, 도 23의 (b)는 제6 동작예를 나타내고 있다.

여기서, 본 발명의 반도체 기억 장치의 제3 실시 형태의 제5 동작예는, 워드선(WL0)을 리프레시를 위해 선택하는 중에 컨트롤러로부터 워드선(WL0)에 대한 액세스가 있었던 경우를 나타내고 있으며, 이 경우에는 리프레시 단계 1 및 리프레시 단계 2가 연속하여 행해지고, 그리고, 리프레시 단계 2에서부터 계속해서 워드선(WL0)에 의해 선택되는 메모리 셀의 판독 또는 기록이 행해진다.

이 동작은 비교기(87)에 있어서, 어드레스 입력 회로(83)로부터 출력되는 로우 어드레스와 리프레시 카운터(86)로부터 출력되는 리프레시 어드레스를 비교하여, 어드레스 입력 회로(83)로부터 출력되는 로우 어드레스와 리프레시 카운터(86)로부터 출력되고 있는 리프레시 어드레스가 일치할 때에 행해지는 것으로, 이와 같이 함으로써, 리프레시 중인 메모리 셀로부터의 데이터의 판독 또는 기록을 행하는 것이 가능하다.

또, 본 발명의 반도체 기억 장치의 제3 실시 형태의 제6 동작예는 워드선(WL0)을 리프레시를 위해 선택하는 중에 컨트롤러로부터 워드선(WL1, WL0)에 대한 액세스가 연속하고 있었던 경우를 나타내고 있으며, 이 경우에는 리프레시 단계 1이 행해진 후 워드선(WL1)에 의해 선택되는 메모리 셀의 판독 또는 기록이 행해지고, 이어서, 리프레시 단계 2가 행해지고, 그리고, 리프레시 단계 2에서부터 계속해서 워드선(WL0)에 의해 선택되는 메모리 셀의 판독 또는 기록이 행해지는 것이다.

이 동작도 비교기(87)에 있어서, 어드레스 입력 회로(83)로부터 출력되는 로우 어드레스와 리프레시 카운터(86)로부터 출력되는 리프레시 어드레스를 비교하여, 어드레스 입력 회로(83)로부터 출력되는 로우 어드레스와 리프레시 카운터(86)로부터 출력되고 있는 리프레시 어드레스가 일치하고 있을 때에 행해지는 것으로, 이와 같이 함으로써, 리프레시 중인 메모리 셀로부터의 데이터의 판독 또는 기록을 행하는 것이 가능해진다.

도 24는 본 발명의 반도체 기억 장치의 제7 동작예를 설명하기 위한 과정도이며, 리프레시가 개시된 초기의 단계에서 데이터 레지스터(94)에의 데이터 전송이 종료될 때까지의 기간을 리프레시 중단 금지 기간, 그 이후를 리프레시 중단 가능 기간으로 하여 리프레시를 중단하여, 판독 또는 기록을 행하는 경우에 필요로 하는 프리차지 기간을 리프레시를 중단한 시점에 따라 조정하는 것이다.

즉, 도 25에 나타낸 바와 같이, 리프레시 중단 금지 기간 이후는 프리차지가 개시될 때까지의 어떤 시점(예컨대, P1, P2, P3)이라도 리프레시 중단이 가능하지만 리프레시 중단 후의 프리차지에 필요한 기간은 비트선의 오프닝 폭, 즉, 리프레시가 중단된 시점에 따라 다르게 된다.

예컨대, P1, P2 또는 P3에서 리프레시가 중단된 경우, 혹은 리프레시가 중단되지 않은 경우, 프리차지에 필요한 시간은 P1에서 중단된 경우, P2에서 중단된 경우, P3에서 중단된 경우, 리프레시가 중단되지 않은 경우의 순으로 길어진다.

이와 같이, 리프레시 중단이 빠른 경우는 그 후에 계속되는, 프리차지 기간은 짧아도 되며, 다음의 판독 또는 기록을 빨리 개시할 수 있기 때문에, 이를 달성할 수 있는 프리차지 신호 발생 회로를 구비하는 것이 적합하다.

도 26은 본 발명의 반도체 기억 장치의 제3 실시 형태가 구비하는 프리차지 신호 발생 회로의 구성을 나타내는 회로도이다. 도 26에서 도면 부호 109, 110은 플립플롭 회로를 구성하는 NAND 회로, 도면 부호 111, 112는 인버터, 도면 부호 113은 프리차지 신호의 길이, 즉, 프리차지 기간을 제어하는 프리차지 기간 제어 회로이다.

도 27은 프리차지 기간 제어 회로(113)의 구성을 나타내는 회로도이다. 도 27에서 도면 부호 115는 가변 지연 회로, 도면 부호 116은 가변 지연 회로(115)의 지연 시간을 제어하는 지연 시간 제어 신호(SD1~SD4)를 출력하는 지연 시간 제어 회로이며, 지연 회로(115)에 있어서, 도면 부호 117, 118은 인버터, 도면 부호 119~122는 지연 시간 제어 신호(SD1~SD4)에 의해 ON, OFF가 제어되는 NMOS 트랜지스터, 도면 부호 123~126은 커패시터이다.

도 28은 지연 시간 제어 회로(116)의 구성을 나타내는 회로도이다. 도 28에서 도면 부호 128은 라스계 활성화 신호(RASz)를 입력하여 리셋트 신호(S1)를 출력하는 리셋트 신호 발생 회로, 129는 리프레시 중단 금지 기간에서는 H 레벨이 되는 리프레시 중단 금지 신호 및 내부 커맨드 신호(Com)를 입력하여 리프레시 시간 측정 신호(S3)를 발생하는 리프레시 시간 측정 신호 발생 회로이다.

또, 도면 부호 130~133은 지연 회로이며, 도면 부호 134~141은 인버터, 도면 부호 142~145는 커패시터이다. 이들 지연 회로(130~133)의 합계 지연 시간은 리프레시 중단 가능 기간이 되도록, 지연 회로(130~133)의 지연 시간이 설정된다.

또한, 도면 부호 146은 리프레시 시간 측정 신호(S3)를 반전하는 인버터, 도면 부호 147~150은 PMOS 트랜지스터 및 NMOS 트랜지스터로 이루어지는 전송 게이트이며, 리프레시 시간 측정 신호(S3)=H 레벨, 인버터(146)의 출력=L 레벨인 경우에 ON, 리프레시 시간 측정 신호(S3)=L 레벨, 인버터(146)의 출력=H 레벨인 경우에 OFF로 되는 것이다.

또, 도면 부호 151~154는 지연 회로(130~133)의 출력(SD11~SD14)을 래치하는 래치 회로, 도면 부호 155~158은 래치 회로(151~154)의 출력을 반전하여 지연 시간 제어 신호(SD1~SD4)를 출력하는 인버터이다.

또한, 도면 부호 159~162는 래치 회로(151~154)를 리셋트하는 리셋트용 PMOS 트랜지스터이며, 리셋트 신호(S1)에 의해 ON, OFF가 제어되어 리셋트 신호(S1)=L 레벨인 경우에 ON, 리셋트 신호(S1)=HL 레벨인 경우에 OFF로 된다.

도 29는 리셋트 신호 발생 회로(128)의 구성을 나타내는 회로도이다. 도 29에서 도면 부호 164~166은 라스계 활성화 신호(RASz)를 반전 지연하는 반전 지연 회로를 구성하는 인버터, 도면 부호 167은 라스계 활성화 신호(RASz)와 인버터(166)의 출력을 NAND 처리하여 리셋트 신호(S1)를 출력하는 NAND 회로이다.

도 30은 리프레시 시간 측정 신호 발생 회로(129)의 구성을 나타내는 회로도이며, 도 30에서 도면 부호 170~172는 리프레시 중단 금지 신호(K1)를 반전 지연하는 반전 지연 회로를 구성하는 인버터, 도면 부호 173은 리프레시 중단 금지 신호(K1)와 인버터(172)의 출력을 NOR 처리하는 NOR 회로, 도면 부호 174, 175는 NOR 회로(173)의 출력과 내부 커맨드 신호(Com)를 입력으로 하는 플립플롭 회로를 구성하는 NOR 회로, 도면 부호 176은 NOR 회로(174)의 출력을 반전하여 리프레시 시간 측정 신호(S3)를 출력하는 인버터이다.

도 31은 지연 시간 제어 회로(116)의 동작을 나타내는 과정도이며, 도 31의 (a)는 라스계 활성화 신호(RASz), 도 31의 (b)는 리셋트 신호(S1), 도 31의 (c)는 리프레시 중단 금지 신호(K1), 도 31의 (d)는 리프레시 시간 측정 신호 발생 회로(129)의 NOR 회로(173)의 출력(S2), 도 31의 (e)는 내부 커맨드 신호(Com), 도 31의 (f)는 리프레시 시간 측정 신호(S3), 도 31의 (g)는 지연 회로(130)의 출력(SD11), 도 31의 (h)는 지연 회로(131)의 출력(SD12), 도 31의 (i)는 지연 회로(132)의 출력(SD13), 도 31의 (j)는 지연 회로(133)의 출력(SD14)을 나타내고 있다.

여기서, 리프레시를 행하기 위해서 라스계 활성화 신호(RASz)가 L 레벨에서 H 레벨로 상승하면 리셋트 신호 발생 회로(128)로부터 L 레벨의 리셋트 신호(S1)가 출력되어, PMOS 트랜지스터(159~162)=ON, 래치 회로(151~154)의 출력=L 레벨, 지연 시간 제어 신호(SD1~SD4)=H 레벨이 된다.

또, 리프레시 중단 금지 기간 동안, H 레벨로 이루어지는 리프레시 중단 금지 신호(K1)가 출력되어 리프레시 시간 측정 신호 발생 회로(129)의 NOR 회로(173)의 출력(S2)은 일시적으로 H 레벨로 되고, 이 결과, 리프레시 시간 측정 신호(S3)=H 레벨이 되고 이것이 지연 회로(130~133)에 의해 지연되는 동시에, 전송 게이트(147~150)는 ON이 된다.

그 후, 예컨대, 지연 회로(130, 131)의 출력(SD11, SD12)이 H 레벨, 지연 회로(132, 133)의 출력(SD13, SD14)이 L 레벨일 때에 커맨드 신호(Com)가 출력되면, 전송 게이트(147~150)=OFF가 되어 래치 회로(151~154)는 지연 회로(130~133)의 출력(SD11~SD14)을 래치하게 된다.

이 결과, 이 경우에는 래치 회로(151, 152)의 출력=L 레벨, 래치 회로(153, 154)의 출력=H 레벨, 지연 시간 제어 신호(SD1, SD2)=H 레벨, 지연 시간 제어 신호(SD3, SD4)=L 레벨이 되고, 지연 시간은 커패시터(123, 124)에 의하여 얻어진 시간 만큼이 된다. 즉, 본 발명의 반도체 기억 장치의 제3 실시 형태에 있어서는 리프레시 시간 측정 신호(S3)의 길이에 따라 프리차지 시간이 설정되게 된다.

따라서, 도 26에 나타내는 프리차지 신호 발생 회로에 따르면 리프레시 시간의 길이에 따른 길이의 프리차지 신호, 예컨대, 도 25에 있어서, P1에서 리프레시가 중단된 경우는 커패시터(123)에 의한 지연 시간을 폭으로 하는 프리차지 신호를 발생하고, P2에서 리프레시가 중단된 경우는 커패시터(123, 124)에 의한 지연 시간을 폭으로 하는 프리차지 신호를 발생하고, P3에서 리프레시가 중단된 경우는 커패시터(123~125)에 의한 지연 시간을 폭으로 하는 프리차지 신호를 발생하고, 리프레시 중단되지 않은 경우에는 커패시터(123~126)에 의한 지연 시간을 폭으로 하는 프리차지 신호를 발생할 수 있다.

도 32는 본 발명의 반도체 기억 장치의 제3 실시 형태의 동작예를 나타내는 과정도이며, 도 32의 (a)는 라스계 활성화 신호(RASz), 도 32의 (b)는 리프레시 타이밍 신호, 도 32의 (c)는 전송 게이트 신호, 도 32의 (d)는 리프레시 중단 금지 신호

(K1), 도 32의 (e)는 내부 커맨드 신호(Com), 도 32의 (f)는 리프레시 시간 측정 신호(S3), 도 32의 (g)는 라이트백(WRITE BACK) 플래그 신호, 도 32의 (h)는 프리차지 신호, 도 32의 (i)는 라이트백 개시 신호, 도 32의 (j)는 라이트백 종료 측정 신호, 도 32의 (k)는 라이트백 종료 신호이다.

즉, 본 발명의 반도체 기억 장치의 제3 실시 형태에 있어서는 리프레시 시기가 도래하면 리프레시 타이밍 신호가 발생하고, 이에 따라 라스계 활성화 신호(RASz)가 발생하고, 이곳으로부터, 리프레시 도중인 비트선 상의 데이터를 데이터 레지스터(94)에 전송하는 전송 게이트 신호와 리프레시 중단 금지 기간을 설정하는 리프레시 중단 금지 신호(K1)가 발생한다.

그리고, 비트선 상의 데이터의 데이터 레지스터(94)에의 전송이 종료되면 리프레시 중단 금지 신호(K1)가 해제되고, 그 이후는 커맨드가 입력된 경우, 그에 따라서 리프레시가 중단된다. 또, 리프레시 중단 금지 기간중에 커맨드가 입력된 경우에는 리프레시 중단 금지 신호(K1)의 해제후, 즉시, 리프레시가 중단된다.

리프레시가 중단되면, 리프레시 중단 금지 신호(K1)가 해제되고 나서 커맨드가 입력될 때까지의 기간을 측정하기 위한 리프레시 시간 측정 신호(S3)가 생성되어, 이 리프레시 시간 측정 신호(S3)의 길이에 따라 프리차지 시간이 설정된다.

또, 본 발명의 반도체 기억 장치의 제3 실시 형태에 있어서는 리프레시를 중단하고 커맨드를 실행한 경우, 커맨드 실행 후의 리프레시 단계 2에 있어서, 실행하여야 할 데이터 레지스터(94)로부터의 데이터의 비트선에의 라이트백의 필요성을 명시하기 위한 라이트백 플래그 신호가 리프레시가 중단됨에 따라 발생된다.

또한, 라이트백 플래그 신호가 출력되고 있고, 또, 커맨드의 실행이 종료된(내부 커맨드 신호(Com)=L 레벨) 경우에 있어서는, 프리차지가 행해지면 라이트백 개시 신호가 H 레벨로 되고, 프리차지가 종료되면 라이트백 개시 신호가 L 레벨이 되는, 라스계 활성화 신호(RASz)가 라이트백을 위해 H 레벨로 되는 동시에 라이트백 종료 측정 신호가 H 레벨로 된다.

여기서, 라이트백 종료 측정 신호는 라이트백에 필요한 시간이 경과하면 H 레벨에서 L 레벨로 되돌아가는 것으로, 라이트백 종료 신호는 라스계 활성화 신호(RASz)가 라이트백 종료 측정 신호보다도 늦게 L 레벨로 변화되는 경우에는 H 레벨의 펄스가 되어 라이트백이 종료되었음을 나타내고, 라스계 활성화 신호(RASz)가 라이트백 종료 측정 신호보다도 앞서 L 레벨로 변화되는 경우(라이트백 중에 커맨드가 입력된 경우)에는 L 레벨을 유지하여 라이트백이 종료되지 않았음을 나타내는 신호이다. 따라서, 라이트백 중에 커맨드가 입력된 경우에는, 라이트백을 중단하여, 커맨드가 실행된 후, 라이트백이 실행된다.

본 발명의 반도체 기억 장치의 제3 실시 형태에 따르면, 리프레시 제어 회로(85)에 의해 리프레시를 자기 관리하여, 리프레시 시기가 되면, 처리중인 커맨드가 없는 경우는 즉시, 처리중인 커맨드가 있는 경우에는 커맨드 실행후, 리프레시 카운터(86)로부터 출력되는 리프레시 어드레스에 기초하여 리프레시를 행할 수 있도록 구성되어 있기 때문에, 컨트롤러에 의한 리프레시 관리가 불필요하게 된다.

또, 리프레시 중이더라도 커맨드 신호를 접수할 수 있으며, 커맨드 신호를 수신했을 때는 리프레시를 중단하여 커맨드를 실행하고, 그 후, 리프레시를 재개할 수 있기 때문에, 컨트롤러는 본 발명의 반도체 기억 장치의 제3 실시 형태가 리프레시를 행하고 있는지의 여부를 감시하지 않고서 본 발명의 제3 실시 형태에 액세스할 수 있기 때문에, 컨트롤러의 효율적인 동작을 꾀할 수 있다.

본 발명의 전자 장치의 제4 실시 형태 : 도 33

도 33은 본 발명의 전자 장치의 제4 실시 형태의 주요부를 나타내는 회로도이다. 도 33에서, 도면 부호 178은 DRAM, 도면 부호 179는 DRAM(178)을 제어하는 컨트롤러, 도면 부호 180은 DRAM(178)이 기억하는 데이터의 저장을 위해 사용하는 플래시 메모리, 도면 부호 181은 커맨드 버스, 어드레스 버스 및 데이터 버스 등의 버스이며, 플래시 메모리(180)는 판독/기록/소거 동작중, 즉, 액세스의 접수를 허가할 수 없는 경우에는 비지 신호(BUSY2)를 출력하도록 구성되어 있다.

여기서, 컨트롤러(179)는 주전지가 끊기거나 떨어지거나 하여, 주전지로부터의 전원 전압의 공급이 도중에 끊어졌을 때에는, 커맨드 신호 및 어드레스 신호를 전부 L 레벨로 하도록 구성되어 있다.

또, DRAM(178)은 컨트롤러(179)로부터 출력되는 커맨드 신호 및 어드레스 신호가 전부 L 레벨인 경우, 플래시 메모리(180)로부터 비지 신호(BUSY2)가 출력되고 있지 않은 경우에는 데이터 저장을 위해 내부의 어드레스 카운터로부터 발생된 어드레스에 따라서, 데이터를 자동적으로 데이터 버스에 출력하도록 구성되어 있다.

또한, 플래시 메모리(180)는 컨트롤러(179)로부터 출력되는 커맨드 신호 및 어드레스 신호가 전부 L 레벨인 경우, DRAM(178)으로부터 출력되는 데이터를 내부의 어드레스 카운터로부터 발생시키는 어드레스에 기초하여 자동적으로 기록하도록 구성되어 있다.

이와 같이 구성된 본 발명의 전자 장치의 제4 실시 형태에 따르면, 주전지가 끊어지거나 떨어지거나 하여, 주전지에 의한 전원 전압의 공급이 도중에 끊어진 경우에, DRAM(178)의 데이터를 리프레시를 필요로 하지 않는 플래시 메모리(180)에 저장할 수 있다.

따라서, 본 발명의 전자 장치의 제4 실시 형태를 DRAM을 탑재하는 휴대 전화 등의 간이 단말기에 적용하는 경우에는, 주전지가 끊어지거나 떨어지거나 하여, 주전지에 의한 전원 전압의 공급이 도중에 끊어진 경우에, DRAM(178)의 리프레시에 의한 백업용 전지의 소비를 가능한 한 적게 할 수 있다.

또, 플래시 메모리(180)는 판독/기록/소거 동작 중에는 비지 신호(BUSY2)를 출력하도록 구성되고, DRAM(178)는 비지 신호(BUSY2)가 출력되고 있는 기간을 이용하여 리프레시를 행할 수 있도록 구성되어 있기 때문에, 데이터 저장중이더라도 리프레시를 행할 수 있어, 필요한 데이터를 유지할 수 있다.

또한, 본 발명의 전자 장치의 제4 실시 형태에 있어서는 DRAM(178)이 기억하는 데이터의 저장을 위한 불휘발성 반도체 기억 장치인 플래시 메모리를 설치하도록 한 경우에 관해서 기술했지만, 리프레시를 필요로 하지 않는 여러 가지 반도체 기억 장치를 사용할 수 있다.

본 발명의 반도체 기억 장치의 제4 실시 형태 : 도 34, 도 35

도 34는 본 발명의 반도체 기억 장치의 제4 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 반도체 기억 장치의 제4 실시 형태는 도 33에 나타내는 본 발명의 전자 장치의 제4 실시 형태가 구비하는 DRAM(178)에 사용할 수 있는 것이다.

도 34에서 도면 부호 183은 컨트롤러(179)로부터의 커맨드 신호를 디코딩하는 커맨드 디코더, 도면 부호 184는 컨트롤러(179)로부터의 어드레스 신호(A0~An)를 입력하는 어드레스 입력 회로, 도면 부호 185는 판독/기록 데이터(DQ0~DQn)의 입출력을 행하는 데이터 입출력 회로이다.

또, 도면 부호 186은 컨트롤러(179)로부터의 커맨드 신호를 NOR 처리하는 NOR 회로, 도면 부호 187은 컨트롤러(179)로부터의 어드레스 신호(A0~An)를 NOR 처리하는 NOR 회로, 도면 부호 188은 NOR 회로(186, 187)의 출력을 NAND 처리하는 NAND 회로이다.

여기서 NOR 회로(186)의 출력은 커맨드 신호가 전부 L 레벨인 경우만 H 레벨이 되고, NOR 회로(187)의 출력은 어드레스 신호(A0~An)가 전부 L 레벨인 경우만 H 레벨이 되기 때문에, NAND 회로(188)의 출력은 커맨드 신호 및 어드레스(A0~An)가 전부 L 레벨인 경우에만 L 레벨로 되고, 이 경우에는 자동적으로 데이터 저장 모드가 된다.

또한, 도면 부호 189는 플래시 메모리(180)로부터의 비지 신호(BUSY2)를 수신하기 위한 BUSY2 입력 버퍼, 도면 부호 190은 데이터의 저장을 제어하는 데이터 저장 제어 회로이며, 데이터 저장 제어 회로는 NAND 회로(188)의 출력이 L 레벨이 되면, 즉, 컨트롤러(179)로부터의 커맨드 신호 및 어드레스 신호가 전부 L 레벨이 되면, BUSY2 입력 버퍼(189)를 활성화하는 비지 인에이블 신호(BEN)를 출력하는 동시에, 데이터 저장 제어 신호(ESC)를 출력하고, 그 후, BUSY2 입력 버퍼(189)가 비지 신호(BUSY2)를 입력할 때마다, 데이터 저장 제어 신호(ESC)를 출력하는 것이다.

또, 도면 부호 191은 데이터 저장 제어 신호(ESC)를 수신하여, 저장시켜야 할 데이터의 어드레스를 출력하는 데이터 저장 어드레스 카운터, 도면 부호 192는 데이터 저장 제어 신호(ESC)를 받아 리프레시 제어 신호(REF)를 출력하는 리프레시 제어 회로, 도면 부호 193은 리프레시 제어 신호(REF)를 트리거 신호로서 리프레시 어드레스를 출력하는 리프레시 카운터이다.

또한, 도면 부호 194-0, 194-1은 뱅크 어드레스 신호에 따라 선택되는 뱅크이며, 뱅크(194-0, 194-1)는 동일 회로 구성으로 되어 있고, 뱅크(194-0)에 있어서, 도면 부호 195-0~195-3은 도 3에 나타내는 블록(12-0~12-3)과 동일 방식으로 구성된 블록이다.

또, 도면 부호 196은 블록(195-0~195-3)에 의해 공유되는 데이터 버스, 도면 부호 197은 블록(195-0~195-3)에 의해 공유되는 기록 증폭기/센스 버퍼, 도면 부호 198은 뱅크(194-0)의 동작을 제어하는 제어 회로이다.

또, 도면 부호 199는 제어 회로(198)에 의하여 제어되어, 판독/기록시에는 어드레스 입력 회로(184)로부터 출력되는 로우 어드레스 신호를 선택하고, 리프레시시에는 리프레시 카운터(193)로부터 출력되는 리프레시 어드레스를 선택하고, 데이터 저장시에는 데이터 저장 어드레스 카운터(191)로부터 출력되는 데이터 저장 어드레스를 선택하는 셀렉터이다. 또한, 도면 부호 200은 셀렉터(199)로부터 출력되는 어드레스 신호를 래치하는 어드레스 래치 회로, 도면 부호 201은 컬럼 어드레스 카운터이다.

도 35는 본 발명의 반도체 기억 장치의 제4 실시 형태를 도 33에 나타내는 전자 장치의 DRAM(178)에 적용한 경우의 동작 예를 나타내는 파형도이며, 도 35의 (a)는 주전지로부터 공급되는 전원 전압, 도 35의 (b)는 컨트롤러로부터 출력되는 커맨드 신호 및 어드레스 신호, 도 35의 (c)는 비지 인에이블 신호(BEN), 도 35의 (d)는 데이터 저장 신호(ESC), 도 35의 (e)는 출력 데이터, 도 35의 (f)는 플래시 메모리의 동작 상태, 도 35의 (g)는 비지 신호(BUSY2)를 나타내고 있다.

도 33에 나타내는 전자 장치에 있어서는, 주전지로부터의 전원 전압이 도중에 끊어지면, 컨트롤러(179)로부터 출력되는 커맨드 신호 및 어드레스 신호는 전부 L 레벨이 되어 본 발명의 반도체 기억 장치의 제4 실시 형태에 있어서는 NAND 회로(188)의 출력=L 레벨이 되기 때문에, 비지 인에이블 신호(BEN)가 H 레벨이 되어 BUSY2 입력 회로(189)가 활성화되는 동시에, 최초의 데이터 저장 제어 신호(ESC)가 출력되어 데이터 저장 모드로 설정되어 최초의 저장 데이터(D0)가 출력되고 이것이 플래시 메모리(180)에 기록되며, 이 동안에, 비지 신호(BUSY2)=L 레벨이 되어, 기록중임이 표시된다. 비지 신호(BUSY2)=L 레벨인 동안, 데이터 저장 제어 신호(ESC)는 정지하여, 리프레시가 재개된다.

그 후, 플래시 메모리(180)에 있어서 저장 데이터(D0)의 기록이 종료되면 비지 신호(BUSY2)=H 레벨이 되고, 이것이 BUSY2 입력 회로(189)를 통해 데이터 저장 제어 회로(190)에 공급되어, 2번째의 데이터 저장 제어 신호(ESC)가 출력되고, 이것에 대응하여 2번째의 저장 데이터(D1)가 출력되고, 이것이 플래시 메모리(180)에 기록되며, 이 동안에 비지 신호(BUSY2)=L 레벨이 되어, 기록 중임이 표시된다. 비지 신호(BUSY2)=L 레벨인 동안, 데이터 저장 제어 신호(ESC)는 정지하여 리프레시가 재개된다.

그 후, 플래시 메모리(180)에 있어서 데이터(D1)의 기록이 종료되면 비지 신호(BUSY2)=H 레벨이 되고, 이것이 BUSY2 입력 회로(189)를 통해 데이터 저장 제어 회로(190)에 공급되어, 3번째의 데이터 저장 제어 신호(ESC)가 출력되고, 이에 대응하여, 3번째의 저장 데이터(D1)가 출력되고, 이것이 플래시 메모리(180)에 기록되어, 그 동안에, 비지 신호(BUSY2)=L 레벨이 되어 기록 중임이 표시된다. 이하, 저장 데이터가 없어질 때까지 동일 방식의 동작이 반복된다.

이와 같이, 본 발명의 반도체 기억 장치의 제4 실시 형태에 따르면, 이것을 도 33의 DRAM(178)에 적용한 경우, 주전지가 끊어지거나 떨어지거나 하여 주전지에 의한 전원 전압의 공급이 도중에 끊어진 경우에, 본 발명의 반도체 기억 장치의 제4 실시 형태가 기억하는 데이터를 리프레시를 필요로 하지 않는 플래시 메모리(180)에 저장할 수 있다.

따라서, 본 발명의 전자 장치의 제4 실시 형태를, DRAM을 탑재하는 휴대 전화 등의 간이 단말기에 적용하는 경우에는, 주전지가 끊어지거나 떨어지거나 하여, 주전지에 의한 전원 전압의 공급이 도중에 끊어진 경우에, DRAM(178)의 리프레시에 의한 백업용 전지의 소비를 가능한 한 적게 할 수 있다.

본 발명의 전자 장치의 제5 실시 형태 : 도 36

도 36은 본 발명의 전자 장치의 제5 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 전자 장치의 제5 실시 형태는 도 33에 나타내는 본 발명의 전자 장치의 제4 실시 형태가 구비하는 DRAM(178) 및 플래시 메모리(180)와 회로 구성이 다른 DRAM(203) 및 플래시 메모리(204)를 설치하고, 그 밖에 관해서는 도 33에 나타내는 본 발명의 전자 장치의 제4 실시 형태와 동일 방식으로 구성한 것이다.

여기서, DRAM(203)은 출력 데이터와 함께, 출력 데이터를 수신하는 타이밍을 지시하는 데이터 스트로브 신호(QS)를 출력하도록 구성되어 있고, 플래시 메모리(204)는 DRAM(203)로부터의 데이터 스트로브 신호(QS)를 수신하여, 데이터 스트로브 신호(QS)가 지시하는 타이밍에 DRAM(203)로부터의 출력 데이터를 수신 할 수 있도록 구성되어 있다.

이와 같이 구성된 본 발명의 전자 장치의 제5 실시 형태에 따르면, 도 33에 나타내는 본 발명의 전자 장치의 제4 실시 형태와 동일한 효과를 얻을 수 있는 동시에, DRAM(203)로부터의 데이터 수신을 용이하게 제어할 수 있다.

본 발명의 반도체 기억 장치의 제5 실시 형태 : 도 37, 도 38

도 37은 본 발명의 반도체 기억 장치의 제5 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 반도체 기억 장치의 제5 실시 형태는 도 36에 나타내는 본 발명의 전자 장치의 제5 실시 형태가 구비하는 DRAM(203)으로서 사용될 수 있다.

본 발명의 반도체 기억 장치의 제5 실시 형태는 데이터 저장용 클록을 발생하는 데이터 저장용 클록 발생 회로(206) 및 데이터 스트로브 신호(QS)를 발생하는 QS 출력 회로(207)를 설치하여, 데이터 저장 동작 중에, 데이터 저장용 클록 발생 회로(206)로부터 데이터 저장용 클록을 발생하고, 데이터 저장 어드레스 카운터(191)나 QS 출력 회로(207) 등을 데이터 저장용 클록에 동기하여 동작시켜서, 출력 데이터와 데이터 스트로브 신호(QS)의 출력 타이밍이 적정하게 되도록 하고, 그 밖에 관해서는 도 34에 나타내는 본 발명의 반도체 기억 장치의 제4 실시 형태와 동일 방식으로 구성한 것이다.

여기서, 데이터 저장용 클록 발생 회로(206)는 발진기를 내장함으로써 데이터 저장용 클록을 발생하도록 하더라도 좋고, 혹은 본 발명의 반도체 기억 장치의 제5 실시 형태를 사용하는 전자 장치에 구비되는 수정 발진기 등으로부터의 클록 신호를 이용하여 데이터 저장용 클록을 발생하도록 하더라도 좋다.

도 38은 본 발명의 반도체 기억 장치의 제5 실시 형태를 도 36에 나타내는 전자 장치의 DRAM(203)에 적용한 경우의 동작 예를 나타내는 파형도이며, 도 38의 (a)는 주전지로부터 공급되는 전원 전압, 도 38의 (b)는 컨트롤러로부터 출력되는 커맨드 신호 및 어드레스 신호, 도 38의 (c)는 비지 인에이블 신호(BEN), 도 38의 (d)는 데이터 저장 신호(ESC), 도 35의 (e)는 데이터 저장용 클록 발생 회로(206)로부터 출력되는 데이터 저장용 클록(ECK), 도 35의 (f)는 출력 데이터, 도 38의 (g)는 데이터 스트로브 신호(QS), 도 38의 (h)는 플래시 메모리(204)의 동작 상태, 도 38의 (i)는 비지 신호(BUSY2)를 나타내고 있다.

도 36에 나타내는 전자 장치에 있어서는 주전지로부터의 전원 전압이 끊어지면, 컨트롤러(179)로부터 출력되는 커맨드 신호 및 어드레스 신호는 전부 L 레벨이 되어, 본 발명의 반도체 기억 장치의 제5 실시 형태에 있어서는 NAND 회로(188)의 출력=L 레벨이 되기 때문에, 비지 인에이블 신호(BEN)가 H 레벨이 되어, BUSY2 입력 회로(189) 및 데이터 저장용 클록 발생 회로(206)가 활성화되는 동시에, 최초의 데이터 저장 제어 신호(ESC)가 출력되어 데이터 저장 모드로 되고, 최초의 저장 데이터(D0)가 출력되어, 이것이 플래시 메모리(204)에 기록되며, 이 동안에, 비지 신호(BUSY2)=L 레벨이 되어, 기록 중임이 표시된다. 비지 신호(BUSY2)=L 레벨인 동안, 데이터 저장 제어 신호(ESC)는 정지하여, 리프레시가 재개된다.

그 후, 플래시 메모리(204)에 있어서 저장 데이터(D0)의 기록이 종료되면, 비지 신호(BUSY2)=H 레벨이 되고, 이 결과, 이것이 BUSY2 입력 회로(189)를 통해 데이터 저장 제어 회로(190)에 공급되어 2번째의 데이터 저장 제어 신호(ESC)가 출력되고, 이것에 대응하여, 2번째의 저장 데이터(D1)가 출력되는 동시에, 데이터 스트로브 신호(QS)가 출력되어, 저장 데이터(D1)가 플래시 메모리(204)에 기록되고, 이 동안에, 비지 신호(BUSY2)=L 레벨이 되어, 기록 중임이 표시된다. 이하, 저장 데이터가 없어질 때까지, 동일한 동작이 반복된다.

본 발명의 반도체 기억 장치의 제5 실시 형태에 따르면, 이것을 도 36에 나타내는 DRAM(203)에 적용하는 경우에는, 도 34에 나타내는 본 발명의 반도체 기억 장치의 제4 실시 형태와 동일한 효과를 얻을 수 있는 동시에, 플래시 메모리(204)에 의한 저장 데이터의 수신을 용이하게 제어할 수 있다.

본 발명의 전자 장치의 제6 실시 형태 : 도 39, 도 40

도 39는 본 발명의 전자 장치의 제6 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 전자 장치의 제6 실시 형태는 도 33에 나타내는 본 발명의 전자 장치의 제4 실시 형태가 구비하는 DRAM(178) 및 플래시 메모리(180)와 회로 구성이 다른 DRAM(209) 및 플래시 메모리(210)를 설치하고, 그 밖에 관해서는 도 33에 나타내는 본 발명의 전자 장치의 제4 실시 형태와 동일 방식으로 구성한 것이다.

여기서, DRAM(209)는 비지 신호(BUSY2)를 입력하는 BUSY2 입력 회로(211) 및 데이터 스트로브 신호(QS)를 출력하는 QS 신호 출력 회로(212)를 내장하고, 비지 신호 입력 단자 및 데이터 스트로브 신호 출력 단자로서 겸용하는 외부 단자(213)를 구비한다.

또, 플래시 메모리(210)는 비지 신호(BUSY2)를 출력하는 BUSY2 출력 회로(214) 및 데이터 스트로브 신호(QS)를 입력하는 QS 입력 회로(215)를 내장하고, 비지 신호 출력 단자 및 데이터 스트로브 신호 입력 단자로서 겸용하는 외부 단자(216)를 구비한다.

도 40은 BUSY2 입력 회로(211), QS 출력 회로(212), BUSY2 출력 회로(214) 및 QS 입력 회로(215)의 구성 예를 나타내는 회로도이다. 도 40에서 BUSY2 입력 회로(211)에 있어서, 도면 부호 218은 비지 신호(BUSY2) 입력용 인버터, QS 출력 회로(212)에 있어서, 도면 부호 219는 데이터 스트로브 신호(QS) 출력용 NMOS 트랜지스터이다.

또, BUSY2 출력 회로(214)에 있어서, 도면 부호 220은 비지 신호(BUSY2) 출력용 NMOS 트랜지스터, QS 입력 회로(215)에 있어서, 도면 부호 221은 데이터 스트로브 신호(QS) 입력용의 인버터이다.

또, 이 경우, QS 출력 회로(212) 및 BUSY2 출력 회로(214)는 오픈 인 드레인 출력으로 되어 있기 때문에, 비지 신호(BUSY2) 및 데이터 스트로브 신호(QS)의 신호 레벨을 확보하기 위해서, BUSY2/QS 공통선(222)과 전원(VDD) 사이에 고저항(223)을 필요로 한다.

이와 같이 구성된 본 발명의 전자 장치의 제6 실시 형태에 따르면, 도 33에 나타내는 본 발명의 전자 장치의 제4 실시 형태와 동일한 효과를 얻을 수 있는 동시에, DRAM(209)으로부터의 데이터의 수신을 용이하게 제어할 수 있고, 더구나, DRAM(209) 및 플래시 메모리(210)의 외부 단자의 수를 줄일 수 있다.

본 발명의 반도체 기억 장치의 제6 실시 형태 : 도 41~도 43

도 41은 본 발명의 반도체 기억 장치의 제6 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 반도체 기억 장치의 제6 실시 형태는 도 39에 나타내는 본 발명의 전자 장치의 제6 실시 형태가 구비하는 DRAM(209)에 사용할 수 있는 것이다.

본 발명의 반도체 기억 장치의 제6 실시 형태는 비지 신호 입력 단자 및 데이터 스트로브 신호 출력 단자로서 겸용하는 외부 단자(225)를 설치하여, 외부 단자(225)와 BUSY2 입력 회로(189)의 입력 단자(226) 및 QS 출력 회로(207)의 출력 단자(227)를 접속하고, 그 밖에 관해서는 도 37에 나타내는 본 발명의 반도체 기억 장치의 제5 실시 형태와 동일 방식으로 구성한 것이다.

도 42는 본 발명의 반도체 기억 장치의 제6 실시 형태를 도 39에 나타내는 전자 장치의 DRAM(209)에 적용한 경우의 동작 예를 나타내는 과정도이며, 도 42의 (a)는 주전지로부터 공급되는 전원 전압, 도 42의 (b)는 컨트롤러로부터 출력되는 커맨드 신호 및 어드레스 신호의 상태, 도 42의 (c)는 비지 인에이블 신호(BEN), 도 42의 (d)는 데이터 저장 신호(ESC), 도 42의 (e)는 출력 데이터, 도 42의 (f)는 BUSY2/QS 공통선의 전위, 도 42의 (g)는 플래시 메모리(210)의 상태를 나타내고 있다.

도 39에 나타내는 전자 장치에 있어서는 주전지로부터의 전원 전압이 도중에 끊어지면, 컨트롤러(179)로부터 출력되는 커맨드 신호 및 어드레스 신호는 전부 L 레벨이 되어, 본 발명의 반도체 기억 장치의 제6 실시 형태에 있어서는 NAND 회로(188)의 출력=L 레벨이 되기 때문에, 비지 인에이블 신호(BEN)가 H 레벨이 되고 BUSY2 입력 회로(189)가 활성화되어, 최초의 데이터 저장 제어 신호(ESC)가 출력되어 최초의 저장 데이터(D0)가 출력되는 동시에, BUSY2/QS 공통선에는 L 레벨로 이루어지는 데이터 스트로브 신호(QS)가 출력되어, 저장 데이터(D0)가 QS에 동기하여 플래시 메모리(210)에 수신되어 기록되고, 이 동안에, BUSY2/QS 공통선에는 L 레벨로 이루어지는 비지 신호(BUSY2)가 출력되어, 기록 중임이 표시된다.

그 후, 플래시 메모리(210)에 있어서의 저장 데이터(D0)의 기록이 종료되면, BUSY2/QS 공통선=H 레벨로 되고, 이 결과, 이것이 BUSY2 입력 회로(189)를 통해 데이터 저장 제어 회로(190)에 공급되어, 2번째의 데이터 저장 제어 신호(ESC)가 출력되고, 이에 대응하여, 2번째의 저장 데이터(D1)가 출력되는 동시에, BUSY2/QS 공통선에는 L 레벨로 이루어지는 데이터 스트로브 신호(QS)가 출력되어 저장 데이터가 QS에 동기하여 플래시 메모리(210)에 받아들여져, 이것이 플래시 메모리(210)에 기록되고, 이 동안에, BUSY2/QS 공통선에는 L 레벨로 이루어지는 비지 신호(BUSY2)가 출력되어, 기록 중임이 표시된다.

그 후, 플래시 메모리(210)에 있어서의 저장 데이터(D1)의 기록이 종료되면 BUSY2/QS 공통선=H 레벨로 되고, 이 결과, 이것이 BUSY2 입력 회로(189)를 통해 데이터 저장 제어 회로(190)에 공급되어 3번째의 데이터 저장 제어 신호(ESC)가 출력되고, 이에 대응하여, 2번째의 저장 데이터(D2)가 출력되는 동시에 BUSY2/QS 공통선에는 L 레벨로 이루어지는 데이터 스트로브 신호(QS)가 출력되어, 저장 데이터(D2)가 데이터 스트로브 신호(QS)에 동기하여 플래시 메모리(210)에 수신되어, 이것이 플래시 메모리(210)에 기록되고, 이 동안에, BUSY2/QS 공통선에는 L 레벨로 이루어지는 비지 신호(BUSY2)가 출력되어 기록 중임이 표시된다.

이와 같이, 본 발명의 반도체 기억 장치의 제6 실시 형태에 따르면, 이것을 도 39에 나타내는 DRAM(209)에 적용하는 경우에는 도 37에 나타내는 본 발명의 반도체 기억 장치의 제5 실시 형태와 동일한 효과를 얻을 수 있는 동시에, 외부 단자의 수를 줄일 수 있다. 또, 도 43에 나타낸 바와 같이, 복수 바이트의 저장 데이터를 버스트 모드(burst mode)로 연속해서 통합하여 출력하도록 하더라도 좋다.

본 발명의 반도체 기억 장치의 제7 실시 형태 : 도 44

도 44는 본 발명의 반도체 기억 장치의 제7 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 반도체 기억 장치의 제7 실시 형태는 도 36에 나타내는 DRAM(203)에 사용할 수 있는 것이다.

본 발명의 반도체 기억 장치의 제7 실시 형태는 데이터 저장 어드레스 카운터(191)로부터 출력되는 데이터 저장 어드레스와, 리프레시 카운터(193)로부터 출력되는 리프레시 어드레스를 비교하는 비교기(229)와, 이 비교기(229)의 출력(N2)을 게이트 신호로 하여 리프레시 제어 회로(192)로부터 출력되는 리프레시 제어 신호(REF)의 전송을 제어하는 AND 회로(230)를 설치하고, 그 밖에 관해서는 도 37에 나타내는 본 발명의 반도체 기억 장치의 제5 실시 형태와 동일 방식으로 구성한 것이다.

비교기(229)는 데이터 저장 제어 회로(190)로부터 출력되는 제어 신호(N1)에 의하여 제어되는 것으로, 제어 신호(N1)=H 레벨인 경우에 비교 동작을 행하는 것이지만, 제어 신호(N1)는 데이터 저장 모드시에는 H 레벨, 그 밖의 경우에는 L 레벨로 되고, 비교기(229)의 출력(N2)은 리프레시 어드레스가 데이터 저장 어드레스보다도 큰 경우만 H 레벨이 되며, 그 밖의 경우에는 L 레벨을 유지하도록 되어 있다.

여기서, 데이터 저장시에, 비교기(229)의 출력=H 레벨인 경우, 즉 출력된 리프레시 어드레스가 출력된 데이터 저장 어드레스보다도 크고, 출력된 리프레시 어드레스의 데이터가 저장되어 있지 않은 경우에는, 리프레시 제어 신호(REF)가 출력되게 되기 때문에 출력된 리프레시 어드레스에 관해서 리프레시가 실행되게 된다.

이에 대하여, 비교기(229)의 출력=L 레벨인 경우, 즉, 출력된 리프레시 어드레스가 출력된 데이터 저장 어드레스보다도 작고, 출력된 리프레시 어드레스의 데이터가 이미 저장되어 있는 경우에는, 리프레시 제어 신호(REF)가 AND 회로(230)로부터 출력되는 일은 없기 때문에 출력된 리프레시 어드레스에 관해서 리프레시가 실행되지 않는다.

이와 같이, 본 발명의 반도체 기억 장치의 제7 실시 형태에 따르면, 도 37에 나타내는 본 발명의 반도체 기억 장치의 제5 실시 형태와 동일한 효과를 얻을 수 있는 동시에, 이미 저장한 데이터의 어드레스에 관하여는 리프레시되는 일이 없기 때문에, 백업용 전지의 소비를 도 37에 나타내는 본 발명의 반도체 기억 장치의 제5 실시 형태의 경우보다도 적게 할 수 있다.

본 발명의 반도체 기억 장치의 제8 실시 형태 : 도 45

도 45는 본 발명의 반도체 기억 장치의 제8 실시 형태의 주요부를 나타내는 회로도이며, 본 발명의 반도체 기억 장치의 제8 실시 형태는 도 34에 나타내는 본 발명의 반도체 기억 장치의 제4 실시 형태가 구비하는 뱅크(194-0, 194-1)와 회로 구성이 다른 뱅크(232-0, 232-1)를 설치하고, 그 밖에 관해서는 도 34에 나타내는 본 발명의 반도체 기억 장치의 제4 실시 형태와 동일 방식으로 구성한 것이다.

여기서, 뱅크(232-0, 232-1)는 동일 회로 구성으로 되어 있고, 뱅크(232-0)에 있어서, 도면 부호 233-0~233-3은 블록이다. 블록(233-0~233-3)은 동일 회로 구성으로 되어 있고, 블록(233-0)에 있어서, 도면 부호 234는 메모리 셀 어레이, 도면 부호 235는 로우 디코더, 도면 부호 236은 센스 증폭기, 도면 부호 237은 컬럼 디코더, 도면 부호 238은 데이터 저장 동작시, 제어 회로(239)에 접속되어, 메모리 셀 어레이(234)로부터 판독된 데이터를 후술하는 직렬 레지스터에 전송하기 위한 전송 게이트이다.

또, 도면 부호 240은 블록(233-0~233-3)에 의해 공유되는 직렬 레지스터, 도면 부호 241은 블록(233-0~233)에 의해 공유되는 기록 증폭기/센스 버퍼이며, 센스 버퍼는 데이터 저장시에는 직렬 레지스터(240)로부터 출력되는 데이터를 데이터 입출력 회로(185)에 공급하도록 동작한다. 뱅크(232-0, 232-1)의 그 밖의 부분에 관해서는 도 34에 나타내는 뱅크(194-0, 194-1)와 동일 방식으로 구성되어 있다.

즉, 본 발명의 반도체 기억 장치의 제8 실시 형태는 저장 데이터를 행할 때마다, 직렬 레지스터(240)에 저장하고, 이 직렬 레지스터(240)에 저장된 저장 데이터를 센스 버퍼 및 데이터 입출력 회로(185)를 통해 출력하는 것이다.

이와 같이 구성된 본 발명의 반도체 기억 장치의 제8 실시 형태에 따르면, 저장 데이터의 출력중에 리프레시 동작을 행할 수 있기 때문에, 동작의 효율화를 꾀할 수 있다.

여기서, 본 발명의 반도체 기억 장치 및 전자 장치를 정리하면, 본 발명의 반도체 기억 장치 및 전자 장치에는 이하와 같은 반도체 기억 장치 및 전자 장치가 포함된다.

(1) 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치로서, 리프레시 시간 중에, 외부로 비지 신호를 출력하도록 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

(2) 상기 (1)에 기재한 반도체 기억 장치에 있어서, 리프레시 시기가 도래하였음을 검출하여, 리프레시를 자기 관리하는 리프레시 제어 회로를 구비하고 있는 것을 특징으로 하는 반도체 기억 장치.

(3) 상기 (2)에 기재한 반도체 기억 장치에 있어서, 타이머 회로를 내장하고, 상기 리프레시 제어 회로는 상기 타이머 회로의 출력에 기초하여 리프레시 시기가 도래하였음을 검출하는 것을 특징으로 하는 반도체 기억 장치.

(4) 상기 (2)에 기재한 반도체 기억 장치에 있어서, 상기 리프레시 제어 회로는 외부로부터 공급되는 클록 신호에 기초하여 리프레시 시기가 도래하였음을 검출하는 것을 특징으로 하는 반도체 기억 장치.

(5) 상기 (2), (3) 또는 (4)에 기재한 반도체 기억 장치에 있어서, 상기 비지 신호를 발생하는 비지 신호 발생 회로와, 외부로부터 공급되는 커맨드 신호를 디코딩하는 커맨드 디코더를 구비하여, 상기 리프레시 제어 회로는 리프레시 시기가 도래하였음을 나타내는 리프레시 제어 신호를 발생하고, 상기 커맨드 디코더에서 처리를 개시 또는 처리중인 커맨드가 없는 경우는 리프레시 제어 신호에 따라서 리프레시를 개시하도록 하고, 상기 커맨드 디코더에서 처리를 개시 또는 처리중인 커맨드가 있는 경우는 그 처리를 기다려 리프레시를 개시하도록 하며, 상기 비지 신호 발생 회로는 리프레시 제어 신호에 응답하여 비지 신호를 발생하여, 리프레시가 종료되면, 상기 비지 신호를 해제하는 것을 특징으로 하는 반도체 기억 장치.

(6) 상기 (5)에 기재한 반도체 기억 장치에 있어서, 상기 비지 신호를 발생하고 있는 동안에는 외부로부터의 커맨드 신호 및 어드레스 신호를 수신하지 않는 것을 특징으로 하는 반도체 기억 장치.

(7) 상기 (5)에 기재한 반도체 기억 장치에 있어서, 상기 비지 신호의 발생중에 외부로부터 공급된 커맨드 신호를 일시 보관하는 레지스터를 구비하여, 리프레시 종료후에 상기 레지스터에 보관된 커맨드를 우선적으로 처리하는 것을 특징으로 하는 반도체 기억 장치.

(8) 상기 (1)~(7) 중 어느 것에 기재한 반도체 기억 장치와 이 반도체 기억 장치를 제어하는 컨트롤러를 구비하여, 상기 컨트롤러는 상기 반도체 기억 장치로부터 비지 신호가 출력되고 있는 동안에는 상기 반도체 기억 장치에 액세스하지 않은 것을 특징으로 하는 전자 장치.

(9) 상기 (1)~(7) 중 어느 것에 기재한 반도체 기억 장치와 이 반도체 기억 장치를 제어하는 컨트롤러를 구비하고, 상기 컨트롤러는 반도체 기억 장치로부터 비지 신호가 출력되고 있는 동안에는 동일한 커맨드를 반복 출력하는 것을 특징으로 하는 전자 장치.

(10) 상기 (1)~(4) 중 어느 것에 기재한 반도체 기억 장치와 이 반도체 기억 장치를 제어하는 컨트롤러를 구비하여, 상기 컨트롤러는 반도체 기억 장치의 리프레시 카운터에 대응하는 카운터를 구비하여, 상기 반도체 기억 장치로부터 비지 신호가 출력되었을 때에는 카운터를 동작시키는 것을 특징으로 하는 전자 장치.

(11) 어떤 워드선에 의해 선택되고 있는 메모리 셀의 리프레시 중에, 상기 어떤 워드선을 포함하는 메모리 블록에 대한 커맨드를 접수하고, 상기 어떤 워드선에 의해 선택되고 있는 메모리 셀의 리프레시를 중단하여 커맨드를 실행하여, 상기 어떤 워드선에 의해 선택되는 메모리 셀의 리프레시를 재개하는 것을 특징으로 하는 반도체 기억 장치.

(12) 상기 (11)에 기재한 반도체 기억 장치에 있어서, 리프레시 중인 메모리 셀의 데이터를 저장하는 데이터 저장용 레지스터와 상기 데이터 저장용 레지스터에 데이터를 전송하는 전송 게이트를 구비하여, 커맨드의 실행은 상기 전송 게이트에 의해 상기 데이터 저장용 레지스터에 리프레시 중인 메모리 셀의 데이터를 전송하고 나서 행하고, 리프레시 재개시 상기 데이터 저장용 레지스터로부터 데이터를 반송하는 것을 특징으로 하는 반도체 기억 장치.

(13) 상기 (12)에 기재한 반도체 기억 장치에 있어서, 재개한 리프레시 실행중에 제2 커맨드를 접수하고, 재개한 리프레시를 중단하여 제2 커맨드를 실행하여, 리프레시를 재개하는 것을 특징으로 하는 반도체 기억 장치.

(14) 상기 (12) 또는 (13)에 기재한 반도체 기억 장치에 있어서, 상기 전송 게이트는 센스 증폭기에서 증폭 중인 비트선 상의 데이터를 상기 데이터 저장용 레지스터에 전송하는 것을 특징으로 하는 반도체 기억 장치.

(15) 상기 (12) 또는 (13)에 기재한 반도체 기억 장치에 있어서, 상기 전송 게이트는 센스 증폭기에서 증폭하고 있지 않은 비트선 상의 데이터를 상기 데이터 저장용 레지스터에 전송하는 것을 특징으로 하는 반도체 기억 장치.

(16) 상기 (12)에 기재한 반도체 기억 장치에 있어서, 리프레시 중인 어드레스와 커맨드를 실행하기 위한 로우 어드레스를 비교하는 비교기를 구비하여, 리프레시 중인 어드레스와 커맨드를 실행하기 위한 로우 어드레스가 불일치하는 경우는 리프레시를 중단하여 커맨드를 실행하고, 리프레시 중인 어드레스와 상기 커맨드를 실행하기 위한 로우 어드레스가 일치하고 있는 경우는 리프레시를 종료하여, 비트선의 프리차지를 행하지 않고서 상기 커맨드를 실행하는 것을 특징으로 하는 반도체 기억 장치.

(17) 상기 (16)에 기재한 반도체 기억 장치에 있어서, 리프레시 중인 어드레스와 상기 커맨드를 실행하기 위한 로우 어드레스가 불일치하여 리프레시를 중단한 경우에는, 리프레시 개시에서부터 리프레시 중단까지의 길이에 따라서, 리프레시 중단에 이어지는 프리차지 기간의 길이를 조정하는 것을 특징으로 하는 반도체 기억 장치.

(18) 외부로부터 자동 판독을 지시 받았을 때에는 자동 판독을 위한 어드레스 신호를 발생하는 어드레스 카운터와, 자동 판독하는 데이터의 전송처가 출력하는 액세스의 접수를 허가하는지의 여부를 나타내는 액세스 접수 허가/불허 신호를 수신하는 액세스 접수 허가/불허 신호 수신 수단을 포함하여, 외부로부터 자동 판독을 지시 받고, 또, 상기 액세스 접수 허가/불허 신호가 액세스의 접수를 허가하고 있을 때에는 데이터를 자동적으로 판독하는 자동 판독 수단을 구비하고 있는 것을 특징으로 하는 반도체 기억 장치.

(19) 상기 (18)에 기재한 반도체 기억 장치에 있어서, 통상 동작 모드에 있어서는 외부로부터 입력된 어드레스 신호에 기초한 제1 어드레스를 선택하여 디코더에 전달하고, 자동 판독 모드에 있어서는 상기 자동 판독 어드레스 카운터에서 발생한 제2 어드레스를 선택하여 디코더에 전달하는 셀렉터를 구비하고 있는 것을 특징으로 하는 반도체 기억 장치.

(20) 상기 (19)에 기재한 반도체 기억 장치에 있어서, 데이터 유지에 리프레시를 필요로 하는 메모리 셀이 배열된 메모리 영역과, 리프레시 어드레스를 발생하는 리프레시 카운터를 구비하여, 상기 셀렉터는 통상 동작 모드에 있어서는 제1 어드레스와 리프레시 어드레스를 전환하고, 상기 자동 판독 모드에 있어서는 상기 제2 어드레스와 상기 리프레시 어드레스를 전환하는 것을 특징으로 하는 반도체 기억 장치.

(21) 상기 (20)에 기재한 반도체 기억 장치에 있어서, 상기 액세스 접수 허가/불허 신호가 액세스의 접수를 허가하지 않고 있는 동안에 리프레시를 행하는 것을 특징으로 하는 반도체 기억 장치.

(22) 상기 (18)에 기재한 반도체 기억 장치에 있어서, 데이터 스트로브 신호 발생 회로를 구비하여, 상기 자동 판독 모드에 있어서는 데이터와 함께 데이터 스트로브 신호를 출력하는 것을 특징으로 하는 반도체 기억 장치.

(23) 상기 (22)에 기재한 반도체 기억 장치에 있어서, 데이터 스트로브 신호에 동기하여 연속된 소정의 복수개의 데이터를 출력하는 것을 특징으로 하는 반도체 기억 장치.

(24) 상기 (23)에 기재한 반도체 기억 장치에 있어서, 클록 신호를 발생하는 클록 발생 회로를 구비하여, 상기 클록 신호에 기초하여 데이터와 데이터 스트로브를 출력하는 것을 특징으로 하는 반도체 기억 장치.

(25) 상기 (24)에 기재한 반도체 기억 장치에 있어서, 발진기를 내장하여, 상기 클록 발생 회로는 상기 발진기의 출력에 기초하여 클록 신호를 발생하는 것을 특징으로 하는 반도체 기억 장치.

(26) 상기 (24)에 기재한 반도체 기억 장치에 있어서, 상기 클록 발생 회로는 외부로부터 공급되는 외부 클록 신호에 기초하여 클록 신호를 발생하는 것을 특징으로 하는 반도체 기억 장치.

(27) 상기 (22) 또는 (23)에 기재한 반도체 기억 장치에 있어서, 상기 데이터 스트로브 신호와 상기 데이터 접수 허가/불허 신호는 공통의 단자로부터 입출력되는 것을 특징으로 하는 반도체 기억 장치.

(28) 상기 (20)에 기재한 반도체 기억 장치에 있어서, 상기 제2 어드레스 신호와 상기 리프레시 어드레스 신호를 비교하는 비교기를 구비하여, 상기 비교기의 비교 결과에 기초하여 리프레시를 실시하는 것을 특징으로 하는 반도체 기억 장치.

(29) 상기 (23)에 기재한 반도체 기억 장치에 있어서, 복수의 데이터를 받아들여 직렬로 출력하는 직렬 레지스터와, 메모리 셀의 일부의 데이터를 상기 직렬 레지스터에 전송하는 전송 케이트를 구비하며, 상기 자동 판독 모드에 있어서는 상기 직렬 레지스터에 데이터를 전송하여, 상기 직렬 레지스터를 통해 출력하는 것을 특징으로 하는 반도체 기억 장치.

(30) 외부로부터 자동 기록을 지시 받았을 때에는 기록 데이터를 내부에서 발생하는 어드레스에 자동적으로 기록하는 자동 기록 수단과, 자동 기록 동작 중에는 자동 기록 동작 중임을 명시하는 자동 기록 동작 중 명시 신호를 외부로 출력하는 자동 기록 중 명시 신호 출력 수단을 구비하는 것을 특징으로 하는 반도체 기억 장치.

(31) 상기 (30)에 기재한 반도체 기억 장치에 있어서, 데이터 스트로브 신호 입력 회로를 구비하여, 상기 자동 기록 모드에 있어서, 데이터 스트로브 신호에 동기하여 기록 데이터를 수신하는 것을 특징으로 하는 반도체 기억 장치.

(32) 상기 (18)~(29) 중 어느 것에 기재한 반도체 기억 장치와, 상기 (30) 또는 (31)에 기재한 반도체 기억 장치를 구비하는 전자 장치.

발명의 효과

이상과 같이, 본 발명 중, 제1 발명에 따르면, 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치에 관한 것으로, 리프레시 기간 중에, 외부로 비지 신호를 출력하도록 구성함으로써, 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치와, 이 반도체 기억 장치를 제어하는 컨트롤러를 탑재하는 전자 장치에 있어서의 반도체 기억 장치에 제1 발명의 반도체 기억 장치를 사용하는 경우에는 컨트롤러는 반도체 기억 장치가 리프레시 기간 중인지의 여부를 알 수 있기 때문에, 컨트롤러에 의한 반도체 기억 장치를 용이하게 제어할 수 있다.

제2 발명에 따르면, 데이터 유지에 리프레시를 필요로 하는 반도체 기억 장치와, 이 반도체 기억 장치를 제어하는 컨트롤러를 탑재하는 전자 장치에 관한 것으로, 반도체 기억 장치는 리프레시 기간 중에 외부로 비지 신호를 출력하도록 구성하고, 컨트롤러는 비지 신호를 수신할 수 있도록 구성함으로써, 컨트롤러는 반도체 기억 장치가 리프레시 기간 중인지의 여부를 알 수 있기 때문에, 컨트롤러에 의한 반도체 기억 장치를 용이하게 제어할 수 있다.

또, 제3 발명에 따르면, 반도체 기억 장치에 관한 것으로, 외부로부터 자동 기록을 지시 받은 때에는 기록 데이터를 내부에서 발생하는 어드레스에 자동적으로 기록하는 자동 기록 수단을 구비하는 것으로 하였기 때문에, 예컨대, 제1 반도체 기억 장치와, 제1 반도체 기억 장치를 제어하는 컨트롤러를 구비하는 전자 장치에 있어서, 제1 반도체 기억 장치의 데이터를 저장하기 위한 제2 반도체 기억 장치를 설치하고자 하는 경우, 제2 발명을 제2 반도체 기억 장치로서 사용하는 경우에는 제1 반도체 기억 장치의 데이터의 저장을 용이하게 행할 수 있다.

또, 제4 발명에 따르면, 외부로부터 자동 판독을 지시 받고, 또, 데이터의 전송처가 출력하는 액세스 접수 허가/불허 신호가 데이터의 접수를 허가하고 있을 때는, 데이터를 자동적으로 판독하는 자동 판독 수단을 구비하고 있기 때문에, 데이터 전송의 필요가 있는 경우(예컨대, 데이터 저장의 필요가 있는 경우)에, 데이터 접수 허가/불허 신호를 출력하는 데이터 전송처(데이터를 저장하는 곳)에 데이터를 용이하게 전송(저장)할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기억 장치로서,

각각 메모리 셀을 구비하는 메모리 블록과,

상기 메모리 블록을 선택하도록 구성된 워드선

을 구비하고,

상기 워드선에 의해서 선택되고 있는 메모리 셀이 리프레시되고 있는 동안에, 상기 반도체 기억 장치는 상기 워드선을 포함하는 메모리 블록에 대해서 전송된 커맨드를 접수하고, 상기 워드선에 의해서 선택되고 있는 상기 메모리 셀의 리프레시 동작을 중단하며, 리프레시 중인 상기 메모리 셀의 데이터를 레지스터에 저장하고, 이어서 상기 커맨드를 실행하여 상기 워드선에 의해서 선택되는 상기 메모리 셀의 리프레시 동작을 재개하는 것인 반도체 기억 장치.

청구항 2.

반도체 기억 장치로서,

각각 메모리 셀을 구비하는 메모리 블록과,

상기 메모리 블록을 선택하도록 구성된 워드선과,

리프레시 중인 메모리 셀의 데이터를 저장하는 레지스터와,

상기 레지스터에 데이터를 전송하게 하는 전송 게이트

를 구비하고,

상기 워드선에 의해서 선택되고 있는 메모리 셀이 리프레시되고 있는 동안에, 상기 반도체 기억 장치는 상기 워드선을 포함하는 메모리 블록에 대해서 전송된 커맨드를 접수하고, 상기 워드선에 의해서 선택되고 있는 상기 메모리 셀의 리프레시 동작을 중단하며, 상기 커맨드를 실행하여 상기 워드선에 의해서 선택되는 상기 메모리 셀의 리프레시 동작을 재개하고,

상기 커맨드의 실행은 상기 전송 게이트를 통해 상기 레지스터에 리프레시 중인 상기 메모리 셀의 데이터를 저장하고 나서 행하며, 상기 리프레시 동작의 재개시에 상기 레지스터로부터 데이터가 반송되는 것인 반도체 기억 장치.

청구항 3.

제2항에 있어서, 상기 반도체 기억 장치는 상기 재개한 리프레시 동작을 수행하는 중에 제2 커맨드를 접수하고, 상기 재개한 리프레시 동작을 중단하며, 상기 제2 커맨드를 수행하고, 상기 리프레시 동작을 재개하는 것인 반도체 기억 장치.

청구항 4.

삭제

청구항 5.

삭제

청구항 6.
삭제

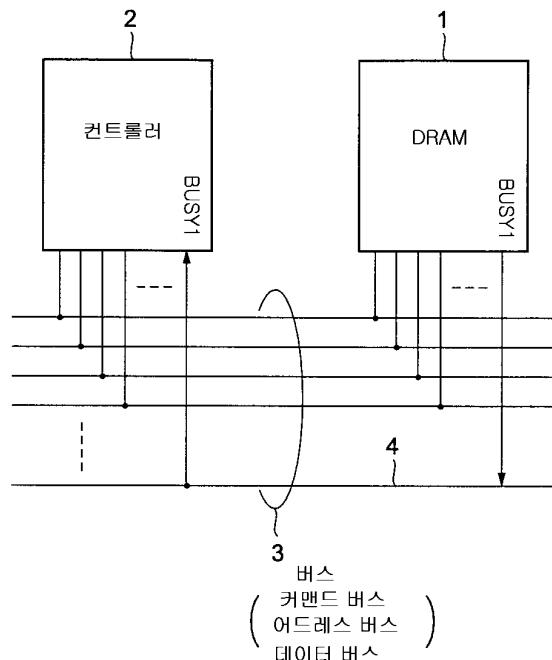
청구항 7.
삭제

청구항 8.
삭제

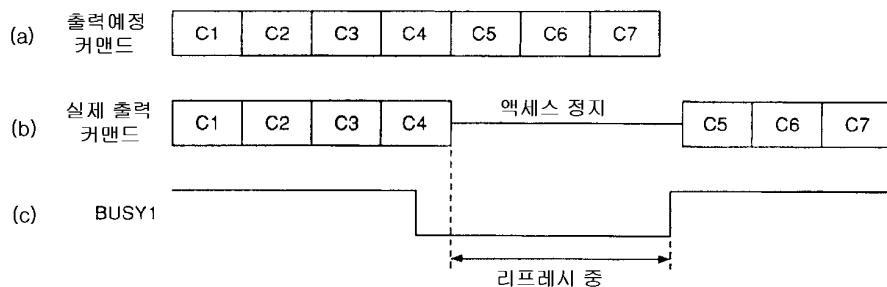
청구항 9.
삭제

도면

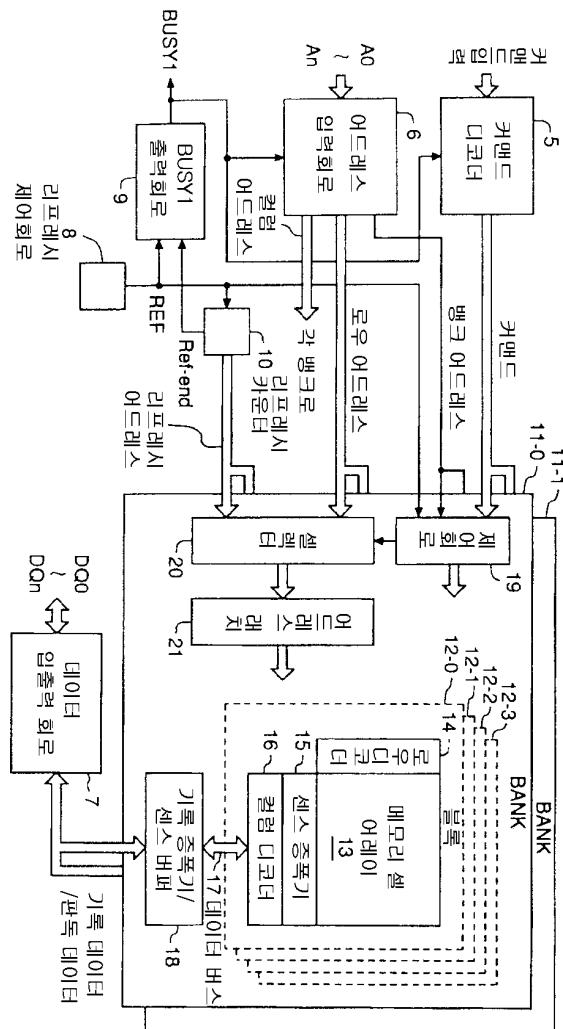
도면1



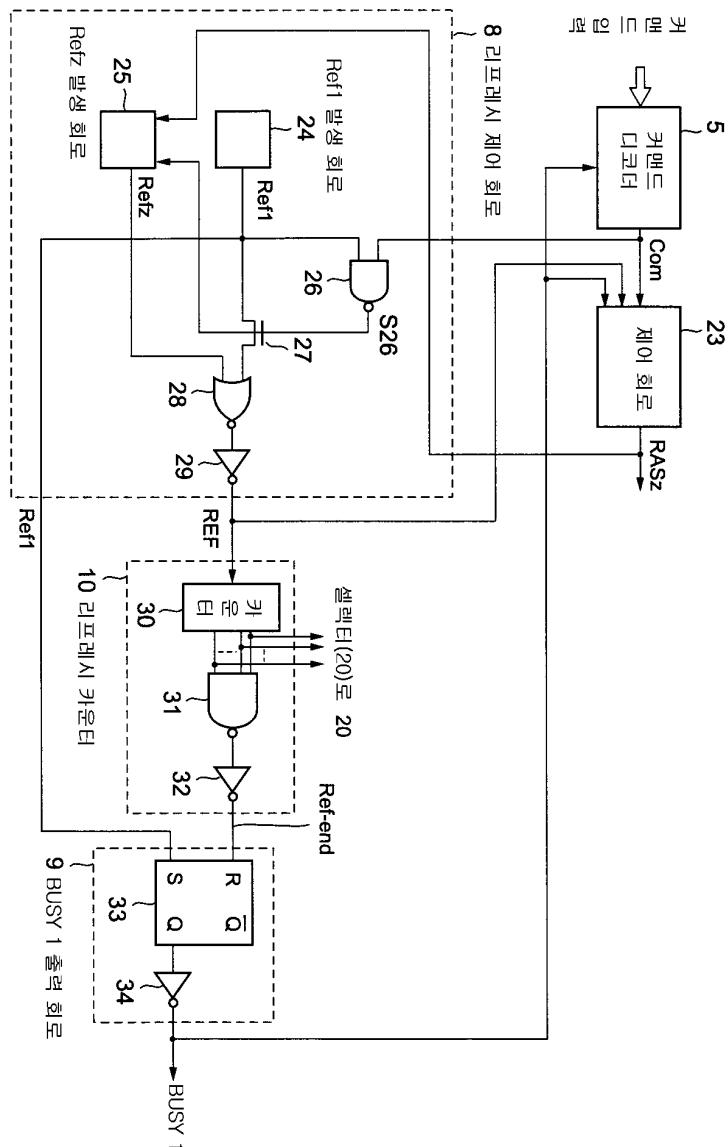
도면2



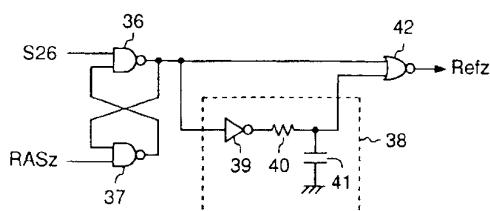
도면3



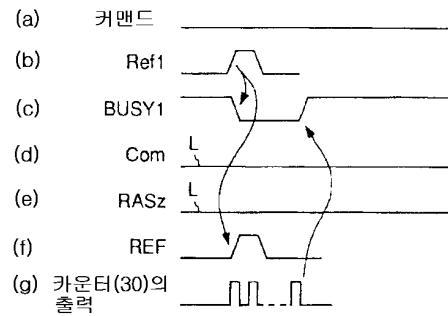
도면4



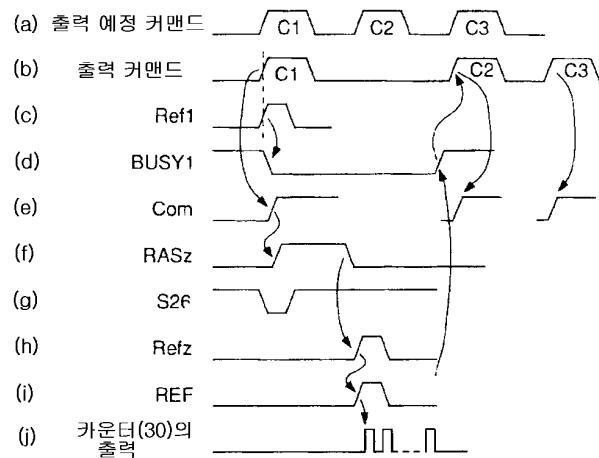
도면5



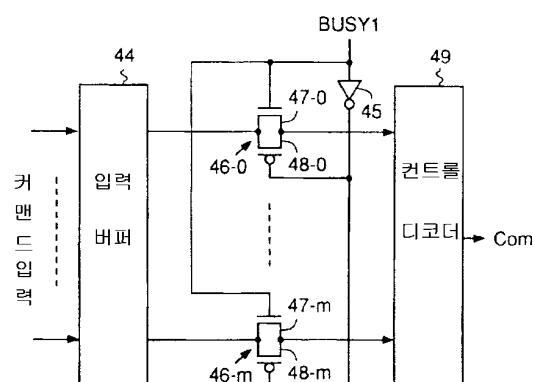
도면6



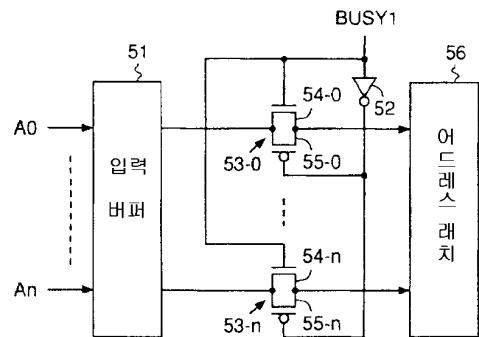
도면7



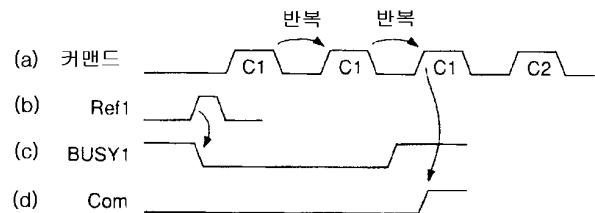
도면8



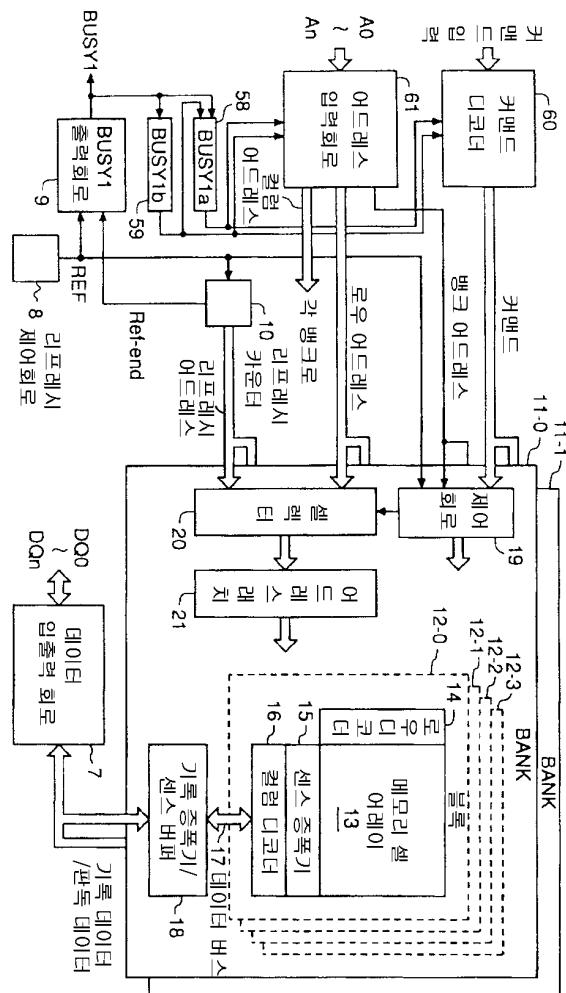
도면9



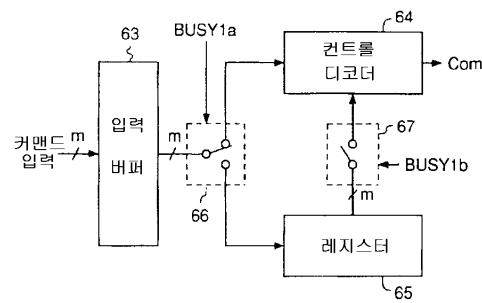
도면10



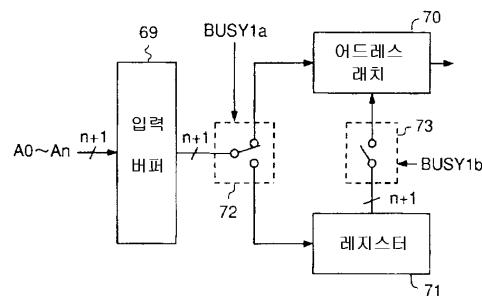
도면 11



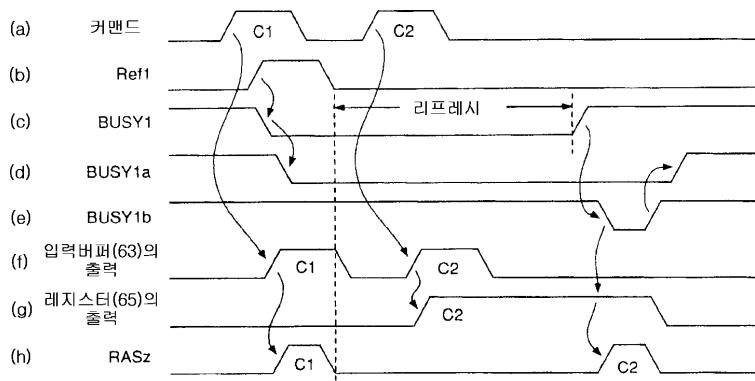
도면12



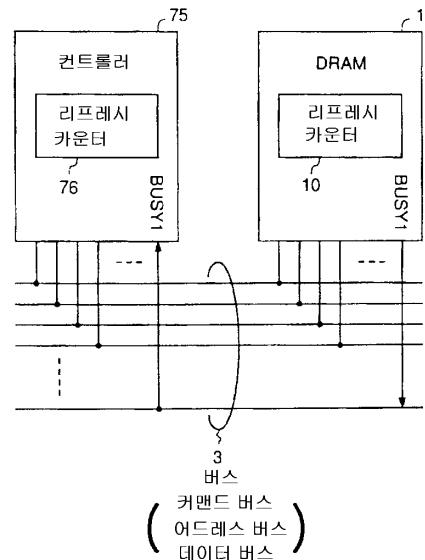
도면13



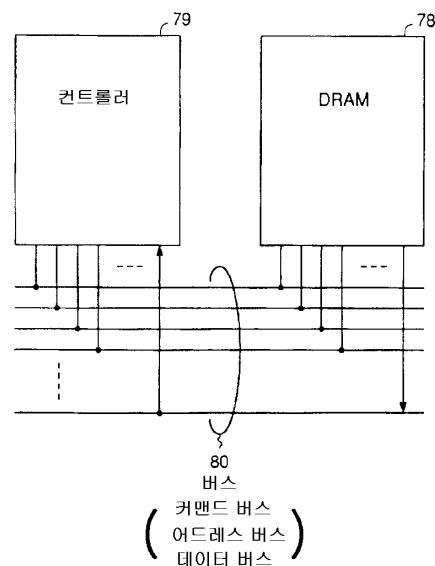
도면14



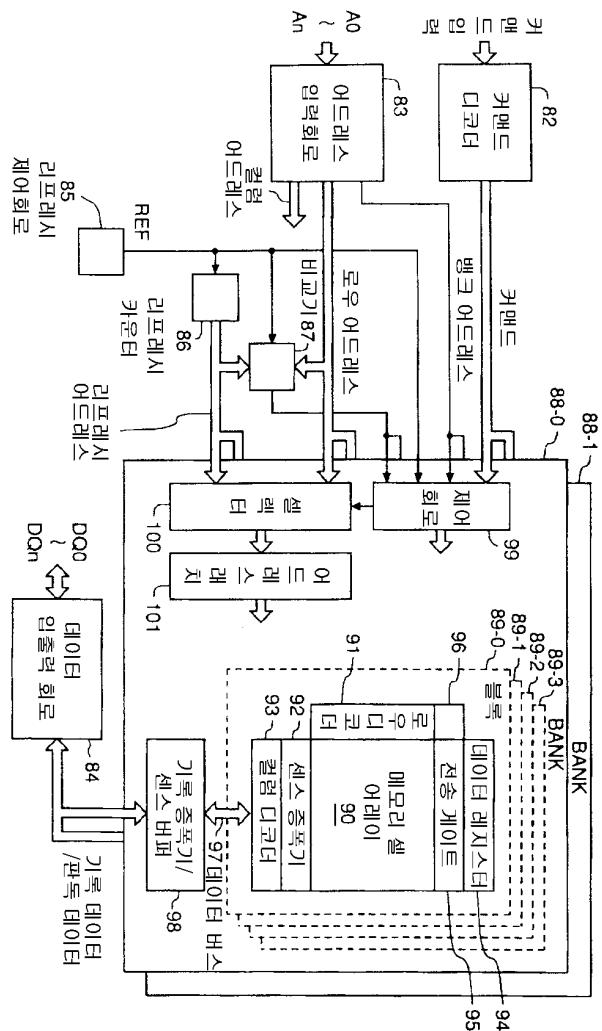
도면15



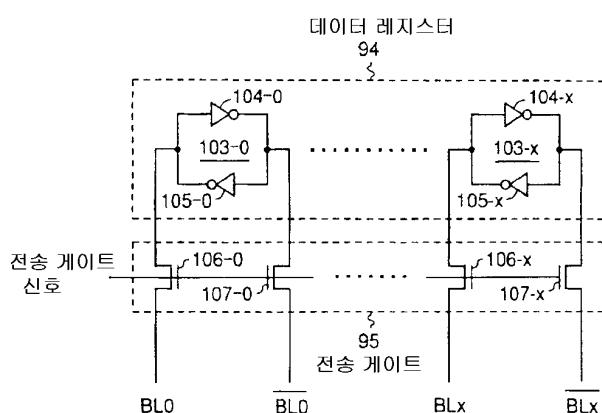
도면16



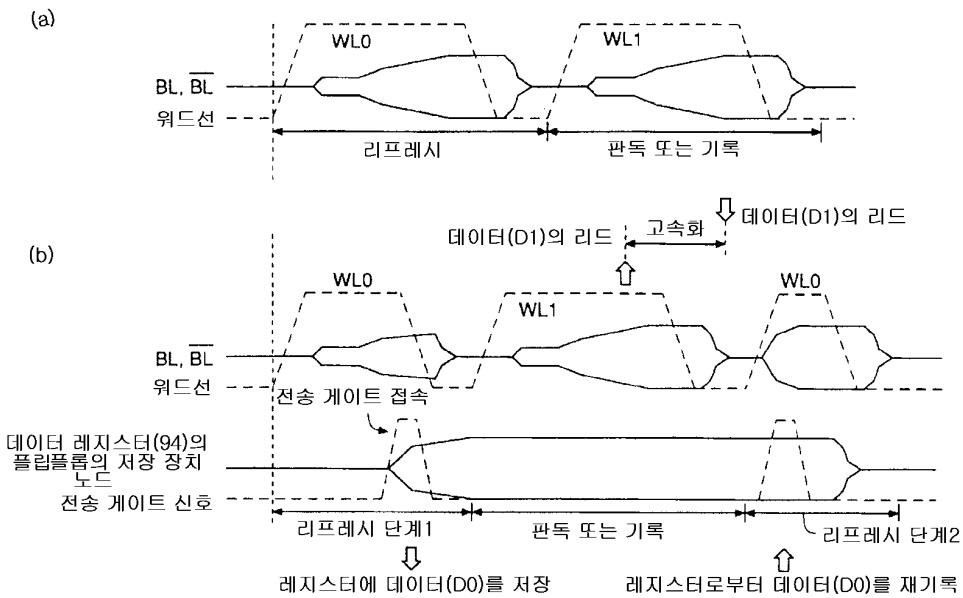
도면17



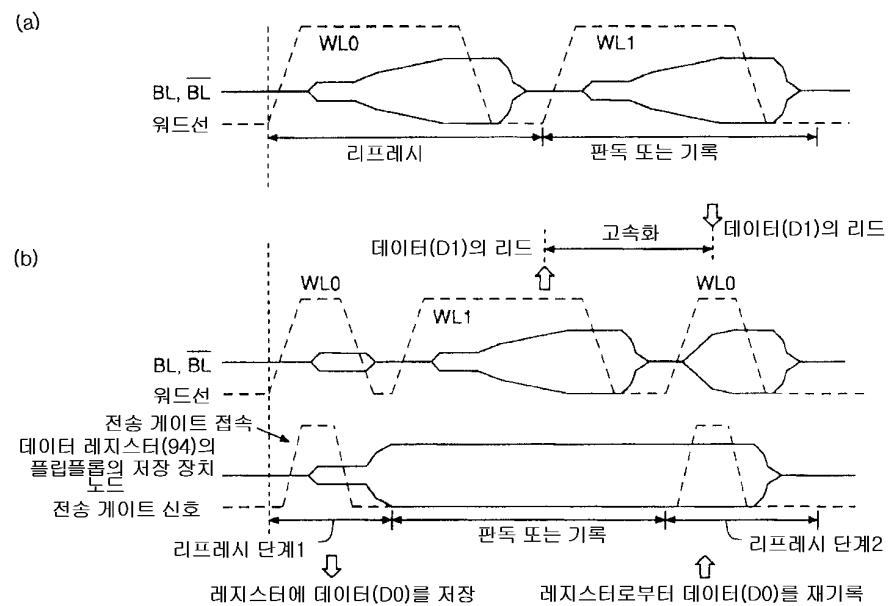
도면 18



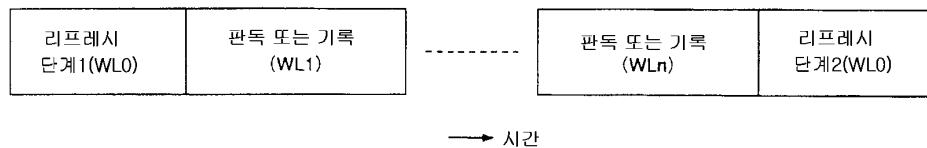
도면19



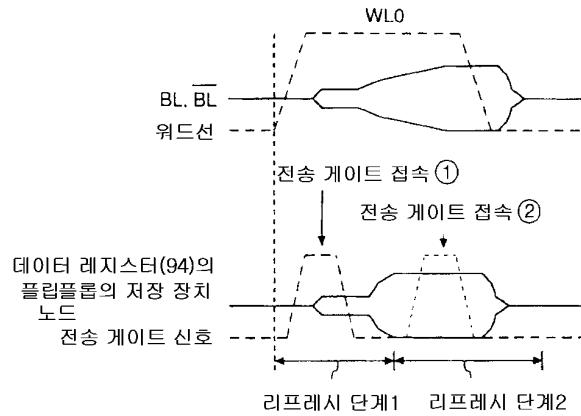
도면20



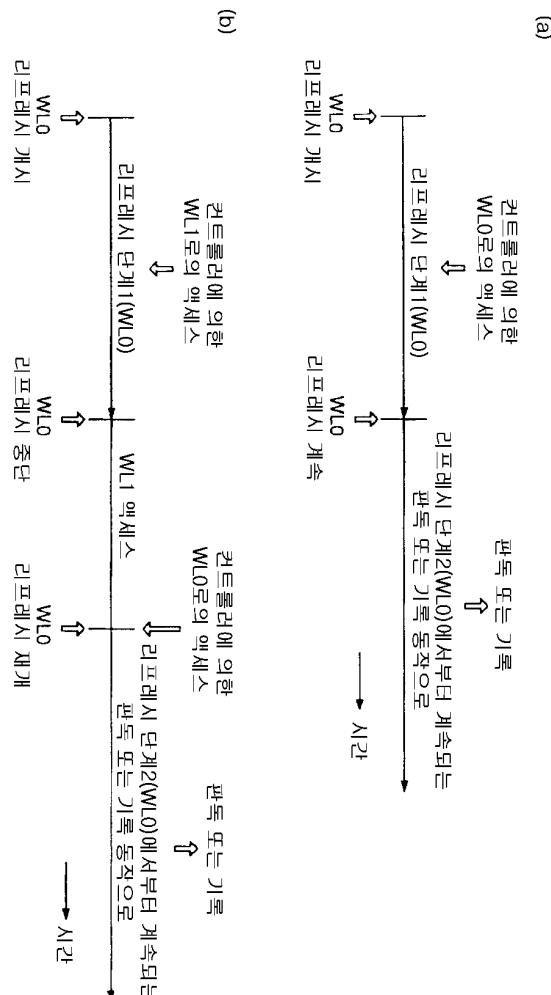
도면21



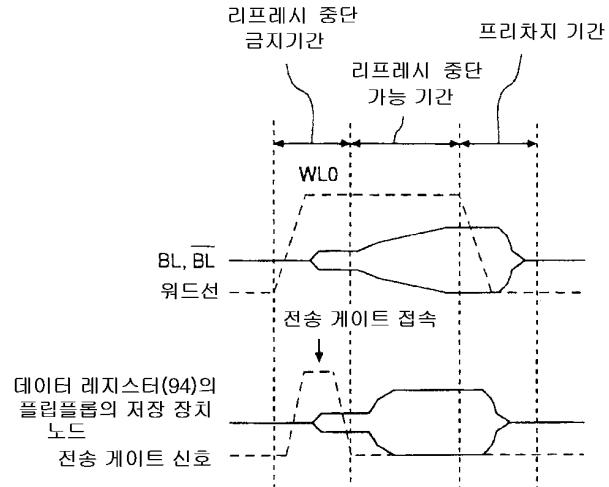
도면22



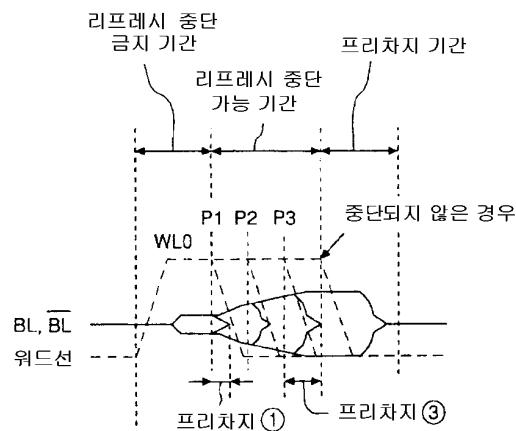
도면23



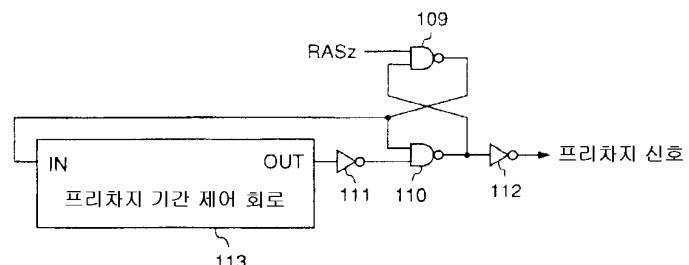
도면24



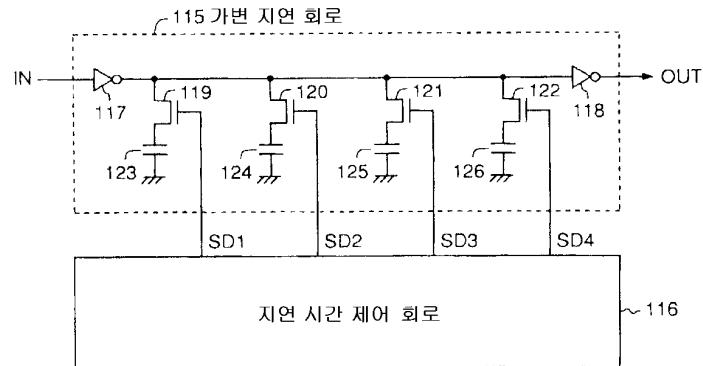
도면25



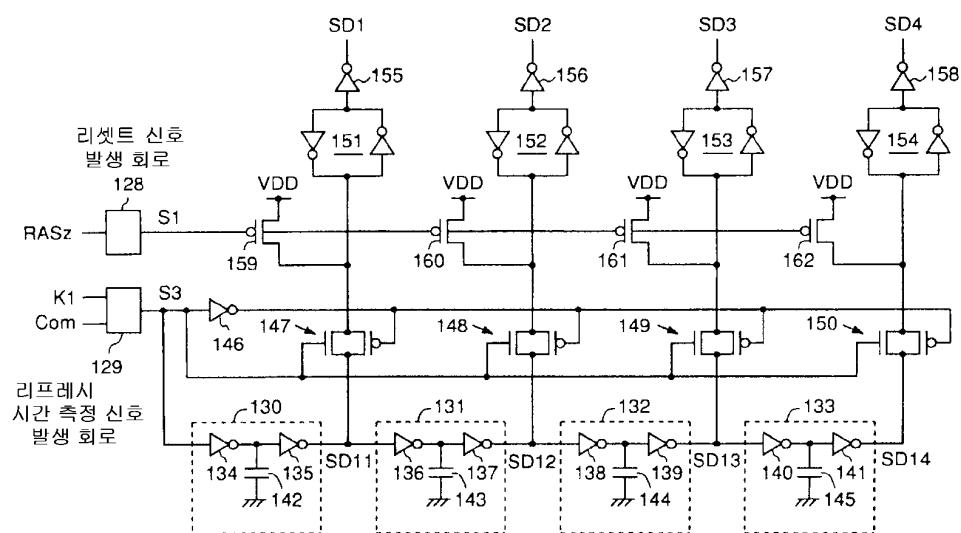
도면26



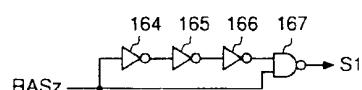
도면27



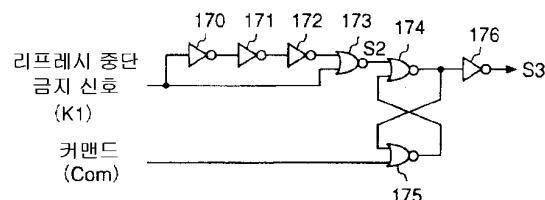
도면28



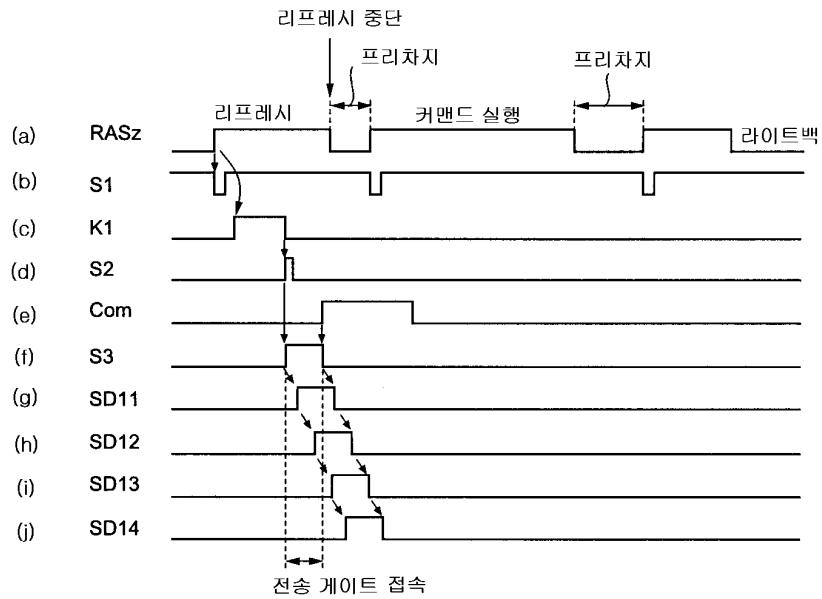
도면29



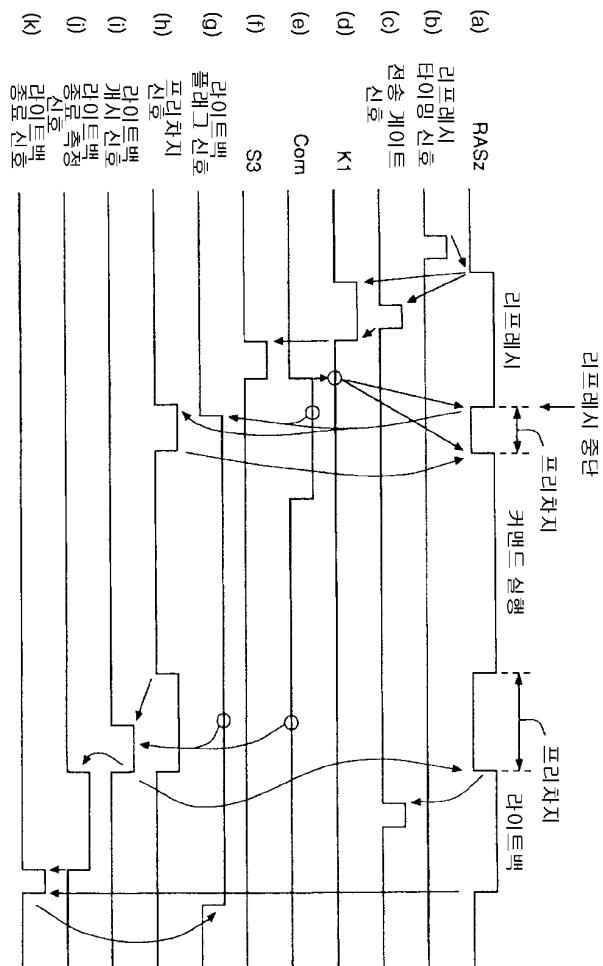
도면30



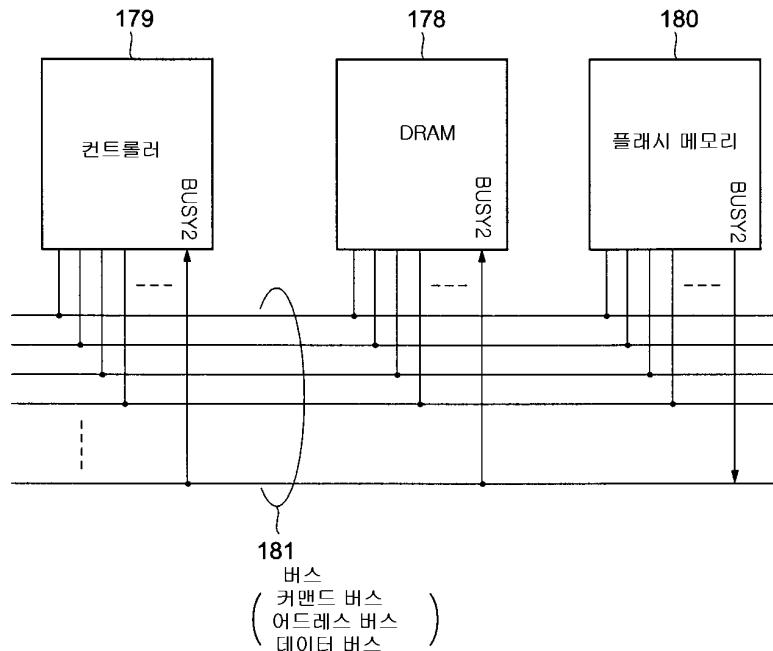
도면31



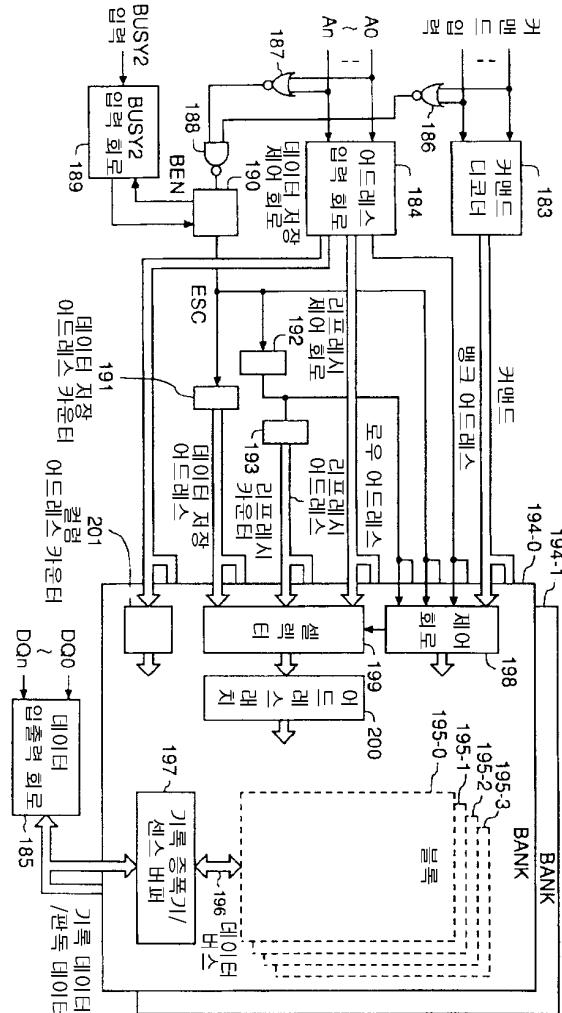
도면32



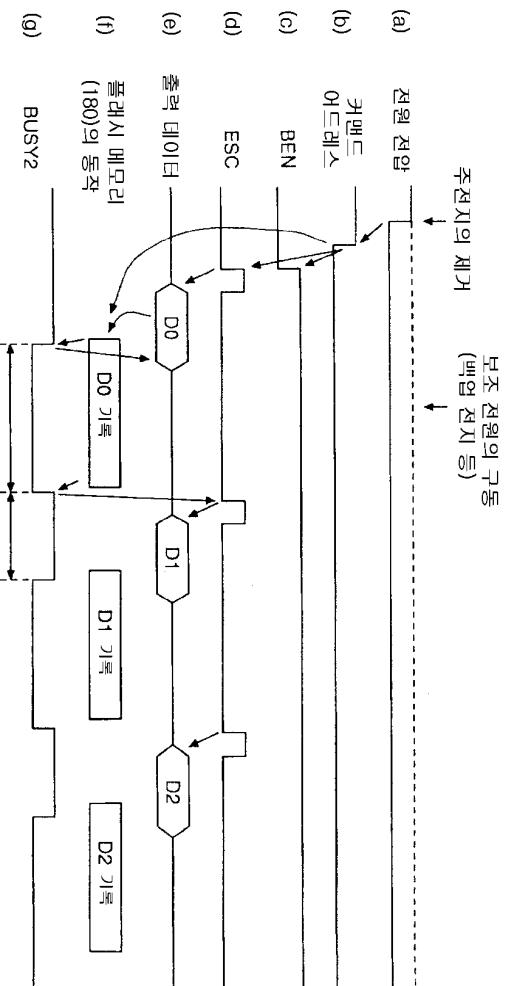
도면33



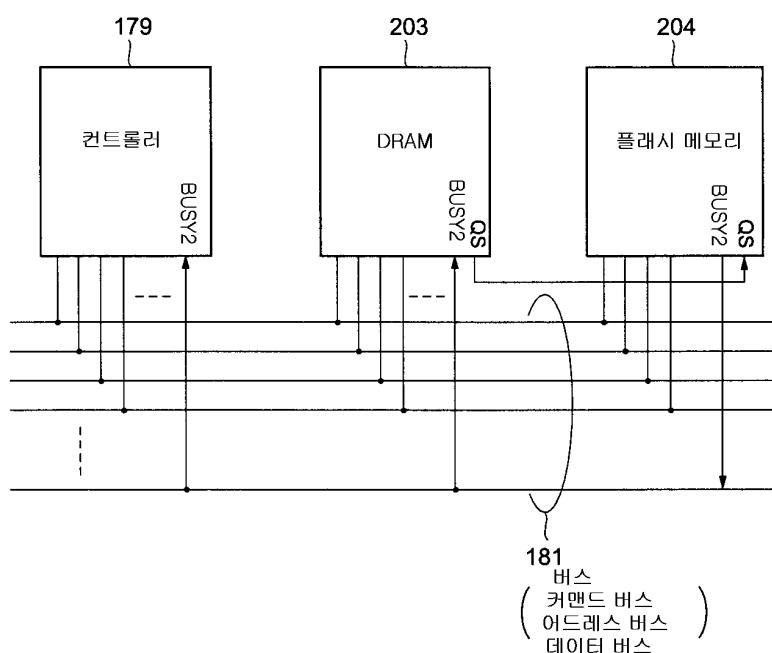
도면34



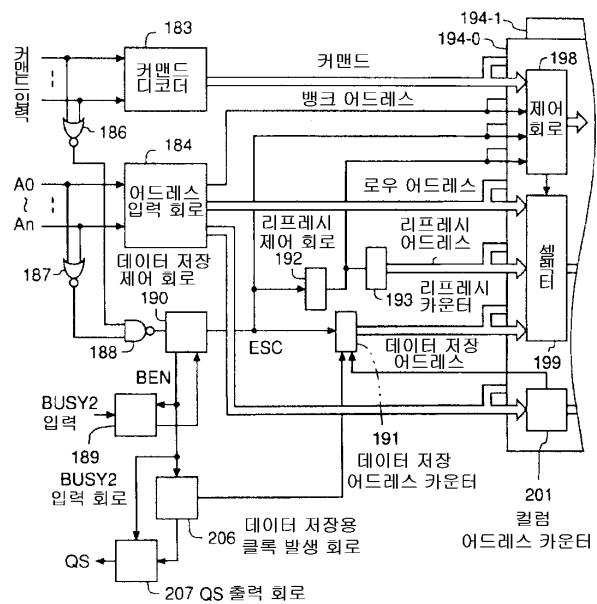
도면35



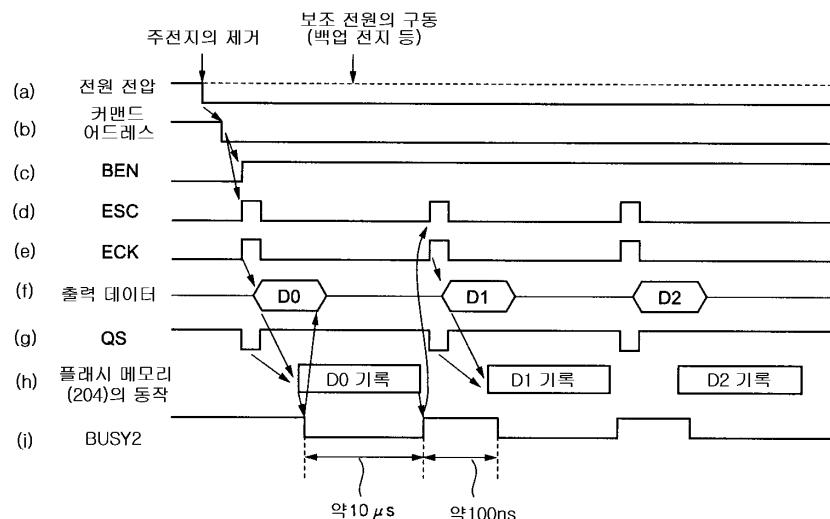
도면36



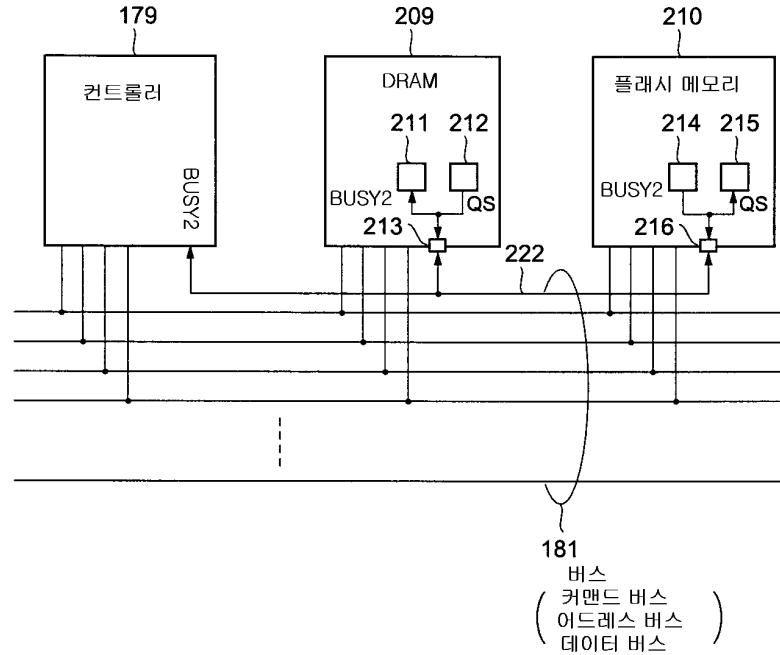
도면37



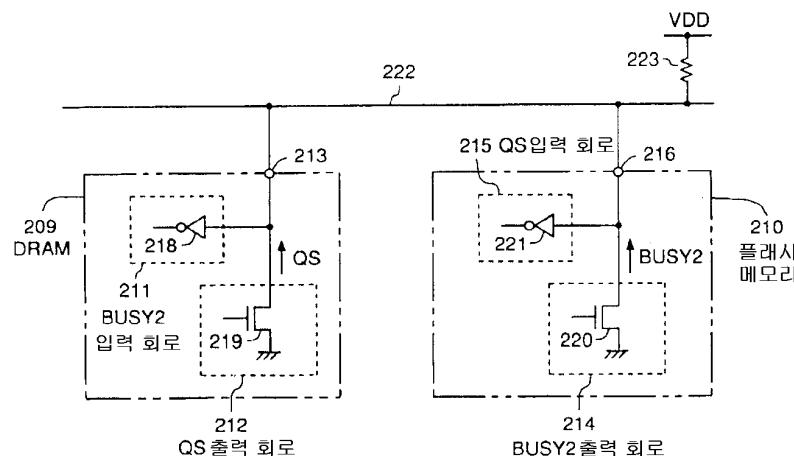
도면38



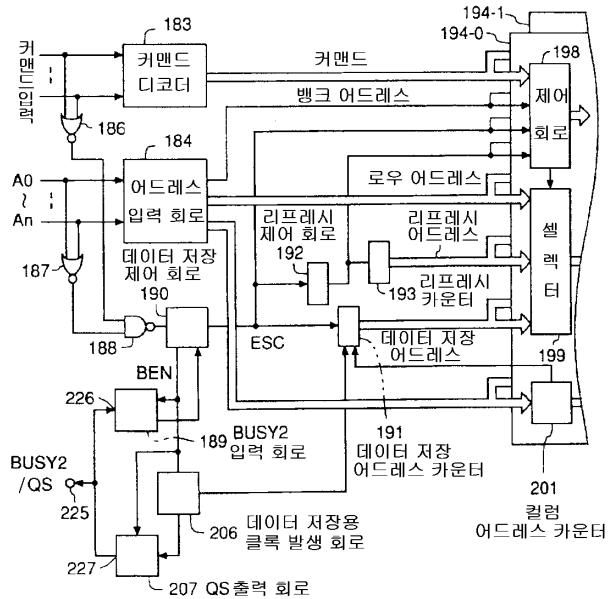
도면39



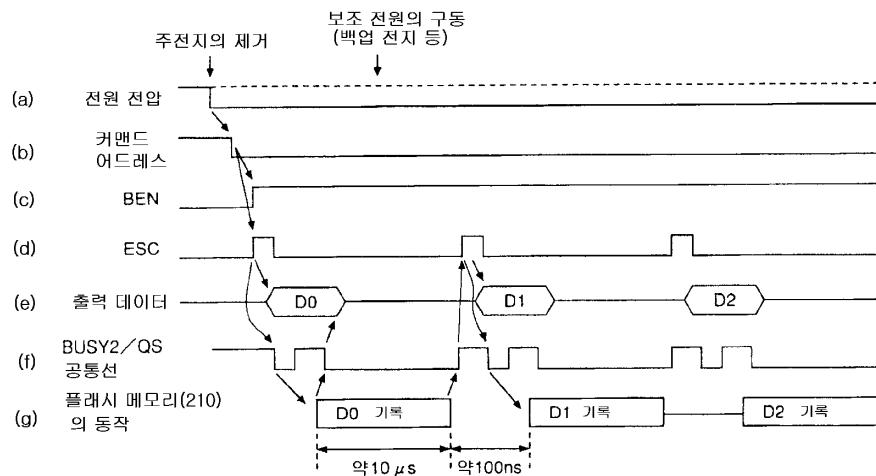
도면40



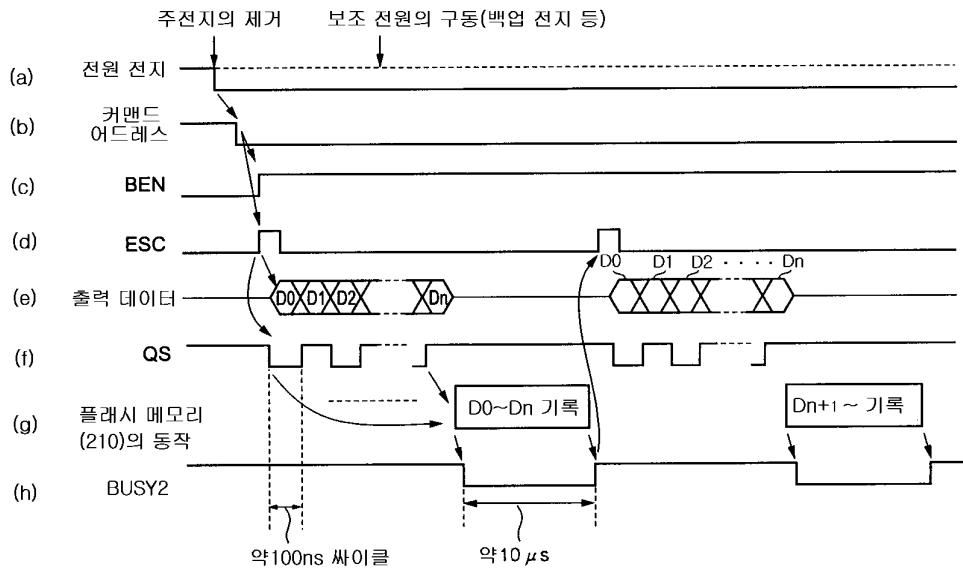
도면41



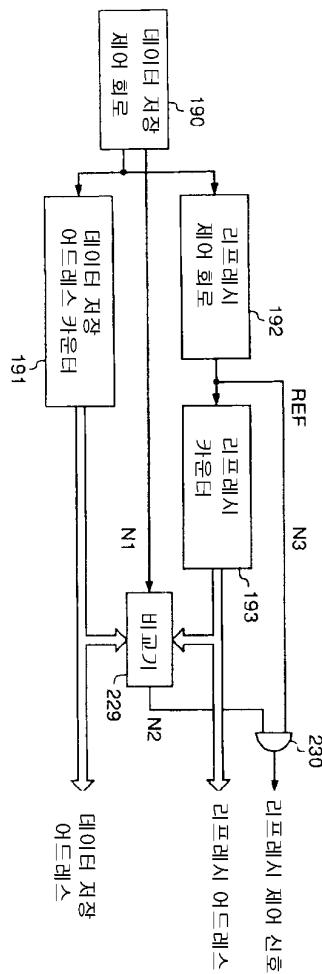
도면42



도면43



도면44



도면45

