

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS

PATENT- OCH REGISTERSTYRELSEN

FINNISH PATENT AND REGISTRATION OFFICE

(10) FI 885582 A7

**(12) JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application **885582**

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification
G06F 13/38

(22) Tekemispäivä - Ingningsdag - Filing date **01.12.1988**

(23) Saapumispäivä - Ankomstdag - Reception date **01.12.1988**

(41) Tullut julkiseksi - Blivit offentlig - Available to the public **08.06.1989**

(43) Julkaisupäivä - Publiceringsdag - Publication date **12.06.2019**

(32) (33) (31) Etuoikeus - Prioritet - Priority

07.12.1987 US 129278

(71) Hakija - Sökande - Applicant

1 •Honeywell Bull Inc., 121 North Osceola Avenue, Clearwater, Fla., AMERIKAN YHDYSVALLAT, (US)

(72) Keksijä - Uppfinnare - Inventor

1 •Barlow, George J., USA, AMERIKAN YHDYSVALLAT, (US)

(74) Asiamies - Ombud - Agent

Leitzinger Oy, High Tech Center, Tammasaarenkatu 1, 00180 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Kaksisuuntainen ohjaussignaaleja antava väyläliitinlaite signaalien siirtämiseksi kahden väyläjärjestelmän välillä

Dubbelriktad kontrolleringssignaler givande bus-interfaceanordning för överföring av signaler mellan två bussystem

Väylän ohjaussignaalien kaksisuuntainen liitännälaite ohjaussignaalien siirtämiseksi kahden väyläjärjestelmän välillä.
-Dubbelriktad anslutningsanordning för buss-styrksignaler för transmission av styrksignaler mellan två bussystem

Tämä keksintö liittyy tahdistustoimintoihin ja erityisemmin tahdistustoimintoihin, jotka tapahtuvat kahdessa riippumattomasti toimivassa järjestelmässä.

Eräissä tilanteissa kahden riippumattomasti toimivan väyläjärjestelmän yhteenliittäminen muodostuu toivottavaksi niiden välisen tiedonvaihdon vuoksi. Sellaisissa järjestelmissä on sellaisten lukittuneiden tilanteiden aikaansaaminen mahdollinen, joissa molempien väyläjärjestelmien yksiköt pyrkivät vaihtamaan tietoa toistensa kanssa ajallisesti ahtaassa välissä samalla tiedonsiirtoyhteydellä. Tämän tilanteen välttämiseksi eräässä järjestelmässä on käytetty järjestelmien välistä (ISL, intersystem link) logiikkayksikköä kaksisuuntaisten tiedonpyyntöjen ohjaamiseksi. Tämän tyyppistä yksikköä selitetään US-patentissa 4,234,919.

Edellä mainitun tyyppisessä järjestelmässä kaikki tiedonsiirto toteutettiin isäntä/renki-periaatteella, jolloin väylän käyttöä pyytäneestä ja siihen oikeuden saaneesta yksiköstä tuli isäntä, ja isännän osoittamasta yksiköstä renki. Vastaavasti järjestelmää käynnistettäessä käyttäjä määritteli, mistä järjestelmästä tuli isäntä, jolloin toisesta tuli renki. Tästä vuorostaan määriteltiin menettely molempien järjestelmien käynnistämiseksi eli nollaamiseksi (ts. isäntäyksikön kautta).

Määrätyissä järjestelmissä muodostuu vaikeaksi ja epäkäytännölliseksi sellaisen toimintatavan tai menettelyn määrittely, jossa toinen järjestelmä käynnistää toisen järjestelmän. Esimerkiksi kahden riippumattomasti käytetyn väyläjärjestelmän tapauksessa voisi molemmissa järjestelmissä olla yksiköitä, jotka voisivat

kehittää käynnistys- tai nollaussignaaleja osana normaalia toimintajaksoa (esim. tietoliikenneyksiköt). Siten molemmat nollaussignaalit voisivat määrätyissä tilanteissa esiintyä likimain samalla hetkellä.

Usein on havaittu, että molemmat järjestelmäväylät liittyvät toisiinsa niin, että ensimmäisen väylän vastaanottava piiri on kytketty toisen väylän lähettävään piiriin, ja ensimmäisen väylän lähettävä piiri on kytketty toisen väylän vastaanottavaan piiriin. Tämä järjestely aiheuttaa lukitun tilanteen, kun sitä käynnistetään. Tämän tilanteen välttämiseksi eräissä järjestelmissä on käytetty viivelinjoja ja viivelinjojen reunailmaisimpiirejä, joilla ilmaistaan kumpi signaali vastaanotetaan ensin. Vaikka tämä ratkaisee tilanteen, jossa signaalit esiintyvät hyvin lähekkäin, se ei kuitenkaan estä tilannetta, jossa signaalit saapuvat samanaikaisesti. Tuloksena on se, että piirit pyrkivät värähtelemään viivelinjan taajuudella.

Vastaavasti esillä olevan keksinnön tavoitteena on aikaansaada parannettu järjestely kahden riippumattomasti toimivan väyläjärjestelmän liittämiseksi toisiinsa.

Esillä olevan keksinnön toisena tavoitteena on aikaansaada väyläliitälaitte, joka luotettavalla tavalla siirtää signaaleja kaksisuuntaisesti.

Esillä olevan keksinnön edellä mainitut ja muut tavoitteet saavutetaan esillä olevan keksinnön mukaisen signaalien kaksisuuntaisen liitälaitteen edullisella suoritusmuodolla. Laitte sisältää ainakin yhden tahdistuslaitteen, joka kaksisuuntaisesti siirtää ennalta määrätyn asynkronisen ohjaussignaalin kahden väyläjärjestelmän välillä. Molemmissa järjestelmäväyläisissä on useita yksiköitä, jotka riippumattomasti pystyvät kehittämään sellaisen asynkronisen ohjaussignaalin koko järjestelmän kaikkien yksiköiden saattamiseksi määrättyyn tilaan. Tahdistuslaitteessa on tahdistuselementtien pari, joista molemmat on kytketty vastaanottamaan, tallettamaan ja lähettämään edelleen

asynkronisen ohjaussignaalin toiselta väyläjärjestelmältä toiselle väyläjärjestelmälle.

Kaikki tahdistuselementit sisältävät parin sarjaan kytkettyjä muistielementtejä, jotka on kytketty vastaanottamaan joukon komplementaarisia kellosignaaleja yhteisestä ajastuslähteestä. Jokainen komplementaarinen kellosignaali kytketään sarjaan kytkettyjen muistielementtien eri elementtiin ennalta määrätyn vaihepoikkemasuhteen aikaansaamiseksi. Komplementaaristen kellosignaalien nopeus valitaan siten, että voitetaan tahdistuksen muistielementtien toiminnan mahdollinen metastabiilisuus.

Eräässä tapauksessa molempien tahdistuselementtien lähdöt kytketään yhteen takaisinkytkentäjärjestelyssä, niin että ainoastaan toinen tahdistuselementeistä voi lähettää edelleen ohjaussignaalin tahdistuksen muistielementtien tilan funktiona, kun asynkroninen ohjaussignaali vastaanotetaan toisella tai molemmilla tahdistuslaitteilla molemmilta väyläjärjestelmiltä. Tällä varmistetaan se, että koko järjestelmän toiminta jatkuu luotettavalla tavalla. Toisessa tapauksessa tahdistuksen muistielementtien tilat dekodataan, jotta voidaan lähettää edelleen määrätyn väyläjärjestelmän asynkroninen signaali niin, että se saa prioriteetin ennen toista väyläjärjestelmää.

Lisäksi tahdistuslaite toteutetaan niin, että tilanne tai järjestelmän tila, joka määritellään asynkronisella ohjaussignaaliilla, säilyy kunnes näistä kahdesta ohjaussignaalista myöhemmin saapuva ohjaussignaali on palannut normaaliin tilaan. Tämä tulee erityisen tärkeäksi siinä tapauksessa, että asynkroniset ohjaussignaalit ovat verkkojännitteen katkoksen ilmaisevia signaaleja.

Sellaisissa tapauksissa on tärkeätä saada koko järjestelmä pysymään verkkojännitteen katkoksen tilassa, kunnes molemmat verkkojännitteen katkeamisen ilmaisevat signaalit palaavat normaaliin toimintatilaan. Esillä olevan keksinnön toisena ominaisuutena on, että tahdistuslaite voidaan saattaa kehittä-

mään ohjaussignaalia mikro-ohjelmiston eli laitelmiston ohjauksessa.

Esillä olevan keksinnön järjestelyllä minimoidaan myös se aika, joka vaaditaan prioriteettien selvittämiseen, kun esiintyy asynkronisten ohjaussignaalien samanaikaista siirtoa. Lisäksi tämä saavutetaan mahdollisimman vähäisellä monimutkaisuudella käyttäen positiivisen ja negatiivisen logiikan yhdistelmää.

Seuraavasta selityksestä, sitä oheisten piirustusten yhteydessä harkittaessa, ymmärretään paremmin niitä uusia piirteitä, joiden uskotaan olevan keksinnölle ominaisia sekä järjestelyn että käyttömenetelmän kannalta, sekä muita tavoitteita ja etuja. On kuitenkin nimenomaan ymmärrettävä, että kaikki piirustukset on esitetty ainoastaan havainnollistamisen ja selityksen vuoksi, eikä niitä ole tarkoitettu esillä olevan keksinnön suoja-alan määritelmäksi.

Piirustuksissa:

Kuvio 1 on esillä olevan keksinnön laitteen sisältävän tietojenkäsittelyjärjestelmän edullisen suoritusmuodon lohkokaavio;

Kuviot 2a ja 2b havainnollistavat yksityiskohtaisemmin esillä olevan keksinnön laitetta; ja

Kuvio 3 on ajastuskaavio, jota käytetään selitettäessä kuvion 2a päätöspiiriä.

Kuvio 1 esittää tietojenkäsittelyjärjestelmän 10, joka sisältää useita identtisiä keskusyksiköitä (CPU) 14 - 16, välimusitin 18 ja useita muistiohjaimia 20 ja 28, joista jokainen ohjaa siihen liittyvien muistilohkojen tiettyä määrää. Kaikki nämä yksiköt kytkeytyvät yhdessä suurinopeuksiseen synkroniseen paikallisväyläjärjestelmään 12, kuten on esitetty.

Suurinopeuksinen paikallisväyläjärjestelmä 12 kytkeytyy väyläliitännäyksikön (BIU) 30 kautta väyläjärjestelmään 11. Kuten on esitetty, väyläjärjestelmään 11 liittyy myös useita erilaisia alijärjestelmiä. Esimerkinomaiset eri alijärjestelmät sisältävät levyasemaohjaimen 32 ja paikallisverkon ohjaimen 34. Jokainen alijärjestelmä ja BIU 30 sisältää liitännäalueen 30 - 50, jonka avulla siihen liittyvä yksikkö tai yksiköt voivat lähettää tai vastaanottaa pyyntöjä komentojen, keskeytysten, datan tai vastausten/tilailmaisun muodossa toiselta yksiköltä tai väyläjärjestelmältä 11, asynkronisella tavalla.

Väyläjärjestelmä 11 sisältää lisäksi pääteverkon, jota ei ole esitetty, ja joka sijaitsee väyläjärjestelmän 11 vasemman puoleisessa päässä. Tämä verkko määrittelee väyläjärjestelmän 11 korkean prioriteetin pään. Esitetyllä järjestelmäkonfiguraatiolla lähimpänä pääteverkkoa olevalla BIU 30:lla on suurin prioriteetti.

Komento- osoite- ja datajohtojen lisäksi molemmat väyläjärjestelmät 11 ja 12 sisältävät useita johtoja sekalaisten signaalien joukon siirtämiseksi. Näihin kuuluvat päänollaus- ja käynnistyssignaalit. Väyläjärjestelmässä 11 nämä signaalit vastaava kuvion 1 signaaleja BSMCLR-00 ja BSPOWN+00. Väyläjärjestelmässä 12 signaalit vastaavat kuvion 1 signaaleja XCLEAR-00 ja XVORED+00.

Esillä olevan keksinnön mukaisesti BIU 30 sisältää kellopiirin 30-30 lisäksi useita päätöspiirejä 30-10 ja 30-20. Kellopiiri 30-30 on 10 MHz kello, jota voidaan käyttää keskusyksiköihin 14 ja 16³sisältyvien mikroprosessoreiden toimintojen tahdistamiseksi. Vaikka kellopiiri 30-30 kuviossa 1 on esitetty erillisenä lohkona, sitä voitaisiin pitää osana järjestelmän kelloa, jota käytetään hyväksi keskusyksiköillä 14 ja 16. BIU 30 sisältää myös mikro-ohjelmoidun järjestelmän huoltoyksikön (SMF) 30-40, jossa on mikroprosessointiyksikkö 30-400 erilaisten valvonta-, testi- ja diagnostiikkatoimintojen suorittamista varten. MPU 30-400 kehittää laitelmistö-ohjauksessa ohjaussignaaleja kuvion

1 koko järjestelmän saattamiseksi määrättyyn tilaan käyttäen päätöspiirejä 30-10 ja 30-20, kuten seuraavassa selitetään.

Kuviot 2a ja 2b esittävät yksityiskohtaisemmin päänollauspää-töspiirin 30-10 ja käynnistyspäästöspiirin 30-20, jotka on suunniteltu esillä olevan keksinnön mukaisesti. Viitaten ensin kuvioon 2a nähdään, että päänollauspäästöspiiri 30-10 sisältää tahdistuselementtien 30-10A ja 30-10B parin. Kummatkin tahdis-tuselementit sisältävät sarjaan kytkettyjen kiikkujen 30-100 ja 30-102 parin. Kiikut on muodostettu tyyppiä 74F74 olevista kiikkupiireistä, joilla on likimain 18 ns oleva lyhyt siirros-eli asettumisaika.

Molempien kiikkujen 100A ja 102A asetustulo(t) liittyvät positiiviseen jännitteeseen +V 1 kohm kuormitusvastuksen kautta. Kiikut 100A ja 102A on kytketty vastaanottamaan kellopiiriltä 30-30 toisen komplementaaristen kellosignaalien parista CLK10M+00 ja CLK10M-00.

Väyläjärjestelmän 11 ensimmäinen päänollauskiikku 30-100A on kytketty vastaanottamaan väyläjärjestelmältä 11 väylän päänol-laussignaalin BSMCLR-00, joka invertoidaan ja johdetaan vas-taanotinpiirillä 30-52 datatuloliitäänsä signaalina BSMCLR+10. Kiikku 30-100A tahdistetaan negatiivisella kellosignaalin CLK10M-00, joka tahdistaa päätöspiirin 30-10A toiminnan väylä-järjestelmään 11. Tämä tuottaa vakaan lähtösignaalin BSMCLR+20 18 ns jakson jälkeen.

Väyläjärjestelmän 11 toinen päänollauskiikku 30-102A tahdistetaan positiivisella kellosignaalin CLK10M+00, ja sillä rat-kaistaan mahdolliset kilpailutilanteet signaalin BSMCLR+20 ja paikallisväyläjärjestelmältä 12 tulevan päänollausignaalin XCLEAR-00 välillä. Kiikku 30-102A tuottaa lähtönä päänollaus-signaalin BSMCLR-30, joka invertoidaan ja johdetaan ajuripiiriin 30-62 avulla väyläjärjestelmälle 12. Myös signaali BSMCLR-30 johdetaan väyläjärjestelmän 12 molempien päänollauskiikkujen 30-100B ja 30-102B asetustuloon (-tuloihin).

Väyläjärjestelmän 12 ensimmäinen päänollauskiikku 30-100B tahdistetaan positiivisella kellosignaaliella CLK10M+00, ja se vastaanottaa päänollaussignaalin XCLEAR-10 väyläjärjestelmästä 12 vastaanotinpiirin 30-64 kautta. Tämä signaali tahdistaa päätöspiirin 30-10B toiminnan väyläjärjestelmään 12 tuottaen vakaan lähtösignaalin XCLEAR-20 18 ns jakson jälkeen. Väyläjärjestelmän 12 toinen päänollauskiikku 30-102B tahdistetaan negatiivisella kellosignaaliella CLK10M-00 ja sillä ratkaistaan mahdolliset kilpailutilanteet signaalin XCLEAR-20 ja väyläjärjestelmästä 11 tulevan päänollaussignaalin BSMCLR-00 välillä. Kiikku 30-102B tuottaa lähtönä päänollaussignaalin XCLEAR-30, joka johdetaan liitäntäpiiriin 30-12 ja ajuripiiriin 30-54 kautta järjestelmäväylälle 11. Liitäntäpiiri 30-12 sisältää EI-TAI-portin 30-120 ja TAI-portin 30-122, joilla molemmilla on invertoivat tulot. Ensimmäiset ja toiset invertoivat tulot on kytketty vastaanottamaan signaalit XCLEAR-30 ja FMWCLR-00.

EI-TAI-portti 30-120 pakottaa negatiivisen päänollaussignaalin MYMCLR-00 binääriseksi nollaksi eli alas, kun väyläjärjestelmän 12 päänollaussignaali XCLEAR-30 tai laitelmiston nollaussignaali FMWCLR-00 mikroprosessorilta 30-400 pakotetaan binääriseksi nollaksi eli alas. Signaali MYMCLR-00 johdetaan väyläjärjestelmän molempien päänollauskiikkujen nollaustuloihin (R), jolloin estetään niiden asettaminen. TAI-portti 30-122 liitäntäpiirissä 30-12 toimii pakottaen positiivisen päänollaussignaalin MYMCLR+00 binääriseksi ykköseksi, kun jompikumpi signaalesita XCLEAR-30 tai FMWCLR-00 pakotetaan binääriseksi nollaksi.

Kuten kuvioista 2b nähdään, sisältää myös käynnistyspätöspiiri 30-20 tahdistuselementtien 30-20A ja 30-20B parin. Molemmat tahdistuselementit sisältävät parin sarjaan kytkettyjä kiikkuja 30-200 ja 202. Kiikut on muodostettu tyyppiä 74F74 olevista kiikkupiireistä.

Molempien kiikkujen 200A ja 202A asetustulo(t) liittyvät positiiviseen jännitteeseen +V 1 kohm kuormitusvastuksen kautta. Väyläjärjestelmän 11 ensimmäinen käynnistyskiikku 30-200A on

kytketty vastaanottamaan väyläjärjestelmältä 11 väylän käynnistys-signaalin BSPWON+00, joka invertoidaan ja johdetaan vastaanotinpiirillä 30-56 datatuloliitääntään signaalina BSPWON-10. Kiikku 30-200A tahdistetaan negatiivisella kellosignaaliella CLK10M-00, joka tahdistaa päätöspiirin 30-20 toiminnan väyläjärjestelmään 11. Tämä tuottaa vakaan lähtösignaalin BSPWON-20 18 ns jakson jälkeen. Väyläjärjestelmän 11 toinen käynnistyskiikku 30-202A tahdistetaan positiivisella kellosignaaliella CLK10M+00, ja sillä ratkaistaan mahdolliset kilpailutilanteet signaalin BSPWON-20 ja paikallisväyläjärjestelmältä 12 tulevan vaihtojännitteen vikasignaalin XACFAL+00 välillä. Kiikku 30-202A tuottaa lähtönä paikallisväyläjärjestelmän jännitteen punaisen signaalin XVORED+00 signaalista BSPWON-30, joka invertoidaan ja johdetaan ajuripiirin 30-66 avulla väyläjärjestelmälle 12.

Väyläjärjestelmän 12 ensimmäinen vaihtojännitteen vikasignaalin kiikku 30-200B tahdistetaan positiivisella kellosignaaliella CLK10M+00, ja se vastaanottaa vaihtojännitteen vikasignaalin XACFAL+00 väyläjärjestelmältä 12 vastaanotinpiirin 30-68 kautta. Tämä signaali tahdistaa päätöspiirin 30-20B toiminnan väyläjärjestelmään 12 tuottaen vakaan lähtösignaalin XACFAL+20 18 ns jakson jälkeen.

Väyläjärjestelmän 12 toinen vikasignaalin kiikku 30-202B tahdistetaan negatiivisella kellosignaaliella CLK10M-00 ja sillä ratkaistaan mahdolliset kilpailutilanteet signaalin XACFAL+20 ja väyläjärjestelmältä 11 tulevan käynnistys-signaalin BSPON+00 välillä. Kiikku 30-202B tuottaa lähtönä käynnistys-signaalin XACFAL-30, joka johdetaan järjestelmäväylälle 11 ajuripiirien 30-57 ja 30-58 kautta. Lisäksi signaali XACFAL-30 johdetaan väyläjärjestelmän 11 käynnistyskiikkujen 30-200A ja 30-202A nollaustuloliitääntöihin liitäntäpiirin 30-22 invertoivalla tulolla järjestetyn EI-TAI-portin 30-220 kautta. Lisäksi ajuripiirit 30-57 ja 30-58 vastaanottavat laitelmiston kehittämän käynnistys-signaalin FWACFL-00 mikroprosessorilta 30-400.

Huomataan, että koska väylä 11 käyttää inverttoivia väylän vastaanotin- ja lähetinpiirejä, niin sellaisilta väyliltä signaaleja edelleen lähettävät tahdistuspiirit on toteutettu positiivisella logiikalla. Väylän 12 tapauksessa käytetään ei-inverttoivia väylän vastaanotin- ja lähetinpiirejä. Tahdistuspiirit, jotka lähettävät edelleen signaaleja väylältä 12, on toteutettu negatiivisellä logiikalla.

Kuvioihin 1, 2a, 2b ja kuvion 3 ajastuskaavioon viitaten selitetään seuraavassa esillä olevan keksinnön mukaisten pää-
töspiirien toimintaa.

Päänollauspiiri 30-10

Kiikut 30-100A ja 30-100B ottavat jatkuvasti näytteitä väylän nollaussignaaleista BSMCLR-00 ja vastaavasti XCLEAR-00, jotka on johdettu väylän nollausjohdoille. Näistä signaaleista otetaan näytteitä eri hetkillä, jotka määritellään kellosignaaleilla CLK10M-00 ja CLK10M+00. Kun jokin väyläjärjestelmän 11 yksiköistä, kuten paikallisverkon (LAN) ohjain 34 ilmaisee nollaus-tilaa, se pakottaa päänollaussignaalin BSMCLR-00 binääriseksi nollaksi eli alas. Asynkroninen signaali BSMCLR-00 invertoidaan vastaanotinpiirillä 30-52 ja johdetaan positiivisena tulossignaalin BSMCLR+10, joka normaalisti ei ole aktiivinen, ensimmäiseen kiikkuun 30-100A. Positiivinen signaali BSMCLR+10 kellotetaan kiikulle 30-100A negatiivisen kellosignaalin CLK10M-00 perusteella, kuten nähdään kuviosta 3. 50 ns jakson jälkeen positiivinen eli binäärinen ykkös-signaali BSMCLR+20 kellotetaan toiselle kiikulle 30-102A positiivisen kellosignaalin CLK10M+00 perusteella.

Sen jälkeen binäärinen nolla-signaali BSMCLR-30 kiikun 30-102A invertoidussa Q-tulossa mahdollistaa inverttoivan ajuripiirin 30-62 pakottamaan paikallisväyläjärjestelmän 12 nollaussignaalin XCLEAR-00 binääriseksi nollaksi eli alas. Samalla hektellä, kuten kuvio 3 osoittaa, pakottaa signaali BSMCLR-30 molemmat tahdistuskiikut 30-100B ja 30-102B binääriseen ykköstilaan, estäen nollaussignaalin vastaanottamisen väyläjärjestelmältä 12

ja sen tallettamisen tahdistuspiirillä 30-10B. Tätä jatkuu, kunnes päänollaussignaali BSMCLR-00 on poistettu väyläjärjestelmältä 11.

Edellä sanotun yhteenvetona, kuten nähdään kuviosta 3, tahdistuskiikkujen 30-100A ja 30-102A pari vastaanottaa asynkronisen päänollaussignaalin BSMCLR-00, selvittävät mahdolliset metastabiilin tilanteen (ts. enintään 18 ns) ja lähettävät edelleen puhtaan lähtöpulssin paikallisväyläjärjestelmälle 12. Samanaikaisesti tahdistuspiiri 30-10A estää lukituksen tai värähtelytilan pakottamalla tahdistuspiirin 30-10B ennalta määrättyyn tilaan.

Samaten, kun väyläjärjestelmän 12 jokin yksikkö ilmoittaa nollaustilasta, se pakottaa päänollaussignaalin XCLEAR-00 binääriseksi nollaksi eli alas. Paikallisväyläjärjestelmälle 12 johdettu binäärinen nolla eli asynkronisen negatiivisen päänollaussignaalin alatila johdetaan ei-invertoivalla vastaanotinpiirillä 30-64 tulosaalinala XCLEAR-10 (normaalisti ei-aktiivinen) ensimmäiselle kiikulle 30-100B. Signaali XCLEAR-10 kelloitetaan kiikulle 30-100B positiivisen kellosignaalin CLR10M+00 perusteella. 50 ns jakson jälkeen binäärinen nolla-signaali XCLEAR-20 kelloitetaan toiselle kiikulle 30-102B negatiivisen kellosignaalin CLK10M-00 perusteella. Binäärinen nolla-lähtösignaali XCLEAR-30 johdetaan kiikuparin 30-100A ja 30-102A nollaustuloihin. Tämä nollaa eli ohjaa kiikkujen 30-100A ja 30-102A tilat nolliksi. Toisin sanoen, molemmat kiikut saatetaan estotilaan siksi ajaksi, jolloin kiikku 30-102B lähettää päänollaussignaalia MYMCLR+00 väyläjärjestelmälle 11 invertoivan ajuripiirin 30-54 kautta. Tätä jatkuu, kunnes paikallisväyläjärjestelmän nollaussignaali XCLEAR-10 on poistettu paikallisväyläjärjestelmältä 12. Toisin sanoen, nollauspulssisignaalia ei enää ole.

Siten molemmat tahdistuspiirit, kun niiden lähdöt on kytketty ristiin eli takaisinkytketty toisen kiikun tasajännitenolla- ja asetustuloihin, lukitsevat eli estävät toisiaan estäen

samalla lukitun tai värähtelytilan. Samalla tahdistuspiirit ratkaisevat väyläjärjestelmän samanaikaisesti esiintyvien päänollausignaalien BSMCLR-00 ja XCLEAR-10 suhteelliset prioriteetit varmistamalla, että vain toinen tahdistuspiiri kerrallaan vaihtaa tilaansa. Toisin sanoen, käyttämällä hyväksi vaiheesta poikkeavia kellosignaaleja CLK10M+00 ja CLK10M-00, jotka on kytketty kiikuille 100A ja vastaavasti 100B ja kehitetty yhteisellä kellopiirillä, tällä taataan, etteivät kiikut 100A ja 100B vaihda tilaansa samanaikaisesti ja ohita toisiansa. Samalla molempien tahdistuspiirien kiikuille johdetut positiivinen kellosignaali CLK10M+00 ja negatiivinen kellosignaali CLK10M-00 muuntavat täysin asynkronisen signaalin vakaaksi lähtösignaaliksi, jolla on selvä ja hyvin määritelty etureuna. Lopuksi vaiheesta poikkeavat kellosignaalit takaavat sen, ettei päänollauspulssien vaikutus lopu ennen kuin tahdistuspiiri voi reagoida päänollausväylän tilaan.

Kuten kuviosta 2a voidaan nähdä, niin myös paikallisväyläjärjestelmä 12 voi kehittää päänollausignaalin laitelmosto-ohjauksen alaisena. Tämä voitaisiin tehdä väyläjärjestelmän logiikkapiirien testaamiseksi. Esimerkiksi pakottamalla signaali FWMCLR-00 binääriseksi nollaksi eli alas aiheuttaa sen, että päänollausignaali BSMCLR-00 johdetaan väyläjärjestelmälle 11. Oletetaan, että signaalin FWMCLR-00 kehittävää kiikkua kellotetaan signaalilla CLK10M-00. Tämä on sama signaali, jota käytetään kellottamaan kiikkua 30-100A. Tästä johtuen tahdistuspiiri 30-10A sen jälkeen lähettää päänollausignaalin BSMCLR-30 paikallisväyläjärjestelmälle 12. Samalla signaali BSMCLR-30 estää tahdistuspiiriä 30-10B reagoimasta paikallisväylän päänollausignaaliin XCLEAR-10. Signaalia XCLEAR-10 käytetään nollaamaan se kiikku, joka kehittää signaalin FWMCLR-00. Estämällä laitelmostolla kehitetyn päänollausignaalin siirtyminen paikallisväyläjärjestelmälle 12, paikallisväyläjärjestelmä voi jatkaa väyläjärjestelmän 12 testaamista vaaditulla tavalla.

Käynnistyksen päätöspiiri 30-20

Kuvioon 2b viitaten nähdään, että tahdistuspiiri 30-20B toimii siirtäen paikallisväyläjärjestelmän vaihtojännitteen vikasignaalin XACFAL+00 tilamuutoksen väyläjärjestelmälle 11. Toisin sanoen, kun signaali XACFAL+00 pakotetaan binääriseksi ykköseksi eli ylös paikallisväyläjärjestelmällä 12, se osoittaa vaihtojännitteen katkosta paikallisväyläjärjestelmän 12 puitteissa. Tästä johtuen vastaanotinpiiri 30-68 pakottaa normaalisti ei-aktiivisen signaalin XACFAL+10 binääriseksi ykköseksi. Signaali kelloitetaan ensimmäiselle kiikulle 30-200B positiivisen kellosignaalin CLK10M+00 perusteella. 50 ns jakson verran myöhemmin kiikkuun 30-200B talletettu binäärinen ykkös-signaali XACFAL+20 asetetaan kiikkuun 30-202B negatiivisen kellosignaalin CLK10M-00 perusteella. Sen jälkeen paikallisväyläjärjestelmän vikasignaali XACFAL-30 kiikun 30-202B lähdön invertoidulla Q-puolella johdetaan väyläjärjestelmälle 11 ajuripiirien 30-57 ja 30-58 kautta.

Signaali XACFAL-30 aiheuttaa sen, että liitäntäportti 30-220B pakottaa signaalin MYACFL-00 binääriseksi nollaksi, joka johdetaan tahdistuskiikkujen 30-200A ja 30-202A nollaustuloliitäntöihin. Tällä estetään tahdistuspiiriä 30-20 tallettamasta mitään väylän käynnistysignaalin BSPWON+00 muutosta. Kun signaali BSPWON+00 saatetaan muuttumaan binääriseksi nollaksi eli alas, niin invertoiva vastaanotinpiiri 30-56 kytkee signaalin BSPWON-10 binääriseksi ykköseksi, joka osoittaa, että tehonsyöttö on poistettu väyläjärjestelmältä 11. Binäärisenä ykkösenä oleva signaali BSPWON-10 kelloitetaan kiikkuun 30-200A negatiivisella kellosignaalin CLK10M-00. 50 ns jakson jälkeen kiikkuun 30-200A talletettu binäärisenä ykkösenä oleva signaali BSPWON-20 kelloitetaan kiikkuun 30-202A positiivisella kellosignaalin CLK10M+00. Tämä ratkaisee mahdollisen ristiriidan paikallisväyläjärjestelmän signaalien kanssa. Sen jälkeen signaali BSPWON-30 pakotetaan binääriseksi ykköseksi, jolloin aiheutetaan ajuripiiri 30-66 pakottamaan jännitteen punainen signaali XVORED+00 binääriseksi ykköseksi. Tämä antaa paikall-

lisväyläjärjestelmälle 12 signaalin väyläjärjestelmän 11 käynnistystilassa.

Paikallislisväyläjärjestelmä voi lisäksi kehittää laitelmiston vaihtojännitteen vikasignaalin FWACFL-00 testitarkoituksia varten. Jälleen on signaalin kehittävä kiikku kellotettava samalla kellosignaalilla, jota käytetään kiikun 30-202A kellottamiseen. Tämä signaali kehitetään myös (ts. kytketään alas) vasta sen jälkeen, kun kellopiiri kehittää vakaan lähdön. Kun se kehitetään, saattaa signaali FWACFL-00 ajuripiirit 30-57 ja 30-58 pakottamaan käynnistyssignaalin BSPWON+00 binääriseksi nollaksi. Signaali FWACFL-00 saattaa portin 30-220B pitotilaan eli estämään tahdistuspiirin 30-20 kiikkuja vastaamasta väyläjärjestelmän käynnistysignaalin BSPWON+00 tilan muutoksiin. Tämän avulla sallitaan pelkän testin suorittaminen.

Edellä olevasta nähdään, miten esillä olevat päätöspiirit takaavat staattisten asynkronisten päänollaussignaalin ja käynnistyssignaalin luotettavan siirtämisen väyläjärjestelmien 11 ja 12 välillä. Tahdistuspiirien toteutuksessa positiivisen ja negatiivisen logiikan käyttäminen vähentää monimutkaisuutta lisäten samalla luotettavuutta.

Ymmärretään, että edulliseen suoritukseen voidaan tehdä useita muutoksia. Esimerkiksi molempien väyläjärjestelmien 11 ja 12 toiminnallisia ominaisuuksia voidaan muuttaa (ts. positiivinen tai negatiivinen logiikka, synkroninen, asynkroninen, jne). Ajastuslähteen ei myöskään tarvitse liittyä tai kytkeytyä millään tavalla määrättyyn väyläjärjestelmään. Keksintö ei myöskään rajoitu esitettyihin kiikkujen tyyppiin tai signaalien napaisuuksiin. Alan ammattilaiselle tulee myös mieleen muita muunnelmia. Vaikka tässä on säädösten mukaisesti esitetty ja selitetty keksinnön parhaana pidettyä muotoa, siihen voidaan tehdä määrättyjä muutoksia poikkeamatta keksinnön hengestä sellaisena kuin se esitetään oheisissa patenttivaatimuksissa, ja eräissä tapauksissa määrättyjä keksinnön piirteitä voidaan edullisesti käyttää hyväksi, käyttämättä toisia ominaisuuksia.

Patenttivaatimukset

1. Väylän ohjaussignaalien kaksisuuntainen liitäntälaitte ohjaussignaalien siirtämiseksi kahden riippumattomasti toimivan väyläjärjestelmän välillä, tunnettu siitä, että laite käsittää: tahdistuslaitteiden parin, jolloin molemmissa laitteissa on ohjaussignaalin tulo ja ohjaussignaalin lähtö, jolloin ensimmäisen tahdistuslaitteen mainitut ohjaussignaalin tulo ja lähtö on kytketty väyläjärjestelmäparin ensimmäiseen ja vastaavasti toiseen väyläjärjestelmään, ja jolloin toisen tahdistuslaitteen mainitut ohjaussignaalin tulo ja lähtö on kytketty väyläjärjestelmäparin toiseen ja vastaavasti ensimmäiseen väyläjärjestelmään, jolloin molemmat mainitut tahdistuslaitteet on varustettu sarjaan kytketyillä tulo- ja lähtöportailla, jotka on kytketty mainittuun ohjaussignaalin tuloon ja vastaavasti lähtöön, jolloin mainitun ensimmäisen tahdistuslaitteen sekä tulo- että vastaavasti lähtöporras on kytketty vastaanottamaan ensimmäisen ja vastaavasti toisen komplementaarisen kellosignaalin, ja jolloin mainitun toisen tahdistuslaitteen sekä tulo- että vastaavasti lähtöporras on kytketty vastaanottamaan toisen ja vastaavasti ensimmäisen komplementaarisen kellosignaalin; ja ensimmäiset välineet, jotka kytkevät ohjaussignaalin lähdön ainakin toisesta mainituista tahdistuslaitteista tulona toisen tahdistuslaitteen mainittuihin ensimmäiseen ja toiseen portaan, jolloin mainitut ensimmäiset välineet mahdollistavat mainituista tahdistuslaitteista ainoastaan toisen lähettämään edelleen mainitut ohjaussignaalit, jotka on vastaanotettu mainituissa ohjaussignaalitulossa toiselta mainituista väyläjärjestelmistä, mainittuun ohjaussignaalin lähtöön ja toiselle mainituista väyläjärjestelmistä, kun ohjaussignaalit kehitetään samanaikaisesti mainituissa ensimmäisessä ja toisessa väyläjärjestelmässä.

2. Patenttivaatimuksen 1 mukainen laite, tunnettu siitä, että mainittujen komplementaaristen kellosignaalien nopeus valitaan voittamaan tahdistuslaitteiden mainitun parin toiminnan mahdollinen metastabiilisuus.

3. Patenttivaatimuksen 1 mukainen laite, tunnettu siitä, että mainittu laite toimii siirtäen asynkronisesti kehitettyjä nollaussignaaleja pakottamaan toiseen mainituista väyläjärjestelmistä liitetyt yksiköt ennalta määrättyyn tilaan, jolloin mainitut ensimmäiset välineet kytkvät mainitun ensimmäisen tahdistuslaitteen ohjauslähdön mainitun toisen tahdistuslaitteen mainittuihin tulo- ja lähtöportaisiin kehittäen ohjaussignaalin, joka pakottaa mainitun toisen tahdistuslaitteen mainitut tulo- ja lähtöportaat samaan ennalta määrättyyn tilaan mainitulta ensimmäiseltä väyläjärjestelmältä vastaanotetun nollaussignaalin perusteella.

4. Patenttivaatimuksen 3 mukainen laite, tunnettu siitä, että mainittu laite sisältää toiset välineet mainitun toisen tahdistuslaitteen ohjauslähdön kytkemiseksi mainitun ensimmäisen tahdistuslaitteen mainittuihin tulo- ja lähtöportaisiin, jolloin mainittu toinen tahdistuslaite kehittää ohjaussignaalin estäen mainitun ensimmäisen tahdistuslaitteen mainittuja ensimmäistä ja toista porrasta vaihtamasta tilaa mainitulta toiselta väyläjärjestelmältä vastaanotetun nollaussignaalin perusteella lähettäen samalla edelleen mainitun nollaussignaalin mainitulle ensimmäiselle väyläjärjestelmälle.

5. Patenttivaatimuksen 3 mukainen laite, tunnettu siitä, että mainitut ensimmäiset välineet sisältävät porttivälineet, joilla on ensimmäinen tulo ohjelman kehittämän ohjaussignaalin vastaanottamiseksi, toisen tahdistuslaitteen ohjauslähtöön kytketty toinen tulo sekä lähtö, joka on kytketty mainittuun ensimmäiseen väyläjärjestelmään, jolloin mainitut porttivälineet mainitun ohjelman kehittämän ohjaussignaalin perusteella johtavat nollaussignaalin mainittuun ensimmäiseen väyläjärjestelmään mainitun ensimmäisen väyläjärjestelmän testaamiseksi mainitulla ensimmäisellä tahdistuslaitteella estäen samalla mainittua toista tahdistuslaitetta reagoimasta mainitulta toiselta väyläjärjestelmältä vastaanotettuun nollaussignaaliin.

6. Patenttivaatimuksen 1 mukainen laite, tunnettu siitä, että mainitun toisen tahdistuslaitteen mainittu ohjaussignaali lähtö välitään sen perusteella, kummalle väyläjärjestelmäparin väyläjärjestelmälle on annettava prioriteetti ennen toista.

7. Patenttivaatimuksen 1 mukainen laite, tunnettu siitä, että mainittu laite toimii siirtäen asynkronisesti kehitettyjä tehon ohjaussignaaleja sen ilmaisemiseksi, että toinen väyläjärjestelmistä on tehon vikatilassa, jolloin mainitut ensimmäiset välineet kytkyvät mainitun toisen tahdistuslaitteen mainitun ohjauslähdön mainitun ensimmäisen tahdistuslaitteen mainittuihin ensimmäiseen ja toiseen portaaseen, jolloin mainittu toinen tahdistuslaite mainitulta toiselta väylältä vastaanotetun tehon vikasignaalin perusteella kehittää ohjaussignaalin estäen mainittua ensimmäistä tahdistuslaitetta tallettamasta mitään mainitun ensimmäisen väyläjärjestelmän tilan muutosta lähettäen samalla eteenpäin mainitun tehon ohjaussignaalin mainittuun ensimmäiseen väyläjärjestelmään.

8. Patenttivaatimuksen 7 mukainen laite, tunnettu siitä, että mainitut ensimmäiset välineet sisältävät porttivälineet, joilla on esnimmäinen tulo ohjelman kehittämän ohjaussignaalin vastaanottamiseksi, toisen tahdistuslaitteen ohjauslähtöön kytketty toinen tulo sekä lähtö, joka on kytketty mainittuun ensimmäiseen väyläjärjestelmään, jolloin mainitut porttivälineet mainitun ohjelman kehittämän ohjaussignaalin perusteella soveltavat tehon ohjaussignaalia mainitun ensimmäisen väyläjärjestelmän testaamiseksi mainitun ensimmäisen tahdistuslaitteen kautta estäen samalla mainittua toista tahdistuslaitetta reagoimasta tehon ohjaussignaaliin, joka vastaanotetaan mainitulta toiselta väyläjärjestelmältä.

9. Ohjaussignaalien kaksisuuntainen laite useiden ohjaussignaalien siirtämiseksi ensimmäisen ja toisen riippumattomasti toimivan väyläjärjestelmän välillä, tunnettu siitä, että laite käsittää:

useita tahdistuslaitteita, jolloin jokainen tahdistuslaite

toimii tahdistuen eri signaalia mainituista useista ohjaussignaaleista, jolloin jokainen mainittu tahdistuslaite sisältää: useita tuloja ja lähtöjä, jolloin ensimmäiset ja toiset tulot on kytketty mainittuun ensimmäiseen ja vastaavasti mainittuun toiseen väyläjärjestelmään, ja jolloin mainitut ensimmäiset ja toiset lähdöt on kytketty mainittuun ensimmäiseen ja vastaavasti mainittuun toiseen väyläjärjestelmään; ja tahdistuslaitteiden parin, jolloin molemmissa laitteissa on datatulo, kellotulojen pari ja datalähtö, jolloin mainituista laitteista ensimmäisen laitteen mainittu datatulo ja datalähtö on kytketty mainittuun ensimmäiseen ja vastaavasti mainittuun toiseen väyläjärjestelmään, jolloin mainituista laitteista toisen laitteen mainittu datatulo ja datalähtö on kytketty mainittuun toiseen ja vastaavasti mainittuun ensimmäiseen väyläjärjestelmään, ja jolloin kellotulojen mainittu pari on kytketty vastaanottamaan joukon komplementaarisia kellosignaaleja, jolloin jokaisessa mainituissa laitteissa on sarjaan kytketyt bistabiilit tulo- ja lähtöportaat, jotka on kytketty mainittuun datatuloon ja vastaavasti mainittuihin datalähtöihin, jolloin jokainen mainituista portaista sisältää kellotulon, jolloin mainitun ensimmäisen laitteen jokaisen mainitun portaan mainittu kellotulo on kytketty vastaanottamaan mainitusta komplementaarisesta kellosignaalien joukosta eri kellosignaalin, ja jolloin mainitun toisen laitteen jokaisen mainitun portaan mainittu kellotulo on kytketty vastaanottamaan mainitusta komplementaarisesta kellosignaalien joukosta vaihtoehtoisen eri kellosignaalin;

ensimmäiset välineet mainitusta useasta tahdistuslaitteesta ensimmäisen tahdistuslaitteen mainittujen tahdistuslaitteiden mainittujen datatulojen ja mainittujen datalähtöjen sisäistä yhteenkytkemistä varten takaisinkytkentäteiden parin aikaansaamiseksi mainitun ensimmäisen tahdistuslaitteen mainittujen laitteiden välille; ja

toiset välineet mainitusta useasta tahdistuslaitteesta toisen tahdistuslaitteen mainittujen tahdistuslaitteiden ainakin yhden mainitun datatulon ja mainitun datalähdön sisäistä yhteenkytkemistä varten takaisinkytkentätien aikaansaamiseksi mainitun

toisen tahdistuslaitteen mainittujen laitteiden välille, jolloin mainitut ensimmäiset ja toiset välineet mahdollistavat kukin mainituista ohjaussignaaleista ainoastaan toisen johtamisen mainittujen tahdistuslaitteiden mainittuihin datatuloihin siirrettäväksi edelleen mainittujen ensimmäisen ja toisen väyläjärjestelmän välillä, kun ohjaussignaalit kehitetään samanaikaisesti mainituissa ensimmäisessä ja toisessa väyläjärjestelmässä.

10. Menetelmä ohjaussignaalitasojen kaksisuuntaisen siirtämisen ohjaamiseksi ensimmäisen ja toisen riippumattomasti toimivan väyläjärjestelmän välillä mainittujen väyläjärjestelmien välille kytketyn tahdistuslaitteen avulla, tunnettu siitä, että menetelmä käsittää vaiheet, joissa:

- a) vastaanotetaan ja lähetetään edelleen mainitut ohjaussignaalitasot mainitulta ensimmäiseltä väyläjärjestelmältä mainitulle toiselle väyläjärjestelmälle mainitun laitteen ensimmäisen tahdistuslaitteen avulla, jolla on tulo- ja lähtöportaat;
- b) vastaanotetaan ja lähetetään edelleen mainitut ohjaussignaalitasot mainitulta toiselta väyläjärjestelmältä mainitulle ensimmäiselle väyläjärjestelmälle mainitun laitteen toisen tahdistuslaitteen avulla, jolla on mainitut tulo- ja lähtöportaat;
- c) kehitetään joukko komplementaarisia kellosignaaleja;
- d) johdetaan mainitun joukon jokainen komplementaarinen kellosignaali mainitun ensimmäisen tahdistuslaitteen mainittuihin tulo- ja lähtöportaisiin ennalta määrätyssä järjestyksessä;
- e) johdetaan mainitun joukon jokainen komplementaarinen kellosignaali mainitun toisen tahdistuslaitteen mainittuihin tulo- ja lähtöportaisiin ennalta määrätyn järjestyksen käänteisessä järjestyksessä, jolloin vaiheet d) ja e) estävät mainittujen ensimmäisen ja toisen tahdistuslaitteen molempia mainittuja tuloportaita reagoimasta ohjaussignaaleihin, jotka lähetetään mainituilta väyläjärjestelmiltä samanaikaisesti; ja
- f) kytketään mainitut ensimmäiset ja toiset tahdistuslaitteet keskenään siten, että ainoastaan toinen ohjaussignaali lähetetään edelleen toiselta väyläjärjestelmältä toiselle joko mai-

nitun ensimmäisen tai toisen tahdistuslaitteen toimesta, kun mainitut ohjaussignaalit kehitetään samanaikaisesti mainituilla väyläjärjestelmillä.

Patentkrav

1. Dubbelriktad anslutningsanordning för buss-styrtsignaler för transmission av styrtsignaler mellan två oberoende fungerande bussystem, kännetecknad av att nämnda anordning omfattar:

ett par synkroniseringsanordningar, varvid varje anordning har en styrtsignalingång och en styrtsignalutgång, varvid styrtsignalingången och styrtsignalutgången hos en första synkroniseringsanordning anslutits till det ena respektive det andra bussystemet i nämnda par av bussystem, varvid styrtsignalingången och styrtsignalutgången hos en andra synkroniseringsanordning anslutits till det andra respektive det första bussystemet i nämnda par av bussystem, varvid varje synkroniseringsanordning har seriekopplade ingångs- och utgångssteg, vilka kopplats till nämnda styrtsignalingång respektive styrtsignalutgång, varvid varje nämnda ingångs- respektive utgångssteg omfattar en klockingång, varvid nämnda ingångs- respektive utgångssteg hos nämnda ena synkroniseringsanordning anslutits att mottaga första respektive andra komplementära klocksignaler, och varvid nämnda ingångs- och utgångssteg hos nämnda andra synkroniseringsanordning anslutits att mottaga nämnda andra respektive första komplementära klocksignaler; och

första organ som ansluter styrtsignalutgången hos minst en av nämnda synkroniseringsanordningar såsom ingång till nämnda första och andra steg hos den andra synkroniseringsanordningen, varvid nämnda första organ friger endast en av nämnda synkroniseringsanordningar att vidareända nämnda styrtsignaler som mottagits på nämnda styrtsignalingång från det ena av nämnda bussystem till nämnda styrtsignalutgång och vidare till det andra av nämnda bussystem, då styrtsignaler genereras samtidigt i nämnda första och andra bussystem.

2. Anordning enligt patentkrav 1, kännetecknad av att takten hos nämnda komplementära klocksignaler väljes så, att man övervinner möjlig metastabilitet i funktionen hos nämnda par av synkroniseringsanordningar.
3. Anordning enligt patentkrav 1, kännetecknad av att nämnda anordning fungerar för att överföra asynkront genererade nollningssignaler för att tvinga till det ena av nämnda bussystem anslutna enheter i ett på förhand bestämt tillstånd, varvid nämnda första organ kopplar nämnda styrtgång hos nämnda första synkroniseringsanordning till nämnda ingångs- och utgångssteg hos nämnda andra synkroniseringsanordning, och genererar en styrsignal som tvingar nämnda ingångs- och utgångssteg hos nämnda andra synkroniseringsanordning till samma på förhand bestämda tillstånd som följd av en nollningssignal som mottages från nämnda första bussystem.
4. Anordning enligt patentkrav 3, kännetecknad av att nämnda anordning omfattar andra organ för att ansluta nämnda styrtgång hos nämnda andra synkroniseringsanordning till nämnda ingångs- och utgångssteg hos nämnda första synkroniseringsanordning, varvid nämnda andra synkroniseringsanordning genererar en styrsignal för att hindra nämnda första och andra steg hos nämnda första synkroniseringsanordning från att byta tillstånd på basen av en nollningssignal som mottages från nämnda andra bussystem medan den vidare sänder nämnda nollningssignal till nämnda första bussystem.
5. Anordning enligt patentkrav 3, kännetecknad av att nämnda första organ omfattar portorgan med en första ingång för att mottaga en programgenererad styrsignal, en andra ingång ansluten till styrtgång hos nämnda andra synkroniseringsanordning och en utgång ansluten till nämnda första bussystem, varvid nämnda portorgan på basen av nämnda programgenererade styrsignal lägger en nollningssignal på nämnda första bussystem för att testa nämnda första bussystem via nämnda första synkroniseringsanordning medan det hindrar nämnda andra synkroniseringsanordning

från att reagera på en nollningssignal som mottages från nämnda andra bussystem.

6. Anordning enligt patentkrav 1, kännetecknad av att nämnda styrsignalutgång hos nämnda första av nämnda synkroniseringsanordningar väljes på basen av vilket av nämnda bussystem i bussystemparet skall ha prioritet över det andra.

7. Anordning enligt patentkrav 1, kännetecknad av att nämnda andordning fungerar för att överföra asynkront genererade kraftstyrsignaler för att indikera när ett av nämnda bussystem är i kraftavbrottstillstånd, varvid nämnda första organ ansluter nämnda styrutgång hos nämnda andra synkroniseringsanordning till nämnda första och andra steg hos nämnda första synkroniseringsanordning, varvid nämnda andra synkroniseringsanordning på basen av en kraftstyrsignal som mottages från nämnda andra buss genererar en styrsignal för att hindra nämnda första synkroniseringsanordning från att lagra någon förändring i tillståndet hos nämnda ena bussystem medan den sänder vidare nämnda kraftstyrsignal till nämnda ena bussystem.

8. Anordning enligt patentkrav 7, kännetecknad av att nämnda första organ omfattar portorgan med en första ingång för att mottaga en programgenererad styrsignal, en andra ingång ansluten till nämnda styrutgång hos nämnda andra synkroniseringsanordning och en utgång ansluten till nämnda första bussystem, varvid nämnda portorgan på basen av nämnda programgenererade styrsignal anlägger en kraftstyrsignal för att testa nämnda första bussystem via nämnda första synkroniseringsanordning medan det hindrar nämnda andra synkroniseringsanordning från att reagera på en kraftstyrsignal som mottages från nämnda andra bussystem.

9. Dubbelriktad styrsignalanordning för transmission av ett flertal styrsignaler mellan två oberoende fungerande bussystem, kännetecknad av att nämnda anordning omfattar:
ett flertal synkroniseringsanordningar, varje synkroniseringsanordning för att synkronisera transmissionen av en olika av

nämnda flertal av styrsignaler, varvid nämnda varje synkroniseringsanordning omfattar:

ett flertal ingångar och utgångar, varvid första och andra ingångar anslutits till nämnda första respektive andra bussystem och första och andra utgångar anslutits till nämnda första respektive andra bussystem; och

ett par av synkroniseringsanordningar, varvid varje anordning har en dataingång, ett par av klockingångar och en datautgång, varvid nämnda dataingång och datautgång hos den ena av nämnda anordningar anslutits till nämnda första respektive andra bussystem, varvid nämnda dataingång och datautgång hos den andra av nämnda anordningar anslutits till nämnda andra respektive första bussystem och nämnda par av klockingångar anslutits för att mottaga en grupp av komplementära klocksignaler, varvid varje nämnda anordning har seriekopplade bistabila ingångs- och utgångsorgan anslutna till nämnda dataingångar respektive nämnda datautgångar, varvid varje nämnda steg omfattar en klockingång, varvid varje klockingång hos varje nämnda steg hos nämnda första organ anslutits att mottaga en olika av nämnda grupp av komplementära klocksignaler och nämnda klockingång hos varje nämnda steg hos nämnda andra anordning anslutits att mottaga en alternativ olik signal av nämnda grupp av komplementära klocksignaler;

första organ för att internt koppla samman nämnda dataingångar och nämnda datautgångar hos nämnda synkroniseringsanordningar hos den första av nämnda flertal av synkroniseringsanordningar för att åstadkomma ett par av återkopplingsvägar mellan nämnda anordningar i nämnda första synkroniseringsanordning; och andra organ för att internt koppla samman åtminstone en av nämnda dataingångar och datautgångar hos nämnda synkroniseringsanordningar i det andra av nämnda flertal av synkroniseringsanordningar för att åstadkomma en återkopplingsväg mellan nämnda anordningar i nämnda andra synkroniseringsanordning, varvid nämnda första och andra organ vart och ett friger endast den ena av nämnda styrsignaler som leds till nämnda dataingångar hos nämnda synkroniseringsanordningar att vidareändas mellan

nämnda första och andra bussystem då styrsignaler genereras samtidigt i nämnda första och andra bussystem.

10. Förfarande för styrning av den dubbelriktade transmissionen av styrsignalnivåer mellan ett första och ett andra oberoende fungerande bussystem via en synkroniseringsanordning ansluten mellan nämnda bussystem, kännetecknat av att nämnda förfarande omfattar stegen:

- a) att mottaga och att vidareända nämnda styrsignalnivåer från nämnda första bussystem till nämnda andra bussystem via en första synkroniseringsanordning hos nämnda anordning med ingångs- och utgångssteg;
- b) att mottaga och att vidareända nämnda styrsignalnivåer från nämnda andra bussystem via en andra synkroniseringsanordning hos nämnda anordning med ingångs- och utgångssteg;
- c) att generera en grupp av komplementära klocksignaler;
- d) att lägga var och en av de komplementära klocksignalerna i nämnda grupp på nämnda ingångs- och utgångssteg i nämnda första synkroniseringsanordning i en på förhand bestämd följd;
- e) att lägga var och en av de komplementära klocksignalerna i nämnda grupp på nämnda ingångs- och utgångssteg i nämnda andra synkroniseringsanordning i den motsatta ordningen av den på förhand bestämda följd, varvid stegen d) och e) hindrar nämnda ingångssteg hos nämnda första och andra synkroniseringsanordningar att båda reagera på signaler som samtidigt sändes av nämnda bussystem; och
- f) att koppla samman nämnda första och andra synkroniseringsanordningar så, att endast en styrsignal vidareändes från det ena bussystemet till det andra av antingen den första eller den andra synkroniseringsanordningen då nämnda styrsignaler samtidigt genereras av nämnda bussystem.

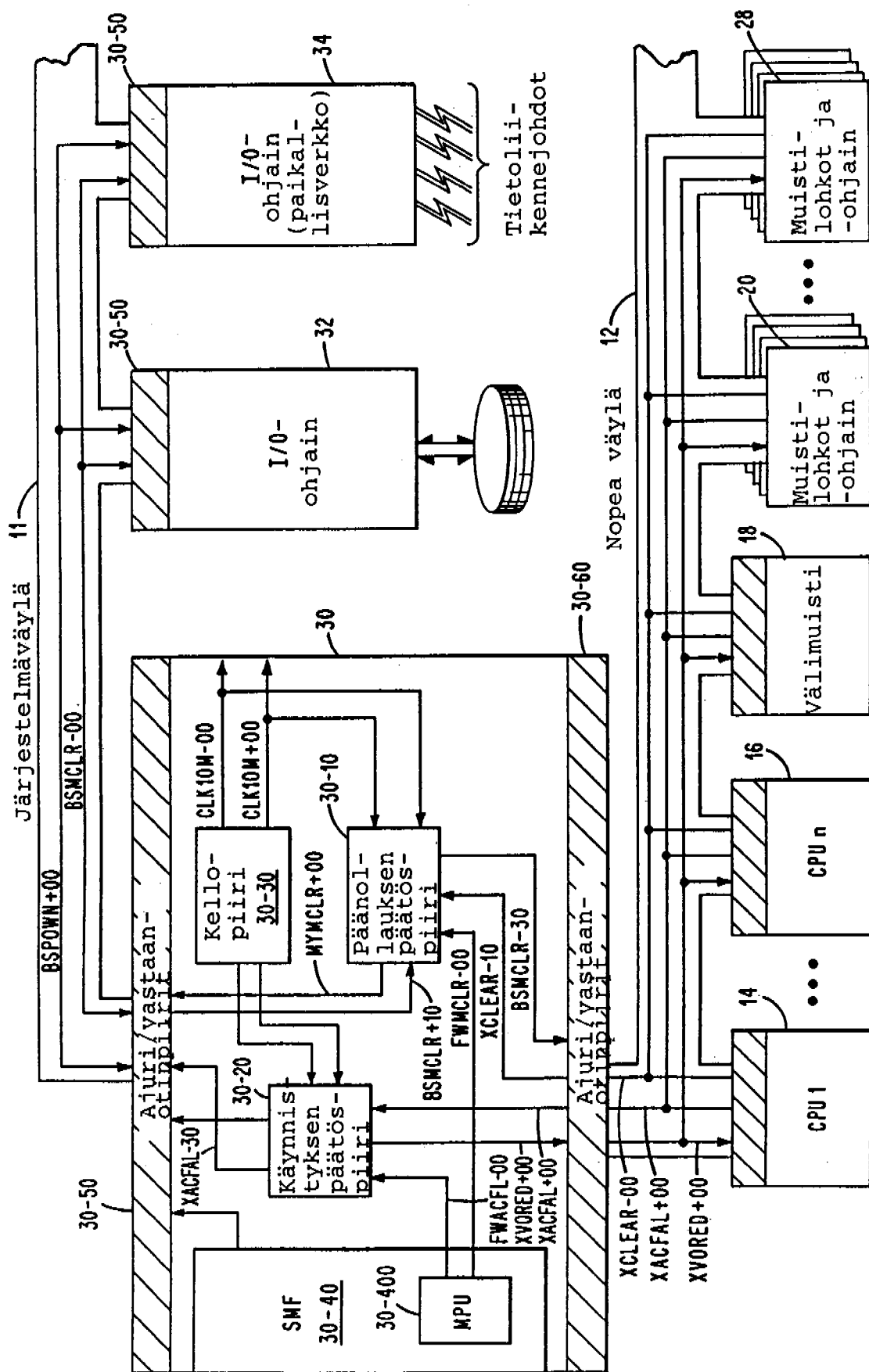


Fig. 1.

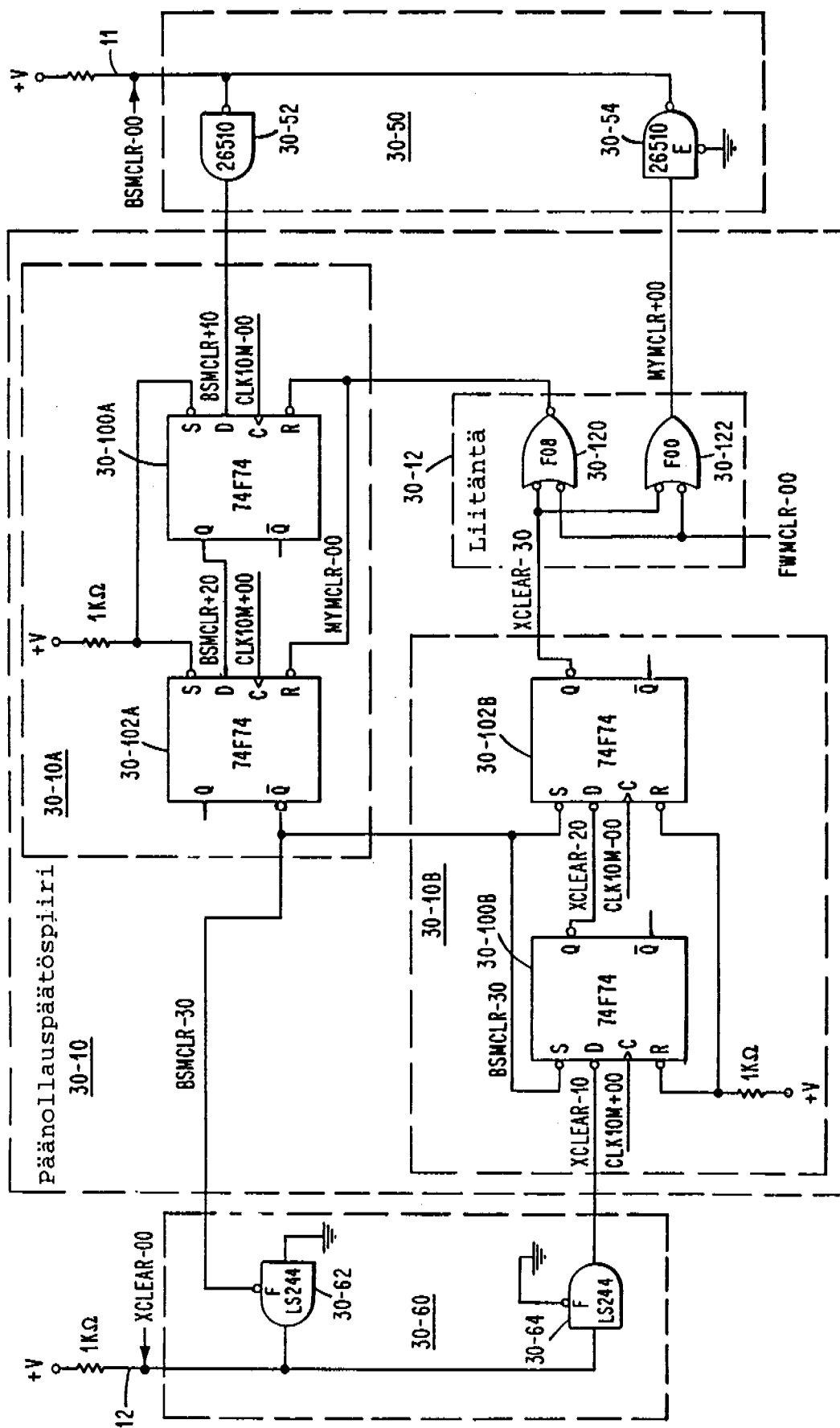


Fig. 2a.

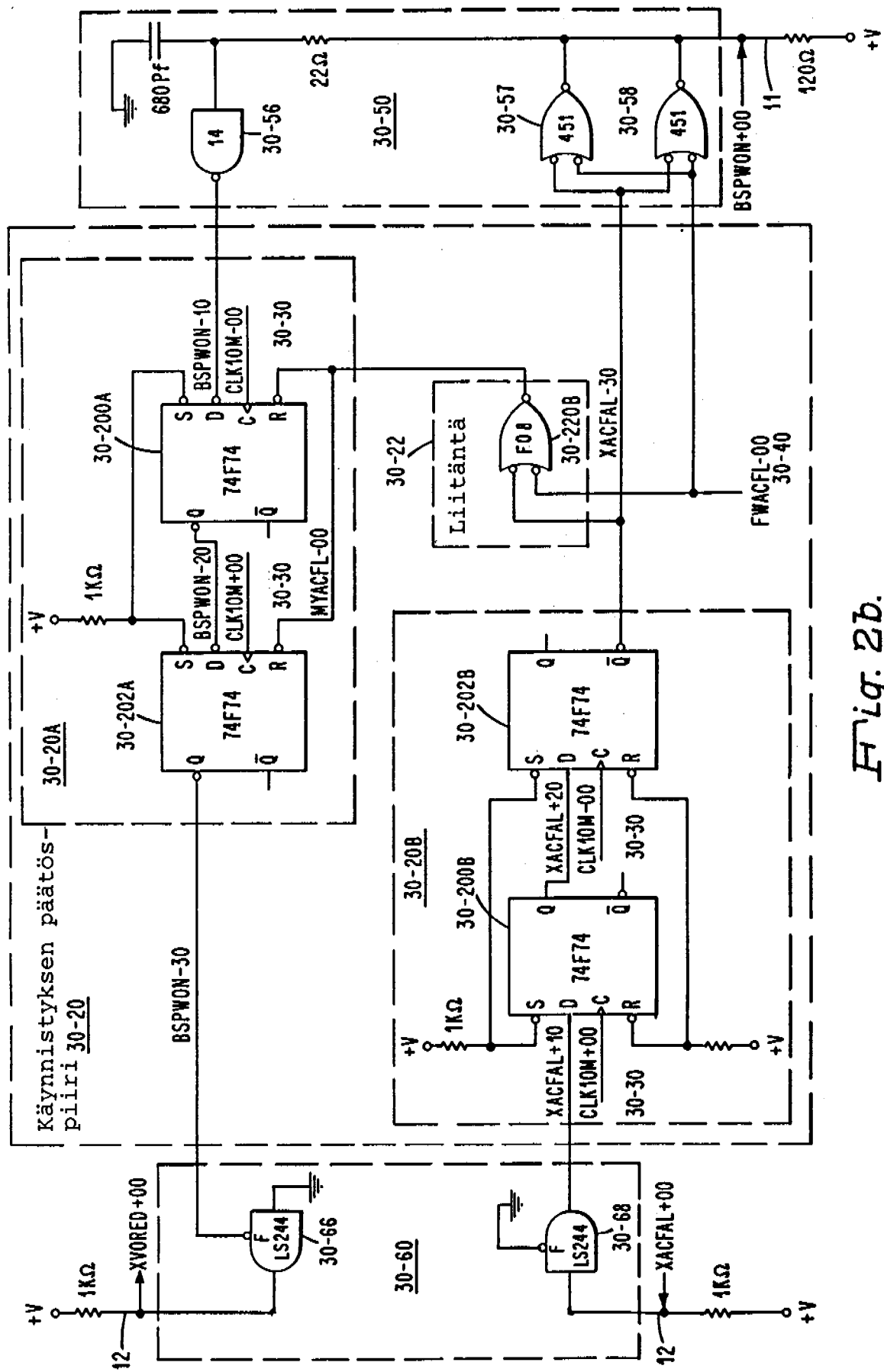


Fig. 2b.

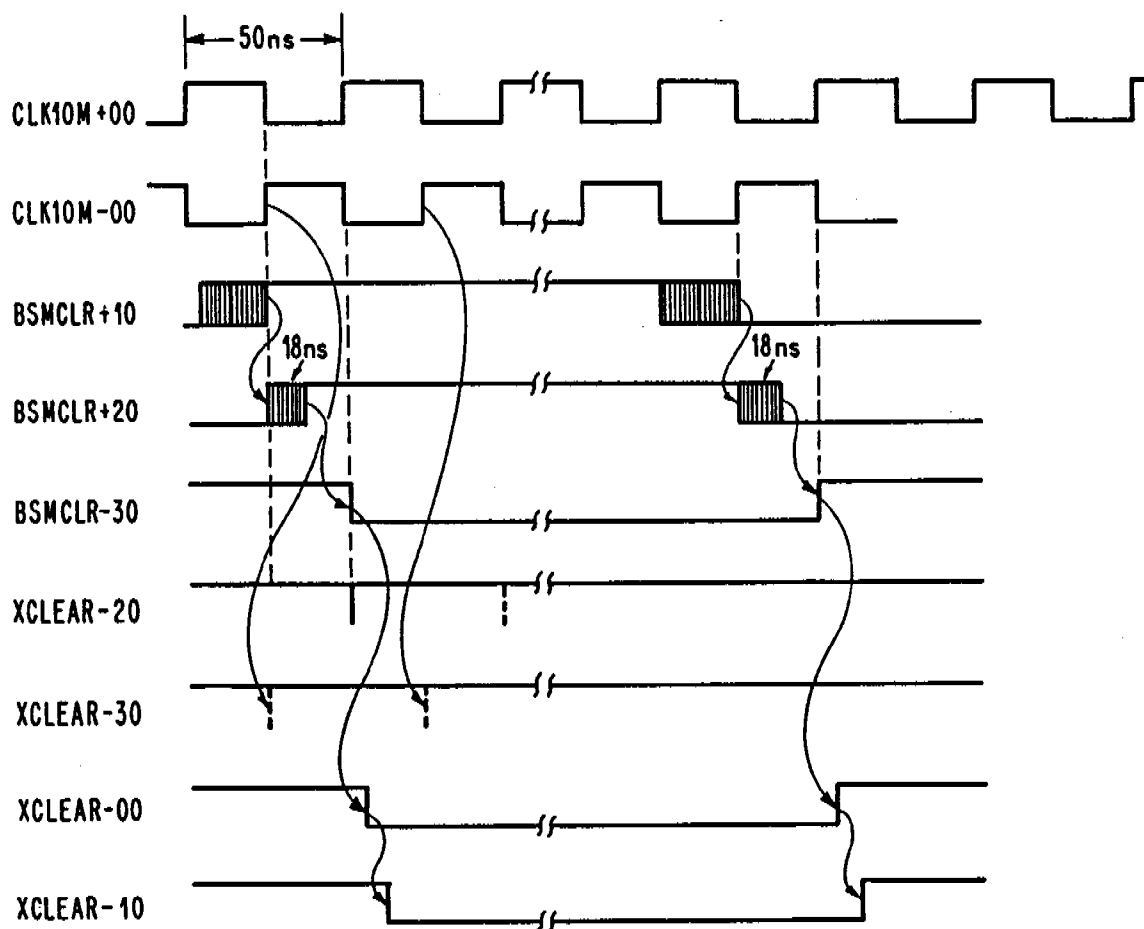


Fig. 3.