



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I698976 B

(45)公告日：中華民國 109 (2020) 年 07 月 11 日

(21)申請案號：107132677

(22)申請日：中華民國 105 (2016) 年 11 月 09 日

(51)Int. Cl. : **H01L27/10 (2006.01)**

(30)優先權：2016/09/23 世界智慧財產權組織 PCT/JP2016/078046

(71)申請人：日商東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)
日本(72)發明人：伊東幹彥 ITO, MIKIHICO (JP) ; 小柳勝 KOYANAGI, MASARU (JP) ; 中谷真史
NAKATANI, MASAFUMI (JP) ; 吉原正浩 YOSHIHARA, MASAHIRO (JP) ; 奧野晋
也 OKUNO, SHINYA (JP) ; 長坂繁輝 NAGASAKA, SHIGEKI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201532049A

JP 2006190761A

JP 2008159736A

US 2012/0063234A1

審查人員：林建宏

申請專利範圍項數：10 項 圖式數：21 共 84 頁

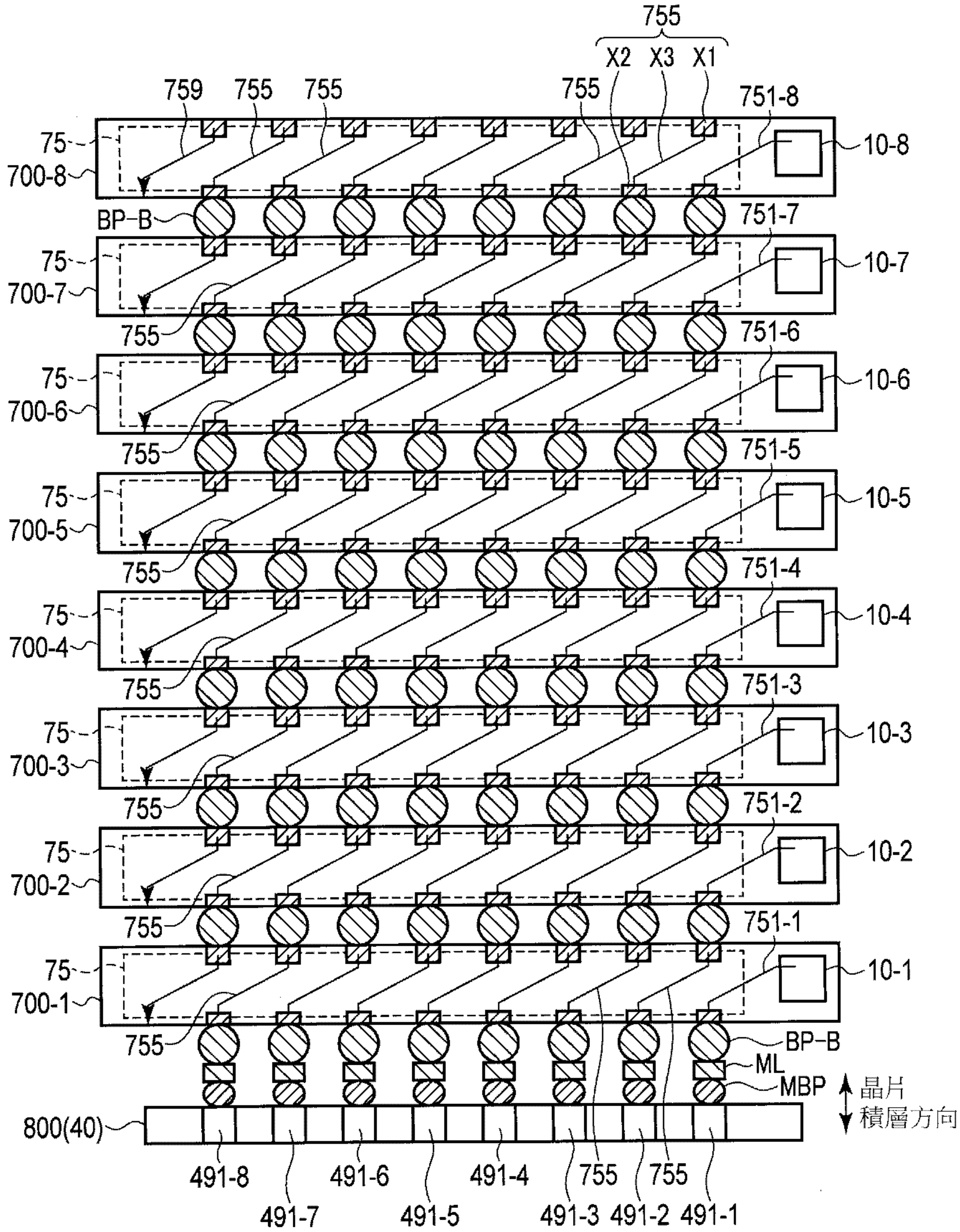
(54)名稱

記憶體裝置

(57)摘要

本實施形態之記憶體裝置包含：第 1 記憶晶片，其包含第 1 電路、第 1 端子及第 2 端子；第 2 記憶晶片，其包含第 2 電路、及第 3 端子；及介面晶片，其包含第 1 及第 2 電壓產生電路。上述第 2 記憶晶片係設置於上述第 1 記憶晶片上方，且上述介面晶片係設置於上述第 1 記憶晶片下方。上述第 1 端子之第 1 端部係連接於上述第 1 電路，上述第 1 端子之第 2 端部係連接於上述第 1 電壓產生電路。上述第 2 端子之第 3 端部係連接於上述第 3 端子，上述第 2 端子之第 4 端部係連接於上述第 2 電壓產生電路。上述第 3 端子之第 5 端部係連接於上述第 2 電路，上述第 3 端子之第 6 端部係經由上述第 2 端子而連接於上述第 2 電壓產生電路。於相對於上述第 1 記憶晶片之表面垂直之方向上，上述第 3 端部不與上述第 4 端部重疊，上述第 3 端部與上述第 6 端部重疊。

指定代表圖：



【圖4】

符號簡單說明：

- 10-1~10-8 . . . 記憶核心電路
- 40 . . . 介面電路
- 75 . . . 區域
- 491-1~491-8 . . . 電荷泵電路
- 700-1~700-8 . . . 記憶核心晶片
- 751-1~751-8 . . . 電壓電極
- 755 . . . 電壓電極
- 759 . . . 接地電極 (接地端子)
- 800 . . . 介面晶片
- BP-B . . . 凸塊
- ML . . . 中間配線
- MBP . . . 微凸塊
- X1 . . . 上部端子
- X2 . . . 下部端子
- X3 . . . 內部連接部



I698976

【發明摘要】

【中文發明名稱】

記憶體裝置

【中文】

本實施形態之記憶體裝置包含：第1記憶晶片，其包含第1電路、第1端子及第2端子；第2記憶晶片，其包含第2電路、及第3端子；及介面晶片，其包含第1及第2電壓產生電路。上述第2記憶晶片係設置於上述第1記憶晶片上方，且上述介面晶片係設置於上述第1記憶晶片下方。上述第1端子之第1端部係連接於上述第1電路，上述第1端子之第2端部係連接於上述第1電壓產生電路。上述第2端子之第3端部係連接於上述第3端子，上述第2端子之第4端部係連接於上述第2電壓產生電路。上述第3端子之第5端部係連接於上述第2電路，上述第3端子之第6端部係經由上述第2端子而連接於上述第2電壓產生電路。於相對於上述第1記憶晶片之表面垂直之方向上，上述第3端部不與上述第4端部重疊，上述第3端部與上述第6端部重疊。

【指定代表圖】

圖4

【代表圖之符號簡單說明】

10-1～10-8	記憶核心電路
40	介面電路
75	區域
491-1～491-8	電荷泵電路
700-1～700-8	記憶核心晶片

751-1～751-8	電壓電極
755	電壓電極
759	接地電極(接地端子)
800	介面晶片
BP-B	凸塊
ML	中間配線
MBP	微凸塊
X1	上部端子
X2	下部端子
X3	內部連接部

【發明說明書】

【中文發明名稱】

記憶體裝置

【技術領域】

本發明之實施形態係關於記憶體裝置。

【先前技術】

快閃記憶體係使用於各種電子機器。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2009-3991號公報

[專利文獻2]日本專利特許第4791924號說明書

【發明內容】

[發明所欲解決之問題]

降低記憶體裝置之製造成本。

[用以解決問題之手段]

本實施形態之記憶體裝置包含：第1記憶晶片，其包含第1電路、第1端子及第2端子；第2記憶晶片，其包含第2電路、及第3端子；及介面晶片，其包含第1電壓產生電路、及第2電壓產生電路。上述第2記憶晶片係設置於上述第1記憶晶片之上方，且上述介面晶片係設置於上述第1記憶晶片之下方。上述第1端子之第1端部係電性連接於上述第1電路，上述第1端子之第2端部係電性連接於上述第1電壓產生電路。上述第2端子之第3端部係電性連接於上述第3端子，上述第2端子之第4端部係電性連接於上述第2電壓產生電路。上述第3端子之第5端部係電性連接於上述第2電路，上述第3端子之第6端部係經由上述第2端子而電性連接於上述第2電

壓產生電路。於相對於上述第1記憶晶片之表面垂直之方向上，上述第3端部不與上述第4端部重疊，上述第3端部與上述第6端部重疊。

【圖式簡單說明】

圖1係包含記憶體裝置之記憶體系統之示意圖。

圖2係顯示記憶體裝置之內部構成之方塊圖。

圖3係顯示記憶體裝置之構造例之剖視圖。

圖4係顯示第1實施形態之記憶體裝置之構造例之剖視圖。

圖5係顯示第1實施形態之記憶體裝置之構造例之示意圖。

圖6係顯示第1實施形態之記憶體裝置之構造例之俯視圖。

圖7係顯示第2實施形態之記憶體裝置之構造例之示意圖。

圖8係顯示第2實施形態之記憶體裝置之構造例之俯視圖。

圖9係用以說明第3實施形態之記憶體裝置之示意圖。

圖10係顯示第3實施形態之記憶體裝置之動作例之時序圖。

圖11係用以說明第3實施形態之記憶體裝置之示意圖。

圖12係用以說明第4實施形態之記憶體裝置之示意圖。

圖13係顯示第4實施形態之記憶體裝置之構成例之等價電路圖。

圖14係顯示第4實施形態之記憶體裝置之動作例之時序圖。

圖15係用以說明第4實施形態之記憶體裝置之動作例之示意圖。

圖16係用以說明第4實施形態之記憶體裝置之動作例之示意圖。

圖17係用以說明第4實施形態之記憶體裝置之動作例之示意圖。

圖18係用以說明第4實施形態之記憶體裝置之動作例之示意圖。

圖19係用以說明第4實施形態之記憶體裝置之動作例之示意圖。

圖20係顯示第5實施形態之記憶體裝置之構成例之等價電路圖。

圖21係顯示第5實施形態之記憶體裝置之構成例之等價電路圖。

【實施方式】

以下，一面參照圖1至圖21，一面對本實施形態詳細地說明。於以下之說明中，對具有相同之功能及構成之要素標註相同符號，視需要進行重複之說明。

[實施形態]**(1)第1實施形態**

參照圖1至圖6，對第1實施形態之記憶體裝置進行說明。

(a)構成例**(a-1)記憶體系統之整體構成**

使用圖1對實施形態之包含記憶體裝置之記憶體系統之大致之整體構成進行說明。

圖1係顯示包含本實施形態之記憶體裝置之記憶體系統之圖。

如圖1所示，包含本實施形態之記憶體裝置之記憶體系統9包含儲存裝置500、及主機裝置600。

主機裝置600係藉由例如連接器、電纜、無線通信、主機匯流排、或網路等，而與儲存裝置500連結。主機裝置600係要求儲存裝置500進行資料之寫入、資料之讀出、及資料之抹除。

儲存裝置500包含記憶體控制器5與記憶體裝置(半導體記憶體)1。

記憶體控制器5使記憶體裝置1執行與主機裝置600之要求相應之動作。記憶體控制器5包含例如處理器(CPU)、內置記憶體(例如DRAM(Dynamic Random Access Memory:動態隨機存取記憶體))、緩衝記憶體(例如SRAM(Static Random Access Memory:靜態隨機存取記憶體))及ECC(Error Correcting Code:改錯碼)電路等。記憶體控制器5保持用以控制記憶體裝置1之程式(軟體/韌體)，及儲存裝置/記憶體裝置之管理

資訊(管理台)。

記憶體裝置1基於來自記憶體控制器5之命令(主機裝置600之要求)，執行資料之寫入、資料之讀出及資料之抹除。

記憶體裝置1包含1個以上之NAND型快閃記憶體1。

包含記憶體裝置1之儲存裝置500(或記憶體系統9)係例如記憶卡(例如SD™卡、eMMC™)、USB(Universal Serial Bus:通用序列匯流排)記憶體、或Solid State Drive(SSD:固體狀態驅動機)等。例如，主機機器300係數位相機、個人電腦、功能型電話、或智慧型手機等。例如，主機匯流排係基於SD™介面之匯流排。

NAND型快閃記憶體1經由匯流排(以下，稱為NAND匯流排)而連接於記憶體控制器5。

於NAND型快閃記憶體1與記憶體控制器5之間，經由NAND匯流排而收發各種信號。例如，使用晶片賦能信號CEn、指令閃鎖賦能信號CLE、位址閃鎖賦能信號ALE、寫入賦能信號WEn、讀取賦能信號REn及寫入保護信號WPn等，作為基於快閃記憶體1與記憶體控制器5之間之NAND介面規格之控制信號。

信號CEn係用以將快閃記憶體1賦能之信號。信號CLE及信號ALE之各者係通知I/O線IO(IO1～IO8)上之信號為指令及位址信號之信號。

信號WEn及信號REn之各者係例如指示信號經由8條I/O線IO輸入及輸出之信號。信號WPn係於例如電源之接通及斷開時，用以將快閃記憶體1設定為保護狀態之信號。

例如，於快閃記憶體1以DDR(Double Data Rate:雙倍資料速率)方式執行資料傳送之情形時，資料選通信號(未圖示)及資料選通信號之互補信

號係自發送側與信號(資料)IO一起輸出。資料接收側接收發送出之資料選通信號及其互補信號而調整取得資料之時序。

就緒/忙碌信號 RB_n 係基於快閃記憶體1之動作狀態而產生，且被發送至記憶體控制器5。信號 RB_n 係將快閃記憶體1為就緒狀態(受理來自記憶體控制器5之命令之狀態)、或忙碌狀態(不受理來自記憶體控制器5之命令之狀態)通知至記憶體控制器5之信號。例如，信號 RB_n 係於快閃記憶體1處於資料之讀出等之動作中，被設為“L”位準(忙碌狀態)，若該等之動作完成，則被設為“H”位準(就緒狀態)。

另，包含實施形態之記憶體裝置之記憶體系統可為以DDR方式執行資料傳送之記憶體系統，亦可為執行其他方式之資料傳送之記憶體系統。

圖2係用以說明本實施形態之NAND型快閃記憶體之電路構成之方塊圖。

如圖2所示，NAND型快閃記憶體1包含複數個記憶核心電路10-1～10-N、及介面(I/F)電路40。

於實施形態中，於不區別記憶核心電路10-1～10-N之情形時，省略連字符以下之符號而記作“記憶核心電路10”。其他之構成要素亦相同。

I/F電路40係設置於複數個記憶核心電路10與NAND匯流排之間。I/F電路40係連接於NAND匯流排。記憶核心電路10係經由I/F電路40而連接於NAND匯流排。藉此，記憶核心電路10係經由I/F電路40而由記憶體控制器5予以存取且控制。

記憶核心電路10至少包含記憶體胞陣列110、列解碼器120、驅動電路130、感測放大器140、位址暫存器150、指令暫存器160、及定序器170。

記憶體胞陣列110記憶來自記憶體控制器5之資料。記憶體胞陣列110包含複數個(例如4個)區塊BLK(BLK0~BLK3)。

各區塊BLK包含複數個NAND串111。NAND串111包含串聯連接之複數個記憶體胞MC、至少2個選擇電晶體ST1、ST2。

記憶體胞MC包含電荷累積層與控制閘極電極。電荷累積層包含浮閘電極、及具有陷阱位準之膜(例如氮化矽膜)中之至少一者。

區塊BLK內之複數條字線WL中之一者係連接於串聯連接之複數個記憶體胞MC中之對應之記憶體胞MC之閘極。

區塊BLK內之複數條位元線BL中之1者係連接於複數個NAND串111中之對應之至少1個NAND串111。於NAND串111中，1條位元線BL係經由選擇電晶體ST1而連接於串聯連接之複數個記憶體胞MC之一端。

源極線SL係共通地連接於複數條NAND串111。於NAND串中，源極線SL係經由選擇電晶體ST2而連接於串聯連接之複數個記憶體胞MC之另一端。

選擇閘極線SGD係連接於選擇電晶體ST1之閘極。選擇閘極線SGS係連接於選擇電晶體ST2之閘極。

藉由控制字線WL、位元線BL及選擇閘極線SGD、SGS之電位，而對記憶體胞MC執行基於指令之動作。

列解碼器120基於來自記憶體控制器5之位址ADD，而選擇BLK0~BLK3之任一者，而選擇選定的區塊BLK之列(字線WL及選擇閘極線SGD、SGS)。

驅動電路130係經由列解碼器120而對選定之區塊BLK供給電壓。

感測放大器140係於資料之讀出時，為了判定自記憶體胞陣列110讀

出之資料，而檢測位元線BL之電位或電流，且進行使用檢測結果之運算。感測放大器140將基於檢測結果及運算結果之資料DAT輸出至記憶體控制器5。感測放大器140係於資料之寫入時，將自記憶體控制器5接收到之寫入資料DAT傳送至記憶體胞陣列110。感測放大器140可控制位元線BL之電位。

位址暫存器150保持自記憶體控制器5接收到之位址ADD。指令暫存器160保持自記憶體控制器5接收到之指令CMD。

定序器170基於保持於指令暫存器160之指令CMD，控制記憶核心電路10整體之動作。

另，記憶體胞陣列110之內部構成可為將記憶體胞MC於半導體基板上方二維地排列之構成。記憶體胞陣列110之內部構成亦可為將記憶體胞MC於半導體基板上方三維地積層之構成。關於記憶體胞陣列之構成，例如記述於題為「三維積層非揮發性半導體記憶體」之2009年3月19日申請之美國專利申請案第12/407,403號。又，記述於題為「三維積層非揮發性半導體記憶體」之2009年3月18日申請之美國專利申請案第12/406,524號；題為「非揮發性半導體記憶裝置及其製造方法」之2010年3月25日申請之美國專利申請案第12/679,991號；題為「半導體記憶體及其之製造方法」之2009年3月23日申請之美國專利申請案第12/532,030號。該等專利申請案之全文以引用的方式併入本文中。

於本實施形態之NAND型記憶體裝置1中，相對於複數個記憶核心電路10而設有1個I/F電路40。

I/F電路40包含輸入輸出電路400、控制電路410、內部電壓產生電路420、及升壓電路490等。

輸入輸出電路400係進行自記憶體控制器5向記憶體裝置1之信號IO等之輸入、及自記憶體裝置1進行向記憶體控制器5之信號IO等之輸出。

輸入輸出電路(I/O電路)400包含緩衝器電路、驅動電路、及接收器電路等。

控制電路410控制I/F晶片800內之各電路400、420、490之動作。

內部電壓產生電路420使用自外部供給之電壓VCC1、VSS1，而產生供I/F晶片800內之各電路400、410之動作使用之電壓。

升壓電路490使用電壓VCC2、VSS2，而產生供快閃記憶體1之各種動作使用之電壓。升壓電路490將產生之電壓供給至記憶核心電路10。

升壓電路490包含1個以上之電荷泵電路491。電荷泵電路491可將電壓VCC2升壓。例如，相對於1個記憶核心電路10而設有1個電荷泵電路491。惟亦可相對於複數個記憶核心電路10而共通地設置1個電荷泵電路491。亦可於記憶核心電路10內設置電荷泵電路491之構成要素之一部分。

升壓電路490之動作可由定序器170控制，亦可由控制電路410控制。

於本實施形態中，將用以產生快閃記憶體中之如程式電壓般之高電壓之升壓電路490，設置於記憶核心電路10之外部之I/F電路40內。

另，NAND型快閃記憶體1亦可具有複數個通道。於NAND型快閃記憶體1具有2個通道Ch0、Ch1之情形時，對於通道Ch0，分配某個數之記憶核心電路，對於通道Ch1，分配其餘個數之記憶核心電路。於該情形時，I/F電路40包含2個輸入輸出電路400。一者之輸入輸出電路與通道Ch0對應，另一者之輸入輸出電路與通道Ch1對應。亦可以與複數個通道對應之方式設置複數個I/F電路。

(2)構造例

參照圖3針對本實施形態之快閃記憶體之構造例進行說明。

圖3係用以說明實施形態之快閃記憶體之安裝狀態之構造例之剖視圖。另，於圖3中，為了圖示之明確化，撷取出主要之構成要素予以圖示。本實施形態之快閃記憶體包含圖3中未圖示之各種連接端子(例如凸塊及焊墊)及各種配線(例如內部配線及再配線)。

例如，本實施形態之快閃記憶體1具有稱為Ball Grid Array(BGA:球狀矩陣)之封裝構造。

於圖3所示，本實施形態之快閃記憶體1係於封裝體內包含複數個晶片700、800。於包含複數個晶片700、800之快閃記憶體1中，I/F電路40設置於與包含記憶核心電路10之晶片700不同之晶片800內。以下，將記憶核心電路10之晶片700稱為記憶核心晶片(或核心晶片)700，將I/F電路40之晶片800稱為介面晶片(I/F晶片)800。

複數個記憶核心晶片700及I/F晶片800積層於基板900上。

I/F晶片800搭載於基板900上。

於基板900之上表面上，設置有複數個大凸塊LBP(LBP-1、LBP-2)。

於I/F晶片800之上表面上，設置有複數個微凸塊MBP(MBP1、MBP-2、MBP3)。

為了積層複數個記憶核心晶片700，以微凸塊MBP之自基板900之上表面起之高度、與大凸塊LBP之自基板900之上表面起之高度相同之方式考慮I/F晶片800之厚度，而形成大凸塊LBP及微凸塊MBP。

於基板900之底面(下表面)上，設置有複數個凸塊BP。凸塊BP與大

凸塊LBP經由設置於基板900內之配線(未圖示)而電性連接。另，基板900之底面係基板900之設置有I/F晶片800之面之相反側之面。

凸塊BP係使用於基板900上之晶片700、800內之電路與其他之裝置之信號之輸入輸出、或對快閃記憶體1之電源電壓供給。

複數個記憶核心晶片700積層於大凸塊LBP上及微凸塊MBP上。複數個記憶核心晶片700係配置於I/F晶片800之上方。I/F晶片800係設置於基板900與最下層記憶核心晶片700之間。

各記憶核心晶片700包含複數個電極TSV及複數個焊墊(未圖示)等。

電極TSV係Through Silicon Via(矽穿孔)。電極TSV貫穿記憶核心晶片700內。電極TSV之上部自記憶核心晶片700之上表面露出，電極TSV之下部自記憶核心晶片700之下表面露出。於各記憶核心晶片700中，電極TSV將某個記憶核心晶片700電性連接於上層及/或下層之另一記憶核心晶片700。

凸塊BP-A係設置於記憶核心晶片700間。凸塊BP-A係電性連接於電極TSV(或焊墊)。

記憶核心晶片700係以經由電極TSV及凸塊BP-A而電性連接晶片間之方式而積層。

於圖3中，僅顯示凸塊BP、BP-A、大凸塊LBP及微凸塊MBP。然而，於基板900中，設置有未圖示之用於其他輸入輸出信號等之凸塊、大凸塊及微凸塊。

於複數個記憶核心晶片700中之例如最下層之記憶核心晶片700之下表面(基板900側之面)，設置有再配線層RDL(RDL-1、RDL-2、RDL-3)。再配線層RDL-1係經由焊墊(未圖示)而將基板900上之大凸塊LBP-1電性

連接於電極TSV。藉此，將記憶核心晶片700經由再配線層RDL-1及大凸塊LBP-1而電性連接於基板900。

再配線層RDL-2將基板900上之大凸塊LBP-2電性連接於微凸塊MBP。藉此，I/F晶片800將再配線層RDL-2及大凸塊LBP-2電性連接於基板900。再配線層RDL-3將微凸塊MBP電性連接於電極TSV。I/F晶片800經由微凸塊MBP、再配線層RDL、及電極TSV而電性連接於各記憶核心晶片700。

例如，於本實施形態之快閃記憶體中，於各記憶核心晶片700內，包含設置有複數個電極之區域75。區域75內之電極係用以對於記憶核心晶片700內之記憶核心電路10供給電壓(驅動電壓)之端子。以下，將區域75內之電極(電壓端子)稱為電壓電極。

<記憶核心晶片之電極之構成例>

參照圖4及圖5，針對本實施形態之快閃記憶體之晶片之電壓電極之構成例進行說明。

圖4係用以對記憶核心晶片中之電壓電極之構成例進行說明之示意性剖視圖。於圖4中，為了明確化，擷取出記憶核心晶片內之電壓電極予以圖示，省略其他之端子之圖示。

如圖4所示般，於I/F晶片800上方積層8個記憶核心晶片700(700-1～700-8)。

記憶核心晶片700中，電壓電極751、755具有實質相同之構成。

於記憶核心晶片700之區域75內，設置有複數個電壓電極751(751-1～751-8)、及755。於記憶核心晶片700內，包含電壓電極751、755之區域75係配置於設置記憶核心電路10之區域之一端側。

積層之記憶核心晶片700之各者係經由1個以上之電壓電極751、755而電性連接於I/F晶片800之電荷泵電路491(491-1～491-8)。藉此，於各記憶核心晶片700中，由電荷泵電路491產生之電壓係被供給至記憶核心晶片700之記憶核心電路(內部電路)10。

記憶核心晶片700內之複數個電壓電極751、755中之電壓電極751係於相對於晶片700之上表面(或下表面)平行之方向上，與記憶核心電路10相鄰。於記憶核心晶片700內，電壓電極751電性連接於記憶核心電路10。

電壓電極751之一端連接於記憶核心電路10之電壓供給端子(被供給電荷泵電路之輸出之端子)。電壓電極751之另一端係於記憶核心晶片700之下表面側露出。

複數個電極751、755中之複數個電壓電極755係配置於電壓電極751與記憶核心晶片700之端部(側面)之間之區域內。於1個記憶核心晶片700內，於電壓電極755與記憶核心電路10之間，設置有電壓電極751。因此，於相對於晶片700之上表面平行之方向上，電壓電極755不與記憶核心電路10相鄰。於1個記憶核心晶片700中，電壓電極755不連接於與電壓電極755相同之晶片內之記憶核心電路10。於1個晶片700內部，電壓電極755係自電壓電極751電性分離。

電壓電極755係用以將某個記憶核心晶片700之上層之晶片內之記憶核心電路10連接於I/F晶片800之電荷泵電路491之電極。

電壓電極755具有上部端子X1、下部端子X2、及內部連接部X3。

上部端子X1設置於記憶核心晶片700之上表面側。於記憶核心晶片700之上表面側，於上部端子X1上設置有凸塊。上部端子X1將某個記憶

核心晶片700電性連接於較該晶片更上層之另一晶片700。上部端子X1亦可包含Through Silicon Via(矽穿孔)之一部分及至少一個焊墊。

下部端子X2設置於晶片700之下表面側。於記憶核心晶片700之下表面側，於下部端子X2上設置有凸塊BP。下部端子X2將某個記憶核心晶片700電性連接於較該晶片更下層之另一晶片700。下部端子X2亦可包含Through Silicon Via(矽穿孔)之一部分及至少一個焊墊。

內部連接部X3係設置於記憶核心晶片700內。內部連接部X3係於記憶核心晶片700內，連接上部端子X1與下部端子X2。內部連接部X3包含晶片內部之接點插塞、通孔及配線等。

關於1個電壓電極755，於相對於記憶核心晶片700之表面垂直之方向(晶片之積層方向)上，上部端子X1之位置不與下部端子X2之位置重疊。由內部連接部X3連接之2個端子X1、X2係相對於晶片之表面之垂直方向而於傾斜方向排列。內部連接部X3係自上部端子X1向下部端子X2，相對於晶片之表面且相對於垂直方向被傾斜地引出。另，內部連接部X3亦可包含相對於晶片之表面而於垂直方向延伸之1個以上之部分(例如通孔插塞及接點插塞之至少一者)及相對於晶片之表面而於平行方向延伸之1以上之部分(例如金屬膜)。亦可於層間絕緣膜內設置包含於內部連接部X3內之部分。

例如，關於相鄰之2個電壓電極755，於相對於記憶核心晶片700之表面垂直之方向上，一者之電壓電極755之上部端子X1之位置與另一者之電壓電極755之下部端子X2之位置重疊。

電壓電極751之下表面側之端部係連接於電荷泵電路491、或電壓電極775之上部端子X1。電壓電極751之晶片之下表面側之端部係與對應之

電壓電極775之上部端子X1重疊。

最下層之記憶核心晶片700-1係藉由電壓電極751-1、凸塊BP-B、MBP、及中間配線ML，而連接於I/F電路40內之對應之電荷泵電路491-1。

於較最下層之記憶核心晶片700-1更上層之記憶核心晶片700-2～700-8中，記憶核心電路10(10-2～10-8)除了連接於電路10之電壓電極751以外，且經由下層之1以上之晶片700內之電壓電極755及凸塊BP-B而連接於對應之電荷泵電路491(491-2～491-8)。

記憶核心電路10與電荷泵電路491之連接路徑係相對於晶片之表面之垂直方向而於傾斜方向延伸。

例如，於區域75內，設置有接地電極(接地端子)759。於各晶片，接地電極759係接地。藉此，對接地電極759施加接地電壓VSS。接地電極759具有例如與電壓電極755類似之構造。

另，設置於1個晶片內之電壓電極755之個數係根據積層之晶片數而改變。於圖4中顯示於記憶核心電路10之一端側設置區域75之例。其中，包含電壓電極751、755、759之區域75可設置於記憶核心電路10之兩端，亦可以包圍記憶核心電路10之四方(或三方)之方式設置。

圖5係示意性顯示本實施形態之快閃記憶體中之記憶核心電路與電荷泵電路之連接路徑(電壓路徑)之圖。

於圖5中，與圖4顯示之例相同地顯示積層有8個記憶核心晶片之例。

於最下層之記憶核心晶片700-1中，記憶核心電路10-1係不經由電壓電極755，而藉由電壓電極755-1(及凸塊等)而連接於電荷泵電路491-1。

例如，於自I/F晶片800側數起第5個記憶核心晶片700-5中，記憶核

心電路10-5係連接於晶片700-5內之電壓電極751-5。電壓電極751-5經由自第1至第4個記憶核心晶片700-1～700-4內之電壓電極755，而連接於與記憶核心電路10-1對應之電荷泵電路491-5。

如此，於記憶核心晶片700-5中，於記憶核心電路10-5與電荷泵電路491-5之間之連接路徑(圖5中之虛線)上，設置有電壓電極751-5、及755等5個。

自I/F晶片800側數起第8個記憶核心晶片(最上層之記憶核心晶片)10-8中，記憶核心電路10-8係經由晶片700-8內之電壓電極751-8、及自第1至第7個記憶核心晶片700-1～700-7內之電壓電極755，而連接於與記憶核心電路10-8對應之電荷泵電路491-8。

如此，於記憶核心晶片700-8中，於記憶核心電路10-8與電荷泵電路491-8之間之連接路徑(圖5之虛線)上，設置有電壓電極751、及755等8個。

關於最下層之晶片700-1以外之記憶核心晶片700-2～700-8，僅有記憶核心電路10與電荷泵電路491之間之連接路徑上存在之電極之個數彼此不同，實質上以相同之佈局連接相互對應之記憶核心電路10與電荷泵電路491。

另，各晶片700之電壓電極755中、未連接於電荷泵電路491之電壓電極755係經由下層之晶片700之接地電極759而接地。

藉由於記憶核心晶片設置具有如上述之構造之電壓電極751、755，本實施形態之快閃記憶體可無需使記憶核心晶片內之電壓供給用之電極(端子)及配線之佈局於晶片之積層體內所含之每個記憶核心晶片各不相同。

因此，本實施形態之快閃記憶體可將複數個記憶核心晶片之電壓供給用之電極(端子)及配線之佈局設為於快閃記憶體內之全部之記憶核心晶片中皆相同。

其結果，本實施形態之快閃記憶體1可降低快閃記憶體(記憶核心晶片)之製造成本。

<介面晶片之佈局>

參照圖6，對本實施形態之快閃記憶體之I/F晶片內之各電路之佈局進行說明。

如上述般，用以連接記憶核心電路10與電荷泵電路491之連接路徑係相對於晶片之積層方向而於傾斜方向延伸。伴隨於此，於I/F晶片800內，升壓電路490係設置於存在於自記憶核心電路10朝電荷泵電路491延伸之路徑之延長線上之區域內。

圖6係顯示本實施形態之快閃記憶體之I/F晶片內之電路之佈局之一例之俯視圖。

如圖6所示，於I/F晶片800內，設置有：設置有輸入輸出電路等之區域R1(以下稱為介面區域)，及設置有升壓電路490之區域R2(以下稱為升壓區域)。

於I/F區域R1內，設置有輸入輸出電路400-1、400-2、控制電路410、及內部電壓產生電路420。

於I/F區域R1內之接觸區域(凸塊區域及焊墊區域)80A、80B、89A、89B，設置有凸塊、焊墊及電極等之連接端子。

輸入輸出電路400-1、400-2係分割而設置於2個區域內。於2個輸入輸出電路400-1、400-2間，設置有區域80A。於區域80A內，設置有輸入

輸出電路400-1、400-2用之凸塊及焊墊。另，於快閃記憶體具有2個通道之情形時，亦可以輸入輸出電路400-1與一者之通道Ch0對應，輸入輸出電路400-2與另一者之通道Ch1對應之方式配置。

於控制電路410與內部電壓產生電路420之間，設置有區域80B。於區域80B內設置有控制電路410用及內部電壓產生電路420用之凸塊及焊墊。

區域80A、80B內之凸塊及焊墊係經由晶片內之配線而電性連接於輸入輸出電路400、控制電路410、及內部電壓產生電路420。

於配置有電路之區域與晶片800之端部之間，設置有區域89A、89B。於區域89A、89B內，設置有電源端子(例如焊墊或凸塊)891A、891B、892A、892B。焊墊891A、891B係連接於被供給電源電壓VCC1之配線(驅動電壓側電源線)901及端子991。焊墊892A、892B係連接於被供給接地電壓VSS1之配線(接地側電源線)902及端子992。

於升壓區域R2內，設置有複數個電荷泵電路491。於I/F晶片800內之升壓區域R2內，集體設置有8個電荷泵電路491-1～491-8。

電荷泵電路491係以與記憶核心晶片之積層順序對應之方式，布局於升壓區域R2內之某個位置。

於升壓區域R2中，設置有配置凸塊及焊墊等之接觸區域81。於該區域81內，設置有用於升壓電路490及電荷泵電路491之凸塊及焊墊。凸塊及焊墊係經由晶片內之配線而電性連接於升壓電路490及電荷泵電路491。

於區域R2內，設置有例如用於對升壓電路供給各種電壓之焊墊895A、895B、896A、896B。焊墊895A、895B係連接於被供給電源電壓

VCC2之配線(驅動電壓側電源線)905及端子991。

焊墊896A、896B係連接於被供給接地電壓VSS2之配線(接地側電源線)906及端子996。

對於I/F區域R1之電源電壓用之配線(驅動電壓用或接地用電源系統)901、902及端子991、992，係與對於升壓區域R2之電源電壓用之配線905、906及端子995、996不同。對於I/F區域R1內之電路400、410、420之電源係與升壓區域R2之電路490、491之電源電性分離。藉此，可抑制由升壓電路490及電荷泵電路491之動作引起之雜訊施加於I/F區域R1內之電路400、410、420。

分離區域R3係設置於升壓區域R1與I/F區域R2之間。例如，於分離區域R3內設置有絕緣膜。I/F區域R1係藉由分離區域R3而與升壓區域R2電性分離。藉此，可抑制由升壓區域R2引起之雜訊傳輸至I/F區域R1。

其結果，本實施形態之閃存記憶體可於雜訊對於輸入輸出電路之影響較低之動作環境下，實現高速之資料傳送。

為了連接升壓電路490與記憶核心電路10，以相對於晶片之表面而於垂直方向與升壓區域R2重疊之方式，於I/F晶片800之上表面(再配線層)內設置有焊墊PD。

焊墊PD係於升壓區域R2中，配置於與上層側之記憶核心晶片(例如自第5至第8個記憶核心晶片)對應之電荷泵電路491之上方(或下方)之區域。焊墊PD之配置區域係與對應於下層側之記憶核心晶片之電荷泵電路491具有某種距離。

於此種焊墊PD與電荷泵電路之位置關係中，對應於上層側之記憶核心晶片之電荷泵電路491與焊墊之間之距離，短於與下層側之記憶核心晶

片對應之電荷泵電路491與焊墊之間之距離。於該情形時，可將用以連接與上層側之記憶核心晶片對應之電荷泵電路491與焊墊之配線(內部配線及再配線層之至少1者)之長度設為短於用以連接與下層側之記憶核心晶片對應之電荷泵電路491與焊墊之配線之長度。

如此，於本實施形態之快閃記憶體1中，對於由連接記憶核心電路10與電荷泵電路491之電壓電極(電壓端子)755之個數引起之配線電阻，即使由上層側之記憶核心晶片700-5～700-8之複數個電壓電極引起之配線電阻大於由下層側之記憶核心晶片700-1～700-4之複數個電壓電極引起之配線電阻，亦可藉由調整I/F晶片800內之電荷泵電路491與焊墊PD之配線長度，而縮小上層側之記憶核心晶片700-5～700-8與電荷泵電路491、及下層側之記憶核心晶片700-1～700-4與電荷泵電路491之間之配線電阻之差。

藉此，本實施形態之快閃記憶體可於複數個記憶核心晶片中，將記憶核心電路10與電荷泵電路491之間之配線電阻平均化。

其結果，本實施形態之快閃記憶體可抑制自電荷泵電路供給至記憶核心晶片之電壓之輸出電阻於每個晶片中產生偏差。

為了簡化晶片上之再配線及I/F晶片內之配線之引繞(佈局)，較佳為焊墊PD之排列具有對應於記憶核心之積層順序(晶片編號)之連續之順序。

另，亦可將I/F區域R1與升壓區域R2設置於互不相同之半導體晶片(半導體基板)上。於該情形時，將包含I/F區域R1內之電路之半導體晶片與包含升壓區域R2內之電路之半導體晶片安裝於1個基板上，作為包含2個晶片之1個封裝體而提供I/F晶片。

(c)總結

本實施形態之快閃記憶體包含積層之複數個記憶核心晶片、及包含升壓電路之介面晶片。複數個記憶核心晶片係經由記憶核心晶片內之電壓端子(電壓電極)而連接於升壓電路內之對應之電荷泵電路。

於本實施形態之快閃記憶體中，記憶核心晶片700包含連接於晶片內之內部電路(記憶核心電路)10之電壓端子751、與未連接於內部電路10之電壓端子755。

電壓端子755係將上層側之記憶核心晶片之電壓端子751、755連接於下層側之記憶核心晶片之電壓端子755。

於相對於晶片之積層方向傾斜之方向上，電壓端子755之上部端子X1與電壓端子755之下部端子X2並排。

藉此，本實施形態之快閃記憶體1可無需根據晶片之積層順序將記憶核心晶片700內之電壓端子751、755及連接於電壓端子751、755之配線之構造設為不同。

本實施形態之快閃記憶體1可將積層之複數個記憶核心晶片設為相同構造。

因此，本實施形態之快閃記憶體1可降低記憶核心晶片之晶片成本。

於本實施形態中，於介面晶片800內，設置升壓電路490之區域(升壓區域)R2係與設置介面晶片800之輸入輸出電路400之區域(介面區域)R1電性分離。於該區域R2內，設置有與各記憶核心晶片700對應之複數個電荷泵電路491之全部。

於本實施形態中，相對於輸入輸出電路400之電源系統901、902、991、992係與相對於升壓電路490之電源系統905、906、995、996電性分離。

藉此，本實施形態之快閃記憶體1可防止由升壓電路490引起之雜訊施加於輸入輸出電路400。

其結果，本實施形態之快閃記憶體可實現高速之資料傳送。

如以上般，本實施形態之記憶體裝置可降低製造成本。

又，本實施形態之記憶體裝置可提高動作特性。

(2)第2實施形態

參照圖7及圖8，對第2實施形態之記憶體裝置進行說明。

圖7係示意性顯示本實施形態之快閃記憶體之記憶核心電路與電荷泵電路之連接路徑(電壓路徑)之圖。

NAND型快閃記憶體中所含之記憶核心晶片之個數並未限定。

如圖7所示般，本實施形態之NAND型快閃記憶體1包含例如16個記憶核心晶片700-1～700-16。於I/F晶片800上方積層有16個記憶核心晶片700。

於本實施形態之快閃記憶體中，記憶核心晶片700之內部構造與圖2至圖4所示之構造實質上相同。

於各記憶核心晶片700中，與第1實施形態同樣地，區域75內之複數個電壓端子751、755中之與記憶核心電路10(10-1～10-16)相鄰之電壓電極751係連接於記憶核心電路10。電壓電極755係為了連接上層之晶片700與下層之晶片700而使用。如本實施形態般，伴隨積層之記憶核心晶片之數量增加，電壓電極755之個數根據積層之記憶核心晶片之個數而增加。

相對於16個記憶核心晶片700，於NAND型快閃記憶體1內設置1個I/F晶片800。I/F晶片800係以與積層之記憶核心晶片之個數對應之方式，包含16個電荷泵電路491-1～491-16。

例如，於第16個之記憶核心晶片中，記憶核心電路10-16使用16個電壓電極751-16、755而連接於電荷泵電路491-16。記憶核心電路10-16與電荷泵電路491-16之連接路徑(圖7中之粗線)具有相對於晶片之積層方向而朝傾斜方向延伸之傾向。

如此，本實施形態之快閃記憶體即使於積層之記憶核心晶片之數量增加之情形時，無需大幅地變更晶片700內部之配線及端子之佈局，即可連接記憶核心電路10與電荷泵電路491。

圖8係顯示本實施形態之快閃記憶體之I/F晶片內之電路之佈局之一例之俯視圖。

如圖8所示般，於I/F晶片800內之升壓區域R2內，集體設置有16個電荷泵電路491-1～491-16。

積層之複數個記憶核心晶片中之上層側(I/F晶片側之相反側)之記憶核心晶片700-9～700-16係設置於升壓區域R2之中央側。積層之複數個記憶核心晶片中之下層側(I/F晶片側)之記憶核心晶片700-1～700-8係分開設置於2個區域R1、R2之排列方向之升壓區域R2之一端側及另一端側。

電壓電極755及凸塊BP-B係配置於與上層側之記憶核心晶片(例如第12個至第16個記憶核心晶片)對應之電荷泵電路491之上方(或下方)之區域。焊墊PD(凸塊BP-B)之配置區域距離與下層側之記憶核心晶片700-1～700-8對應之電荷泵電路491有某種距離。

與上層側之記憶核心晶片700-9～700-16對應之電荷泵電路491-9～491-16與焊墊PD之間之距離，短於與下層側之記憶核心晶片700-1～700-8對應之電荷泵電路491-1～491-8與凸塊BP-B之間之距離。其結果，本實施形態之快閃記憶體可將用以連接各記憶核心電路10與電荷泵電路491之

配線長(電壓路徑之長度)平均化。

藉此，於本實施形態之快閃記憶體內之複數個記憶核心晶片700中，可將記憶核心電路10與電荷泵電路491之配線電阻設為大致相同。

因此，本實施形態之快閃記憶體可每個晶片地抑制自電荷泵電路供給至記憶核心晶片之電壓之輸出電阻偏差。

伴隨記憶核心晶片之積層數增加，上層側之記憶核心晶片內之電路與電荷泵電路之間之配線電阻、及下層側之記憶核心晶片內之電路與電荷泵電路之間之配線電阻之差有變大之傾向。

藉由如本實施形態之、對於介面晶片800內之記憶核心晶片之電壓供給用之端子755、PD、BP-B及電荷泵電路491之佈局之手法，而使得配線電阻之平均化之效果變得更為顯著。

與第1實施形態相同地，升壓區域R2係由分離區域R3而與I/F區域R1電性分離。又，針對電荷泵電路491之電源系統(配線及焊墊)係與針對I/F區域R1內之各電路400、410、420之電源系統電性分離。藉此，可降低對於輸入輸出電路400之電荷泵電路491之動作時之雜訊。

如以上般，即使積層之記憶核心晶片之數量增加，第2實施形態之記憶體裝置及記憶體系統仍可獲得與第1實施形態相同之效果。

(3)第3實施形態

參照圖9至圖11，對第3實施形態之記憶體裝置進行說明。

(a)構成例

圖9係示意性顯示本實施形態之快閃記憶體之構成例之圖。

如上述之實施形態般，NAND型之快閃記憶體1包含複數個記憶核心晶片700-1、700-2、...700-N。

各記憶核心電路10之動作所需之電壓V1、V2、...、VN係經由電極TSV(755)而自I/F晶片800內之升壓電路(電荷泵電路)490供給至各記憶核心晶片700。

於本實施形態之快閃記憶體1中，各記憶核心電路(記憶核心晶片)10-1、10-2、...、10-N係於電壓V1、V2、...、VN之供給時，將表示電壓之供給狀態之信號SLD發送至介面電路40。藉由信號SLD，可將記憶核心電路10內之負載發生(或自電荷泵電路491向記憶核心電路10之負載施加)等效地通知至介面電路40。

例如，記憶核心電路10具有用以產生及發送信號SLD之電路190。以下，將信號SLD亦稱為負載發生信號SLD。又，以下，將電路190亦稱為負載發生檢測電路190。

介面電路40係基於信號SLD而計數負載發生之狀態(被供給電壓V1、V2、VN之狀態)即記憶核心電路10之數量。介面電路40基於計數結果而控制應供給來自電荷泵電路491之電壓之記憶核心電路10之數量。

例如，於介面電路40中，控制電路410具有計數器450。計數器450檢測來自各記憶核心電路10之電路190之信號SLD之信號位準，計數正受到電壓供給之記憶核心電路10之數量。計數器450輸出計數信號SCT。計數器450基於計數結果而改變信號SCT之信號位準。

另，被供給電壓之記憶核心電路(記憶核心晶片)10之數量、動作中之電荷泵電路之數量亦可基於自記憶體控制器5供給之指令之數量、電壓供給用之電極TSV之電位之監控、記憶核心電路10之字線WL之電壓之監控、源極線SL之電流之監控、指令暫存器之狀態、及就緒/忙碌信號RBn之信號位準之狀態等中之1者以上而檢測。

本實施形態之快閃記憶體根據複數個記憶核心晶片700之動作狀況而控制應供給電壓之記憶核心晶片之個數。

例如，於本實施形態中，於被供給電壓V1、V2、VN之記憶核心電路10之數量達到基於快閃記憶體1之負載之容許值而設定之值之情形時，控制電路410係以使隨後應被供給電壓之另一記憶核心電路10之電壓供給延遲之方式控制電荷泵電路491之動作，直到被供給電壓V1、V2、VN之記憶核心電路10之數量變成小於設定值為止。

藉此，本實施形態之快閃記憶體可控制記憶體內發生之負載之大小。

(b)動作例

使用圖10對本實施形態之快閃記憶體之動作更具體地進行說明。

圖10係用以說明本實施形態之快閃記憶體之動作例之時序圖。圖10係顯示I/F電路(I/F晶片)及3個記憶核心電路(記憶核心晶片)之各種信號、及配線(例如字線)之電壓/電流。

於圖10中，顯示I/F電路I/F(40)之計數信號SCT。計數信號SCT表示被供給電壓之記憶核心電路之個數。

於圖10中顯示，於第1至第3記憶核心電路CORE#1、CORE#2、CORE#3(10)之各者中，就緒/忙碌信號RBn、選定之字線WLk(WLk#1、WLk#2、WLk#3)之電位、記憶核心電路內發生之源極線SL(SL#1、SL#2、SL#3)之電流(消耗電流)Icp(Icp#1、Icp#2、Icp#3)及負載發生信號SLD(SLD#1、SLD#2、SLD#3)相對於時間之變化。

於本實施形態中，將容許同時地發生負載之記憶核心電路(晶片)之個數設定為“2”。因此，於將計數信號SCT之值設定為與“2”對應之值之

情形時，停止自電荷泵電路向記憶核心電路之電壓供給。

如圖10所示，於供給指令之前之時刻t0，藉由I/F電路I/F之計數器450，而將計數信號SCT設定為表示負載發生中之記憶核心電路CORE#1～CORE#3之數為“0”之信號位準。

例如，對於快閃記憶體1連續供給針對3個記憶核心電路CORE#1～CORE#3之各者之指令及位址(及資料)。

基於指令及位址而選擇記憶核心電路CORE#1。

經由I/F電路I/F，記憶核心電路CORE#1接收指令、位址及資料。記憶核心電路CORE#1於時刻t1，將就緒/忙碌信號RBn#1設定為“H”位準。記憶核心電路CORE#1為了執行指令所示之動作，開始各電路之控制。例如，於介面電路I/F中，與記憶核心電路CORE#1對應之電荷泵電路491產生基於指令(例如寫入指令)之動作所需之電壓。

藉由指令及位址而選擇第2記憶核心電路CORE#2。於時刻t2，記憶核心電路CORE#2將就緒/忙碌信號RBn之信號位準設定為“H”位準。

與第1記憶核心電路CORE#1之動作並行，第2記憶核心電路CORE#2基於自I/F電路I/F供給之指令而開始各電路之控制。

於時刻t3，與第1及第2記憶核心電路CORE#1、CORE#2同樣地，被供給指令之記憶核心電路CORE#3將就緒/忙碌信號RBn之信號位準設定為“H”位準。記憶核心電路CORE#3開始各電路之控制。

於時刻t4，記憶核心電路CORE#1將來自電荷泵電路491之電壓(此處為程式電壓)VPGM#1施加至與動作對象之位址對應之字線WLk#1。藉由施加程式電壓VPGM#1，而執行對於記憶體胞之程式動作。藉此，根據施加之程式電壓VPGM#1之大小，連接於字線WLk#1之記憶體胞MC之閾值

電壓向與應寫入之資料對應之值移位。

伴隨對於字線WL#1之電壓之施加，於記憶核心電路CORE#1之源極線SL#1內發生消耗電流I1，電流Icp#1之電流值上升。

於記憶核心電路CORE#1中，電路190檢測電壓之施加(負載之發生)，將信號SLD#1之信號位準自“L(Low:低)”變為“H(High:高)”。於本實施形態中，晶片內之負載之發生之檢測係與對於字線WL之電壓施加、某電流值以上之消耗電流發生、及自電荷泵電路491之電壓供給中之至少一者建立關聯。

“H”位準之信號SLD#1係經由電極TSV而被供給至I/F電路I/F。於I/F電路I/F中，計數器450藉由“H”位準之信號SLD#1之供給，將計數信號SCT自與“0”對應之信號位準變為與“1”對應之信號位準。另，於時刻t4，第2及第3記憶核心電路CORE#2、CORE#3之信號SLD#2、SLD#3係設定為“L”位準之信號位準。

與第2記憶核心電路CORE#2對應之電荷泵電路491產生記憶核心電路CORE#2之動作所需之電壓(例如程式電壓)。

於時刻t5，將產生之電壓VPGM#2施加至記憶核心電路CORE#2內之選擇字線WLk#2。與對於選擇字線WLk#2之電壓之施加對應地，於記憶核心電路CORE#2內之源極線SL#2發生電流I2，電流Icp#2之電流值上升。

伴隨程式電壓VPGM#2之施加，記憶核心電路CORE#2將負載發生信號SLD設定為“H”位準。藉此，記憶核心電路CORE#2向I/F電路I/F通知記憶核心電路CORE#2內發生負載。

於時刻t5，I/F電路I/F檢測記憶核心電路CORE#2之“H”位準之信

號SLD#2。計數器450藉由2個“H”位準之信號SLD#1、SLD#2，將計數信號SCT之信號位準設定為表示負載發生中之記憶核心電路之個數為“2”之位準。

於第1及第2記憶核心電路CORE#1、CORE#2中之負載發生中，第3記憶核心電路CORE#3成為可施加程式電壓之狀態。

於計數信號SCT表示“2”之情形時，介面電路40判定快閃記憶體1內發生之負載之量達到容許範圍(可同時動作之電荷泵電路491之個數)。

於本實施形態之快閃記憶體中，I/F電路I/F基於計數信號SCT之狀態，而以暫時地停止與第3記憶核心電路CORE#3對應之電荷泵電路491中之對於記憶核心電路CORE#3之電壓供給之方式，控制升壓電路490及電荷泵電路491之動作。

例如，升壓電路49基於來自控制電路410之控制信號S1，而控制電荷泵電路491與記憶核心電路CORE#3之間之開關(例如場效電晶體)之接通或斷開，將記憶核心電路CORE#3與電荷泵電路491電性分離。

於時刻t6，記憶核心電路CORE#1內之負載(例如消耗電流)下降。電路190檢測負載之下降。藉此，記憶核心電路CORE#1將負載發生信號SLD#1之信號位準自“H”位準降低至“L”位準。例如，於藉由電荷泵電路升壓完成之情形時，或於記憶核心晶片內設置有電荷泵電路之構成要素之一部分之情形時，信號SLD#1之信號位準有可能於程式電壓VPGM#1之施加中，自“H”位準變為“L”位準。

於I/F電路I/F中，計數器450檢測信號SLD#1之信號位準已轉變至“L”位準，而將計數信號SCT之信號位準自表示“2”之位準變為表示“1”之位準。

於計數信號SCT之信號位準變化為表示“1”之位準後，控制信號S1之信號位準。藉由信號S1，將記憶核心電路CORE#3電性連接於電荷泵電路491。與記憶核心電路CORE#3對應之電荷泵電路491將產生之電壓(例如程式電壓)供給至記憶核心電路CORE#3。

藉此，將產生之程式電壓VPGM#3於時刻t7施加至記憶核心電路CORE#3之選擇字線WLk#3。於記憶核心電路CORE#3之源極線SL發生電流I3。

於時刻t7，伴隨程式電壓VPGM#3之施加(或電流I3之發生)，記憶核心電路CORE#3將信號SLD#3之信號位準設定為“H”位準。藉此，將計數信號SCT之信號位準設定為與“2”對應之值。

例如，於如一般之快閃記憶體般，記憶核心電路CORE#3之負載之發生不會停止之情形時，於時刻tx發生電流Ix。

於本實施形態中，於判定快閃記憶體之負載之量達到容許範圍之情形時，對隨後應動作之記憶核心電路CORE#3之電壓供給，係於直到判定為快閃記憶體之負載之量小於容許範圍為止之期間經過Tx後開始。

如此，於本實施形態之快閃記憶體中，延遲自電荷泵電路491向記憶核心電路10之電壓之傳送，而分散快閃記憶體1之複數個記憶核心電路(記憶核心晶片)10之負載之發生時序。

另，於本實施形態中，於信號SLD#2、SLD#3為“H”位準之期間中，即使基於對於其他之記憶核心電路之指令而可進行其他之記憶核心電路之動作，仍藉由與“H”位準之信號SLD#2、SLD#3對應之信號S1，而停止自電荷泵電路491對於其他之記憶核心電路10之電壓之供給。

於時刻t8，於記憶核心電路CORE#2中，負載(電流I2)減少。藉此，

將信號SLD#2設定為“L”位準。

計數器450檢測“L”位準之信號SLD#2。計數器450將信號SCT之信號位準自表示“2”之值變為表示“1”之值。

時刻t8之後，記憶核心電路CORE#1係於某期間中對字線WLk#1施加程式電壓VPGM#1之後，停止施加程式電壓VPGM#1。藉此，將字線WLk#1之電位設定為接地電壓VSS。於將字線WLk#1之電位設定為接地電壓VSS後，執行對於程式動作之驗證動作。藉由驗證動作，判定記憶體胞之閾值電壓是否達到與應寫入資料對應之電壓值。於驗證動作通過之情形時，記憶核心電路CORE#1之寫入動作完成。

例如，於時刻t9，記憶核心電路CORE#1將就緒/忙碌信號RBn#1之信號位準設定為“L”位準。

記憶核心電路CORE#2係於某期間中施加程式電壓之後，將字線WLk#2之電位自程式電壓VPGM#1變為接地電壓VSS。其後，於對於程式動作之驗證動作通過之情形時，對於記憶核心電路CORE#2之寫入動作完成。

例如，於時刻t10，記憶核心電路CORE#2將就緒/忙碌信號RBn#2之信號位準設定為“L”位準。

於時刻t11，於記憶核心電路CORE#3中，電流I3減少。電路190將信號SLD#3之信號位準自“H”位準變為“L”位準。

計數器450檢測“L”位準之信號SLD#3。藉此，信號SCT之信號位準自表示“1”之值變為表示“0”之值。

記憶核心電路CORE#3於程式電壓VPGM#3之施加後，將字線WLk#2之電位設定為接地電壓VSS。其後，於程式動作之驗證動作通過之

情形時，對記憶核心電路CORE#3之寫入動作完成。

例如，於時刻t12，記憶核心電路CORE#2將就緒/忙碌信號RBn#2之信號位準設定為“L”位準。

如以上般，本實施形態之快閃記憶體之動作完成。

另，亦可基於對快閃記憶體之實驗及模擬，而設定將信號SLD設定為“H”位準之期間。再者，亦可藉由控制記憶核心電路10之動作之定序器170，基於檢測出記憶核心電路10內之負載之發生時序，而將信號SLD之信號位準設定為“H”位準。

於本動作例中，將快閃記憶體之寫入動作使用於例中，對本實施形態之快閃記憶體之負載之發生狀態之通知、及自電荷泵電路對記憶核心電路之電壓供給之控制進行說明。但，上述之本實施形態之快閃記憶體之動作可應用於來自快閃記憶體之資料之讀出動作、及快閃記憶體內之資料之抹除動作。

於本實施形態之快閃記憶體中，顯示可同時動作之記憶核心電路之個數限制為2個之例。但，於本實施形態中，亦可將可同時動作之記憶體核心電路之個數設定為3以上。例如，於包含8個記憶核心電路之快閃記憶體中，於將可同時動作之記憶核心電路之個數設定為4個之情形時，亦可基於來自動作中之4個記憶核心電路之“H”位準之信號SLD，而延遲對於其餘之4個記憶核心電路(隨後應動作之記憶核心電路)之電壓供給。另，可將8個記憶核心電路中之6個記憶核心電路設定為可並列地動作，亦可將3個記憶核心電路設定為可並列地動作。亦可對於包含16個或32個記憶核心晶片之快閃記憶體應用與此實質上類似之控制。亦可根據應執行快閃記憶體(記憶核心電路)之動作，而變更可同時動作之記憶核心電路之個

數及應延遲電壓供給之記憶核心電路之個數。

(c)總結

於將寫入電壓般比較高之電壓供給至記憶核心電路(記憶核心晶片)10之情形時，會於記憶核心電路10內發生由較高之電壓引起之負載。

於複數個記憶核心電路10並列地動作之情形時，會於複數個記憶核心電路10內發生之負載重疊。於考量記憶核心電路中發生之負載之合計之情形時，有升壓電路之電路規模過大，或快閃記憶體內發生之消耗電流不合乎快閃記憶體之規格之可能性。

本實施形態之快閃記憶體為了抑制快閃記憶體內之較大之負載發生，而控制複數個電荷泵電路中同時將電壓傳送至記憶核心電路10之電荷泵電路之數量。

圖11係用以說明本實施形態之快閃記憶體之效果之一者之圖。

圖11係示意性顯示快閃記憶體之動作時之快閃記憶體之電流 I_{pkg} 與時間之關係之圖。於圖11中，橫軸係與時間對應，縱軸係與快閃記憶體整體之電流 I_{pkg} 之大小對應。

快閃記憶體內之複數個記憶核心電路(記憶核心晶片)並行或連續地執行期望之動作。

如圖11所示般，於第1及第2記憶核心電路並行而動作之情形時，由於在各記憶核心電路內大致同時(較短之期間)發生負載(消耗電流) I_1 、 I_2 ，故電流 I_{pkg} 具有包含來自2個記憶核心電路之電流 I_1 、 I_2 之合計之電流(電流值) I_a 。

第3記憶核心電路與2個記憶核心電路並行動作之情形時，將由第3記憶核心電路引起之電流 I_x 施加至第1及第2記憶核心電路之負載，進而加上

電流 I_{pkg} 。

於該情形時，由3個記憶核心電路之負載引起之電流 I_b 之峰值會有超過基於快閃記憶體之規格之容許值之可能性。

本實施形態之快閃記憶體如上述般，可藉由檢測各記憶核心電路之負載之發生，而將各記憶核心電路之負載之發生時序時間性分散。

本實施形態之快閃記憶體1可藉由檢測記憶核心電路之負載之發生狀態，而切斷自電荷泵電路對第3記憶核心電路之電壓供給。本實施形態之快閃記憶體1係使自電荷泵電路對第3記憶核心電路之電壓傳送延遲期間 T_x 。

藉此，如圖11所示，第3記憶核心電路之電流 I_3 之峰值係於由其他之2個記憶核心電路引起之電流 I_a 之峰值發生起經過期間 T_x 後產生。

其結果，本實施形態之快閃記憶體可抑制電流峰值超過基於快閃記憶體之規格或設計之容許值。

因此，本實施形態之快閃記憶體可避免快閃記憶體之動作不良。

於快閃記憶體發生較大之負載之情形時，升壓電路係設計成具有可因應較大之負載之電壓產生能力。於該情形時，為了確保較高之電壓產生能力，會有升壓電路之電路面積變大之傾向。

本實施形態之快閃記憶體可抑制快閃記憶體中發生之負載之大小，故可防止升壓電路(電荷泵電路)之面積增大。

本實施形態之快閃記憶體亦可獲得如下之效果。

作為限制同時產生高電壓之電荷泵電路之數量之結果，本實施形態之快閃記憶體可將電荷泵電路相對於複數個記憶核心電路而共通化。因此，本實施形態之快閃記憶體可削減設置於晶片內之電荷泵電路之數量。

藉此，本實施形態之快閃記憶體可削減I/F晶片內之升壓電路之面積。

其結果，本實施形態之快閃記憶體可縮小I/F晶片之晶片尺寸，且可降低NAND型快閃記憶體之晶片成本。或，於維持I/F晶片之晶片尺寸之情形時，本實施形態之快閃記憶體可擴張I/F區域與升壓電路之間隔(分離區域之尺寸)，或可改善I/F晶片內之配線之佈局之裕度。

如以上般，本實施形態之記憶體裝置可降低製造成本。本實施形態之記憶體裝置可改善記憶體之動作特性。

(4)第4實施形態

參照圖12至圖19，對第4實施形態之記憶體裝置進行說明。

(a)基本例

參照圖12，對本實施形態之快閃記憶體之基本例進行說明。

圖12係用以說明本實施形態之記憶體裝置之基本例之模式圖。

於快閃記憶體中，於複數個記憶核心電路(記憶核心晶片)與I/F電路(I/F晶片)之間傳送信號(資料)。較佳為以記憶核心電路及I/F電路可執行與指令相應之信號之收發之方式，保證記憶核心電路及I/F電路之各者進行信號收發所需之動作狀態之成立順序。

本實施形態之快閃記憶體係於記憶核心電路與I/F電路之間通知互相之動作狀況。藉此，本實施形態之快閃記憶體保證記憶核心電路與I/F電路之間之動作時序。

如圖12所示，於本實施形態之快閃記憶體中，記憶核心電路10包含用於傳送資料之電路(例如驅動電路)25及接收電路。

I/F電路40包含驅動電路(發送電路)35及接收電路(受信電路)36。

記憶核心電路10使用信號ZBB-CORE，將電路25、26之動作狀況通

知至I/F電路40。信號ZBB-CORE係經由包含電極TSV之信號路徑(匯流排)999A，自記憶核心電路10供給至I/F電路40。I/F電路40使用信號ZBB-IF，將電路35、36之動作狀況通知至記憶核心電路10。信號ZBB-IF係經由包含電極TSV之信號路徑(匯流排)999B，自I/F電路40供給至記憶核心電路10。

於記憶核心電路10內，電路20使用來自I/F電路40之信號ZBB-IF與信號CMD-DOUT，而產生信號CORE-DRVen。

電路20藉由信號CORE-DRVen，控制電路25之動作時序(啟動)。於記憶核心電路10中，於某電路(例如感測放大電路)與電路25之間傳送資料。

另，信號ZBB-CORE亦可由複數個記憶核心電路10共通化。複數個記憶核心電路10之各者，亦可將互不相同之信號ZBB-CORE輸出至I/F電路40。

於I/F電路40中，電路30使用信號ZBB-CORE、信號CMD-DIN-IF及信號CMD-DOUT-IF，而產生信號IF-DRVen及信號IF-RCVen。

電路30藉由信號IF-DRVen，控制驅動電路35之動作時序，藉由信號IF-RCVen，控制接收電路36之動作時序。於驅動電路35與輸入輸出電路400之間、及接收電路36與輸入輸出電路400之間傳送資料。

於記憶核心電路10中，電路21使用信號CORE-DRVen，產生信號ZBB-CORE。於I/F電路40中，電路31使用信號IF-DRVen及信號IF-RCVen，而產生信號ZBB-IF。

另，信號CMD-DOUT、CMD-DOUT-IF、CMD-DIN-IF係基於來自記憶體控制器5之指令(寫入指令或讀出指令)CMD，而由記憶核心電路10

及IF電路40之至少一者產生之信號。

以下，將電路20、21、30、31稱為時序控制電路。又，將記憶核心電路10之驅動電路稱為核心驅動電路，將記憶核心電路10之接收電路稱為核心接收電路。將I/F電路40之驅動電路稱為I/F驅動電路，將I/F電路40之接收電路稱為I/F接收電路。

例如，記憶核心電路10之時序控制電路20、21係設置於記憶核心晶片700之接觸區域710A、710B內。與此同樣地，時序控制電路30、31係設置於介面晶片800之接觸區域810A、810B內。例如，接觸區域710A、710B、810A、810B係設置有TSV構造之電極之區域。

藉此，本實施形態之快閃記憶體1可藉由追加時序控制電路20、21、30、31，而避免產生記憶核心電路10及I/F電路40之設計及佈局之變更、及晶片尺寸之增加等。

例如，記憶核心電路10接收表示I/F驅動電路或I/F接收電路為非啟動狀態之信號ZBB-IF，而使核心驅動電路25啟動。

例如，I/F電路40接收表示核心驅動電路25為非啟動狀態之信號ZBB-CORE，而使I/F驅動電路35啟動。又，I/F電路40接收表示核心驅動電路25為啟動狀態之信號ZBB-CORE，而使I/F接收電路36啟動。

如此，本實施形態之快閃記憶體能夠以使基於規格之資料傳送時之驅動電路及接收電路之啟動順序成立之方式，控制驅動電路及接收電路之啟動/非啟動之順序。

因此，本實施形態之快閃記憶體可降低資料傳送時之動作不良。

(b)具體例

參照圖13至圖19，對本實施形態之快閃記憶體更具體地進行說明。

<電路構成>

使用圖13，對本實施形態之快閃記憶體之電路構成進行說明。

於圖13中，擷取區域710A、710B、810A、810B內之電路20、21、30、31而圖示。於圖13中，為了圖示之明確化，省略圖2所示之記憶核心電路10及I/F電路40內之電路之圖示。

如圖13所示般，記憶核心電路10包含時序控制電路(信號產生電路)20、21。

時序控制電路20至少包含閂鎖器201。

對閂鎖器201之一輸入端子供給信號CMD-DOUT，對閂鎖器201之另一輸入端子(例如控制端子)供給來自I/F電路40之信號ZBB-IF。

閂鎖器201基於信號CMD-DOUT及信號ZBB-IF，而輸出某信號位準之信號CORE-DRVen。根據信號CMD-DOUT之信號位準及信號ZBB-IF之信號位準，而決定信號CORE-DRVen之信號位準。

將信號CORE-DRVen供給至核心驅動電路25。藉此，於記憶核心電路10內，根據信號CORE-DRVen之信號位準，而控制核心驅動電路25之動作時序(啟動/非啟動、接通/斷開)。例如，核心驅動電路25將自感測放大器140接收到之資料DOUT發送至I/F電路40。

時序控制電路21至少包含延遲電路211、AND閘極212、OR閘極213及緩衝器214。

延遲電路211之輸入端子係連接於閂鎖器201之輸出端子。延遲電路211輸出來自閂鎖器201之信號CORE-DRVen之延遲信號xCORE-DRVen。

AND閘極212具有2個輸入端子、及1個輸出端子。

AND閘極212之一輸入端子係連接於閘鎖器201之輸出端子。AND閘極212之另一輸入端子係連接於延遲電路211之輸出端子。AND閘極212之輸出端子係連接於緩衝器214之輸入端子。

AND閘極212進行使用來自閘鎖器201之信號CORE-DRVen與延遲電路211之信號xCORE-DRVen之AND運算。AND閘極212將基於AND運算之結果之信號BB-CORE輸出至緩衝器214。信號BB-CORE之信號位準對應於AND運算之結果。

OR閘極213具有2個輸入端子、及1個輸出端子。

OR閘極213之一輸入端子係連接於閘鎖器201之輸出端子。OR閘極213之另一輸入端子係連接於延遲電路211之輸出端子。OR閘極213之輸出端子係連接於緩衝器214之控制端子。

OR閘極213進行使用信號CORE-DRVen與信號xCORE-DRVen之OR運算。OR閘極213將基於OR運算之結果之信號BB-CORE-DRV輸出至緩衝器214之控制端子。信號BB-CORE-DRV之信號位準對應於OR運算之結果。

緩衝器214係例如三態緩衝器。緩衝器214基於與信號BB-CORE-DRV之信號位準相應之控制，而輸出來自AND閘極212之信號BB-CORE作為信號ZBB-CORE。

經由信號線999A，而將與記憶核心電路10之動作狀況相應之信號位準之信號ZBB-CORE供給至介面晶片800內之I/F電路40之時序控制電路30。

另，於記憶核心電路10中，核心接收電路係於快閃記憶體1之動作中，以可進行自I/F電路40向記憶核心電路10之高速之資料傳送之方式，

始終設定為啟動狀態。因此，不藉由時序控制電路20、21產生用以控制核心接收電路之啟動/非啟動(接通/斷開)之信號。

I/F電路40至少包含時序控制電路30、31。

時序控制電路30至少包含2個AND閘極301、302、反相器303及保持電路305。

各AND閘極301、302具有2個輸入端子與1個輸出端子。

對AND閘極301之一輸入端子供給信號CMD-DOUT-IF。對AND閘極301之另一輸入端子供給來自記憶核心電路10之信號ZBB-CORE。

AND閘極301進行使用信號CMD-DOUT-IF與信號ZBB-CORE之AND運算。AND閘極301輸出基於AND運算之結果之信號IF-RCVen。信號IF-RCVen之信號位準對應於AND閘極301之AND運算之結果。

對AND閘極302之一輸入端子供給信號CMD-DIN-IF。AND閘極302之另一側之輸入端子係連接於反相器303之輸出端子。對反相器303之輸入端子供給信號ZBB-CORE。反相器303將信號ZBB-CORE之反轉信號bZBB-CORE供給至AND閘極302之另一輸入端子。

AND閘極302進行使用信號CMD-DIN-IF與信號bZBB-CORE之AND運算。AND閘極302輸出基於AND運算之結果之信號IF-DRVen。信號IF-DRVen之信號位準對應於AND閘極302之AND運算之結果。

將信號IF-DRVen供給至I/F驅動電路35。藉此，於I/F電路40內，根據信號IF-DRVen之信號位準而控制I/F驅動電路35之動作時序。將信號IF-RCVen供給至I/F接收電路36。藉此，於I/F電路40內，根據信號IF-RCVen之信號位準而控制I/F接收電路36之動作時序。

保持電路305係連接於AND閘極301之另一輸入端子及反相器303之

輸入端子。保持電路305係謀求信號線999A、AND閘極301之輸入端子及反相器303之輸入端子之電位之穩定化。

時序控制電路31至少包含OR閘極311、與緩衝器312。

OR閘極311包含2個輸入端子與1個輸出端子。OR閘極311之一輸入端子係連接於AND閘極301之輸出端子。OR閘極311之另一輸入端子係連接於AND閘極302之輸出端子。OR閘極311之輸出端子係連接於緩衝器312之輸入端子。OR閘極311進行使用信號IF-RCVen與信號IF-RCVen之OR運算。OR閘極311將基於OR運算之結果之信號BB-IF輸出至緩衝器312。信號BB-IF之信號位準對應於OR閘極311之OR運算之結果。

緩衝器312將來自OR閘極311之信號BB-IF作為信號ZBB-IF而輸出至複數個記憶核心電路10。

於記憶核心電路10之時序控制電路20中，將與I/F電路40之動作狀況相應之信號位準之信號ZBB-IF經由信號路徑(匯流排)999B而供給至閂鎖器201。

另，於圖12所示，考慮附加於信號之延遲量(配線延遲)，將記憶核心電路10之時序控制電路20、21設置於各晶片700內之不同區域710A、710B、810A、810B。但，於以將期望之延遲量附加至信號之方式設計電路20、21之情形時，於晶片700內，亦可將2個電路20、21設置於相同區域內。與此同樣地，亦可考慮信號之延遲量而將I/F電路40之時序控制電路30、31設置於晶片800內之相同區域內。

另，圖13所示之記憶核心電路10及I/F電路40之時序控制電路20、21、30、31之內部構成係一例，並非限定於圖13所示之構成。

<動作例>

參照圖14至圖19，說明本實施形態之快閃記憶體之動作例。此處，為了說明本實施形態之快閃記憶體之動作，亦適當使用圖12及圖13。

圖14係用以說明本實施形態之快閃記憶體之動作例之時序圖。圖15至圖17係示意性顯示快閃記憶體之動作中之某時刻之、記憶核心電路之驅動電路及接收電路之動作狀態、及I/F電路之驅動電路及接收電路之動作狀態之圖。另，於圖15至圖17中，以表示緩衝器之電路記號表示驅動電路及接收電路。

如圖14所示，於時刻t50，將指令**CMD**供給至快閃記憶體1。

於位址之接收中之時刻t51，指令**CMD**如為讀出指令，於記憶核心電路10內，信號**CMD-DOUT**之信號位準自“L”位準變為“H”位準。於時刻t51，於I/F電路40內，信號**CMD-DOUT-IF**之信號位準自“L”位準變為“H”位準。信號**CMD-DIN-IF**之信號位準設定為“L”位準。

於時刻t51，信號**ZBB-IF**及信號**ZBB-CORE**之信號位準為“L”位準。

於記憶核心電路10之時序控制電路20、21中，對閂鎖器201供給“H”位準之信號**CMD-DOUT**、與“L”位準之信號**ZBB-IF**。閂鎖器201將“H”位準之信號**CORE-DRVen**與信號**CMD-DOUT**之信號位準之變化一同輸出。

於時刻t51，信號**ZBB-CORE**之信號位準為“L”位準。

於I/F電路40之時序控制電路30、31中，對AND閂極301供給“H”位準之信號**CMD-DOUT-IF**、與“L”位準之信號**ZBB-CORE**。AND閂極301輸出“L”位準之信號**IF-RCVen**。

反相器303將“H”位準之信號**bZZB-CORE**輸出至AND閂極302。

對AND閘極302供給“H”位準之信號bZZB-CORE與“L”位準之信號CMD-DIN-IF。AND閘極302輸出“L”位準之信號IF-DRVen。

如此，如圖15所示，於時刻t51，於將信號CORE-DRVen設定為“H”位準之情形時，對記憶核心電路10之核心驅動電路25之控制端子供給“H”位準之信號CORE-DRVen。

藉此，將核心驅動電路25設定為啟動狀態(接通狀態)，核心驅動電路25可進行資料之發送。

另一方面，信號IF-DRVen及信號IF-RCVen之兩者為“L”位準。因此，於時刻t51，於I/F電路40中，I/F驅動電路35及I/F接收電路36為非啟動狀態(斷開狀態)。

於時序控制電路20、21中，將“H”位準之信號CORE-DRVen供給至AND閘極212及OR閘極213之一者之端子。

延遲電路211使被供給之信號CORE-DRVen延遲。將經延遲之信號xCORE-DRVen供給至AND閘極212及OR閘極213之另一者之端子。因此，AND閘極212及OR閘極213之另一者之端子之電位(信號位準)係以較AND閘極212及OR閘極213之一者之端子之電位更遲之時序，自“L”位準變為“H”位準。

於時刻t51之後，將“H”位準之信號CORE-DRVen、xCORE-DRVen供給至AND閘極212、213之各者。藉此，各AND閘極212、213之輸出信號自“L”位準變為“H”位準。

AND閘極212將“H”位準之信號BB-CORE供給至緩衝器214之輸入端子，AND閘極213將“H”位準之信號BB-CORE-DRV供給至緩衝器214之控制端子。緩衝器214係經由包含電極TSV等之信號線999A，將

“H”位準之信號ZBB-CORE輸出至I/F電路40。

如此，於時刻t51之後之時刻t52，信號ZBB-CORE之信號位準自“L”位準變為“H”位準。藉此，自記憶核心電路10向I/F電路40通知已將核心驅動電路25設定為啟動狀態(接通狀態、賦能狀態)。

於將信號ZBB-CORE之信號位準設定為“H”位準之情形時，對AND閘極301之一端予供給“H”位準之信號CMD-DOUT-IF，對AND閘極301之另一端予供給“H”位準之信號ZBB-CORE。

於時刻t53，AND閘極301輸出“H”位準之信號IF-RCVen。此時，由於“L”位準之信號CMD-DIN-IF、bZBB-CORE被供給至AND閘極302，故信號IF-DRVen之信號位準設定為“L”位準。

對OR閘極311之一輸入端予供給“H”位準之信號IF-RCVen，對OR閘極311之另一輸入端予供給“L”位準之信號IF-DRVen。

藉此，於時刻t53，OR閘極311將“H”位準之信號BB-IF輸出至緩衝器312。緩衝器312經由包含電極TSV等之信號線999B，將“H”位準之信號ZBB-IF輸出至記憶核心電路10。

自I/F電路40向記憶核心電路10通知已將I/F接收電路36之狀態設定為啟動狀態(賦能狀態)。

其結果，如圖16所示，於時刻53，於I/F電路40中，將“H”位準之信號IF-RCVen供給至I/F接收電路36之控制端子。藉此，於時刻td，將I/F接收電路36設定為啟動狀態，I/F接收電路36可進行資料之接收。

又，將“H”位準之信號ZBB-IF自I/F電路40發送至記憶核心電路10，藉此，記憶核心電路10可檢測出I/F電路40可進行資料之接收。

如此，記憶核心電路10之驅動電路25於時刻t51啟動後，於時刻t53

將I/F電路40之接收電路36啟動。

因此，於本實施形態中，以保證穩定之動作之順序，將核心驅動電路25及I/F接收電路36啟動。因此，本實施形態之快閃記憶體可防止於驅動電路/接收電路之啟動之順序不匹配之情形下於I/F電路內發生貫通電流。

以特定之順序將驅動電路25及I/F接收電路36啟動後，於期間TA，將資料DOUT自記憶核心電路10傳送至I/F電路40。

於時刻t54，將寫入指令作為指令CMD供給至快閃記憶體。信號CMD-DOUT、CMD-DOUT-IF自“H”位準變為“L”位準。

由於對AND閘極301供給“L”位準之信號CMD-DOUT-IF，故信號IF-RCVen之信號位準自“H”位準變為“L”位準。藉此，於I/F電路40內，將接收電路36設定為非啟動(斷開)狀態。

信號CMD-DIN-IF之信號位準維持為“L”位準。因此，AND閘極302輸出“L”位準之信號IF-DRVen。

OR閘極311藉由2個“L”位準之信號IF-RCVen、IF-DRVen而輸出“L”位準之信號BB-IF。

於時刻t55，緩衝器312輸出“L”位準之信號ZBB-IF。藉此，I/F電路40可將I/F接收電路36變為非啟動狀態通知至記憶核心電路10。

閘鎖器201經由信號線999B而接收“L”位準之信號ZBB-IF。其後，於時刻t56，閘鎖器201藉由“L”位準之信號CMD-DOUT與“L”位準之信號ZBB-IF，而輸出“L”位準之信號CORE-DRVen。

藉由“L”位準之信號CORE-DRVen，將核心驅動電路25非啟動，設定為斷開狀態。

如此，如圖17所示，於自時刻t54至時刻t56之期間，於I/F電路40之接收電路36非啟動後，記憶核心電路10之驅動電路25非啟動。

其結果，於本實施形態之快閃記憶體中，可防止I/F電路內發生貫通電流。

繼時刻t54之指令CMD後，將位址ADD及資料DIN供給至快閃記憶體1。

於位址ADD接收中之時刻t57，信號CMD-DIN-IF之信號位準自“L”位準變為“H”位準。此時，信號ZBB-CORE之信號位準為“H”位準，故對AND閘極302供給“L”位準之信號bZBB-CORE。因此，AND閘極302之信號IF-DRVen之信號位準維持在“L”位準。另，於時刻t57，信號IF-RCVen亦設定為“L”位準。

自信號CORE-DRVen之信號位準設定為“L”位準起，經過由2個電路20、21間之配線長度引起之延遲時間後，於時刻t58，對AND閘極212之一輸入端子及OR閘極213之一輸入端子供給“L”位準之信號CORE-DRVen。

藉此，於時刻t58，信號ZBB-CORE之信號位準自“H”位準變為“L”位準。

另，即使將信號CORE-DRVen之信號位準設定為“L”位準，於與延遲電路211中設定之延遲量相應之某期間中，延遲電路211仍對AND閘極212之另一輸入端子及OR閘極213之另一輸入端子供給“H”位準之信號xCORE-DRVen。

經過與延遲電路211之延遲量相應之時間後，信號xCORE-DRVen之信號位準自“H”位準變為“L”位準。若信號xCORE-DRVen自“H”位

準變為“L”位準，則AND閘極212藉由“L”位準之信號CORE-DRVen及“L”位準之信號xCORE-DRVen之輸入，而輸出“L”位準之信號BB-CORE。又，OR閘極213藉由“L”位準之信號CORE-DRVen及“L”位準之信號xCORE-DRVen之輸入，而輸出“L”位準之信號BB-CORE-DRV。於該情形時，緩衝器214藉由“L”位準之信號BB-CORE-DRV而被設定為高阻抗狀態。藉此，AND閘極212與電路30電性分離。

另，於時刻t56與時刻t57之間，信號ZBB-CORE之信號位準亦可自“L”位準變化為“H”位準。

於信號ZBB-CORE之信號位準自“H”位準變為“L”位準後，於時刻t59，將“H”位準之信號bZBB-CORE自反相器303供給至AND閘極302之另一輸入端子。

其結果，AND閘極302輸出“H”位準之信號IF-DRVen。

因此，如圖18所示，於時刻t59，藉由“H”位準之信號IF-DRVen，將I/F電路40之驅動電路35設定為啟動狀態，驅動電路35變為可進行資料DIN之發送之狀態。例如，將記憶核心電路10之核心接收電路26始終設定為啟動狀態。

如此，於將I/F驅動電路35啟動後，將資料DIN自I/F電路40傳送至記憶核心電路10。藉此，本實施形態之快閃記憶體可防止於匯流排內發生因違反驅動電路/接收電路之啟動順序所致之電流(衝突電流)。

對OR閘極311之輸入端予供給“H”位準之信號IF-DRVen。藉此，OR閘極311將“H”位準之信號BB-IF輸出至緩衝器312。

其結果，於時刻t60，信號ZBB-IF之信號位準自“L”位準變為“H”位準。

藉由“H”位準之信號ZBB-IF之供給，記憶核心電路10檢測I/F電路40之驅動電路/接收電路為啟動狀態。

此處，於時刻t60，信號CMD-DOUT之信號位準為“L”位準。因此，即使將“H”位準之信號ZBB-IF供給至閘鎖器201，閘鎖器201仍輸出“L”位準之信號CORE-DRVen。

於時刻t61，將例如讀出指令CMD供給至快閃記憶體1。藉此，信號CMD-DIN-IF之信號位準自“H”位準變為“L”位準。AND閘極302輸出“L”位準之信號IF-DRVen。因此，將I/F驅動電路35非啟動。

於位址ADD接收中之時刻t62，將CMD-DOUT之信號位準設定為“H”位準。將信號CMD-DOUT-IF之信號位準設定為“H”位準。AND閘極301輸出“H”位準之信號。

於時刻t63，將信號ZBB-IF之信號位準自“H”位準變為“L”位準。

於時刻t64，閘鎖器201輸出“H”位準之信號CORE-DRVen。將“H”位準之信號CORE-DRVen供給至核心驅動電路25。藉此，將核心驅動電路25啟動。

因此，如圖19所示，於時刻t61將I/F驅動電路35非啟動之後，核心驅動電路25係於時刻t64變為可進行資料之發送之狀態。藉此，本實施形態之快閃記憶體可防止於匯流排內發生由驅動電路25、35之啟動之時序錯誤引起之衝突電流。

於將信號CORE-DRVen之信號位準設定為“H”位準後，信號xCORE-DRVen之信號位準自“L”位準變為“H”位準。

於時刻t64之後，AND閘極212輸出“H”位準之信號BB-CORE，

OR閘極213輸出“H”位準之信號BB-CORE-DRV。

其結果，於時刻t65，緩衝器214輸出“H”位準之信號ZBB-CORE。

對AND閘極301供給“H”位準之信號CMD-DOUT-IF與“H”位準之信號ZBB-CORE。

因此，於時刻t66，AND閘極301輸出“H”位準之信號IF-RCVen。藉此，I/F接收電路36可接收來自記憶核心電路10之資料。

如此，以與圖15及圖16所示之順序相同之順序，將核心驅動電路25及I/F接收電路36啟動。

例如，於時刻t66，自核心驅動電路25朝I/F接收電路36開始傳送資料DOUT。

另，對AND閘極302供給“L”位準之信號CMD-DOUT-IF與“L”位準之信號bZBB-CORE。因此，AND閘極302輸出“L”位準之信號IF-DRVen。將I/F驅動電路35非啟動。

基於來自AND閘極301、302之信號IF-DRVen、IF-RCVen，將OR閘極311之輸出信號之信號位準設定為“H”位準。

藉此，於時刻t67，自I/F電路40將“H”位準之信號ZBB-IF輸出至記憶核心電路10。將I/F電路40之動作狀態通知至記憶核心電路10。

如以上般，執行本實施形態之快閃記憶體之記憶核心電路與I/F電路之間之資料傳送。

(c)總結

於本實施形態之快閃記憶體中，將表示記憶核心電路之動作狀態之信號自記憶核心電路傳送至I/F電路。與此同時，將表示I/F電路之動作狀

態之信號自I/F電路傳送至記憶核心電路。

藉此，本實施形態之快閃記憶體可防止因製程(晶片特性或元件特性)之偏差或電壓之偏差，導致驅動電路及接收電路之啟動之順序產生違反。

因此，本實施形態之快閃記憶體可於記憶核心電路與I/F電路之間傳送資料時，保證驅動電路及接收電路之啟動狀態之成立順序。

其結果，本實施形態之快閃記憶體可抑制資料傳送時之動作不良。

藉由上述之構成，本實施形態之快閃記憶體可將自指令之供給起之起動時間高速化。

本實施形態之快閃記憶體可應用動作時序用之共通時脈、及抑制由動作順序不成立所引起之電流發生。其結果，本實施形態之快閃記憶體可降低消耗電流。

如上述般，本實施形態之記憶體裝置可提高記憶體之動作特性。

(5)第5實施形態

參照圖20及圖21，對第5實施形態之記憶體系統進行說明。

亦可將上述第4實施形態之快閃記憶體之I/F電路(I/F晶片)40內之時序控制電路30、31設置於快閃記憶體1之外部。

圖20係用以說明本實施形態之記憶體裝置之模式圖。

如圖20所示，亦可將I/F電路40側之時序控制電路31X設置於記憶體控制器5內。

於記憶體控制器5內，時序控制電路31X經由介面電路40，接收來自記憶核心電路10之信號ZBB-CORE。

時序控制電路31X基於信號ZBB-CORE之信號位準，而產生信號IF-RCVen及信號IF-DRVen。

時序控制電路31X將產生之信號IF-DRVen、IF-RCVen發送至I/F電路40。

I/F電路40接收信號IF-DRVen、IF-RCVen。將信號IF-DRVen、IF-RCVen供給至I/F電路40內之時序控制電路30。藉此，時序控制電路30產生信號ZBB-IF，將產生之信號ZBB-IF發送至記憶核心電路10。

又，將信號IF-DRVen供給至I/F電路40內之驅動電路35，將信號IF-RCVen供給至I/F電路40內之接收電路36。藉此，將I/F驅動電路35及I/F接收電路36藉由來自記憶體控制器5之信號IF-DRVen、IF-RCVen而啟動及非啟動。

圖21係用以說明包含本實施形態之記憶體裝置之記憶體系統之模式圖。

如圖21所示，亦可不將時序控制電路30X、31X設置於I/F電路內，而設置於記憶體控制器5內。

於該情形時，亦可於記憶體控制器5內之時序控制電路31X中產生信號IF-DRVen及信號IF-RCVen。記憶體控制器5可將信號IF-DRVen、IF-RCVen供給至I/F電路40內之電路35、36。藉此，控制I/F驅動電路35及I/F接收電路36之啟動及非啟動。

又，於記憶體控制器5內，時序控制電路31X基於信號IF-DRVen、IF-RCVen而產生某信號位準之信號ZBB-IF。記憶體控制器5經由I/F電路40，將信號ZBB-IF供給至記憶核心電路10。

記憶核心電路10根據來自記憶體控制器5之信號ZBB-IF之信號位準，產生某信號位準之信號CORE-DRVen。於記憶核心電路10中，根據信號CORE-DRVen之信號位準而控制驅動電路25之動作。

本實施形態之記憶體裝置之動作與使用圖14至圖19而說明之動作實質上相同，故省略於此處之說明。

如以上般，本實施形態之記憶體裝置即使於在記憶體控制器內設置有控制於記憶核心電路與介面電路之間之資料收發之時序之電路之情形時，亦可提高資料傳送之可靠性。

[其他]

於第1實施形態之記憶體裝置中，圖4或圖7所示之記憶核心晶片之構造亦可應用於先前之包含介面晶片之NAND型快閃記憶體。又，圖6或圖8所示之介面晶片內之各電路之佈局亦可應用於先前之包含記憶體晶片之NAND型快閃記憶體。

另，第1至第5實施形態之1者以上亦可應用於NAND型快閃記憶體以外之記憶體裝置，例如DRAM(Dynamic Random Access Memory:動態隨機存取記憶體)、SRAM(Static Random Access Memory:靜態隨機存取記憶體)、ReRAM(可變電阻式記憶體)、MRAM(Magnetic Random Access Memory:磁性隨機存取記憶體)。

又，上述實施形態亦可應用於記憶體裝置以外之半導體裝置，例如系統LSI(Large Scale Integration:大型積體電路)、CPU(Central Processing Unit:中央處理器)、無線裝置、或影像感測器等。

雖已說明本發明之若干實施形態，但該等實施形態係作為例子而提示者，並非意圖限定發明之範圍。該等新穎之實施形態得以其他各種形態實施，且在不脫離發明之主旨之範圍內，得進行各種省略、置換、變更。該等實施形態或其變化皆含於發明之範圍或主旨，且含於申請專利範圍所記述之發明及其均等之範圍內。

【符號說明】

1	半導體記憶體(快閃記憶體)
5	記憶體控制器
9	記憶體系統
10	記憶核心電路
10-1 ~ 10-N	記憶核心電路
20	時序控制電路
21	時序控制電路
25	電路
26	核心接收電路
30	時序控制電路
30X	時序控制電路
31	時序控制電路
31X	時序控制電路
35	驅動電路(發送電路)
36	接收電路(收信電路)
40	介面電路
75	區域
80A	區域
80B	區域
81	接觸區域
89A	區域
89B	區域

110	記憶體胞陣列
111	NAND串
120	列解碼器
130	驅動電路
140	感測放大器
150	位址暫存器
160	指令暫存器
170	定序器
190	負載發生檢測電路
201	閂鎖器
211	延遲電路
212	AND閂極
213	OR閂極
214	緩衝器
301	AND閂極
302	AND閂極
303	反相器
305	保持電路
311	OR閂極
312	緩衝器
400	輸入輸出電路
400-1	輸入輸出電路
400-2	輸入輸出電路

410	控制電路
420	內部電壓產生電路
450	計數器
490	升壓電路
491-1～491-16	電荷泵電路
500	儲存裝置
600	主機裝置
700	記憶核心晶片
700-1～700-16	記憶核心晶片
710A	接觸區域
710B	接觸區域
751-1～751-8	電壓電極
755	電壓電極
759	接地電極(接地端子)
800	介面晶片
810A	接觸區域
810B	接觸區域
891A	焊墊
891B	焊墊
892A	焊墊
892B	焊墊
895A	焊墊
895B	焊墊
896A	焊墊

896B	焊墊
900	基板
901	配線
902	配線
905	配線
906	配線
991	端子
992	端子
995	端子
996	端子
999A	信號線
999B	信號線
ADD	位址
ALE	位址門鎖賦能信號
BP	凸塊
BP-A	凸塊
BP-B	凸塊
CEn	晶片賦能信號
CLE	指令門鎖賦能信號
CMD	指令
DAT	資料
IO1～IO8	I/O線
LBP-1	大凸塊

LBP-2	大凸塊
MC	記憶體胞
ML	中間配線
MBP	微凸塊
PD	焊墊
R1	I/F區域
R2	升壓區域
R3	分離區域
RBn	就緒/忙碌信號
RDL-1～RDL-3	再配線層
REn	讀取賦能信號
SGD	選擇閘極線
SGS	選擇閘極線
SL	源極線
SLD	信號
ST1	選擇電晶體
ST2	選擇電晶體
TSV	電極
VCC1	電壓
VCC2	電壓
VN	電壓
VSS	接地電壓
VSS1	電壓

VSS2	電壓
WEn	寫入賦能信號
WPn	寫入保護信號
X1	上部端子
X2	下部端子
X3	內部連接部

【發明申請專利範圍】

【第1項】

一種記憶體裝置，其包含：

M 個(M 為2以上之自然數)記憶核心(memory core)電路；

1個以上之電壓產生電路，其將電壓供給至上述 M 個記憶核心電路；

及

控制電路，其控制上述電壓產生電路之動作；且

上述 M 個記憶核心電路之各者，可將與來自上述電壓產生電路之電壓供給對應之第1信號，輸出至上述控制電路，且

於來自上述 M 個記憶核心電路中之 N 個(N 為小於 M 且為1以上之自然數)記憶核心電路之各者之上述第1信號正輸出至上述控制電路之情形時，上述控制電路係以使對於上述 M 個記憶核心電路中之其餘之記憶核心電路之電壓供給延遲之方式，控制上述電壓產生電路之動作。

【第2項】

如請求項1之記憶體裝置，其中於上述 M 個記憶核心電路中之第1核心電路停止輸出上述第1信號之情形時，上述控制電路以開始對於上述其餘之記憶核心電路中之第2記憶核心電路之上述電壓供給之方式，控制上述電壓產生電路。

【第3項】

如請求項2之記憶體裝置，其中

上述第2記憶核心電路係於被供給上述電壓後，輸出上述第1信號。

【第4項】

如請求項1之記憶體裝置，其中

上述M個記憶核心電路之各者包含具有連接於字線之閘極、及連接於源極線之一端之記憶體胞，且

上述第1信號係與對於上述字線之上述電壓施加、及上述源極線中之電流發生中之至少一者對應而輸出。

【第5項】

一種記憶體裝置，其包含：

記憶核心電路，其包含：用於發送第1資料之第1驅動電路；及第1電路，其輸出表示上述第1驅動電路之狀態之第1信號；及

介面電路，其包含：用於接收上述第1資料之第1接收電路；及第2電路，其輸出表示上述第1接收電路之狀態之第2信號；且

於將上述第1資料自上述記憶核心電路發送至上述介面電路之情形時，

上述記憶核心電路為表示上述第1驅動電路為啟動狀態，而將上述第1信號之信號位準設定為第1位準，且

上述介面電路基於上述第1位準之上述第1信號，將上述第1接收電路設定為啟動狀態。

【第6項】

如請求項5之記憶體裝置，其中

為表示上述第1接收電路為啟動狀態，將上述第2信號之信號位準設定為上述第1位準。

【第7項】

如請求項5之記憶體裝置，其中

上述介面電路進而包含用於將第2資料發送至上述記憶核心電路之第

2驅動電路，且

上述第2驅動電路之狀態係藉由上述第2信號表示，且

於將上述第1信號設定為上述第1位準前，

為了顯示上述第2驅動電路為非啟動狀態，上述介面電路將上述第2信號之信號位準設定為與上述第1位準不同之第2位準，

上述記憶核心電路基於上述第2位準之上述第2信號，將上述第1驅動電路設定為啟動狀態。

【第8項】

如請求項7之記憶體裝置，其中

於將上述第2資料自上述介面電路發送至上述記憶核心電路之情形時，

上述介面電路基於設定為上述第2位準之上述第1信號，將上述第2驅動電路設定為啟動狀態，且

上述介面電路為表示上述第2驅動電路為啟動狀態，而將上述第2信號之信號位準設定為上述第1位準。

【第9項】

如請求項8之記憶體裝置，其中

上述記憶核心電路係於上述第1驅動電路被設定為非啟動狀態後，將上述第1信號之信號位準設定為上述第2位準。

【第10項】

如請求項5之記憶體裝置，其中

上述第1驅動電路係基於來自上述第1電路之第1控制信號而受控制，

上述第1接收電路係基於來自上述第2電路之第2控制信號而受控制，

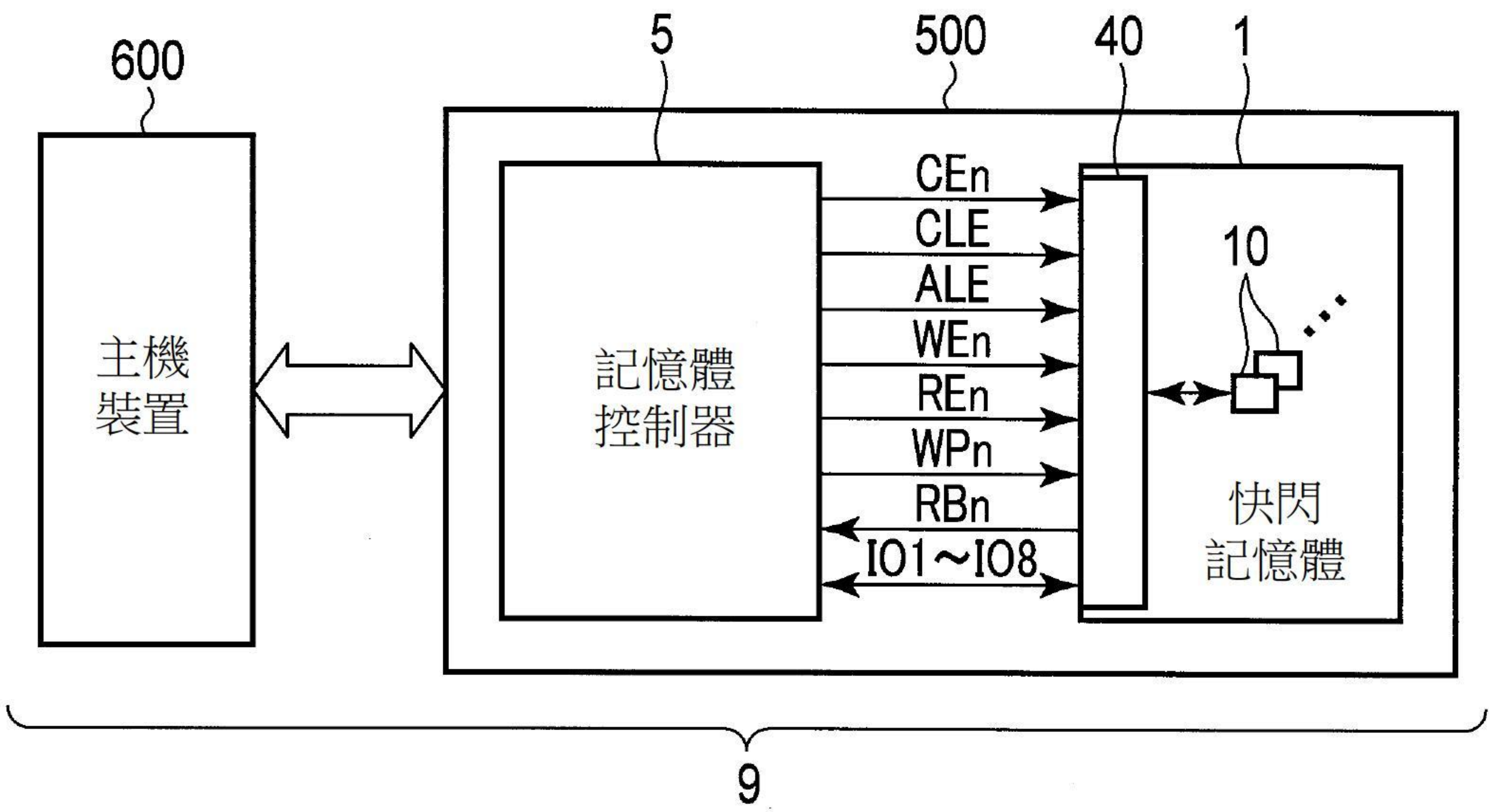
上述第1電路基於與上述第1位準不同之第2位準之上述第2信號，而將上述第1控制信號之信號位準設定為上述第1位準，

上述第1驅動電路係基於上述第1位準之上述第1控制信號而被設定為啟動狀態，

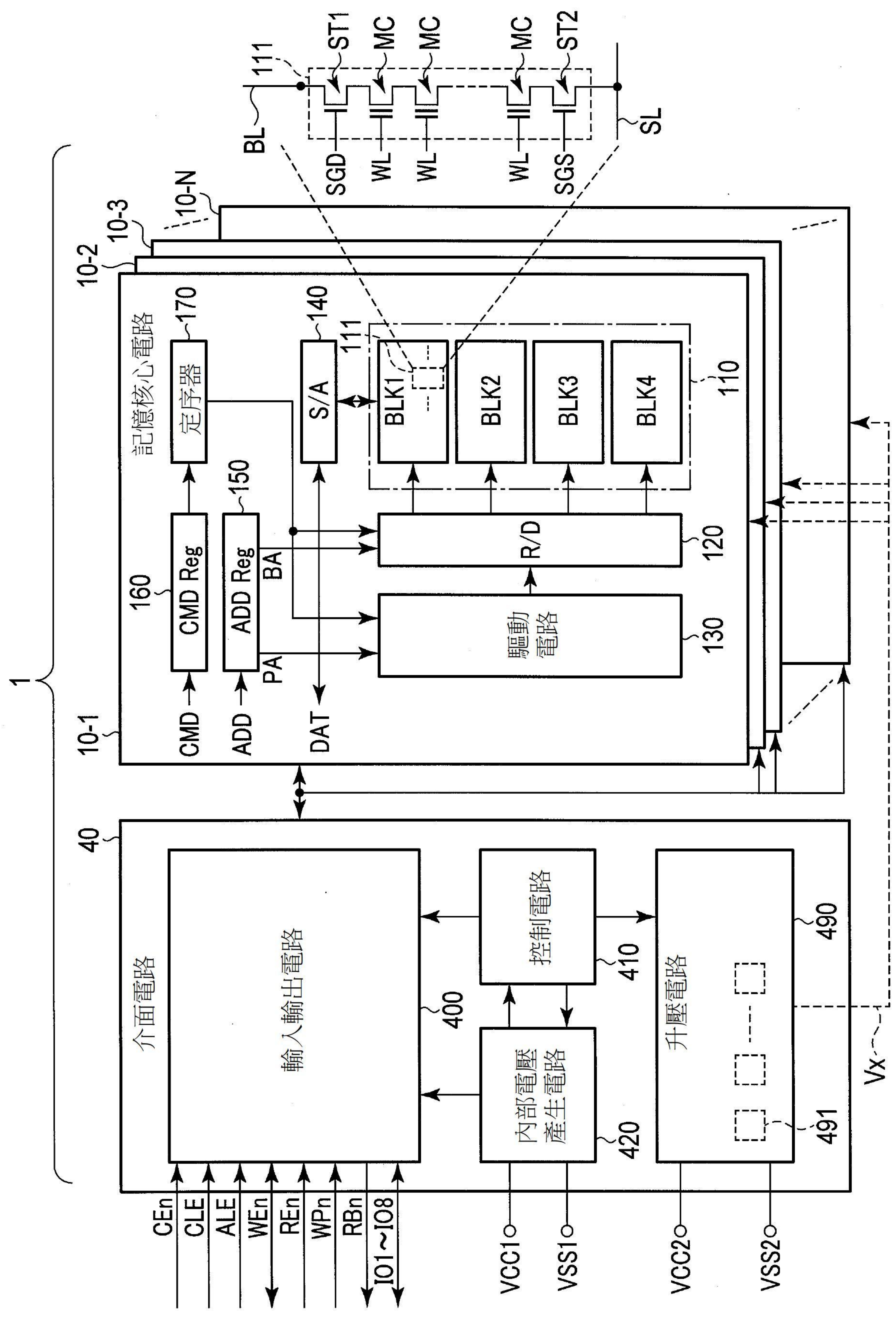
上述第2電路基於上述第1位準之上述第1信號，而將上述第2控制信號之信號位準設定為上述第1位準，且

上述第1接收電路係基於上述第1位準之上述第2控制信號，而被設定為上述啟動狀態。

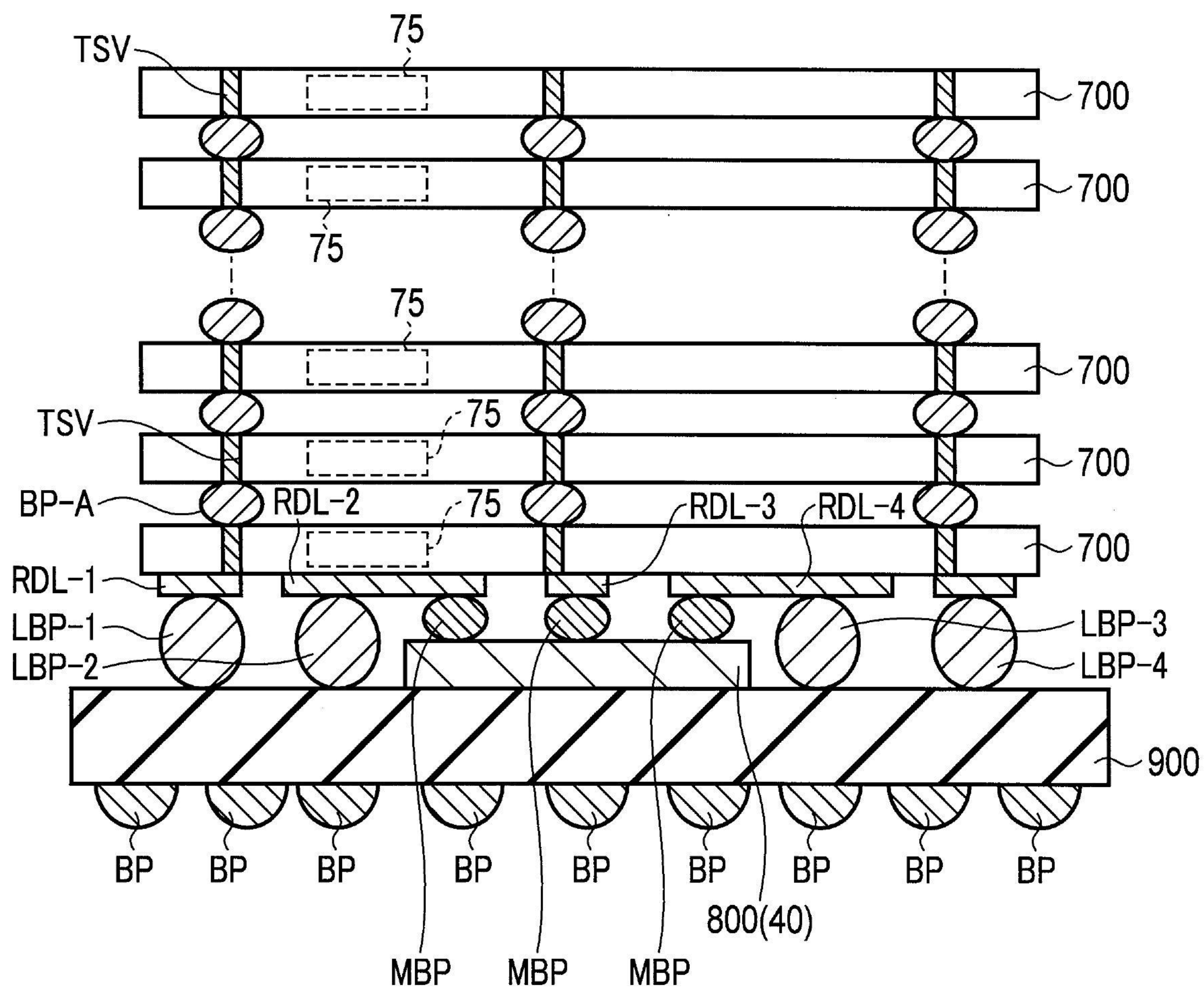
【發明圖式】



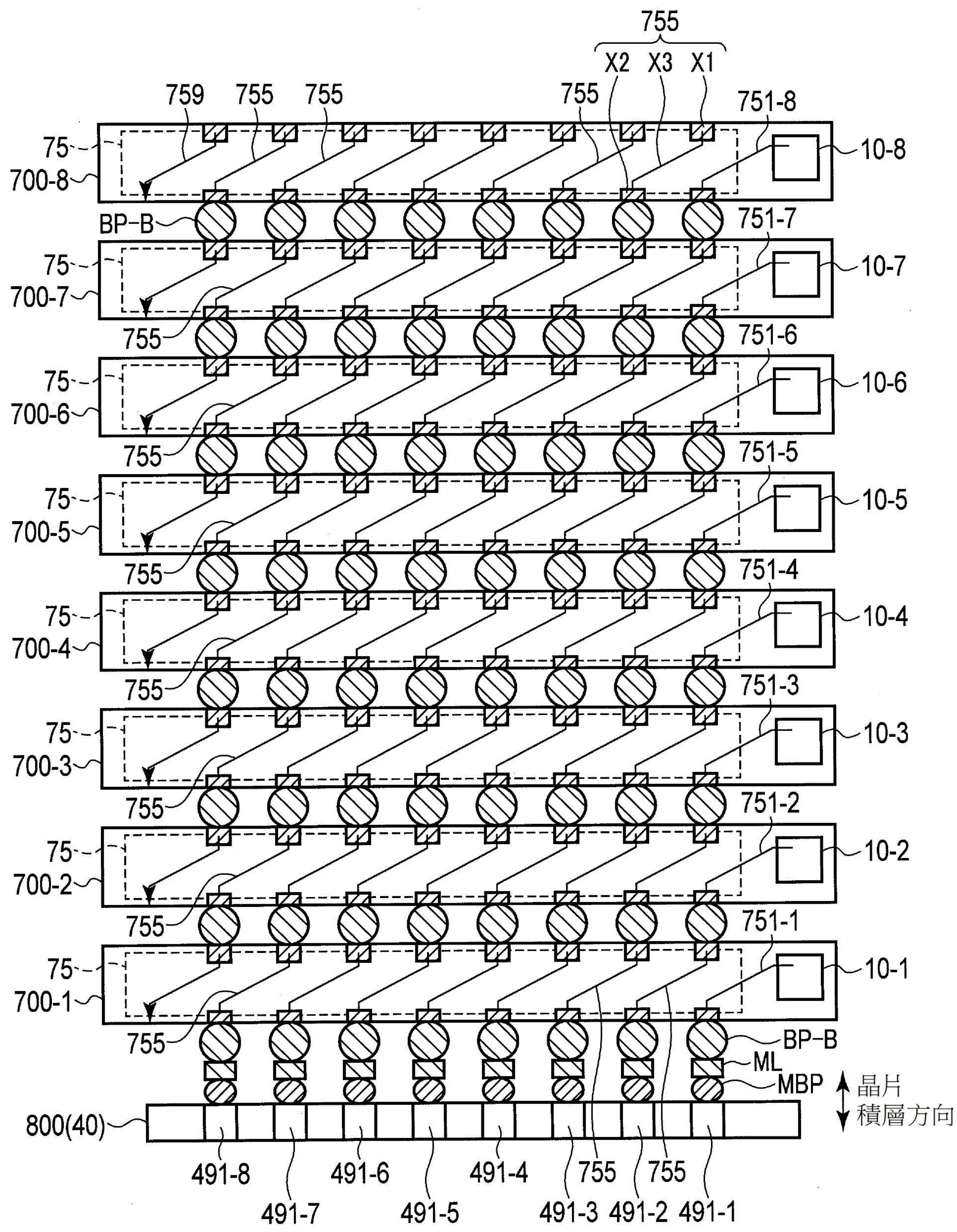
【圖1】



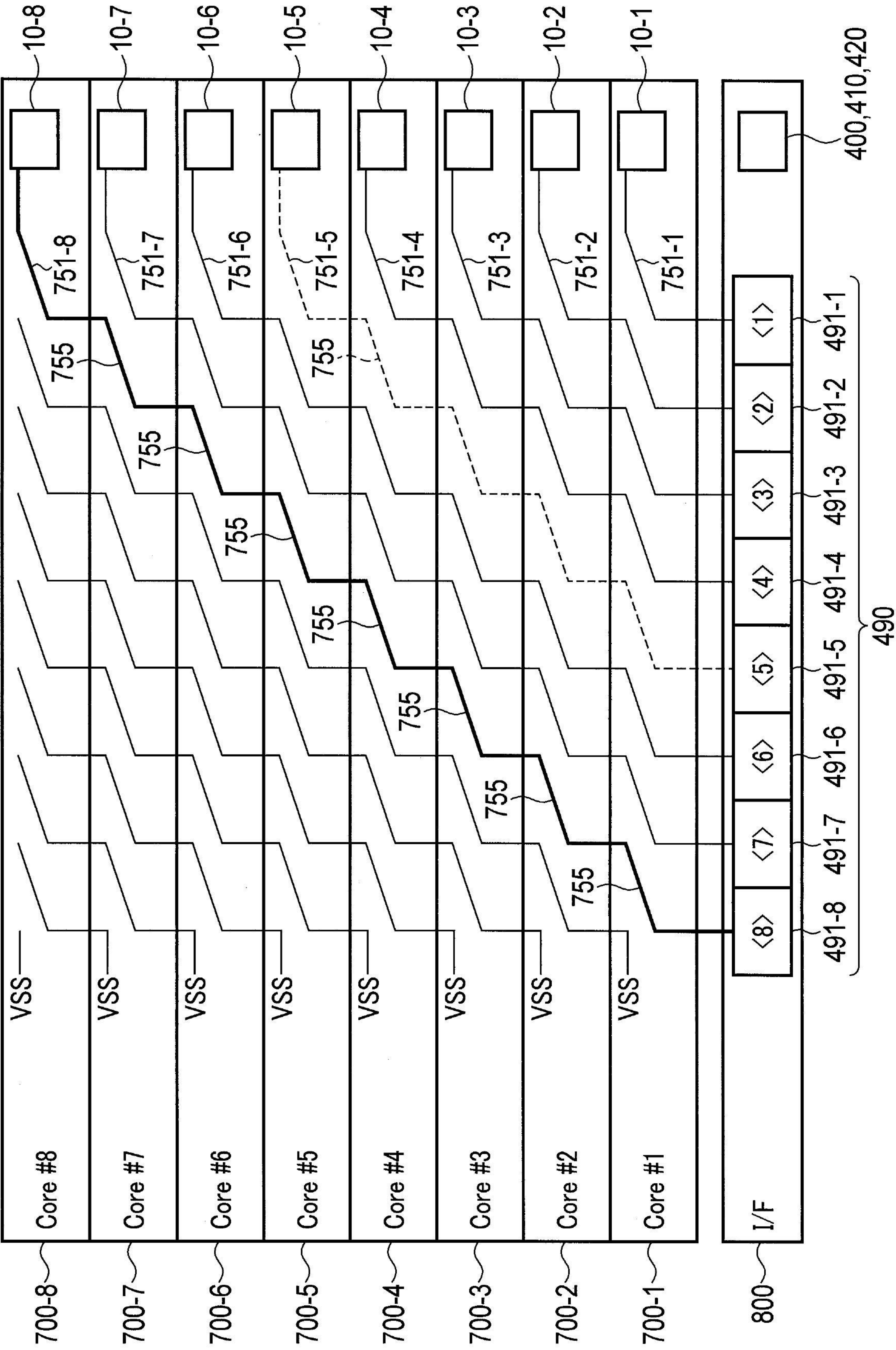
【圖2】



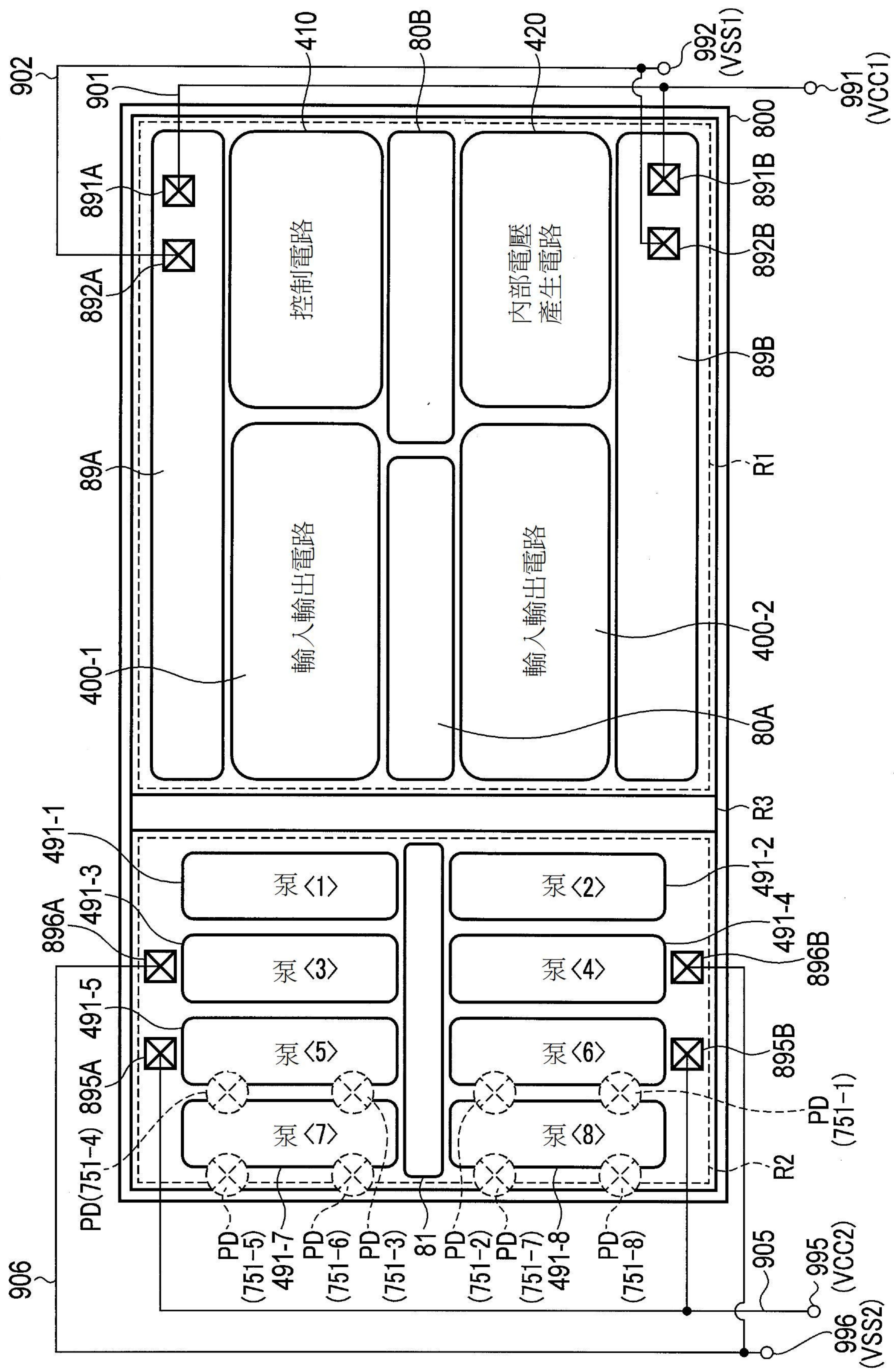
【圖3】



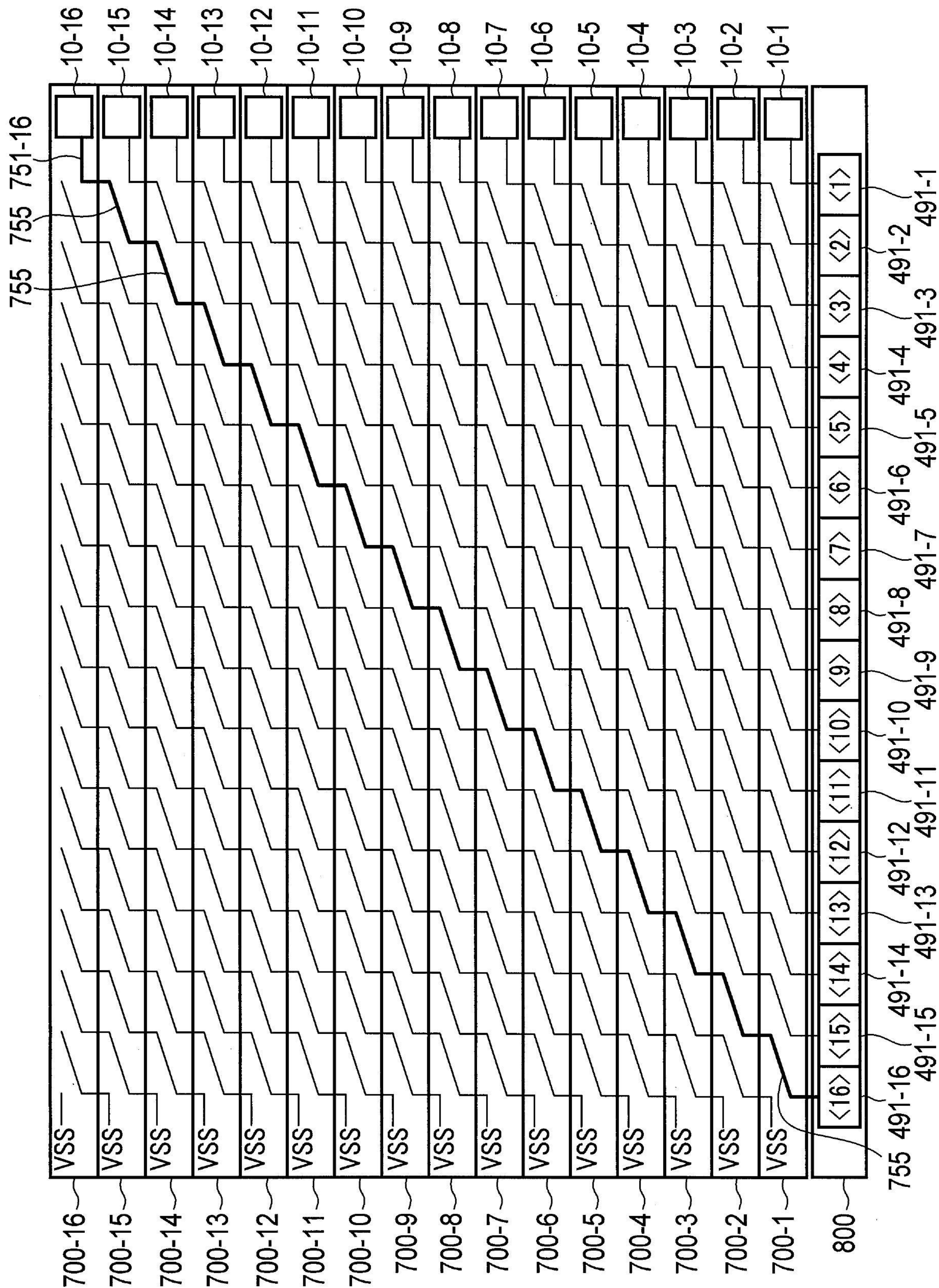
【圖4】



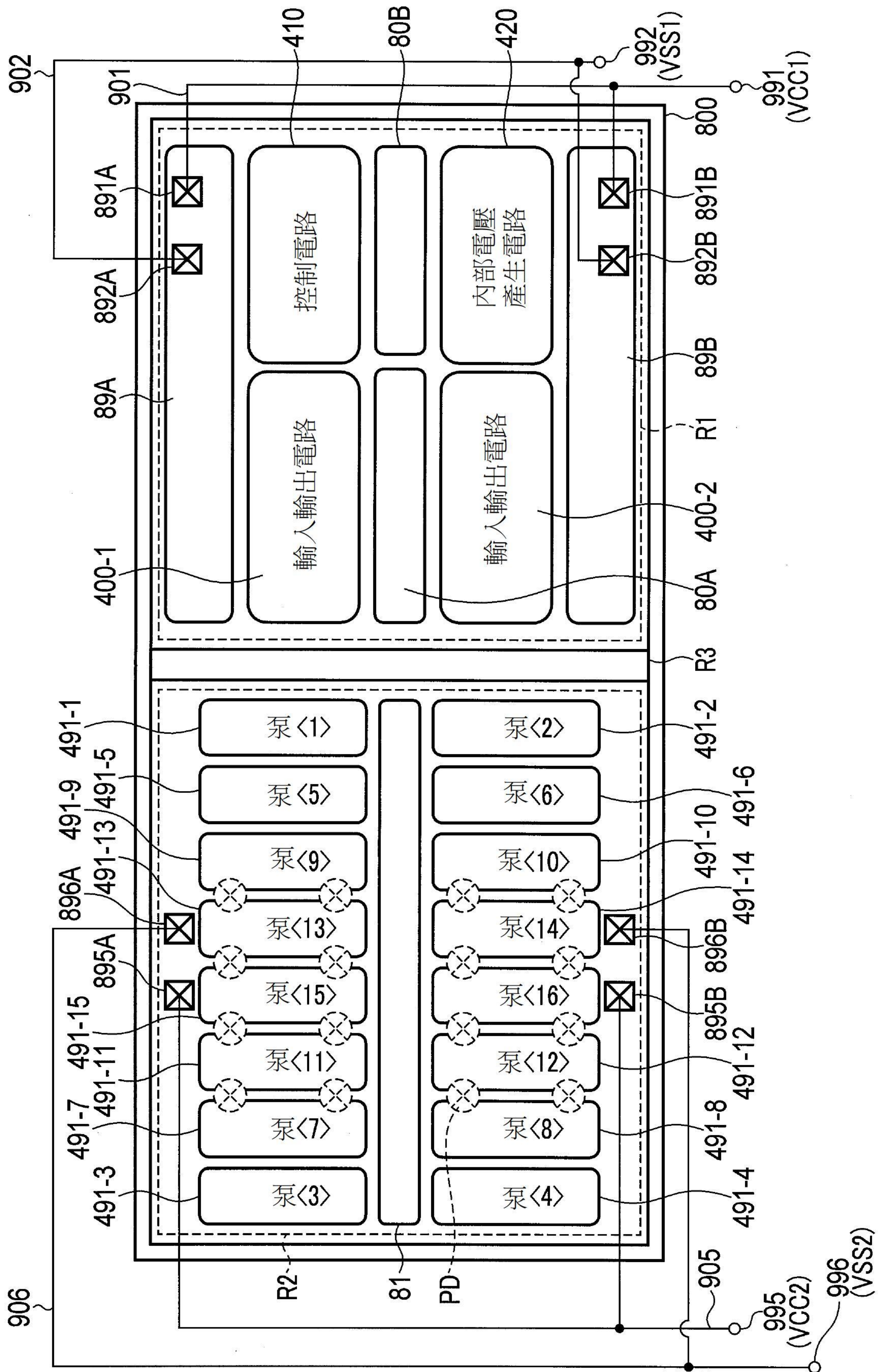
【圖5】



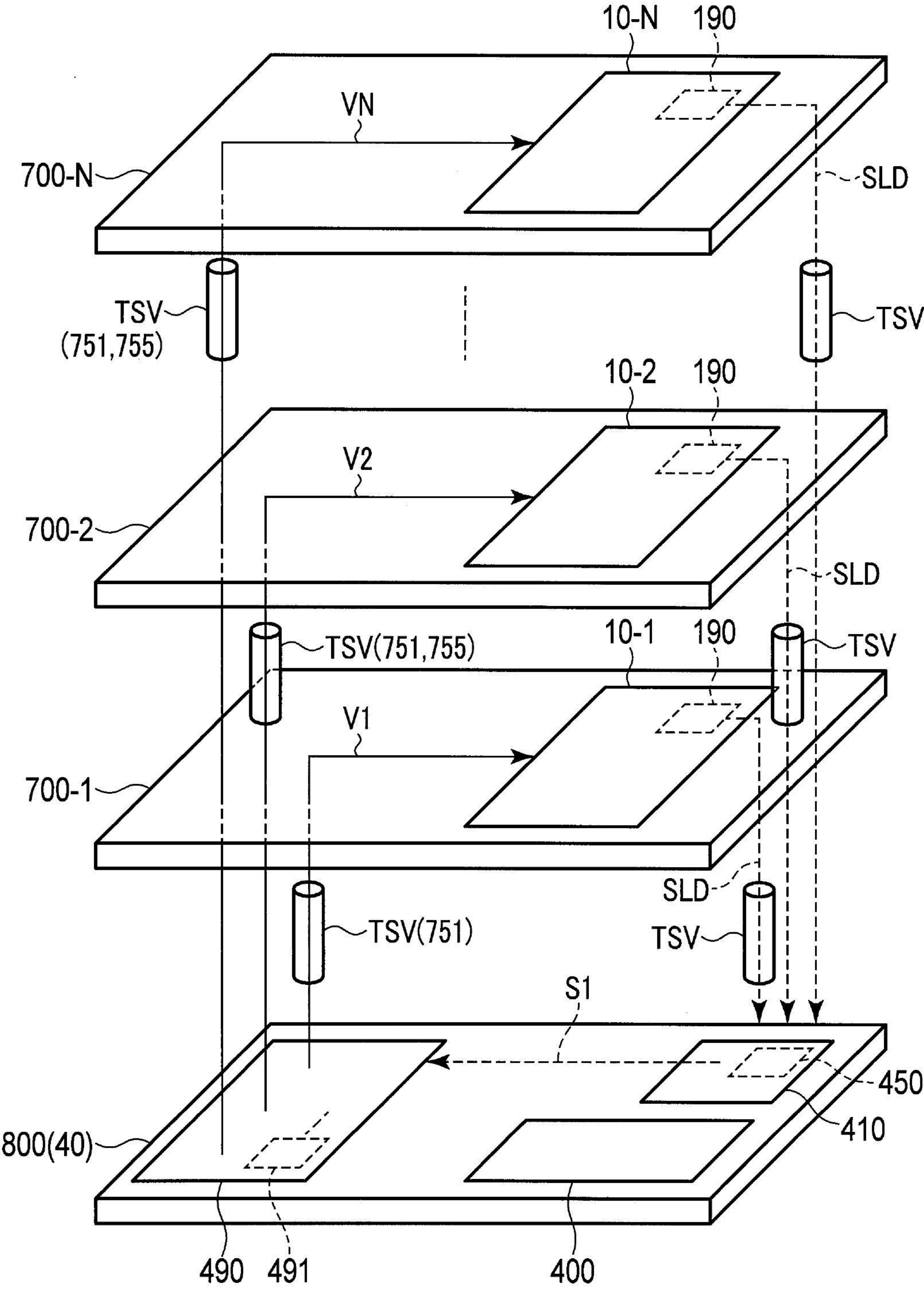
【圖6】



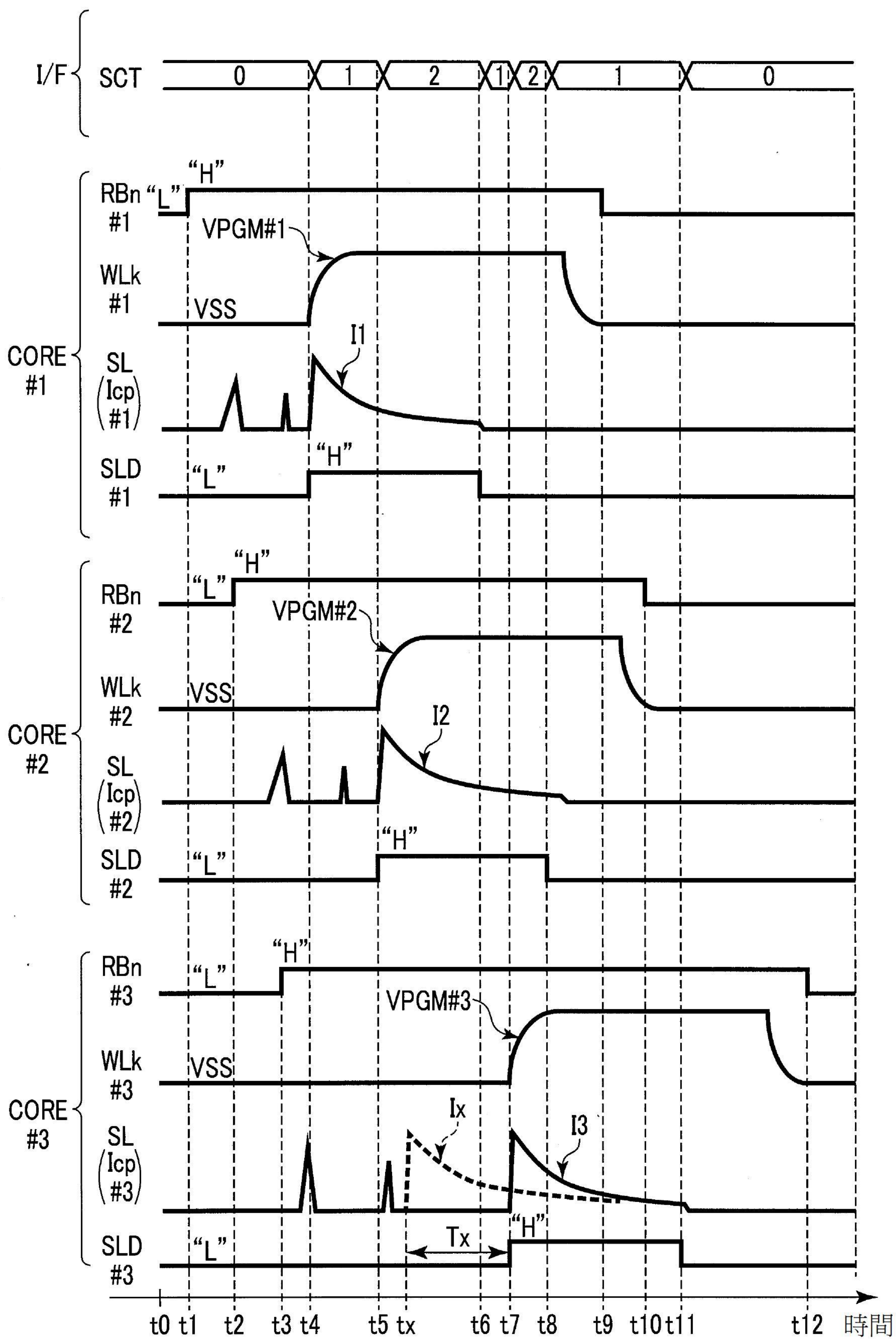
【圖7】



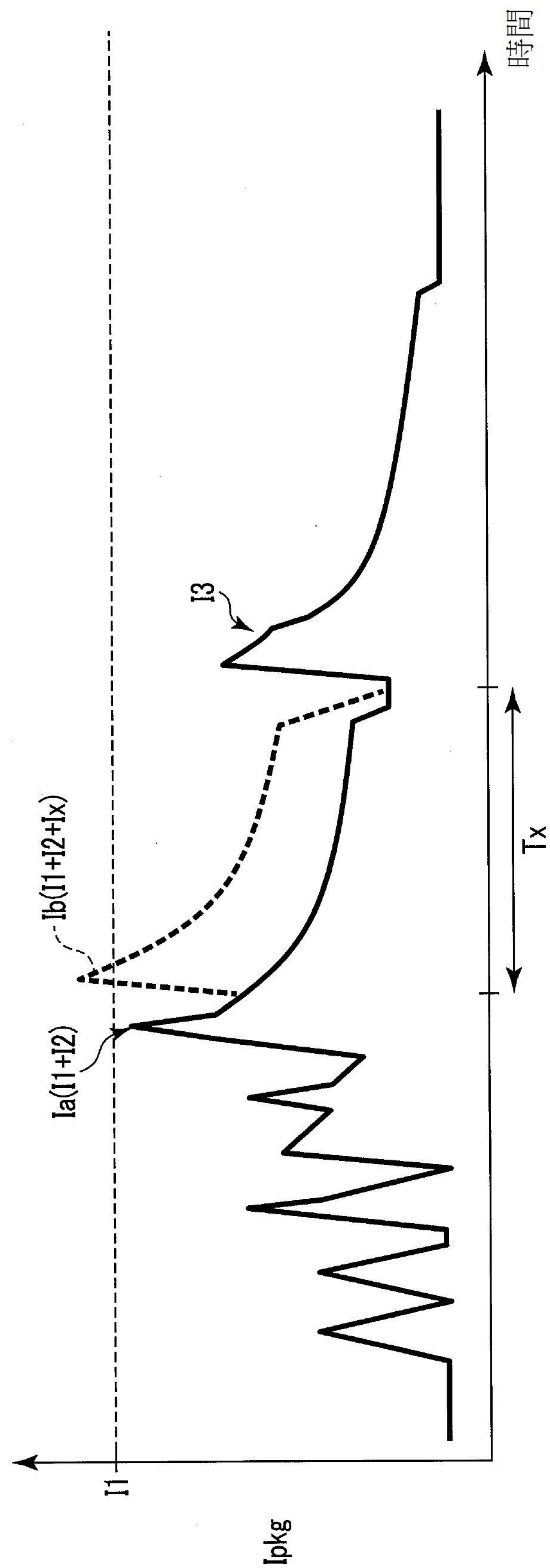
【圖8】



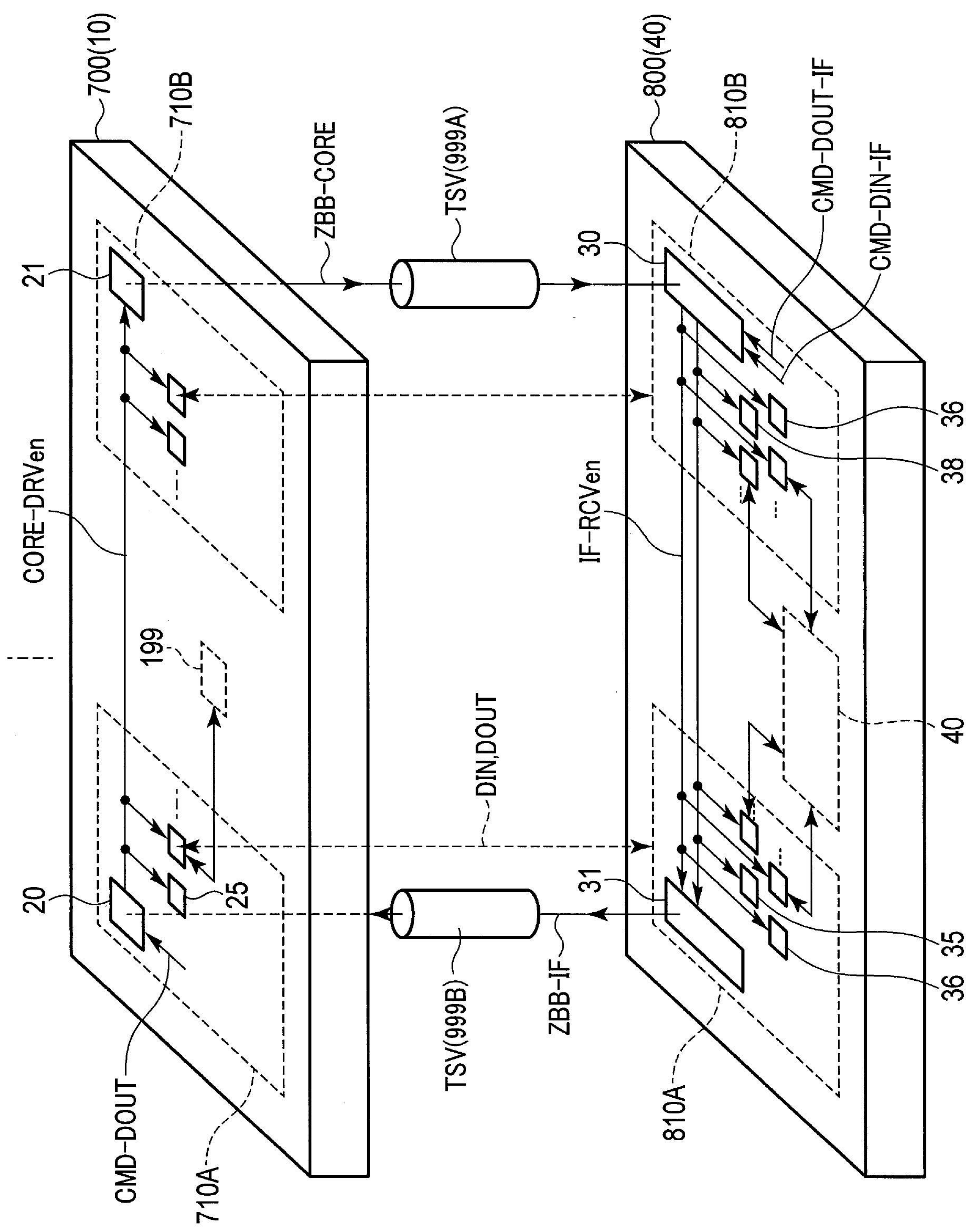
【圖9】



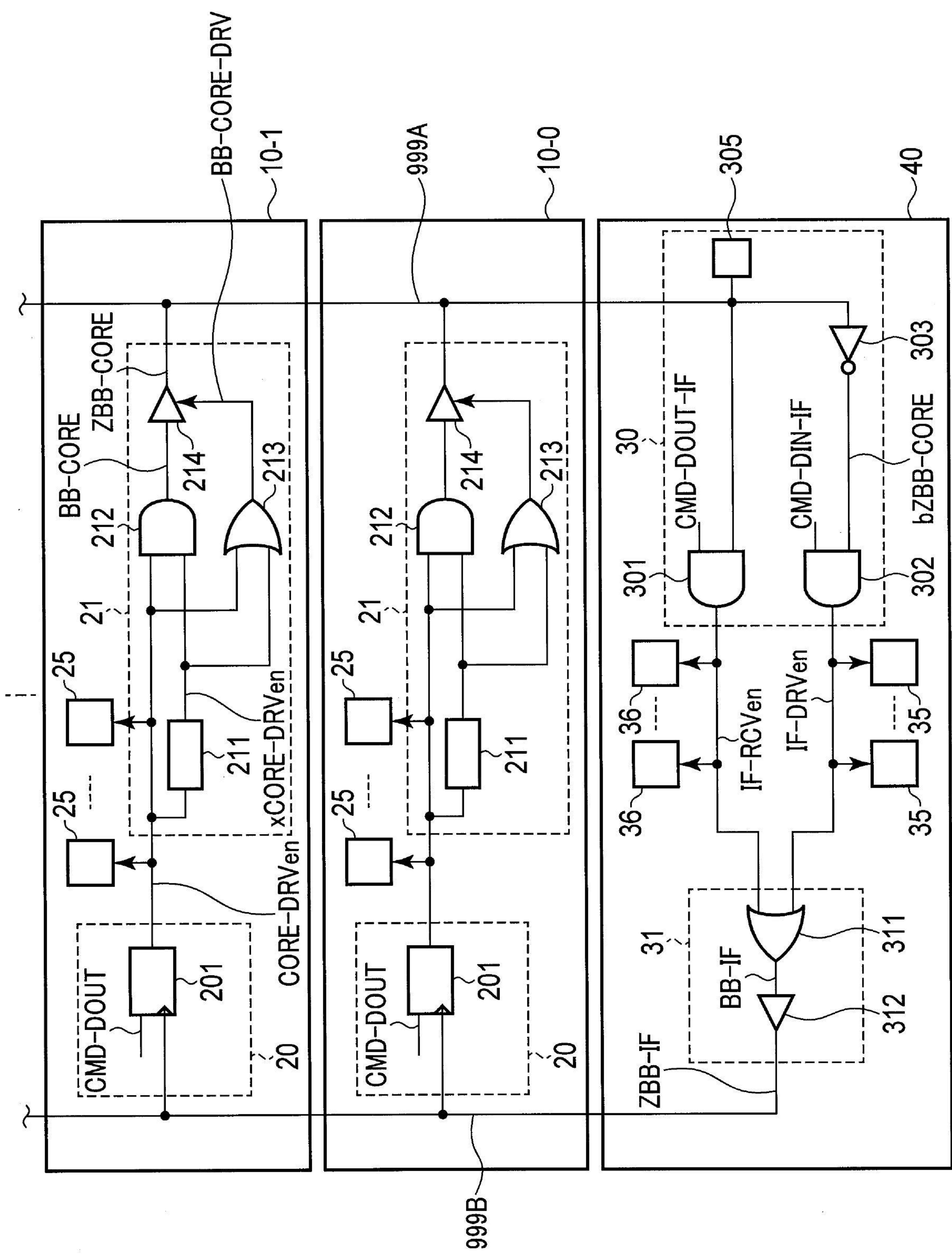
【圖10】



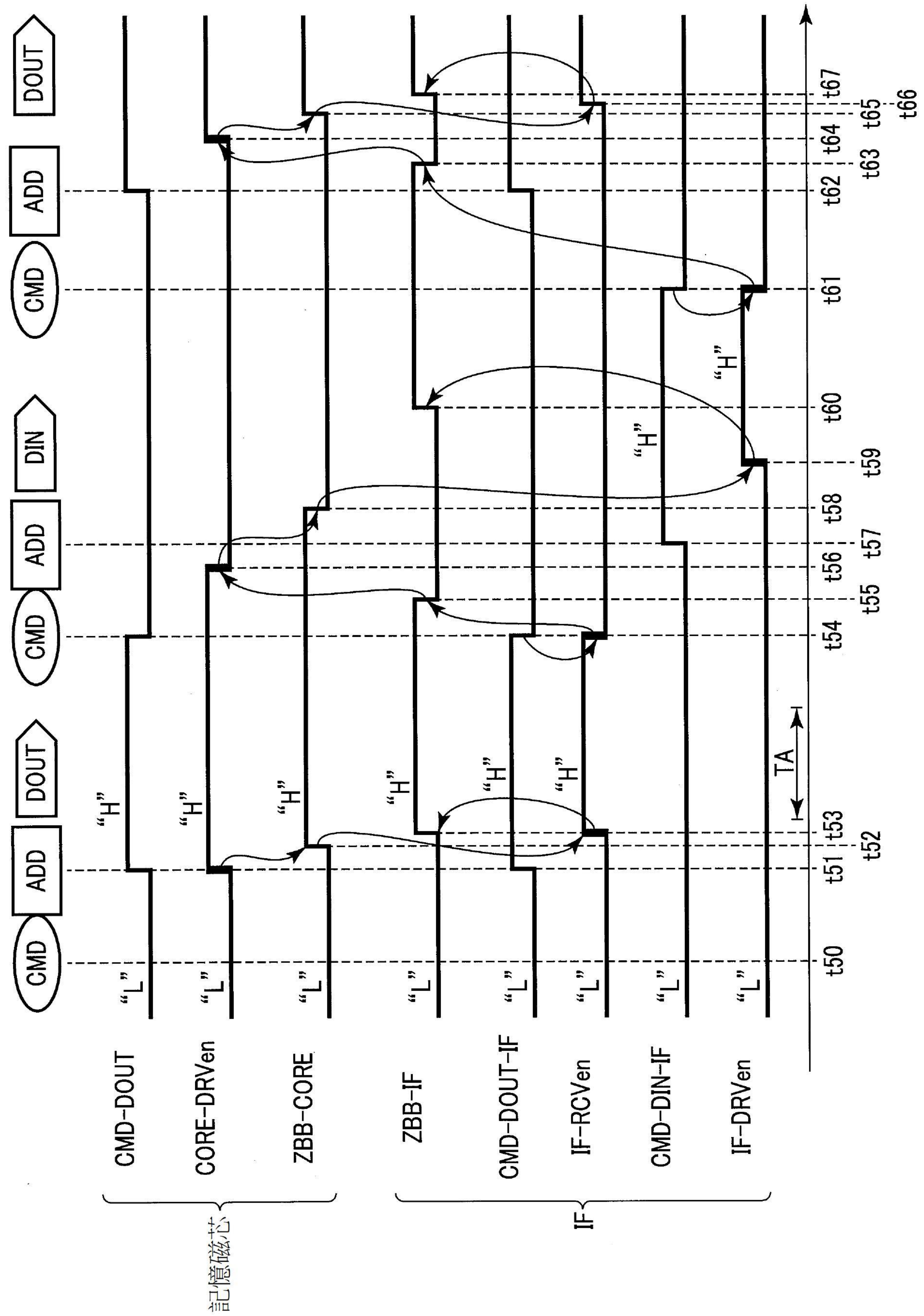
【圖11】



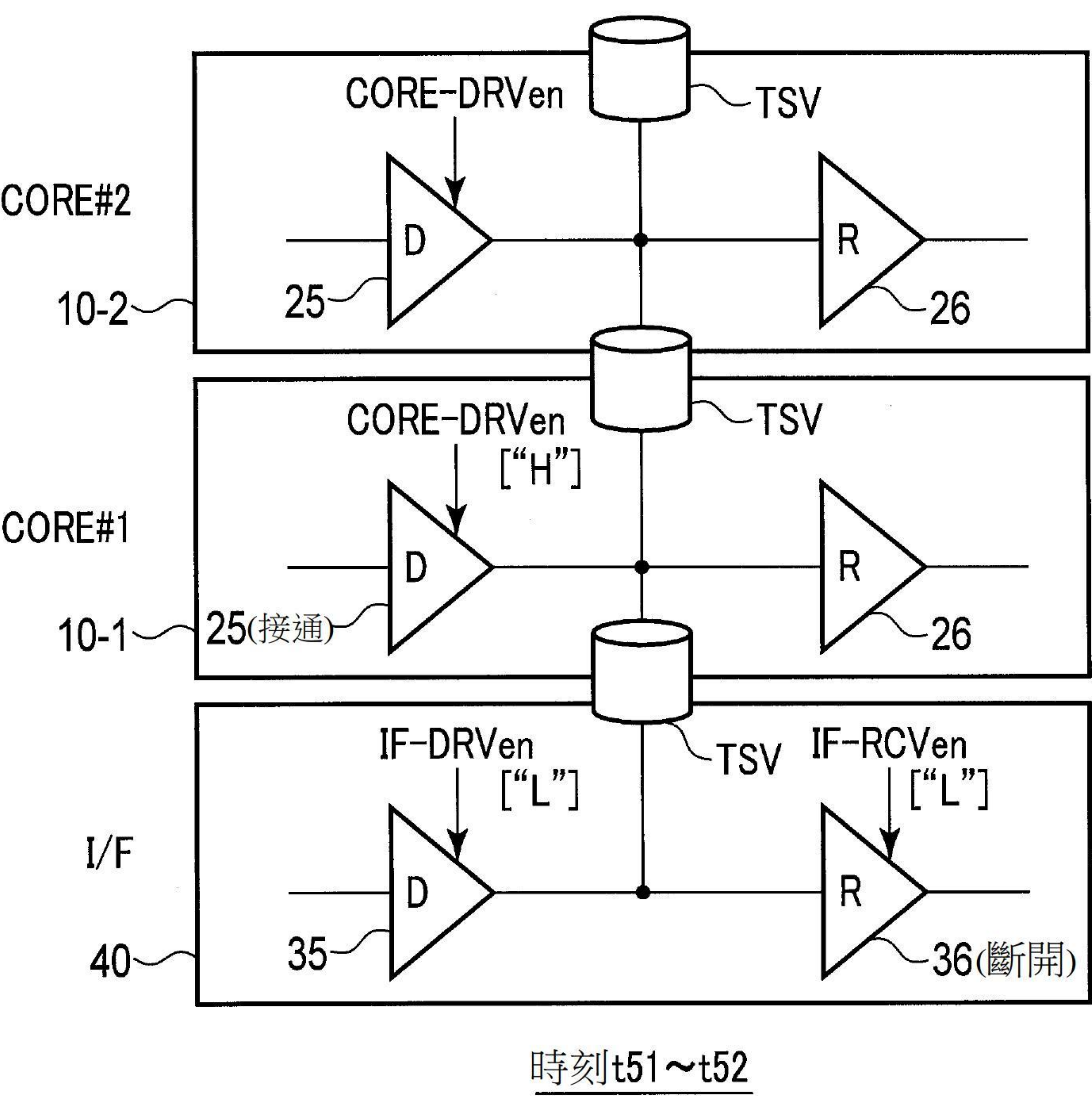
【圖12】



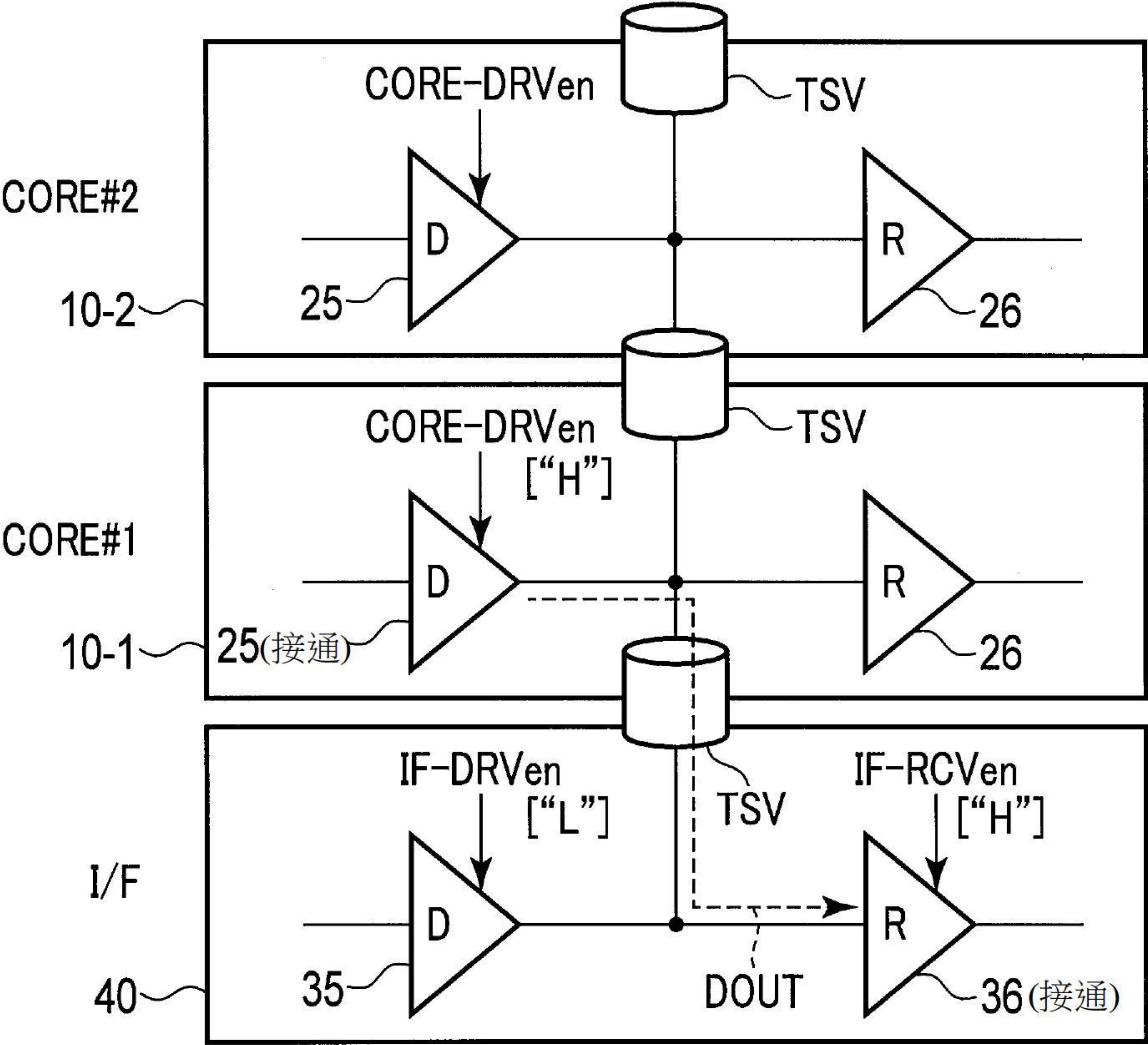
【圖13】



【圖14】

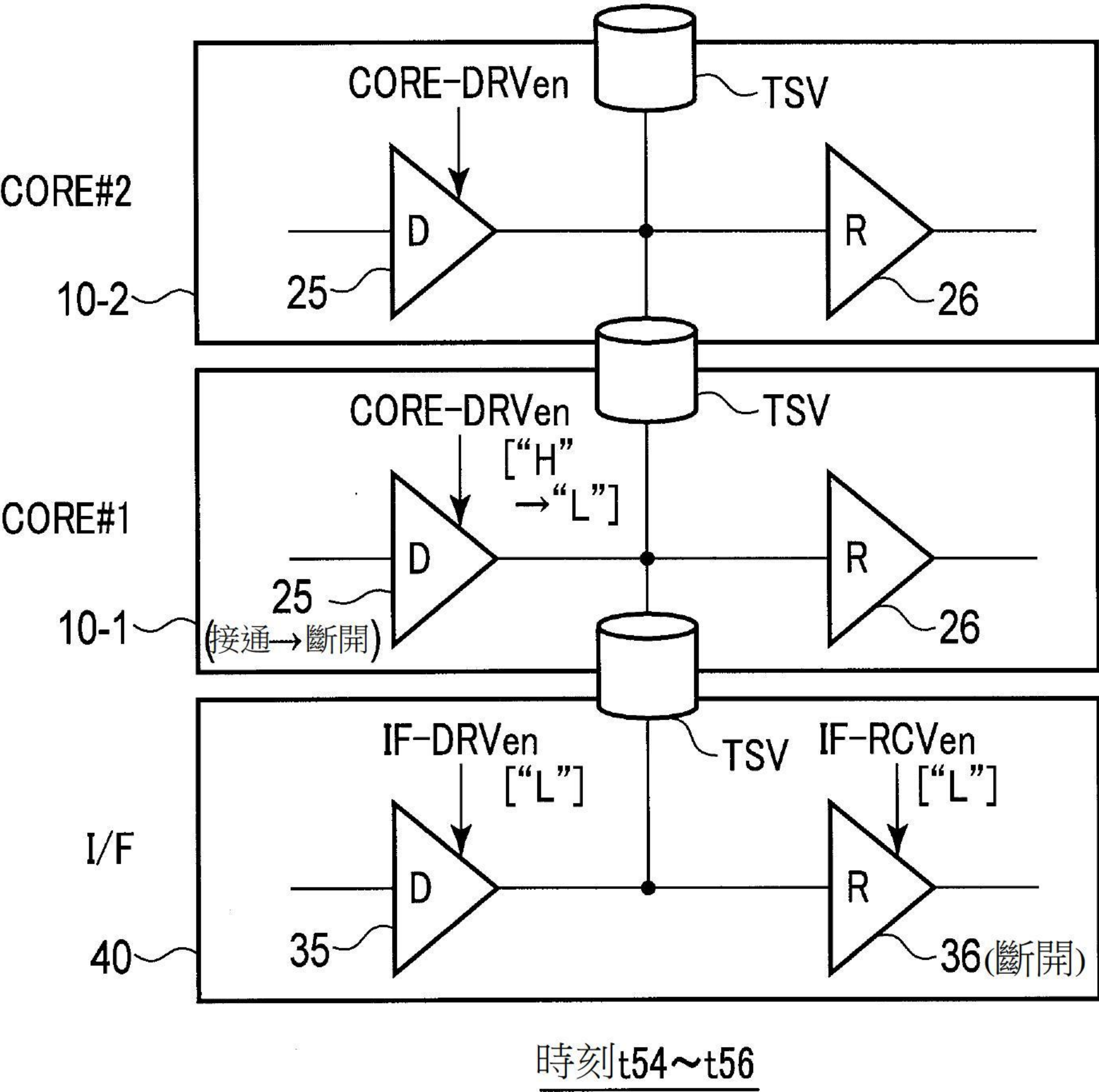


【圖15】

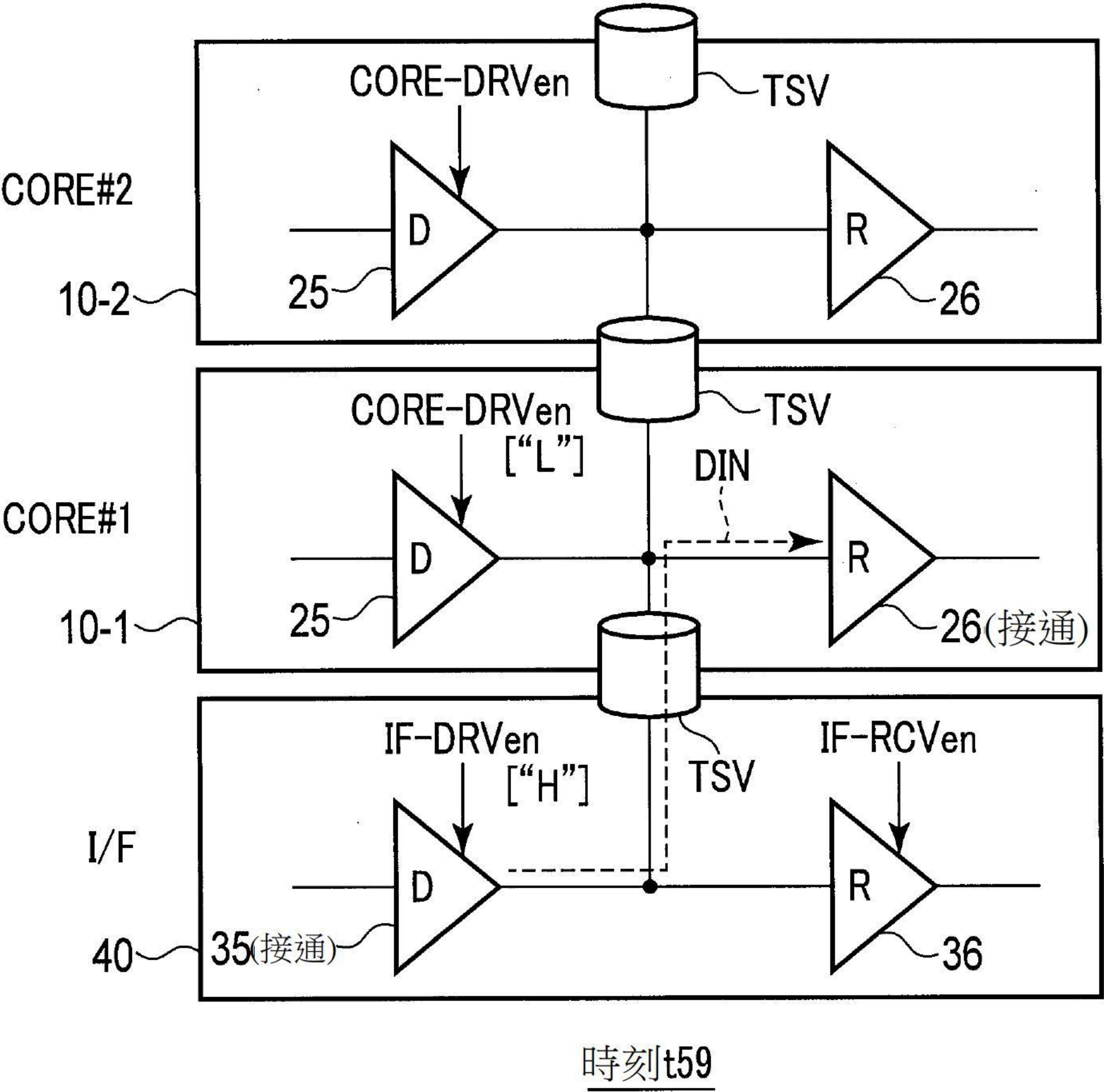


時刻t53

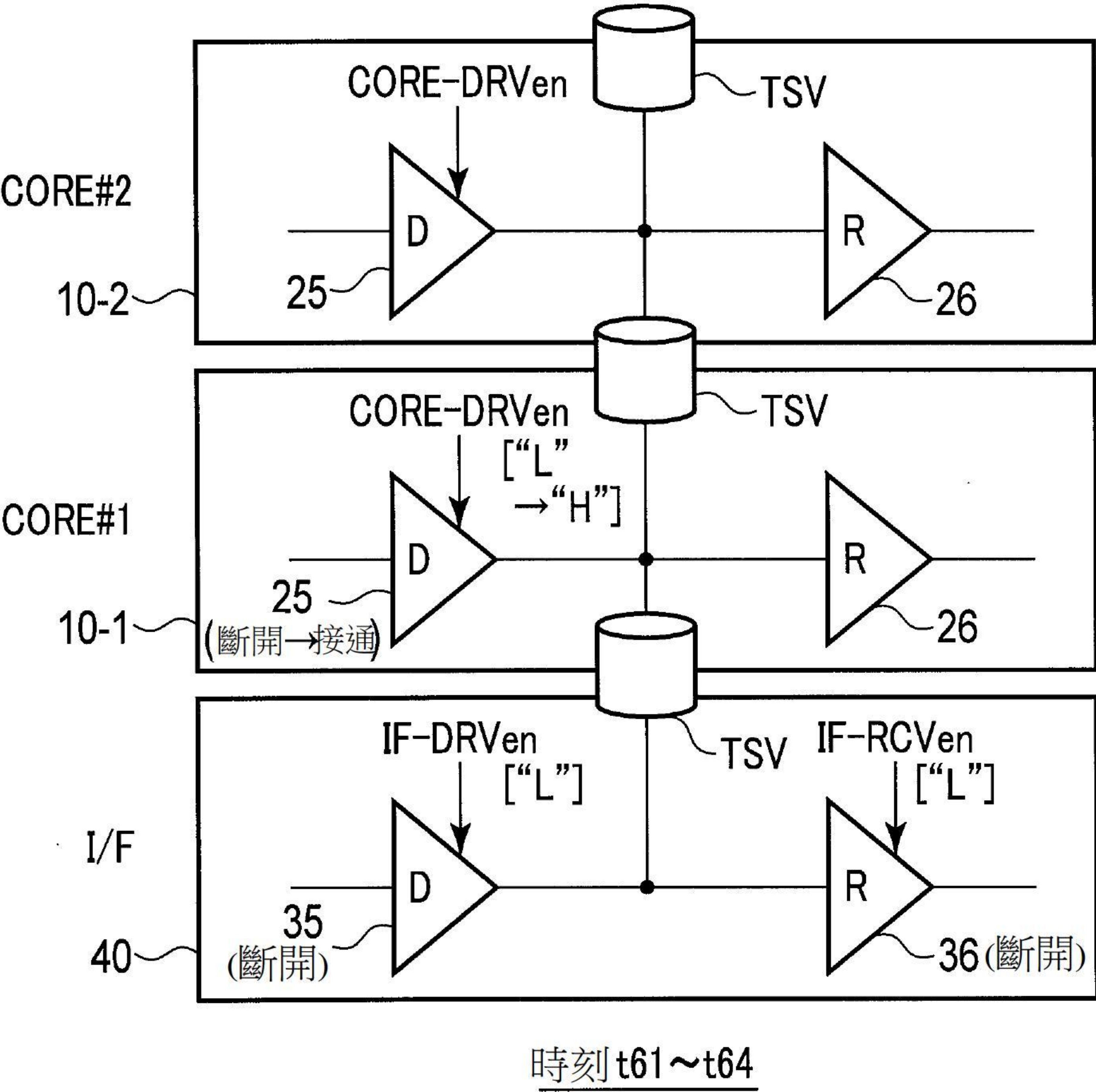
【圖16】



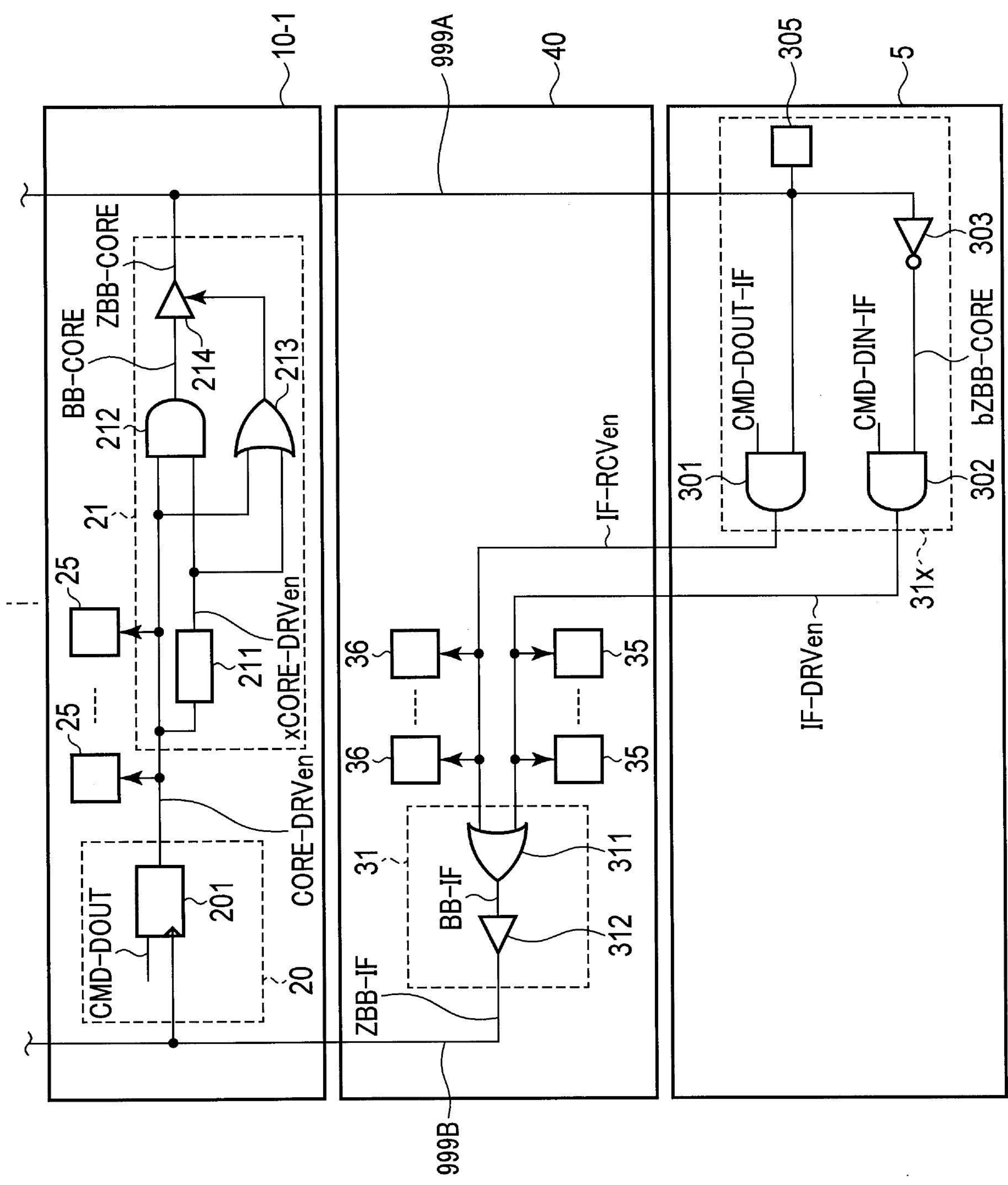
【圖17】



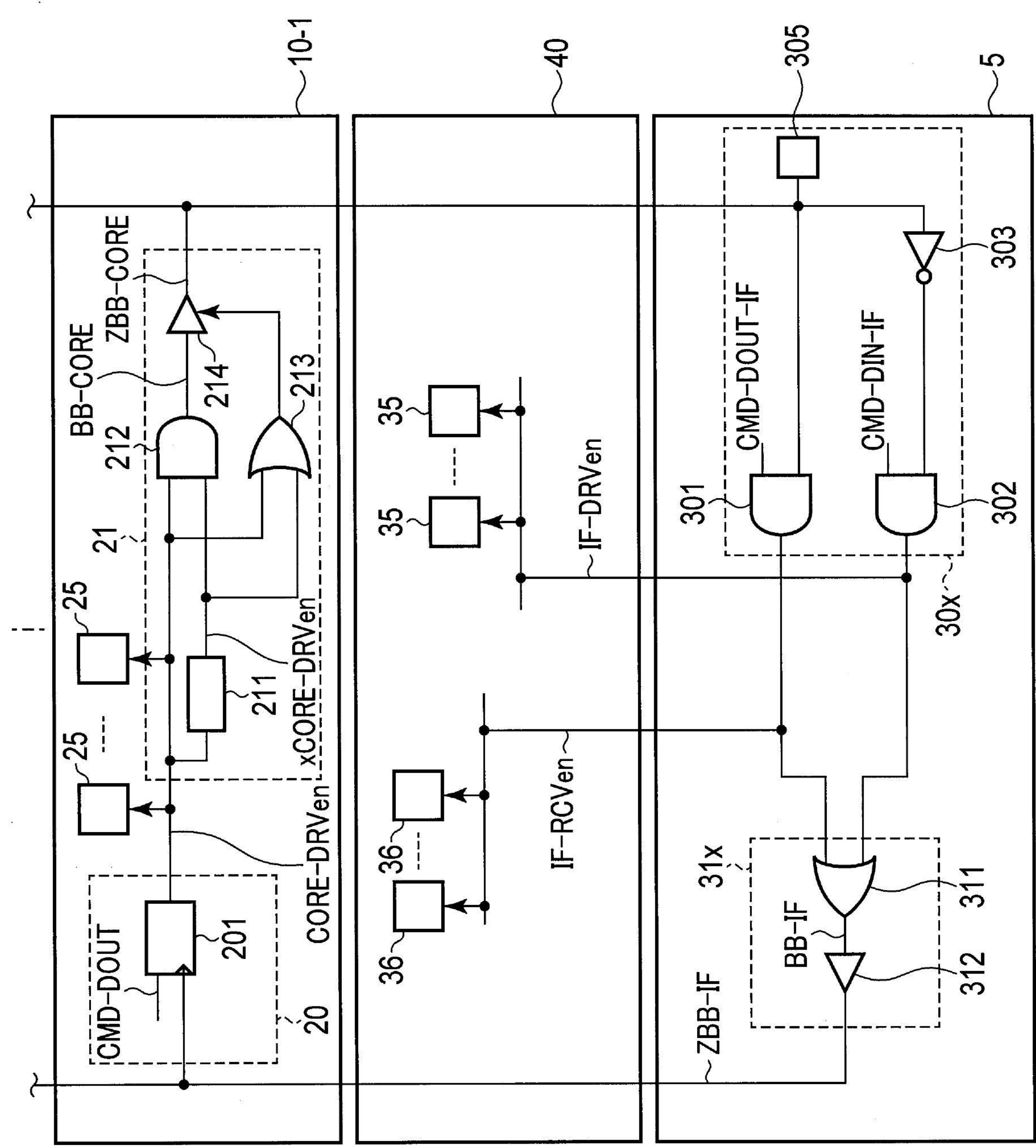
【圖18】



【圖19】



【圖20】



【圖21】