

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 30 日 (30.11.2017)



(10) 国际公布号
WO 2017/201822 A1

(51) 国际专利分类号:
G02F 1/1343 (2006.01)

(21) 国际申请号: PCT/CN2016/088918

(22) 国际申请日: 2016 年 7 月 6 日 (06.07.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610368409.8 2016 年 5 月 27 日 (27.05.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 周志超 (ZHOU, Zhichao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 夏慧 (XIA, Hui); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(54) Title: DISPLAY DEVICE, AND ARRAY SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 一种显示装置、阵列基板及其制造方法

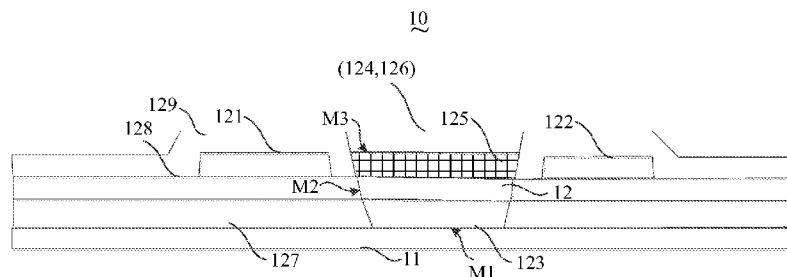


图 2

(57) Abstract: A display device (30), and an array substrate (10, 31) and a method for manufacturing same. The display device (30) comprises the array substrate (10, 31). The array substrate (10, 31) comprises: a base (11), and two gates (121, 122), a source (123), a drain (124), an active layer (125), and a pixel electrode (126) which are provided on the base (11). The drain (124) is connected with the pixel electrode (126). The source (123) and the drain (124) are separately in contact with the active layer (125). The two gates (121, 122) are used for controlling on-off of the active layer (125), so as to control the source (123) and the drain (124) to be connected with or disconnected from each other. The structure of the array substrate (10, 31) is capable of preventing threshold voltage offset.

(57) 摘要: 一种显示装置 (30)、阵列基板 (10、31) 及其制造方法。该显示装置 (30) 包括阵列基板 (10、31)。该阵列基板 (10、31) 包括: 基底 (11) 以及设置在基底 (11) 上的两个栅极 (121、122)、源极 (123)、漏极 (124)、有源层 (125) 以及像素电极 (126), 漏极 (124) 与像素电极 (126) 连接, 源极 (123) 和漏极 (124) 分别与有源层 (125) 接触, 两个栅极 (121、122) 用于控制有源层 (125) 的导通和截止, 从而控制源极 (123) 和漏极 (124) 之间的连通和断开。上述阵列基板 (10、31) 的结构能够防止阈值电压的偏移。

MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

说明书

发明名称：一种显示装置、阵列基板及其制造方法

[1] **【技术领域】**

[2] 本发明涉及显示技术领域，尤其是涉及一种显示装置、阵列基板及其制造方法。

[3] **【背景技术】**

[4] 在液晶面板工业中，目前的阵列基板常采用单一栅极结构，而单一栅极结构的在较长时间的工作后其载流子运输特性会发生变化。具体体现在其阈值电压会随工作时间的延长而发生正向偏移或是负向偏移(Stress特性)。由此使得阵列基板的工作不稳定。

[5] **【发明内容】**

[6] 本发明主要解决的技术问题是提供一种显示装置、阵列基板及其制造方法，能够有效防止阈值电压的变动。

[7] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种阵列基板，该阵列基板包括：基底以及设置在所述基底上的两个栅极、源极、漏极、有源层以及像素电极，其中，漏极与像素电极连接，所述源极和漏极分别与所述有源层接触，所述两个栅极用于控制所述有源层的导通和截止，从而控制所述源极和漏极之间的连通和断开。

[8] 其中，源极、两个栅极、有源层以及漏极依次层叠设置在所述基底上，并且所述漏极与像素电极同层设置。

[9] 其中，阵列基板还包括缓冲层，设置在所述基底上，所述缓冲层中设置有缓冲通孔，所述缓冲通孔露出所述基底，所述源极设置在所述缓冲通孔上，并与所述缓冲层的表面齐平。

[10] 其中，阵列基板还包括钝化层，设置在所述缓冲层和所述源极上，所述钝化层中设置有钝化通孔，所述钝化通孔露出所述源极，所述两个栅极分别设置在所述钝化层上，并位于所述钝化通孔的两侧，在形成所述栅极时形成于所述钝化通孔的栅极金属与所述源极接触，且所述形成于所述钝化通孔的栅极金属与所

述钝化层的表面齐平。

[11] 其中，阵列基板还包括栅极绝缘层，设置在所述两个栅极上，所述栅极绝缘层中设置有栅极绝缘通孔，所述栅极绝缘通孔露出位于所述钝化通孔中的栅极金属，所述有源层设置在所述栅极绝缘通孔中，所述漏极和所述像素电极设置在所述有源层上。

[12] 其中，所述有源层的材料为非晶硅、铟镓锌氧化物或者多晶硅，若采用非晶硅材料，则直接通过物理气相沉积方法生成n+非晶硅。

[13] 其中，所述漏极和像素电极为同一膜层，其为ITO电极或者MOTi电极。

[14] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种显示装置，该显示装置包括阵列基板，阵列基板包括：

[15] 基底以及设置在所述基底上的两个栅极、源极、漏极、有源层以及像素电极，其中，漏极与像素电极连接，所述源极和漏极分别与所述有源层接触，所述两个栅极用于控制所述有源层的导通和截止，从而控制所述源极和漏极之间的连通和断开。

[16] 其中，所述源极、两个栅极、有源层以及漏极依次层叠设置在所述基底上，并且所述漏极与所述像素电极同层设置。

[17] 其中，所述阵列基板还包括缓冲层，设置在所述基底上，所述缓冲层中设置有缓冲通孔，所述缓冲通孔露出所述基底，所述源极设置在所述缓冲通孔上，并与所述缓冲层的表面齐平。

[18] 其中，所述阵列基板还包括钝化层，设置在所述缓冲层和所述源极上，所述钝化层中设置有钝化通孔，所述钝化通孔露出所述源极，所述两个栅极分别设置在所述钝化层上，并位于所述钝化通孔的两侧，在形成所述栅极时形成于所述钝化通孔的栅极金属与所述源极接触，且所述形成于所述钝化通孔的栅极金属与所述钝化层的表面齐平。

[19] 其中，所述阵列基板还包括栅极绝缘层，设置在所述两个栅极上，所述栅极绝缘层中设置有栅极绝缘通孔，所述栅极绝缘通孔露出位于所述钝化通孔中的栅极金属，所述有源层设置在所述栅极绝缘通孔中，所述漏极和所述像素电极设置在所述有源层上。

- [20] 其中,所述有源层的材料为非晶硅、铟镓锌氧化物或者多晶硅,若采用非晶硅材料,则直接通过物理气相沉积方法生成n+非晶硅。
- [21] 其中,所述漏极和像素电极为同一膜层,其为ITO电极或者MOTi电极。
- [22] 为解决上述技术问题,本发明采用的又一个技术方案是:提供一种阵列基板的制造方法,该制造方法包括:提供一基底;在所述基底上依次层叠设置源极、两个栅极、有源层、漏极以及像素电极,其中,所述漏极与像素电极同层设置。
- [23] 其中,方法还包括:通过化学气相沉积法在所述基底上沉积一缓冲层,并进一步通过光照、干蚀刻以及去光阻工艺在所述缓冲层中形成缓冲通孔,所述缓冲通孔露出所述基底;通过物理气相沉积法、光照、湿蚀刻以及去光阻工艺在所述缓冲通孔的位置形成所述源极,所述源极与所述缓冲层的表面齐平。
- [24] 其中,方法还包括:通过化学气相沉积法在所述缓冲层和所述源极上形成一钝化层,并进一步通过光照、干蚀刻以及去光阻工艺在所述钝化层中形成钝化通孔,所述钝化通孔露出所述源极;通过物理气相沉积法在所述钝化层上形成一栅极金属层,并通过光照、湿蚀刻以及去光阻工艺在位于所述钝化通孔的两侧形成两个所述栅极以及在所述钝化通孔中形成栅极金属,所述栅极金属与所述源极接触,并与所述钝化层的表面齐平。
- [25] 其中,方法还包括:通过物理气相沉积法在所述栅极上形成一栅极绝缘层,并通过光照、干蚀刻以及去光阻工艺在所述栅极绝缘层中形成栅极绝缘通孔,所述栅极绝缘通孔露出位于所述钝化通孔中的栅极金属;
- [26] 通过化学气相沉积法、光照、干蚀刻以及去光阻工艺在所述栅极绝缘通孔中形成所述有源层;通过物理气相沉积法在所述有源层和所述栅极绝缘层上形成一漏极金属层,并进一步通过光照、湿蚀刻以及去光阻工艺在所述有源层上形成所述漏极和像素电极。
- [27] 本发明的有益效果是:区别于现有技术的情况,本发明提供一种显示装置、阵列基板及其制造方法。该阵列基板包括基底以及设置在基底上的两个栅极、源极、漏极、有源层以及像素电极,其中,漏极与像素电极连接,源极和漏极分别与有源层接触,两个栅极用于控制有源层的导通和截止,从而控制源极和漏

极之间的连通和断开。因此，本发明的两个栅极结构能够有效防止阈值电压的变动。

[28] **【附图说明】**

[29] 图1是本发明实施例提供的一种阵列基板的结构示意图；

[30] 图2是图1所示的阵列基板沿虚线AB的剖视图；

[31] 图3是本发明实施例提供的一种显示装置的结构示意图；

[32] 图4是本发明实施例提供的一种阵列基板的制造方法的流程图；

[33] 图5是对应图4所示的制造方法的一制程图；

[34] 图6是对应图4所示的制造方法的另一制程图。

[35] **【具体实施方式】**

[36] 请参阅图1和图2，图1是本发明实施例提供的一种阵列基板的结构示意图，图2是图1所示的阵列基板沿虚线AB的剖视图。如图1和图2所示，本实施例的阵列基板10包括基底11以及设置在基底11上的两个栅极121和122、源极123、漏极124、有源层125以及像素电极126。其中，漏极124与像素电极126连接，源极123和漏极124分别与有源层125接触，两个栅极121和122用于控制有源层125的导通和截止，从而控制源极123和漏极124之间的连通和断开。其中，源极123、两个栅极121和122、有源层125以及漏极124依次层叠设置在基底11上，并且漏极124与像素电极126同层设置。

[37] 本实施例中，设置了两个栅极121和122，并且两个栅极121和122处在源极123和漏极124之间，因此，能够有效防止阈值电压的变动。

[38] 进一步的，本实施例的阵列基板10还包括缓冲层127，其设置在基底11上，缓冲层127中设置有缓冲通孔M1，缓冲通孔M1露出基底11，源极123设置在缓冲通孔M1上，并与缓冲层127的表面齐平。应理解，阵列基板的数据线D和源极123是同层结构，两者在制造工艺上是同时形成的，因此，缓冲层127在设置数据线D的位置优选也设置缓冲通孔，使得数据线D同样设置在缓冲通孔上，并且与缓冲层127的表面齐平。

[39] 本实施例中，在缓冲层127上设置缓冲通孔，源极123和数据线D设置在缓冲通孔内，并且表面均与缓冲层127的表面齐平，一方面使得后续接其他膜层时不需

爬坡，防止爬坡影响膜层的电性连接，并且由于缓冲通孔与数据线D和源极123的图案完全一致，使得在制程工艺上省略一道光罩；另一方面由于金属线，即源极123和数据线D，埋于缓冲层127内，可以起到防止金属线氧化的作用。

[40] 进一步的，阵列基板10还包括钝化层128，设置在缓冲层127和源极123上，钝化层128中设置有钝化通孔M2，钝化通孔M2露出源极123，两个栅极121和122分别设置在钝化层128上，并位于钝化通孔M2的两侧，在形成栅极121和122时形成于钝化通孔M2的栅极金属12与源极123接触，且形成于钝化通孔M2的栅极金属12与钝化层128的表面齐平。也就是说，钝化通孔M2中的栅极金属12叠加在源极123上，作为源极123的一部分，增加源极123的厚度，由此增强了源极123的电场强度。进一步的，由于形成于钝化通孔M2的栅极金属12与钝化层128的表面齐平，由此方便栅极121和122对源极123的控制。

[41] 本实施例中，两个栅极121和122对称设置在有源层125的两侧，由下文可知钝化通孔M2内设置有源层125，能进一步改善阵列基板的Stress特性。

[42] 应理解，本实施例的阵列基板10的扫描线S和栅极121和122是同层结构，两者在制造工艺上是同时形成的。

[43] 进一步的，阵列基板10还包括栅极绝缘层129，设置在两个栅极121和122上，栅极绝缘层129中设置有栅极绝缘通孔M3，栅极绝缘通孔M3露出位于钝化通孔M2中的栅极金属12，有源层125设置在栅极绝缘通孔M3中，漏极124和像素电极126设置在有源层125上。

[44] 本实施例中，有源层125的材料可以为非晶硅、IGZO（Indium Gallium Zinc Oxide，铟镓锌氧化物）或者多晶硅。若采用非晶硅材料，可以直接通过物理气相沉积方法生成n+非晶硅，即掺杂非晶硅，且无需干刻蚀制程对n+非晶硅进行切断。

[45] 本实施例中，漏极124和像素电极126优选为同一膜层，即像素电极126本身也作为漏极124。其中，像素电极126可以是ITO（Indium Tin Oxide，铟锡氧化物）电极或者MO（钼）Ti（钛）电极。

[46] 本发明还提供一种显示装置，如图3所示，显示装置30相对设置的阵列基板31和彩膜基板32，在阵列基板31和彩膜基板32之间设置液晶层33。其中，阵列基

板31为前文所述的阵列基板10，在此不再赘述。

[47] 本发明实施例还提供了一种阵列基板的制造方法，适用于前文所述的阵列基板10和31中，具体请参阅图4-6，本实施例的制造方法包括以下步骤：

[48] 步骤S1：提供一基底11。

[49] 步骤S2：在基底11上依次层叠设置源极123、两个栅极121和122、有源层125、漏极124以及像素电极126，其中，漏极124与像素电极126同层设置。

[50] 其中，步骤S2具体还包括：

[51] 步骤S21：通过化学气相沉积法在基底上沉积一缓冲层127，并进一步通过光照、干蚀刻以及去光阻工艺在缓冲层127中形成缓冲通孔M1，缓冲通孔露出M1基底11。

[52] 步骤S22：通过物理气相沉积法、光照、湿蚀刻以及去光阻工艺在缓冲通孔M1的位置形成源极123，源极123与缓冲层127的表面齐平。

[53] 在本步骤中，同时形成与源极123同层的数据线D。具体而言，在缓冲层127中设置数据线D的位置优选也设置缓冲通孔，使得数据线D同样设置在缓冲通孔上，并且与缓冲层127的表面齐平。

[54] 本步骤中，在缓冲层127上设置缓冲通孔，源极123和数据线D设置在缓冲通孔内，并且表面均与缓冲层127的表面齐平，一方面使得后续接其他膜层时不需爬坡，防止爬坡影响膜层的电性连接，并且由于缓冲通孔与数据线D和源极123的图案完全一致，使得在制程工艺上省略一道光罩；另一方面由于金属线，即源极123和数据线D，埋于缓冲层127内，可以起到防止金属线氧化的作用。

[55] 步骤S23：通过化学气相沉积法在缓冲层127和源极123上形成一钝化层128，并进一步通过光照、干蚀刻以及去光阻工艺在钝化层128中形成钝化通孔M2，钝化通孔M2露出源极123。

[56] 步骤S24：通过物理气相沉积法在钝化层上形成一栅极金属层12，并通过光照、湿蚀刻以及去光阻工艺在位于钝化通孔M2的两侧形成两个栅极121和122以及在钝化通孔M2中形成栅极金属，栅极金属与源极123接触，并与钝化层128的表面齐平。也就是说，钝化通孔M2中的栅极金属12叠加在源极123上，作为源极123的一部分，增加源极123的厚度，由此增强了源极123的电场强度。进一步的，

由于形成于钝化通孔M2的栅极金属12与钝化层128的表面齐平，由此方便栅极121和122对源极123的控制。

[57] 在本步骤中，同时形成与栅极121和122同层设置的扫描线S。

[58] 步骤S25：通过物理气相沉积法在栅极121和122上形成一栅极绝缘层129，并通过光照、干蚀刻以及去光阻工艺在栅极绝缘层129中形成栅极绝缘通孔M3，栅极绝缘通孔M3露出位于钝化通孔M2中的栅极金属12。

[59] 步骤S26：通过化学气相沉积法、光照、干蚀刻以及去光阻工艺在栅极绝缘通孔M3中形成有源层125。其中，有源层125的材料可以为非晶硅、IGZO（Indium Gallium Zinc Oxide，铟镓锌氧化物）或者多晶硅。若采用非晶硅材料，可以直接通过物理气相沉积方法生成n+非晶硅，即掺杂非晶硅，且无需干刻蚀制程对n+非晶硅进行切断。

[60] 步骤S27：通过物理气相沉积法在有源层125和栅极绝缘层129上形成一漏极金属层，并进一步通过光照、湿蚀刻以及去光阻工艺在有源层上形成漏极124和像素电极126。即像素电极126本身也作为漏极124。其中，像素电极126可以是ITO（Indium Tin Oxide，铟锡氧化物）电极或者MO（钼）Ti（钛）电极。

[61] 综上所述，本发明能够有效地防止阈值电压的变动。

[62] 以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种阵列基板，其中，所述阵列基板包括：
基底以及设置在所述基底上的两个栅极、源极、漏极、有源层以及像素电极，其中，漏极与像素电极连接，所述源极和漏极分别与所述有源层接触，所述两个栅极用于控制所述有源层的导通和截止，从而控制所述源极和漏极之间的连通和断开。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，所述源极、两个栅极、有源层以及漏极依次层叠设置在所述基底上，并且所述漏极与所述像素电极同层设置。
- [权利要求 3] 根据权利要求2所述的阵列基板，其中，所述阵列基板还包括缓冲层，设置在所述基底上，所述缓冲层中设置有缓冲通孔，所述缓冲通孔露出所述基底，所述源极设置在所述缓冲通孔上，并与所述缓冲层的表面齐平。
- [权利要求 4] 根据权利要求3所述的阵列基板，其中，所述阵列基板还包括钝化层，设置在所述缓冲层和所述源极上，所述钝化层中设置有钝化通孔，所述钝化通孔露出所述源极，所述两个栅极分别设置在所述钝化层上，并位于所述钝化通孔的两侧，在形成所述栅极时形成于所述钝化通孔的栅极金属与所述源极接触，且所述形成于所述钝化通孔的栅极金属与所述钝化层的表面齐平。
- [权利要求 5] 根据权利要求4所述的阵列基板，其中，所述阵列基板还包括栅极绝缘层，设置在所述两个栅极上，所述栅极绝缘层中设置有栅极绝缘通孔，所述栅极绝缘通孔露出位于所述钝化通孔中的栅极金属，所述有源层设置在所述栅极绝缘通孔中，所述漏极和所述像素电极设置在所述有源层上。
- [权利要求 6] 根据权利要求1所述的阵列基板，其中，所述有源层的材料为非晶硅、铟镓锌氧化物或者多晶硅，若采用非晶硅材料，则直接通过物理气相沉积方法生成n+非晶硅。
- [权利要求 7] 根据权利要求2所述的阵列基板，其中，所述漏极和像素电极为同

一膜层，其为ITO电极或者MOTi电极。

- [权利要求 8] 一种显示装置，其中，所述显示装置包括阵列基板，所述阵列基板包括：
- 基底以及设置在所述基底上的两个栅极、源极、漏极、有源层以及像素电极，其中，漏极与像素电极连接，所述源极和漏极分别与所述有源层接触，所述两个栅极用于控制所述有源层的导通和截止，从而控制所述源极和漏极之间的连通和断开。
- [权利要求 9] 根据权利要求8所述的显示装置，其中，所述源极、两个栅极、有源层以及漏极依次层叠设置在所述基底上，并且所述漏极与所述像素电极同层设置。
- [权利要求 10] 根据权利要求9所述的显示装置，其中，所述阵列基板还包括缓冲层，设置在所述基底上，所述缓冲层中设置有缓冲通孔，所述缓冲通孔露出所述基底，所述源极设置在所述缓冲通孔上，并与所述缓冲层的表面齐平。
- [权利要求 11] 根据权利要求10所述的显示装置，其中，所述阵列基板还包括钝化层，设置在所述缓冲层和所述源极上，所述钝化层中设置有钝化通孔，所述钝化通孔露出所述源极，所述两个栅极分别设置在所述钝化层上，并位于所述钝化通孔的两侧，在形成所述栅极时形成于所述钝化通孔的栅极金属与所述源极接触，且所述形成于所述钝化通孔的栅极金属与所述钝化层的表面齐平。
- [权利要求 12] 根据权利要求11所述的显示装置，其中，所述阵列基板还包括栅极绝缘层，设置在所述两个栅极上，所述栅极绝缘层中设置有栅极绝缘通孔，所述栅极绝缘通孔露出位于所述钝化通孔中的栅极金属，所述有源层设置在所述栅极绝缘通孔中，所述漏极和所述像素电极设置在所述有源层上。
- [权利要求 13] 根据权利要求8所述的显示装置，其中，所述有源层的材料为非晶硅、铟镓锌氧化物或者多晶硅，若采用非晶硅材料，则直接通过物理气相沉积方法生成n+非晶硅。

- [权利要求 14] 根据权利要求9所述的显示装置，其中，所述漏极和像素电极为同一膜层，其为ITO电极或者MOTi电极。
- [权利要求 15] 一种阵列基板的制造方法，其中，所述制造方法包括：
提供一基底；
在所述基底上依次层叠设置源极、两个栅极、有源层、漏极以及像素电极，其中，所述漏极与像素电极同层设置。
- [权利要求 16] 根据权利要求15所述的制造方法，其中，所述方法还包括：
通过化学气相沉积法在所述基底上沉积一缓冲层，并进一步通过光照、干蚀刻以及去光阻工艺在所述缓冲层中形成缓冲通孔，所述缓冲通孔露出所述基底；
通过物理气相沉积法、光照、湿蚀刻以及去光阻工艺在所述缓冲通孔的位置形成所述源极，所述源极与所述缓冲层的表面齐平。
- [权利要求 17] 根据权利要求16所述的制造方法，其中，所述方法还包括：
通过化学气相沉积法在所述缓冲层和所述源极上形成一钝化层，并进一步通过光照、干蚀刻以及去光阻工艺在所述钝化层中形成钝化通孔，所述钝化通孔露出所述源极；
通过物理气相沉积法在所述钝化层上形成一栅极金属层，并通过光照、湿蚀刻以及去光阻工艺在位于所述钝化通孔的两侧形成两个所述栅极以及在所述钝化通孔中形成栅极金属，所述栅极金属与所述源极接触，并与所述钝化层的表面齐平。
- [权利要求 18] 根据权利要求17所述的制造方法，其中，所述方法还包括：
通过物理气相沉积法在所述栅极上形成一栅极绝缘层，并通过光照、干蚀刻以及去光阻工艺在所述栅极绝缘层中形成栅极绝缘通孔，所述栅极绝缘通孔露出位于所述钝化通孔中的栅极金属；
通过化学气相沉积法、光照、干蚀刻以及去光阻工艺在所述栅极绝缘通孔中形成所述有源层；
通过物理气相沉积法在所述有源层和所述栅极绝缘层上形成一漏极金属层，并进一步通过光照、湿蚀刻以及去光阻工艺在所述有

源层上形成所述漏极和像素电极。

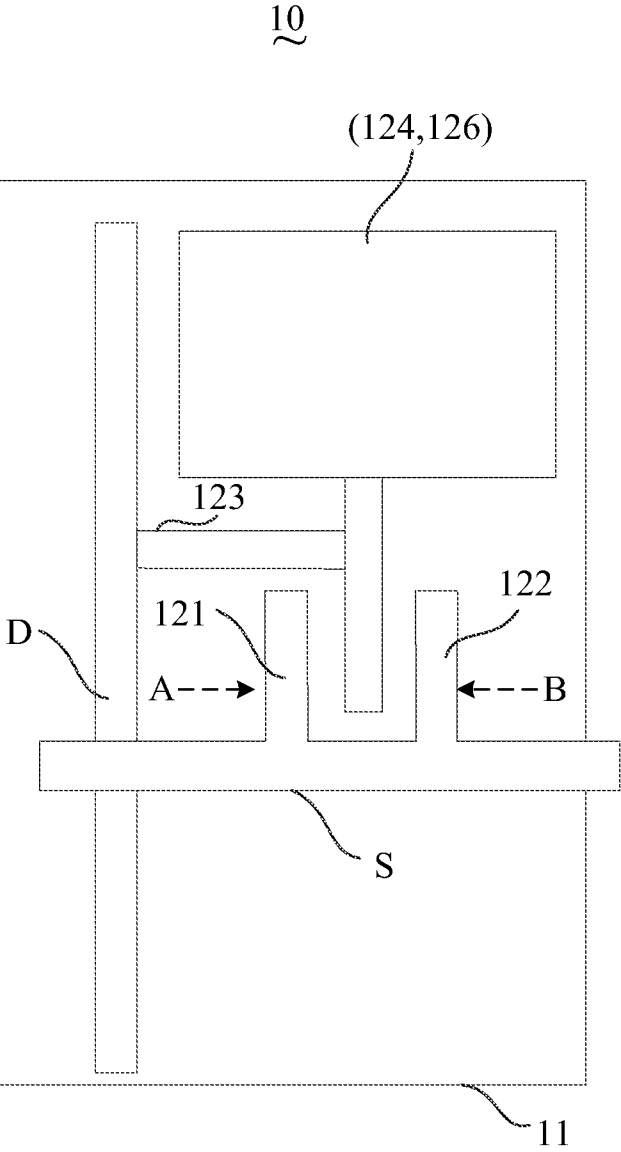


图 1

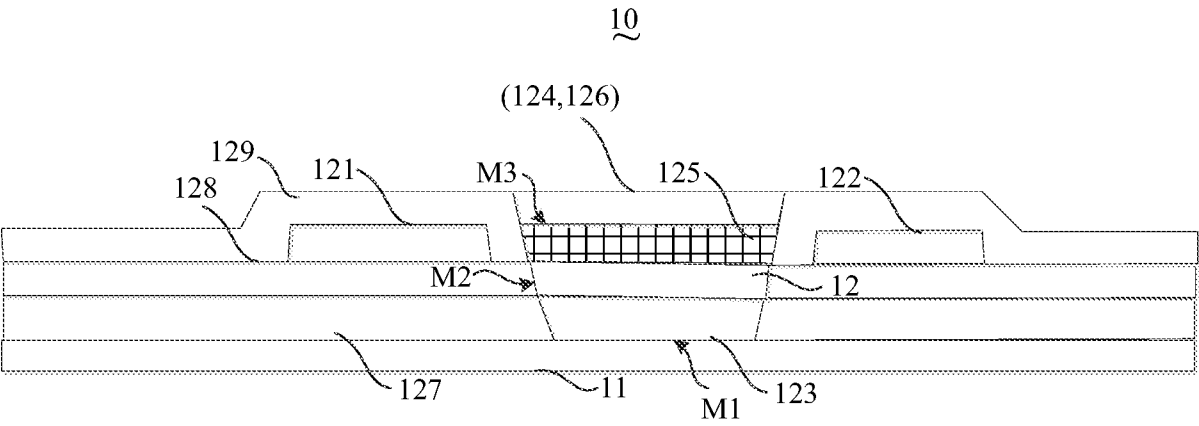


图 2

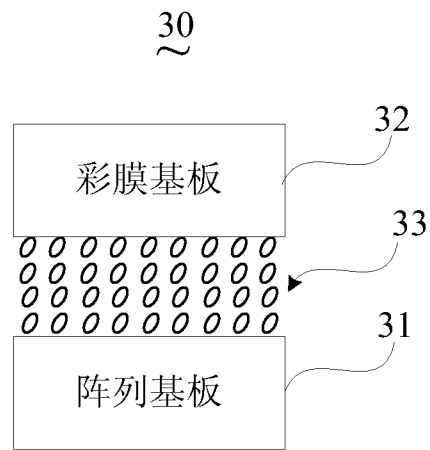


图 3

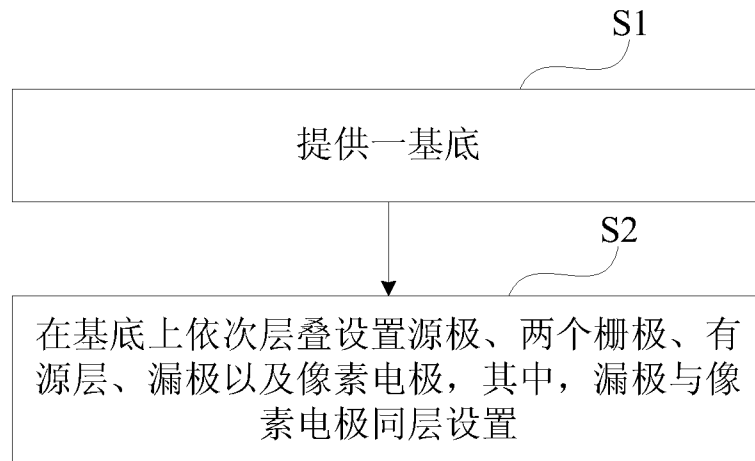


图 4

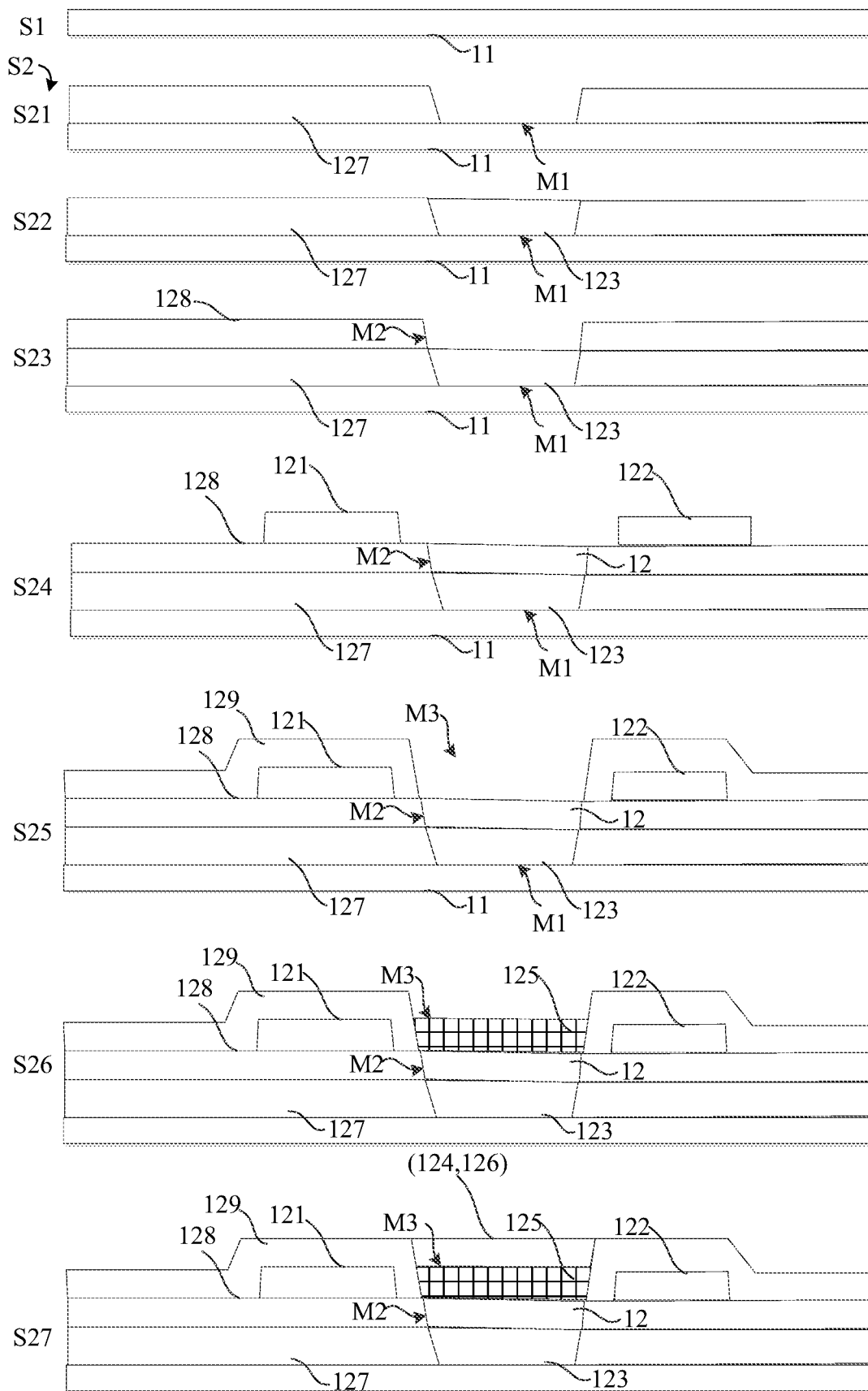


图 5

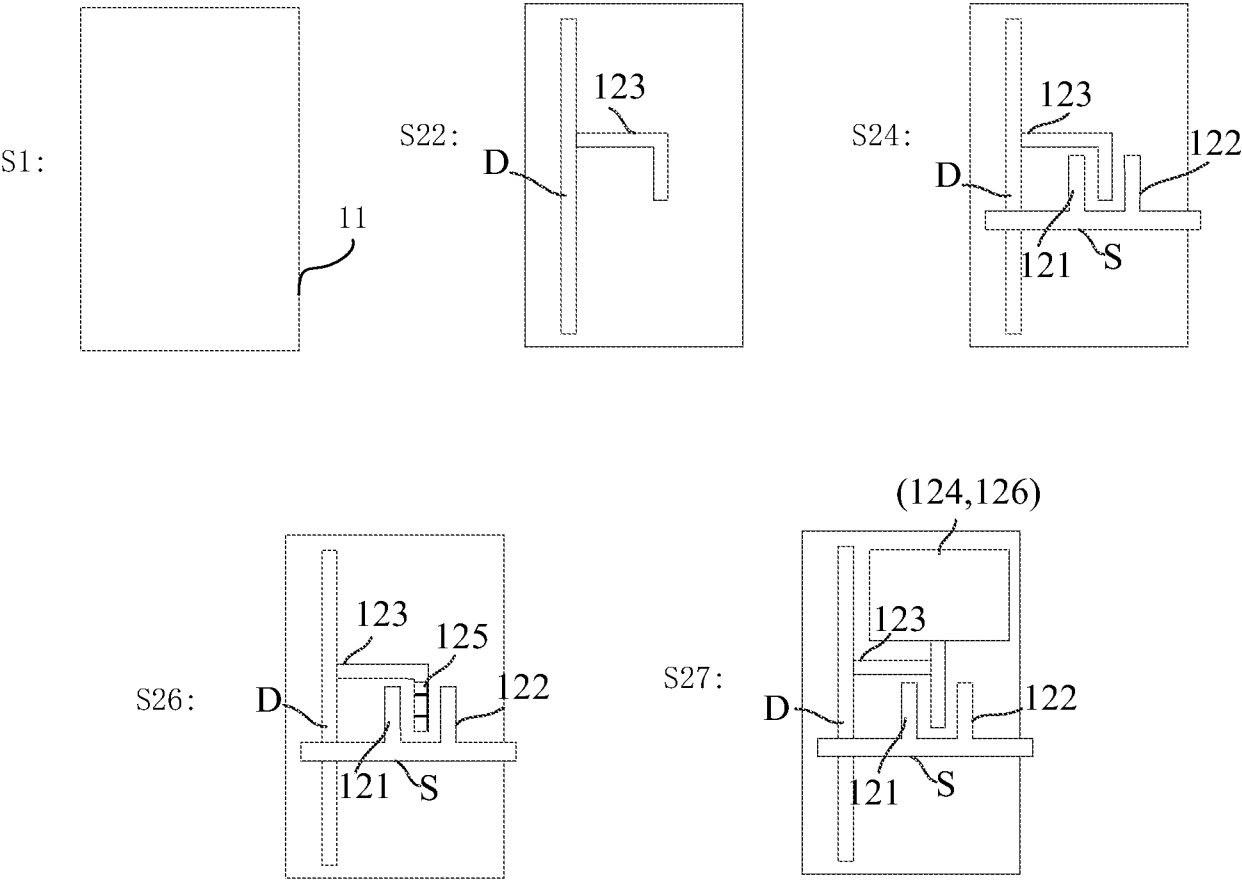


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/088918

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1343 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F 1/-, H01L 27/-, H01L 21/-, H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: two gate, two, multi, array substrate, source electrode, bottom, threshold voltage, drift, stress, double, gate?, double-gate, source, array, substrate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103091921 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 08 May 2013 (08.05.2013), description, paragraphs [0054]-[0067] and [0123], and figures 3-4	1-18
X	CN 202487578 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 10 October 2012 (10.10.2012), description, paragraphs [0028]-[0029], and figures 5-6	1, 6, 8, 13
X	CN 104503164 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.), 08 April 2015 (08.04.2015), description, paragraphs [0046] and [0050], and figures 3-4	1, 6, 8, 13
A	US 2002037646 A1 (LYU, K.H. et al.), 28 March 2002 (28.03.2002), the whole document	1-18
A	CN 103681514 A (BOE TECHNOLOGY GROUP CO., LTD.), 26 March 2014 (26.03.2014), the whole document	1-18
A	CN 104218092 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 17 December 2014 (17.12.2014), the whole document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 February 2017 (07.02.2017)	Date of mailing of the international search report 21 February 2017 (21.02.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Xin Telephone No.: (86-10) 62413485

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/088918

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103091921 A	08 May 2013	CN 103091921 B	15 April 2015
CN 202487578 U	10 October 2012	US 2014077298 A1	20 March 2014
		WO 2013143370 A1	03 October 2013
		US 9123813 B2	01 September 2015
CN 104503164 A	08 April 2015	None	
US 2002037646 A1	28 March 2002	US 6746959 B2	08 June 2004
		US 6025605 A	15 February 2000
CN 103681514 A	26 March 2014	WO 2015096374 A1	02 July 2015
		CN 103681514 B	27 January 2016
CN 104218092 A	17 December 2014	WO 2016023305 A1	18 February 2016

A. 主题的分类 G02F 1/1343 (2006. 01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G02F1/-, H01L27/-, H01L21/-, H01L29/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) WPI, EPDOC, CNPAT, CNKI: 两个栅极, 双栅, 双, 两, 多, 阵列基板, 源极, 底, 阈值电压, 偏移, 漂移, stress, double, gate?, double-gate, source, array, substrate																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103091921 A (京东方科技集团股份有限公司 等) 2013年 5月 8日 (2013 - 05 - 08) 说明书第[0054]-[0067]、[0123]段, 图3-4</td> <td>1-18</td> </tr> <tr> <td>X</td> <td>CN 202487578 U (京东方科技集团股份有限公司 等) 2012年 10月 10日 (2012 - 10 - 10) 说明书第[0028]-[0029]段, 图5-6</td> <td>1、6、8、13</td> </tr> <tr> <td>X</td> <td>CN 104503164 A (上海天马微电子有限公司 等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0046]、[0050]段, 图3-4</td> <td>1、6、8、13</td> </tr> <tr> <td>A</td> <td>US 2002037646 A1 (LYU, KI-HYUN ET AL.) 2002年 3月 28日 (2002 - 03 - 28) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 103681514 A (京东方科技集团股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 104218092 A (京东方科技集团股份有限公司 等) 2014年 12月 17日 (2014 - 12 - 17) 全文</td> <td>1-18</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103091921 A (京东方科技集团股份有限公司 等) 2013年 5月 8日 (2013 - 05 - 08) 说明书第[0054]-[0067]、[0123]段, 图3-4	1-18	X	CN 202487578 U (京东方科技集团股份有限公司 等) 2012年 10月 10日 (2012 - 10 - 10) 说明书第[0028]-[0029]段, 图5-6	1、6、8、13	X	CN 104503164 A (上海天马微电子有限公司 等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0046]、[0050]段, 图3-4	1、6、8、13	A	US 2002037646 A1 (LYU, KI-HYUN ET AL.) 2002年 3月 28日 (2002 - 03 - 28) 全文	1-18	A	CN 103681514 A (京东方科技集团股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-18	A	CN 104218092 A (京东方科技集团股份有限公司 等) 2014年 12月 17日 (2014 - 12 - 17) 全文	1-18
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 103091921 A (京东方科技集团股份有限公司 等) 2013年 5月 8日 (2013 - 05 - 08) 说明书第[0054]-[0067]、[0123]段, 图3-4	1-18																					
X	CN 202487578 U (京东方科技集团股份有限公司 等) 2012年 10月 10日 (2012 - 10 - 10) 说明书第[0028]-[0029]段, 图5-6	1、6、8、13																					
X	CN 104503164 A (上海天马微电子有限公司 等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0046]、[0050]段, 图3-4	1、6、8、13																					
A	US 2002037646 A1 (LYU, KI-HYUN ET AL.) 2002年 3月 28日 (2002 - 03 - 28) 全文	1-18																					
A	CN 103681514 A (京东方科技集团股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-18																					
A	CN 104218092 A (京东方科技集团股份有限公司 等) 2014年 12月 17日 (2014 - 12 - 17) 全文	1-18																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2017年 2月 7日		国际检索报告邮寄日期 2017年 2月 21日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 王欣 电话号码 (86-10) 62413485																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/088918

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103091921	A	2013年 5月 8日	CN	103091921	B	2015年 4月 15日
CN	202487578	U	2012年 10月 10日	US	2014077298	A1	2014年 3月 20日
				WO	2013143370	A1	2013年 10月 3日
				US	9123813	B2	2015年 9月 1日
CN	104503164	A	2015年 4月 8日	无			
US	2002037646	A1	2002年 3月 28日	US	6746959	B2	2004年 6月 8日
				US	6025605	A	2000年 2月 15日
CN	103681514	A	2014年 3月 26日	WO	2015096374	A1	2015年 7月 2日
				CN	103681514	B	2016年 1月 27日
CN	104218092	A	2014年 12月 17日	WO	2016023305	A1	2016年 2月 18日