(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3684517号
(P3684517)
(45)発行日　平成17年8月17日(2005.8.17)　(24)登録日　平成17年6月10日(2005.6.10)

(51)Int.Cl.[7]　F I
H01L 23/12　H01L 23/12　501W

請求項の数 18　(全 25 頁)

(21)出願番号　特願平8-26149
(22)出願日　平成8年1月19日(1996.1.19)
(65)公開番号　特開平9-199625
(43)公開日　平成9年7月31日(1997.7.31)
審査請求日　平成15年1月9日(2003.1.9)

前置審査

(73)特許権者　390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目２４番１号
(74)代理人　100086564
弁理士　佐々木　聖孝
(72)発明者　佐野　裕幸
大分県速見郡日出町大字川崎字高尾４２６０　日本テキサス・インスツルメンツ株式会社内
(72)発明者　中尾　森男
大分県速見郡日出町大字川崎字高尾４２６０　日本テキサス・インスツルメンツ株式会社内

審査官　大畑　通隆

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

複数の電極パッドを有する半導体素子と、

前記半導体素子が搭載される第１の領域と前記第１の領域以外の第２の領域のそれぞれに一方の面側から他方の面側に貫通する複数の貫通孔が形成されていると共に、前記一方の面側において前記第１および第２の領域に在る各々の前記貫通孔を個別に塞ぐように形成された導電層を備えた基体と、

前記一方の面側の前記第１の領域で前記半導体素子を前記基体に固定する接着剤層と、

前記第２の領域に在る複数の前記導電層を選択的に前記電極パッドにそれぞれ接続する複数の導体と、

前記基体の前記他方の面側において前記第１および第２の領域に在る各々の前記貫通孔の直下に設けられているハンダからなる接続端子であって、各々の前記貫通孔内にハンダを供給して充填する接続端子と

を備えた半導体装置。

【請求項２】

前記第１の領域が前記基体のほぼ中央に位置し、前記第２の領域が前記第１の領域を取り囲むように前記基体の周縁部に位置する請求項１に記載の半導体装置。

【請求項３】

前記第１の領域に在る複数個の前記貫通孔が、前記半導体素子の中心に対して等間隔の位置に設けられている請求項１又は２に記載の半導体装置。

【請求項４】
前記第１の領域に在る複数個の前記貫通孔が、前記半導体素子の下面の四隅近くに位置する貫通孔を含む請求項１、２又は３に記載の半導体装置。
【請求項５】
前記接続端子がハンダボールである請求項１、２、３又は４に記載の半導体装置。
【請求項６】
前記導体が金属ワイヤである請求項１、２、３、４又は５に記載の半導体装置。
【請求項７】
前記基体の前記一方の面側をモールド体が覆っている請求項１、２、３、４、５又は６に記載の半導体装置。
【請求項８】
半導体素子と、
一方の面側から他方の面側に貫通する複数の貫通孔が形成されていると共に、前記一方の面側において各々の前記貫通孔を個別に被覆するように形成された導電層を備えた基体であって、前記貫通孔にハンダが充填されているとともに、前記一方の面側に、前記半導体素子の下面に複数個の前記貫通孔が位置した構成で、前記半導体素子が接着剤層により固定されている基体と、
前記基体の前記他方の面側において各々の前記貫通孔の直下に設けられているハンダからなる接続端子と
を有し、
前記基体の前記貫通孔に充填されているハンダが前記ハンダからなる接続端子より供給される半導体装置。
【請求項９】
前記接続端子がハンダボールである請求項８に記載の半導体装置。
【請求項１０】
前記半導体素子上に設けられた電極パッドと前記導電層とを選択的に接続する導体を有する請求項８又は９に記載の半導体装置。
【請求項１１】
前記導体が金属ワイヤである請求項１０に記載の半導体装置。
【請求項１２】
前記基体の一方の面側をモールド体が覆っている請求項１０又は１１に記載の半導体装置。
【請求項１３】
半導体素子と、
前記半導体素子を載置する領域を有する第１の面と、前記第１の面の反対面である第２の面と、前記載置領域と前記載置領域を囲む領域において前記第１の面と前記第２の面との間を貫通する複数の貫通孔と、前記第１の面側において前記複数の貫通孔をそれぞれ個別に被覆するように形成された複数の導電層とを有するマウント用基体と、
前記半導体素子の主面に形成された複数の電極パッドと前記複数の導電層とを選択的に電気的に接続するための複数の導体と、
前記マウント用基体の前記第２の面側において前記複数の貫通孔に対応する位置にそれぞれ設けられた複数の接続端子と
を有し、
前記載置領域に形成された前記貫通孔と当該貫通孔に対応して設けられた前記接続端子との構造と、前記載置領域を囲む領域に形成された前記貫通孔と当該貫通孔に対応して設けられた前記接続端子との構造が実質的に同じであり、
前記載置領域に形成された前記貫通孔と当該貫通孔に対応して設けられた前記接続端子とが少なくとも前記載置領域の四隅に配置されている半導体装置。
【請求項１４】
前記載置領域に形成された前記貫通孔に対応して設けられた前記接続端子と前記載置領

域の周囲の領域に形成された前記貫通孔に対応して設けられた前記接続端子とがプリント配線板の配線にそれぞれ接続される請求項１３に記載の半導体装置。

【請求項１５】

前記半導体素子の裏面と前記マウント用基体の前記第１の面の前記載置領域との間に介在して前記半導体素子を固定する接着剤層を有し、

前記導体が前記電極パッドに接続される金属ワイヤを有する請求項１３又は１４に記載の半導体装置。

【請求項１６】

前記半導体素子と前記複数の導体とを封止するモールド樹脂を有する請求項１３、１４又は１５に記載の半導体装置。

【請求項１７】

各々の前記貫通孔内にハンダが充填されている請求項１３、１４、１５又は１６に記載の半導体装置。

【請求項１８】

各々の前記接続端子がハンダボールである請求項１３、１４、１５、１６又は１７に記載の半導体装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は半導体装置に関し、例えばプラスチックＢＧＡ（Ball Grid Array）と称される接続電極構造を有する半導体パッケージに関するものである。

【０００２】

【従来の技術】

従来、プラスチックＢＧＡを有する半導体パッケージ10は、例えば図39に示す構造からなっている。即ち、両面又は多層プリント配線基板を構成する基板１（一般的に紙、ガラス繊維等をベースとして、それにエポキシ、ポリイミド又はＢＴ（ビスマレイミドトリアジン）レジン等を含浸させた基板又は前記レジン単独の基板：以下、単に基板と称する。）に、例えば導電性接着剤である銀ペースト２によってチップマウント部に半導体集積回路チップ（ＩＣチップ）３がマウントされ、このＩＣチップ３のボンディングパッド４と基板１上に金メッキ等を施した銅配線５とが金線６でワイヤボンディングされ、基板１のＩＣチップ３の側がエポキシ系樹脂７でモールドされると共に、その反対側ではハンダボール８が銅配線９に接続して設けられている。

【０００３】

このパッケージ10は具体的には、図40に示す如き外観形状を有しており、また、図41に示す基板１（但し、配線５及び９は図示省略）上に多数のマウント領域17を列状に設け、各マウント領域に二点鎖線で示すようにＩＣチップ３をマウントし、一点鎖線で示すようにモールド樹脂７で封止し、四方のスロット11の位置でカットしてそれぞれのパッケージを分離する。

【０００４】

このパッケージ10の構造を図42について更に詳細に説明すると、ＩＣチップ３はマウント領域17において銀ペースト２によって基板１に接着され、チップ３上のパッド４は金線６で基板１の配線５に接続され、その配線がスルーホール12を介して基板１の下部の配線９、更にはハンダボール８へ導かれる（図中の13はソルダーレジストである）。

【０００５】

しかし、このような従来のプラスチックＢＧＡパッケージ10は、チップ３の裏面（被マウント面）が銀ペースト２によって広範囲に基板１上へ接着されているため、このパッケージを仮想線で示すプリント配線板（マザーボード）14上の銅配線15へハンダボール８によってハンダ付けする時、銀ペースト２を起点にしたポップコーン状のクラック16が容易に発生してしまう。このことについては、日経エレクトロニクス（1994．２．14）のＰ71にも述べられている。

【０００６】
このクラック16の発生原因は、銀ペースト２が吸湿性が大きく、その銀ペースト２中の吸湿水分がプリント配線板14上へのハンダ付け時のリフロー加熱時に水蒸気となってパッケージ内で急激に膨張し、基板１やモールド樹脂７に対しＩＣチップ３が引き剥がされるような応力を生じるからである。この剥離は、ＩＣチップ３の接着領域17から始まり、基板１中をクラック16となってその端部方向へ延びる傾向がある。
【０００７】
こうしたクラック16の発生に加えて、図43に概略的に示すように、モールド樹脂７（例えばエポキシ系樹脂）と基板１の構成材料（例えばＢＴレジン：ビスマレイミドトリアジン）との熱膨張率の差が下記の表１に示すようにかなり大きいために、樹脂モールド温度（金型温度は例えば 180℃）から室温に温度が変化した際、パッケージ10の中央部に凹みが生じ、反ってしまうことがある。そして、この反りによる応力歪みから両者の界面部にクラックが生じる。
【０００８】

表１

	熱膨張率＜一般値＞
モールド樹脂（エポキシ系）	1.2～1.5　（×10^{-5}cm/cm/℃）
基板材料（ＢＴレジン）	1.0　（×10^{-5}cm/cm/℃）

【０００９】
また、上記の半導体パッケージ10においては、実際には、図44に示すように基板１の両面の配線５及び９はスルーホール12を介しての銅めっき（スルーホールめっき）により一体の連続膜として形成され、スルーホール12内にはソルダーレジスト13が充填され、基板１の両面を被覆していてよい。
【００１０】
そして、ＩＣチップ３を銀ペースト２で接着するマウント領域17では、基板１にサーマルバイアと称されるスルーホール18が形成され、ＩＣチップ３の発熱が銀ペースト２及びサーマルバイア18を通ってハンダボール８へと伝わり、パッケージ10を実装した基板14へと逃がされるようになっている。なお、サーマルバイア18はソルダーレジスト13で充たされており、その上部は銀ペースト２で覆われている。
【００１１】
しかしながら、図44の基板構造では、サーマルバイア18内を充たしているソルダーレジスト13が吸湿し易い材料であるため、これが要因となって耐湿性を悪くする。即ち、ソルダーレジスト13の吸湿水分が銀ペースト２等の部分へ浸出したり、上記した如き加熱時に水蒸気化して急激に膨張し、上記したと同様にパッケージクラックが生じ、或いはそれを助長し易い。
【００１２】
【発明が解決しようとする課題】
本発明の目的は、半導体素子の発熱をマウント用基体の裏側へ放熱する機能を備え、パッケージクラックの発生を確実に防止し、さらには基体面積の縮小化ないし有効利用を図れる半導体装置を提供することにある。
【００１３】
【課題を解決するための手段】
即ち、本発明の第１の観点における半導体装置は、複数の電極パッドを有する半導体素

子と、前記半導体素子が搭載される第１の領域と前記第１の領域以外の第２の領域のそれぞれに一方の面側から他方の面側に貫通する複数の貫通孔が形成されていると共に、前記一方の面側において前記第１および第２の領域に在る各々の前記貫通孔を個別に塞ぐように形成された導電層を備えた基体と、前記一方の面側の前記第１の領域で前記半導体素子を前記基体に固定する接着剤層と、前記第２の領域に在る複数の前記導電層を選択的に前記電極パッドにそれぞれ接続する複数の導体と、前記基体の前記他方の面側において前記第１および第２の領域に在る各々の前記貫通孔に設けられているハンダからなる接続端子であって、各々の前記貫通孔内にハンダを供給して充填する接続端子とを備える。

【００１４】

本発明の好適な一態様によれば、前記第１の領域が前記基体のほぼ中央に位置し、前記第２の領域が前記第１の領域を取り囲むように前記基体の周縁部に位置する。また、前記第１の領域に在る複数個の前記貫通孔が、前記半導体素子の中心に対して等間隔の位置に設けられる。また、前記第１の領域に在る複数個の前記貫通孔が、前記半導体素子の下面の四隅近くに位置する貫通孔を含む。また、好ましい一態様によれば、前記導体が金属ワイヤであり、前記基体の前記一方の面側がモールド体で覆われる。

【００１５】

本発明の第２の観点における半導体装置は、半導体素子と、一方の面側から他方の面側に貫通する複数の貫通孔が形成されていると共に、前記一方の面側において各々の前記貫通孔を個別に被覆するように形成された導電層を備えた基体であって、前記貫通孔にハンダが充填されているとともに、前記一方の面側に、前記半導体素子の下面に複数個の前記貫通孔が位置した構成で、前記半導体素子が接着剤層により固定されている基体と、前記基体の前記他方の面側において各々の前記貫通孔の直下に設けられているハンダからなる接続端子とを有し、前記基体の前記貫通孔に充填されているハンダが前記ハンダからなる接続端子より供給される。

【００１８】

本発明の第３の観点における半導体装置は、半導体素子と、前記半導体素子を載置する領域を有する第１の面と、前記第１の面の反対面である第２の面と、前記載置領域と前記載置領域を囲む領域において前記第１の面と前記第２の面との間を貫通する複数の貫通孔と、前記第１の面側において前記複数の貫通孔をそれぞれ被覆するように形成された複数の導電層とを有するマウント用基体と、前記半導体素子の主面に形成された複数の電極パッドと前記複数の導電層とを選択的に電気的に接続するための複数の導体と、前記マウント用基体の前記第２の面側において前記複数の貫通孔に対応する位置にそれぞれ設けられた複数の接続端子とを有し、前記載置領域に形成された前記貫通孔と当該貫通孔に対応して設けられた前記接続端子との構造と、前記載置領域を囲む領域に形成された前記貫通孔と当該貫通孔に対応して設けられた前記接続端子との構造が実質的に同じであり、前記載置領域に形成された前記貫通孔と当該貫通孔に対応して設けられた前記接続端子とが少なくとも前記載置領域の四隅に配置されている。

【００１９】

本発明の好適な一態様によれば、前記載置領域に形成された前記貫通孔に対応して設けられた前記接続端子と前記載置領域の周囲の領域に形成された前記貫通孔に対応して設けられた前記接続端子とがプリント配線板の配線にそれぞれ接続される。別の好適な一態様によれば、前記半導体素子の裏面と前記マウント用基体の前記第１の面の前記載置領域との間に前記半導体素子を固定する接着剤層が介在し、前記導体が前記電極パッドに接続される金属ワイヤを有する。また、前記半導体素子と前記複数の導体とがモールド樹脂で封止される。また、各々の前記貫通孔内にハンダが充填され、各々の前記接続端子がハンダボールで構成される。

【００２０】

本発明の半導体装置によれば、基体に設けた複数の貫通孔（半導体素子が搭載される第１の領域に在る複数の貫通孔と第１の領域以外の第２の領域に在る複数の貫通孔）が各貫通孔を個別に塞ぐ導電層と各貫通孔に充填されるハンダと各貫通孔の直下に設けられるハ

ンダからなる接続端子とによって被覆ないし充填されているので、第１および第２の領域の如何なる貫通孔からも水分の浸入を万全に阻止して、加熱時に貫通孔内あるいはパッケージ内で水蒸気が発生することがないようにし、パッケージクラックを確実に防止することができる。また、半導体素子で発生した熱は、第１の領域において接着剤層と各導電層と各貫通孔内の導電物質と各貫通孔に設けられる接続端子とを通って外部導体たとえばプリント配線板へと逃がされる。さらに、第１および第２の領域の全ての貫通孔の直下にハンダからなる接続端子（たとえばハンダボール）を配置するので、ハンダボールの付着に要する領域を別に設ける必要はなく、この分だけ基体の面積を減少させ、基体面積の縮小化、有効利用が図れる。しかも、この接続端子から供給するハンダで貫通孔の内部を詰めて塞ぐため、水分侵入防止構造のための貫通孔充填工程の効率化も図れる。

【００２５】

【実施例】

以下、本発明の実施例を説明する。

【００２６】

図１～図16は、本発明をパッドレスのプラスチックＢＧＡに適用した実施例を示すものである。但し、図39～図44に示した例と共通する部分には共通符号を付し、その説明を省略することがある（以下、同様）。

【００２７】

本実施例の半導体パッケージ40は、主として次の（１）～（３）の特徴的構成を有している。

【００２８】

（１）ＩＣチップ３をマウントするガラスエポキシ基板21のうち、ＩＣチップ３の直下の領域が、ＩＣチップ３よりも大きくてこれを含むような面積分だけほぼ正方形状に欠除せしめられ、この欠除部20の四隅からそれぞれ舌片状の突出片部30が対角線上において基板21に一体に形成され、更にこれら４個の突出片部30上にＩＣチップ３がその回路形成面とは反対の裏面において銀ペースト22によって固定（マウント）されていること（図１～図７参照）。即ち、このパッケージ40は、いわばパッドレスＢＧＡと称されるべきものである。

【００２９】

（２）そして、このマウント状態では、ＩＣチップ３は欠除部20の領域内に位置していて、その周囲には欠除部20の一部分20ａがスリット状の間隙として存在しており（図４及び図５参照）、この部分20ａを介して欠除部20（従って、ＩＣチップ３の裏面）にもモールドプレス時に入り込んでモールド樹脂７ａとして被着され、ＩＣチップ３の表面のモールド樹脂７とは間隙20ａを介して一体化され、ＩＣチップ３の周囲はモールド樹脂７でほぼ全面的に覆われている（図１及び図２参照）。

【００３０】

（３）図１及び図２中の33はソルダーレジストであって、スルーホール38及びサーマルバイア48内にもそれぞれ充填され、またこれらのスルーホールの基板裏面にはハンダボール８が付着している。なお、図３は、ＩＣチップ３をマウントした基板21がプリント配線板14の銅配線15にハンダボール８のリフローで接続された状態を示す。

【００３１】

本実施例の半導体パッケージ40は、上記した特徴的構成によって、主として次の（Ａ）～（Ｄ）の顕著な作用効果を奏することができる。

【００３２】

（Ａ）ポップコーン状のパッケージクラックの発生を防止できること。

ＩＣチップ３の直下はモールドコンパウンド（モールド樹脂）７ａで充たされており、ＩＣチップ３は四隅のみで銀ペースト22で基板21にほぼドット状又は点状に固定（点付け）され、かつ、シリコンチップ３とモールドコンパウンド７との密着性は良好であるから、従来構造のＢＧＡパッケージと比べてポップコーン状のクラックが発生し難く、かつ、温度サイクル時でもパッケージの形状保持性が良好となる。即ち、銀ペースト22が吸湿し、

そこを起点として生じ、従来構造では回避できなかった水蒸気の発生を抑制若しくは減少させると共に、チップ３－モールドコンパウンド７間を剥離させようとする応力を十分に吸収するため、クラックが発生し難くなる。

【００３３】

（Ｂ）パッケージの反り量が減少すること。

従来構造のプラスチックＢＧＡパッケージは、既述した如く、モールドコンパウンドと基板材料（ＢＴレジン）との熱膨張率の差により、室温でパッケージ中央部が凹んでしまうことがあるが、本実施例では、上記欠除部20によって基板21の量が減少し（即ち、パッケージ中央部のチップ３の下部にはほとんど基板は存在しない。）、これによってパッケージの反り量は従来構造に比べて減少する。

【００３４】

（Ｃ）温度サイクル時のパッケージクラックが発生し難くなること。

温度サイクル時には、既述したようにモールドコンパウンド７と基板21とが異なった熱膨張率を示し、それらの差により両者間が剥がれ、そこからクラックが生じ易いが、本実施例では、基板21の量が上記欠除部20によって大きく減少するので、反りが減少し、このクラックも発生し難くなる。

【００３５】

（Ｄ）スルーホール38及びサーマルバイア48の直下にハンダボール８を設けているので、図44の従来例に比べてハンダボールの付着に要する領域を別に設ける必要はなく、この分だけ基板21の面積を減少させ、基板の縮小化、有効利用にとって有利である。

【００３６】

また、本実施例の半導体パッケージ40において、図１に示す基板21上のモールド樹脂７の厚みt_1は例えば 1.3mm、基板21の厚みt_2は例えば 0.6mmであってよい。基板21の厚みt_2を大きめにすれば、ＩＣチップ３の裏面に存在するモールド樹脂７ａの厚みも大きくなるので、ＩＣチップ３の表面上と裏面下に存在するモールド樹脂の厚みの差がより小さくなり、熱サイクル時のクラックの発生を一層効果的に防止できる。

【００３７】

なお、上記したパッケージの反りの問題について、図39～図41に示した従来構造（スタンダードＢＧＡ）と図１～図７に示した本実施例の構造（パッドレスＢＧＡ）とを比較し、それぞれの反り量を以下のようにして求めた。

【００３８】

ここで、熱膨張係数が異なる下記の３種の部材ＣとＢとＡを下から順に重ね合わせて接着し、パッケージの構造に対応させた。

部材Ａ：モールドコンパウンド７
(28.5mm^2 ×厚さ 1.0mm)

部材Ｂ：シリコンチップ３
(11.8mm^2 ×厚さ0.28mm)

部材Ｃ：ＢＴレジン基板１
(31.0mm^2 ×厚さ0.62mm)

ＢＴレジン基板21
(16.5mm^2 ×厚さ0.62mm)

【００３９】

そして、各部材の物性値及びサイズを次のパラメータで表す。

部材Ａの線膨張係数：α_A、弾性係数：E_A
部材Ｂの線膨張係数：α_B、弾性係数：E_B
部材Ｃの線膨張係数：α_C、弾性係数：E_C

部材Ａの断面積：A_A 、部材Ｂの断面積：A_B 、部材Ｃの断面積：A_C 、
部材Ａの長さ：l_A 、部材Ｂの長さ：l_B 、部材Ｃの長さ：l_C 。

【００４０】

温度がｔ℃変化した場合の積層体全体の反り量σは、下記の式（ａ）で近似されることが一般に知られている。

$$\sigma = \frac{t\, l_A\, l_B\, l_C\, (A_A E_A \alpha_A + A_B E_B \alpha_B + A_C E_C \alpha_C)}{l_B\, l_C\, A_A E_A + l_C\, l_A\, A_B E_B + l_A\, l_B\, A_C E_C} \quad \cdots (a)$$

【００４１】

この式（ａ）に、本実施例のパッドレスＢＧＡと、従来例の（パッドのある）スタンダードＢＧＡとに関する下記の各数値を代入する。この場合、実際は三次元の数値を代入すべきであるが、二次元に簡易化した数値を代入し、下記に示すように両者の反り量の差の比率をみる。

【００４２】

	スタンダードＢＧＡ（従来例）	パッドレスＢＧＡ（本実施例）
l_A ：	28.5㎜	28.5㎜
l_B ：	11.8㎜	11.8㎜
l_C ：	31.0㎜	16.5㎜
A_A ：	28.5㎜^{2}	28.5㎜^{2}
A_B ：	3.3㎜^{2}	3.3㎜^{2}
A_C ：	19.22㎜^{2}	10.23㎜^{2}
E_A ：	2700kgf/㎜^{2}	2700kgf/㎜^{2}
E_B ：	21000kgf/㎜^{2}	21000kgf/㎜^{2}
E_C ：	710kgf/㎜^{2}	710kgf/㎜^{2}
α_A ：	1.5×10^{-5}／℃	1.5×10^{-5}／℃
α_B ：	3.0×10^{-6}／℃	3.0×10^{-6}／℃
α_C ：	2.0×10^{-5}／℃	2.0×10^{-5}／℃
t ：	|25℃－175 ℃|＝150 ℃	150℃

【００４３】

スタンダードＢＧＡ（従来例）の場合、部材全体の反り量σ_{ST}（mm）は、

$\sigma_{ST}=(150\times28.5\times11.8\times31.0\,(28.5\times2700\times 1.5\times10^{-5}+ 3.3\times21000\times3.0\times10^{-6}+ 19.22\times 710\times 2.0\times10^{-5}))/(11.8\times31.0\times28.5\times2700+31.0\times28.5\times 3.3\times21000+ 28.5\times11.8\times19.22\times710)=0.027$ …（ｂ）

【００４４】

パッドレスＢＧＡ（本実施例）の場合、部材全体の反り量σ_{PL}は、

$\sigma_{PL}=(150\times28.5\times11.8\times16.5\,(28.5\times2700\times 1.5\times10^{-5}+ 3.3\times21000\times3.0\times10^{-6}+ 10.23\times 710\times 2.0\times10^{-5}))/(11.8\times16.5\times28.5\times2700+16.5\times28.5\times 3.3\times21000+ 28.5\times11.8\times10.23\times710)=0.025$ …（ｃ）

【００４５】

従って、反り量の差の比率は、

｛（ｂ）－（ｃ）｝／（ｃ）＝８（％）

となり、スタンダードＢＧＡをパッドレスＢＧＡにした場合、８％もパッケージの反り量が減少するものと考えられる。

【００４６】
次に、本実施例のパッドレスＢＧＡのパッケージ40の製造プロセスを図８～図16について説明する。
【００４７】
まず、図８に示すように、ＢＴレジンを用いた基板21を用意し、これを図９に示すようにドリル等によって穴開け加工し、スルーホール38とサーマルバイア48を形成する。
【００４８】
次いで、図10に示すように、スルーホール38及びサーマルバイア48を含めて全面に導電層50をめっきする。このめっき層は銅の化学めっき又は電気めっきによって形成できる。
【００４９】
次いで、図11に示すように、このめっき層50をフォトリソグラフィによってエッチングでパターニングし、基板21の表、裏にそれぞれ銅配線５及び９を形成し、これらをスルーホール38又はサーマルバイア48を介して互いに連設させておく。
【００５０】
次いで、図12に示すように、スルーホール38及びサーマルバイア48を含む所定領域にソルダーレジスト33をスクリーン印刷で塗布し、スルーホール38及びサーマルバイア48をソルダーレジスト33で充填すると共に、銅配線５及び９の一部をワイヤボンディング等の接続領域としてそれ以外の領域をソルダーレジスト33で被覆する。
【００５１】
次いで、図13に示すように、ＩＣチップのマウント領域47において基板21を破線の如くに切断加工して除去し、欠除部20と共に舌片部30を形成する。
【００５２】
次いで、図14に示すように、マウント領域47上に銀ペースト22によってＩＣチップ３を被着し、固定（マウント）する。
【００５３】
次いで、図15に示すように、基板21をヒータブロック（図示せず）上に載置して基板21を所定温度に加熱しながらキャピラリ（図示せず）に超音波を加え、金線６をＩＣチップ３のボンディングパッド４に接合した後に基板21の銅配線５上に導き、この銅配線５に圧着し、ワイヤボンディングを行う。
【００５４】
次いで、図16に示すように、仮想線で示す下型51と上型52との間に、ＩＣチップ３をマウントした基板21をセットし、モールド樹脂の形状に対応したキャビティ53内にモールドコンパウンドを注入し、固化させてモールド樹脂７を成形し、パッケージ40を作製する。この際、注入されたモールドコンパウンドは図４に示した間隙20ａを通してＩＣチップ３の裏面下に流入し、７ａとしてその裏面に被着する。
【００５５】
次いで、基板21の裏面側において、スルーホール38及びサーマルバイア48の位置で導電層９に対してハンダボール８を付着し、図１及び図２に示した如きパッドレスＢＧＡのパッケージ40を完成する。なお、ハンダボール８は、真空吸引したハンダボールをフラックス（図示せず）上から基板21の裏面上に落とし込み、リフロー処理を経て導電層９上に付着させる。
【００５６】
図17～図18は、本発明をパッドレスのプラスチックＢＧＡに適用した他の実施例を示すものである。
【００５７】
この例によれば、基板21において、欠除部20に面する基板壁部21ａ（ここでは突片部30の端部）の断面がＩＣチップ３のマウント側からその反対側へステップ状に拡大され、切込みによる段差21ｂが形成されていることが特徴的であり、これ以外の構成は上述した実施例と同じであって同様の効果を奏する。
【００５８】

即ち、図18に概略的に示すように、樹脂モールド時に、キャビティ53内に注入されたモールドコンパウンド７’は矢印のように流動してＩＣチップ３の表面だけでなくその裏面にも充填されるが、この際、基板21の舌片部30に上記した段差21ｂが形成されているために、図18（ａ）に拡大図示するようにモールドコンパウンド７’が段差21ｂを下型51の側へ押し付ける如き圧力を生じる。

【００５９】

この結果、基板21の壁部21ａが下型51から浮き上がって両者間に間隙が生じることがなく、ＩＣチップ３の裏面へのモールドコンパウンドの充填性が良好となる。これに対し、基板21の壁部21ａに上記の如き段差が存在しないときは、図18（ｃ）に示すようにモールドコンパウンド７’の圧力で壁部21ａが下型51から浮き上がってめくれることがあり、これにより生じた間隙54内へのモールドコンパウンド７’が入り込み、モールドコンパウンドが必要な箇所から漏れる現象（フラッシング）が生じ易く、同箇所への充填性が低下する場合がある。なお、上記段差21ｂは１段としたが、２段以上としてもよいことは勿論である。

【００６０】

図18（ａ）で述べたと同様の効果は、図18（ｂ）に示すように、基板21の壁部21ａの端面に直線的な傾斜面21ｃを形成して壁部21ａの断面を連続的に拡大することによっても得ることができる。即ち、傾斜面21ｃをモールドコンパウンド７’が押圧し、壁部21ａを下型51へ押し付ける力が作用するからである。なお、上記傾斜面21ｃは直線状としたが、折れ線状、曲線状、或いは直線と曲線の組み合わせ等としてもよい。

【００６１】

図19は、図６の例に比べて、ＩＣチップ３をマウントする突出片部が、上述したと同様の一対の舌片部30を対角線上に有し、かつ他の対角線上には欠除部20を跨ぐように延びる連結片部60を有している。この連結片部60は、中央部60ａが幾分膨出していて、ここにも銀ペーストを介してＩＣチップがマウントされ、サーマルバイア48が形成されている。

【００６２】

従って、上述した実施例と同様の効果に加えて、連結片部60によりマウント面積が拡大されるためにＩＣチップの固定を十二分に行える。

【００６３】

図20及び図21は、他の突出片部を各種示すものである。但し、図示簡略化のためにサーマルバイアは省略している。

【００６４】

これらの各種の突出片部において、図20（Ｂ）、図20（Ｆ）、図21（Ｂ）、図21（Ｃ）、図21（Ｄ）、図21（Ｅ）、図21（Ｇ）は、舌片部30の長さや位置、形状を変形した例を示し、また、図20（Ａ）、図20（Ｃ）、図20（Ｄ）、図20（Ｇ）、図20（Ｈ）、図21（Ａ）、図21（Ｆ）、図21（Ｈ）、図21（Ｉ）は連結片部60の位置、形状を変形した例を示す。また、図20（Ｅ）は舌片部30と連結片部60の組み合わせの変形例を示す。いずれの例も、上述したと同様の効果を奏することは容易に理解されよう。

【００６５】

但し、マウントするＩＣチップ３の安定性を考慮すると、ＩＣチップの四隅がマウントされることがモールド時の位置ずれの防止等の点で望ましいので、図６及び図19の例は勿論、図20（Ａ）、図20（Ｂ）、図20（Ｅ）、図20（Ｆ）、図20（Ｇ）、図20（Ｈ）の例がよく、また、銀ペースト量や基板面積による問題を考慮すると、図６の例は勿論、図20（Ｂ）、図20（Ｃ）、図20（Ｄ）、図21（Ａ）、図21（Ｂ）、図21（Ｃ）、図21（Ｄ）、図21（Ｅ）、図21（Ｇ）の例がよい。

【００６６】

図22は、本発明をパッドレスのプラスチックＢＧＡに適用した他の実施例を示すものである。

【００６７】

この例によれば、ＩＣチップ３のマウント領域47において基板21に凹部21ｄを形成し、こ

こでの基板21の厚みを小さく加工し、ここにＩＣチップ３をマウントすることによって、マウント後のＩＣチップ３の上面高さを低くしている（望ましくは、基板21の上面とほぼ同等高さとしている）。

【００６８】

即ち、ＩＣチップ３のボンディングパッド４の高さが上述した例の場合よりも低くなるため、配線５とのワイヤボンディングが容易となり、ワイヤ６を引き廻す高さを低くし、この分だけモールド樹脂７の厚み（従って、パッケージ40の厚み）を薄くできる。しかも、ワイヤ６がＩＣチップ３のエッジ部に接触して電気的に短絡を生じる可能性も小さくなる。この場合、基板21の厚みを大きくすれば、ＩＣチップ３を基板21の厚みの範囲内に収容し易く、かつ、基板21の裏面に付着する樹脂７ａの量も増えて一層耐クラック性が向上する。その他は、上述した例と同様の効果が得られる。

【００６９】

図23は、本発明をパッドレスのプラスチックＢＧＡに適用した他の実施例を示すものである。

【００７０】

この例では、基板21のスルーホール38には、ソルダーレジストではなくモールド樹脂７の一部７ｂが充填されていることが特徴的である。

【００７１】

従って、スルーホール38に対し樹脂部分７ｂが入り込んでいるため、モールド樹脂７がいわば基板21に対して投錨効果を有することになり、両者間の密着力又は機械的結合力は上述した例に比べて向上している。これによって、熱サイクル時にクラックや剥離が一層生じ難くなる。

【００７２】

図24～図35は、本発明をパッドレスのプラスチックＢＧＡに適用した他の実施例を示すものである。

【００７３】

本実施例は、ＩＣチップ３の発熱をプリント配線板14側へ逃がすためのサーマルバイア48の構造を改良することを主眼としたものであって、サーマルバイア48内がソルダーレジスト33で充たされると共に、このサーマルバイア48又はソルダーレジスト33が２層目の銅めっき層65と69によって表裏から完全に被覆されている。その他は、上述した例と同様に構成されている。

【００７４】

サーマルバイア48に充填されるソルダーレジスト33は本来、吸湿し易く、パッケージの耐湿性を劣化させ易いものであるが、本実施例による銅めっき層65及び69がソルダーレジスト33への水分の吸収（吸湿）を阻止し、またソルダーレジスト33が既に吸湿していてもその水分がその外部へ漏出することも阻止することになる。

【００７５】

こうして、ソルダーレジスト33による水分の侵入を効果的に防止できるから、パッケージクラックのない耐湿性の良い構造となる。そして、サーマルバイア48上には吸湿性のある銀ペースト22が存在しているが、銅めっき層65及び69によって水分の侵入が防止されることから、銀ペースト22への吸湿量も結果的に減少させることができ、既述した水蒸気の膨張を減少させることができる。

【００７６】

なお、サーマルバイア48以外のスルーホール38においても、ソルダーレジスト33の表、裏は上記と同様の銅めっき層65、69で被覆されているので、スルーホール38のソルダーレジスト33を通しての水分の侵入も併せて防止することができる。

【００７７】

また、サーマルバイア48（更にはスルーホール38）の直下にハンダボール８を設けているので、図44の従来例に比べてハンダボールの付着に要する領域を別に設ける必要はなく、この分だけ基板21の面積を減少させ、基板の縮小化、有効利用にとって有利である。

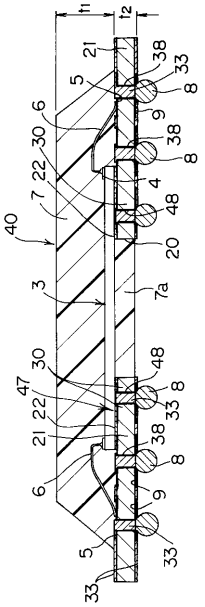
【００７８】
本実施例の構造を作製する方法を説明すると、まず図26に示すように、ＢＴレジンを用いたガラスエポキシ積層基板21を用意し、これを図27に示すようにドリル等によって穴開け加工し、サーマルバイア48を形成する（スルーホール38も形成するが、これは図示省略：以下、同様）。
【００７９】
次いで、図28に示すように、サーマルバイア48を含めて全面に導電層50をめっきする。このめっき層は銅の化学めっき又は電気めっきによって形成できる。
【００８０】
次いで、図29に示すように、サーマルバイア48の部分に樹脂（ソルダーレジスト）33を塗布、充填し、更に図30に示すように、研磨によってソルダーレジスト33の表、裏面を平坦化する。
【００８１】
次いで、図31に示すように、銅層75と79を基板21の表、裏面に化学めっき又は電気めっきによってそれぞれ形成する。
【００８２】
次いで、図32に示すように、所定箇所にフォトレジスト70、71をパターン露光及び現像によって設け、更に図33に示すように、フォトレジスト70、71をマスクにして銅層75及び50、79及び50をそれぞれ同一パターンにエッチングして、銅層65及び５、69及び９をそれぞれ所定パターンに形成する。
【００８３】
次いで、図34に示すように、フォトレジスト70、71を除去した後、図35に示すように、ソルダーレジスト33’を基板21の裏面に塗布する。そして、図25に示したように、基板21の表面上には、銀ペースト22を介してＩＣチップ３をマウントし、またその裏面にはハンダボール８を付着する。
【００８４】
図36は、本発明をパッドレスのプラスチックＢＧＡに適用した他の実施例を示すものである。
【００８５】
この実施例では、図24及び図25の例と比べて、基板21の裏面には２層目の銅めっき層69は形成せず、サーマルバイア48のソルダーレジスト33下に直接ハンダボール８を付着させていることが異なっている（このような構造はスルーホール38においても同様であってよい）。
【００８６】
このように構成しても、銅めっき層65によってソルダーレジスト33からの水分の侵入を防止できると同時に、ハンダボール８自体がソルダーレジスト33を裏側から被覆するため、上記した銅めっき層69と同等の水分侵入防止作用を有することになり、また銅めっき層69を省略できるという利点がある。
【００８７】
図37は、本発明をパッドレスのプラスチックＢＧＡに適用した他の実施例を示すものである。
【００８８】
この実施例の場合、図36の例と比べて、サーマルバイア48はハンダボール８の付着工程前には空洞にしておき、ハンダボール８の付着時にサーマルバイア48の内部をハンダボール８から供給されるハンダ８ａで充填している（このような構造はスルーホール38においても同様であってよい）。なお、銅めっき層65はサーマルバイア48の上部に施す点は同様である。
【００８９】
このように構成しても、図36の例と同様にサーマルバイア48を介しての水分の侵入をハンダボール８、ハンダ８ａ及び銅めっき層65によって防止することができる。

【００９０】
図38は、本発明をパッドレスのプラスチックＢＧＡに適用した更に他の実施例を示すものである。
【００９１】
この実施例の構造は、図37の例においてサーマルバイア48上の銅めっき層65を省略したものであるが、この銅めっき層65が存在しなくてもハンダボール８及びハンダ８ａによってサーマルバイア48を介しての水分の侵入はかなり防止することができる。
【００９２】
以上、本発明の実施例を説明したが、上述した実施例は本発明の技術的思想に基いて更に変形が可能である。
【００９３】
例えば、上述したマウント用基体である基板21に形成する欠除部20の形状や突出片部30又は連結片部60の形状及び位置、基板21の材質、ＩＣチップ３のマウント方法及びボンディング方法、更には水分侵入防止材の材質や構造等は、種々変更することができる。突出片部30については、仮に設けなくても、欠除部20の周囲において基板21上にＩＣチップ３をマウントすることができるが、マウント後にＩＣチップ３の周囲に欠除部20の一部分を残すようにしておけばよい。
【００９４】
この場合、例えば図24～図35の例においては、主としてサーマルバイア48についての水分侵入防止構造を述べ、この構造を併用して図１～図16の例で述べたパッドレスＢＧＡを採用したが、このような併用は望ましいものである。但し、このパッドレスＢＧＡは図24～図35の例では敢えて採用することを要しない。同様に、図１～図16の例も、図24～35の水分侵入防止構造を敢えて採用することを要しない。また、この水分侵入防止構造は、サーマルバイア48にのみ採用してよいし、或いはスルーホール38にのみ採用してもよいが、双方に採用するのがよい。
【００９５】
なお、本発明は上述した構造以外のパッケージにも適用可能であり、また、プリント配線板への接続方法等も種々変更してよい。
【００９６】
【発明の効果】
本発明の半導体装置によれば、マウント用基体に設けた複数の貫通孔（半導体素子が搭載される第１の領域に在る複数の貫通孔と第１の領域以外の第２の領域に在る複数の貫通孔）が各貫通孔を個別に塞ぐ導電層と各貫通孔に充填されるハンダと各貫通孔の直下に設けられるハンダからなる接続端子とによって被覆ないし充填されているので、第１および第２の領域の如何なる貫通孔からも水分の浸入を万全に阻止して、加熱時に貫通孔内あるいはパッケージ内で水蒸気が発生することがないようにし、パッケージクラックを確実に防止することができるうえ、第１および第２の領域内の全ての貫通孔の直下にハンダからなる接続端子を配置し、この接続端子より供給されるハンダで貫通孔内を充填するので、基体面積の縮小化や有効利用が図れる。さらに、半導体素子で発生した熱を、第１の領域において接着剤層と各導電層と各貫通孔内の導電物質と各貫通孔に設けられる接続端子とを通って外部導体たとえばプリント配線板へと逃がすことができる。
【図面の簡単な説明】
【図１】本発明の実施例によるパッドレスのプラスチックＢＧＡパッケージの断面図である。
【図２】図１の一部分の拡大図である。
【図３】同パッケージをプリント配線板に接続した状態の断面図である。
【図４】同パッケージに用いるＩＣチップマウント用基板とそのマウント後の平面図である。
【図５】同パッケージの実例の平面図、側面図とその一部分の拡大図及び裏面図である。
【図６】同パッケージに用いるＩＣチップマウント用基板の実例の平面図とその一部分の

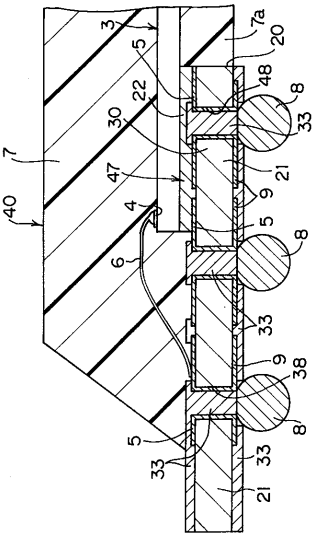
拡大図である。
【図７】同ＩＣチップマウント用基板の詳細な平面図である。
【図８】同パッケージの製造方法における一工程段階の断面図である。
【図９】同パッケージの製造方法における他の一工程段階の断面図である。
【図１０】同パッケージの製造方法における他の一工程段階の断面図である。
【図１１】同パッケージの製造方法における他の一工程段階の断面図である。
【図１２】同パッケージの製造方法における他の一工程段階の断面図である。
【図１３】同パッケージの製造方法における他の一工程段階の断面図である。
【図１４】同パッケージの製造方法における他の一工程段階の断面図である。
【図１５】同パッケージの製造方法における他の一工程段階の断面図である。
【図１６】同パッケージの製造方法における更に他の一工程段階の断面図である。
【図１７】本発明の他の実施例によるパッドレスのプラスチックＢＧＡパッケージの一部分の断面図である。
【図１８】同パッケージを製造する際の樹脂モールド時の断面図である。
【図１９】本発明の他の実施例によるパッドレスのプラスチックＢＧＡパッケージに用いるＩＣチップマウント用基板の実例の平面図とその一部分の拡大図である。
【図２０】本発明の他の実施例によるパッドレスのプラスチックＢＧＡパッケージに用いる各種ＩＣチップマウント用基板の各平面図である。
【図２１】本発明の他の実施例によるパッドレスのプラスチックＢＧＡパッケージに用いる各種ＩＣチップマウント用基板の各平面図である。
【図２２】本発明の他の実施例によるパッドレスのプラスチックＢＧＡパッケージの一部分の断面図である。
【図２３】本発明の他の実施例によるパッドレスのプラスチックＢＧＡパッケージの一部分の断面図である。
【図２４】本発明の他の実施例によるパッドレスのプラスチックＢＧＡパッケージの要部の断面図である。
【図２５】同パッケージの一部分の断面図である。
【図２６】同パッケージの製造方法における一工程段階の断面図である。
【図２７】同パッケージの製造方法における他の一工程段階の断面図である。
【図２８】同パッケージの製造方法における他の一工程段階の断面図である。
【図２９】同パッケージの製造方法における他の一工程段階の断面図である。
【図３０】同パッケージの製造方法における他の一工程段階の断面図である。
【図３１】同パッケージの製造方法における他の一工程段階の断面図である。
【図３２】同パッケージの製造方法における他の一工程段階の断面図である。
【図３３】同パッケージの製造方法における他の一工程段階の断面図である。
【図３４】同パッケージの製造方法における他の一工程段階の断面図である。
【図３５】同パッケージの製造方法における更に他の一工程段階の断面図である。
【図３６】本発明の他の実施例によるパッドレスのプラスチックＢＧＡパッケージの要部の断面図である。
【図３７】本発明の他の実施例によるパッドレスのプラスチックＢＧＡパッケージの要部の断面図である。
【図３８】本発明の更に他の実施例によるパッドレスのプラスチックＢＧＡパッケージの要部の断面図である。
【図３９】従来例によるプラスチックＢＧＡパッケージの断面図である。
【図４０】同パッケージの実例の平面図、側面図とその一部分の拡大図及び裏面図である。
【図４１】同パッケージに用いるＩＣチップマウント用基板の実例の平面図である。
【図４２】クラックが生じた同パッケージの一部分の断面図である。
【図４３】反りが生じたパッケージの概略側面図である。
【図４４】同パッケージの一部分の詳細な断面図である。

【符号の説明】
１、21・・・ＩＣチップマウント用基板
２、22・・・銀ペースト
３・・・ＩＣチップ
４・・・ボンディングパッド
５、９、15・・・銅配線
６・・・ワイヤ
７・・・モールド樹脂
７ａ・・・モールド樹脂部分
７’・・・モールドコンパウンド
８・・・ハンダボール
８ａ・・・ハンダ
10、40・・・プラスチックＢＧＡパッケージ
12、38・・・スルーホール
13、33・・・ソルダーレジスト
14・・・プリント配線板
17、47・・・マウント領域
18、48・・・サーマルバイア
20・・・欠除部
20ａ・・・間隙
21ａ・・・壁部
21ｂ・・・段差
21ｃ・・・傾斜面
30・・・突出片部
50、65、69・・・銅めっき層
51、52・・・金型
53・・・キャビティ

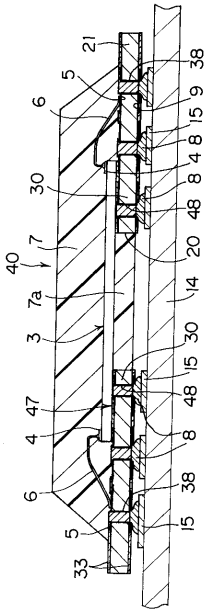
【図１】



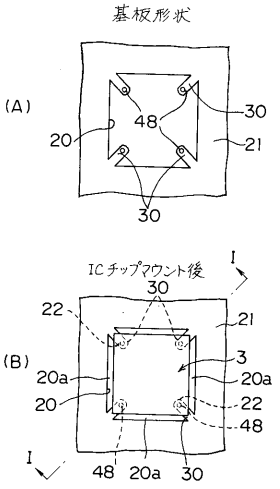
【図２】



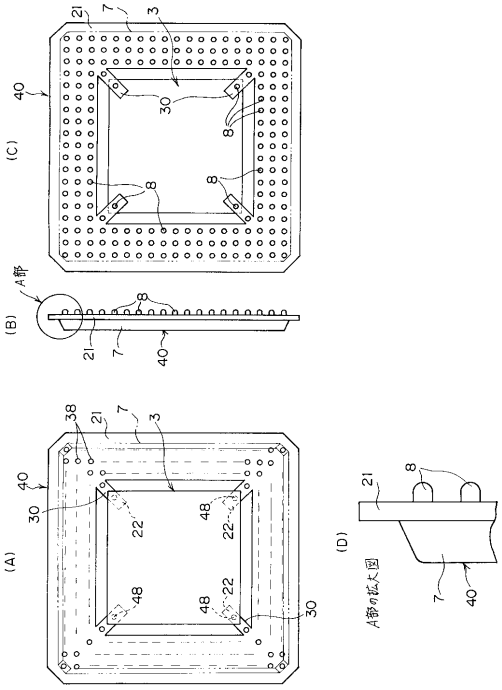
【図３】



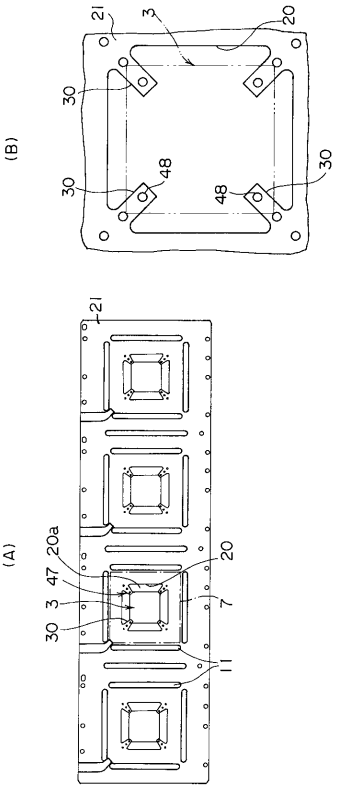
【図４】


基板形状
(A)
48
30
20
21
30
ICチップマウント後
I
30
22
21
(B)
3
20a
20a
20
22
48
I
48
20a
30

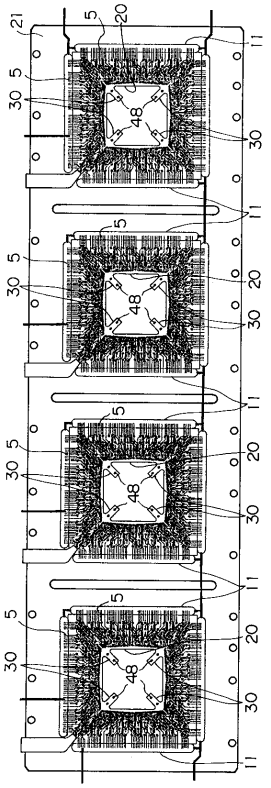
【図５】



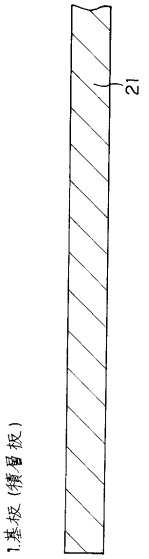
【図６】



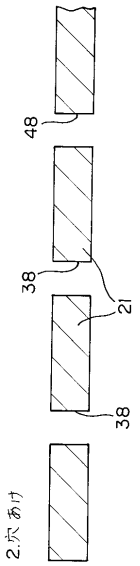
【図７】



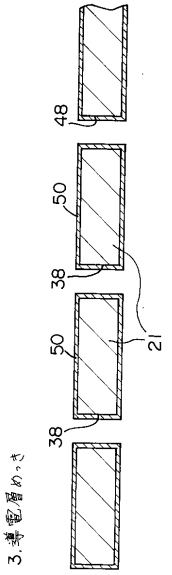
【図８】



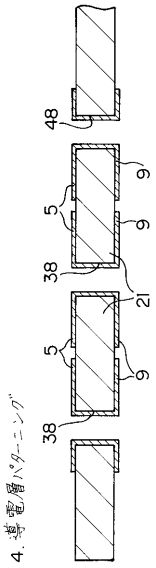
【図９】



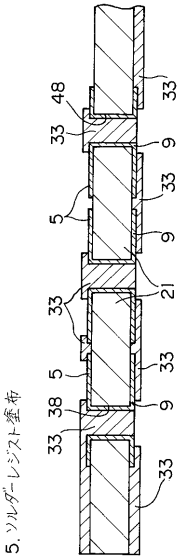
【図１０】



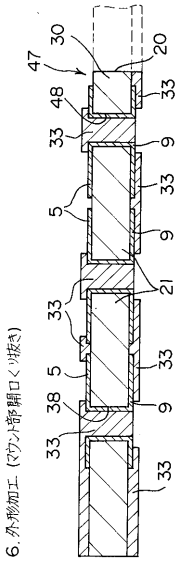
【図１１】



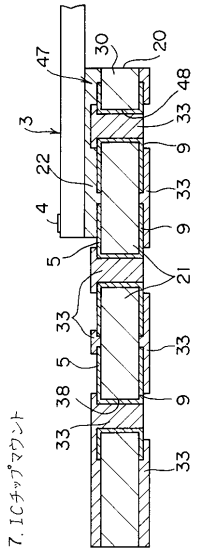
【図１２】



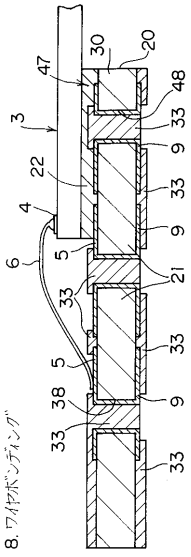
【図１３】



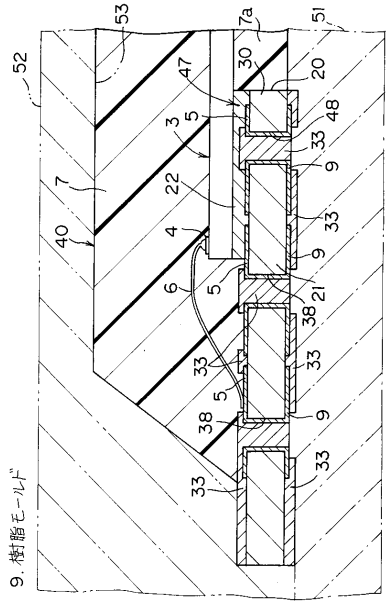
【図１４】



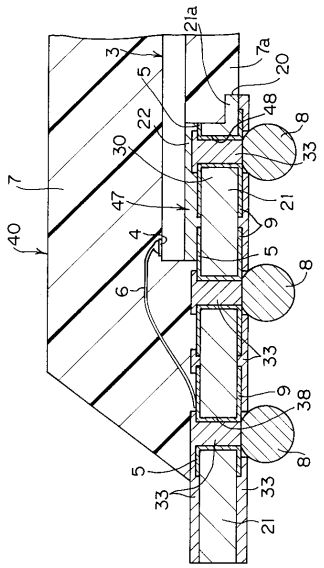
【図１５】



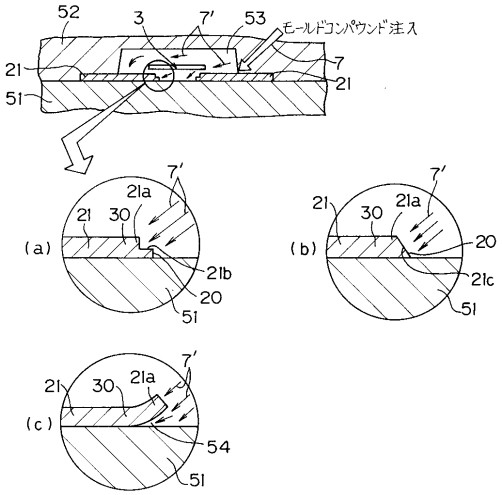
【図１６】



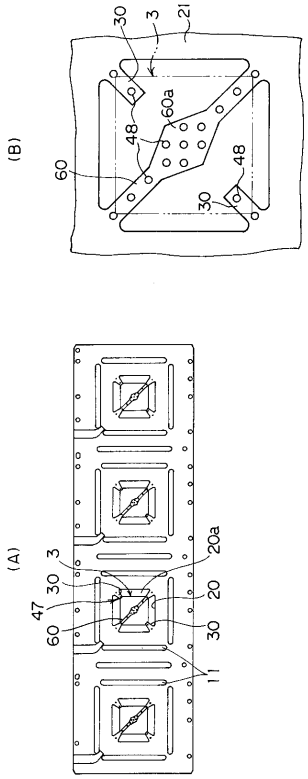
【図１７】



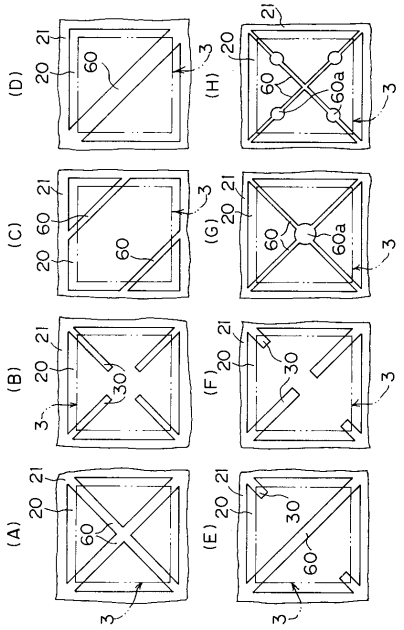
【図１８】



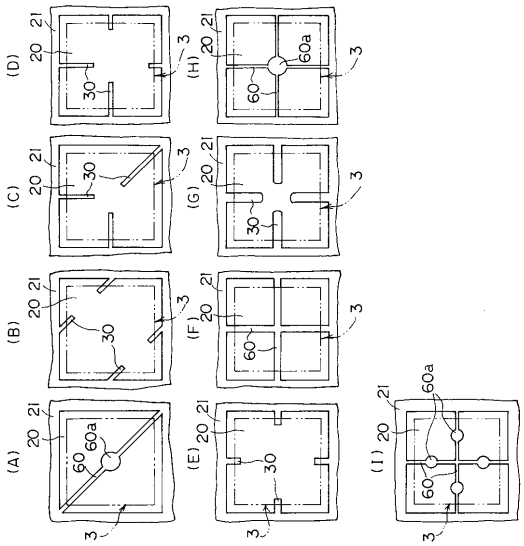
【図１９】



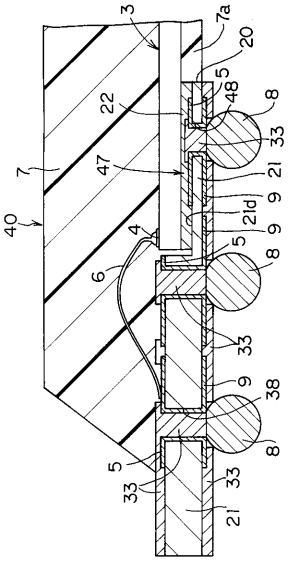
【図２０】



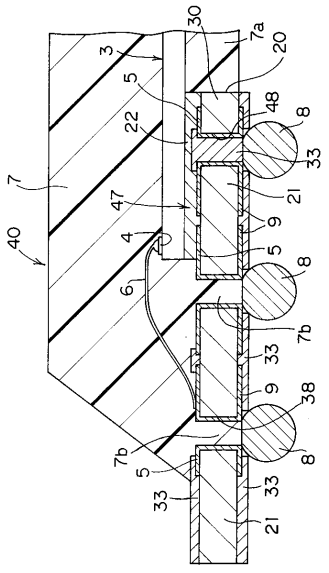
【図２１】



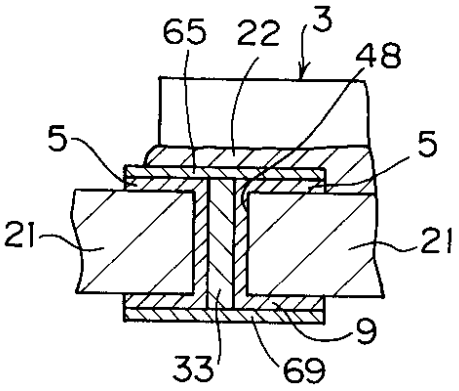
【図２２】



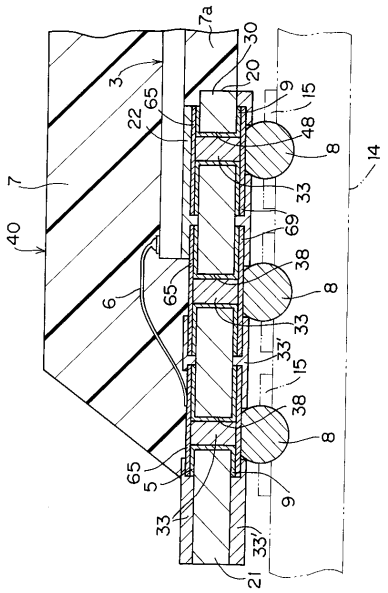
【図２３】



【図２４】

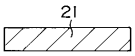


【図２５】



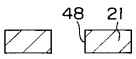
【図２６】

1.積層板



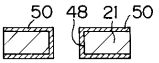
【図２７】

2.穴あけ(ドリル)



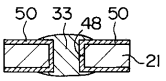
【図２８】

3.パターンメッキI



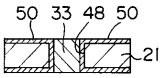
【図２９】

4.スルホール部樹脂穴埋め



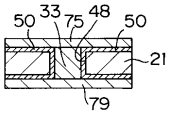
【図３０】

5.樹脂除去(研磨)



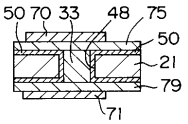
【図３１】

6.パターンメッキII



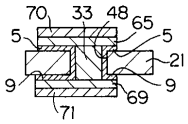
【図３２】

7.エッチング:レジスト塗布



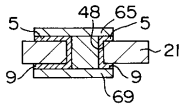
【図３３】

8.パターンエッチング



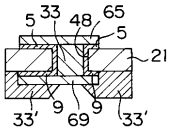
【図３４】

9.エッチング・レジスト剥離

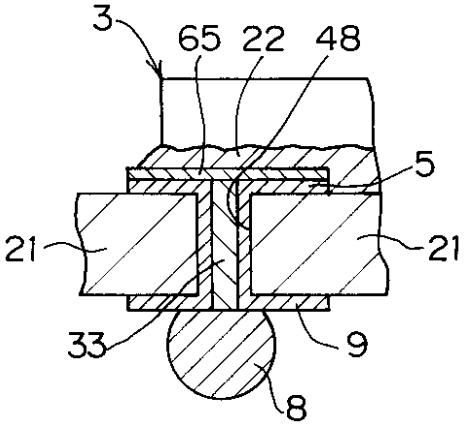


【図３５】

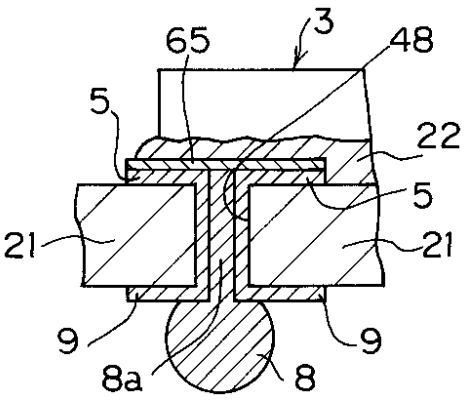
10.ソルダーレジスト塗布



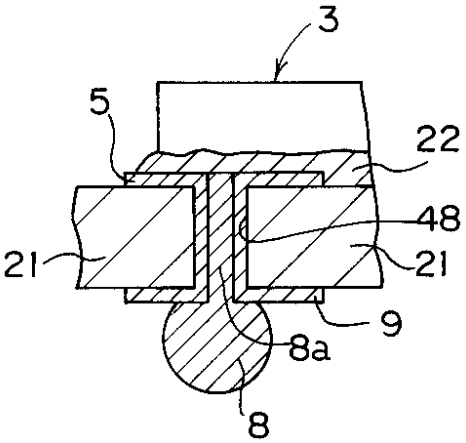
【図３６】



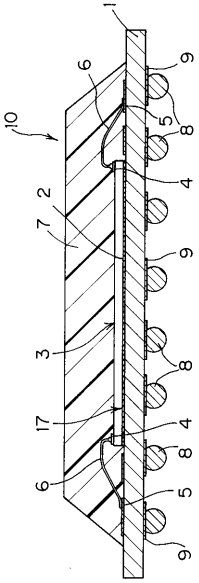
【図３７】



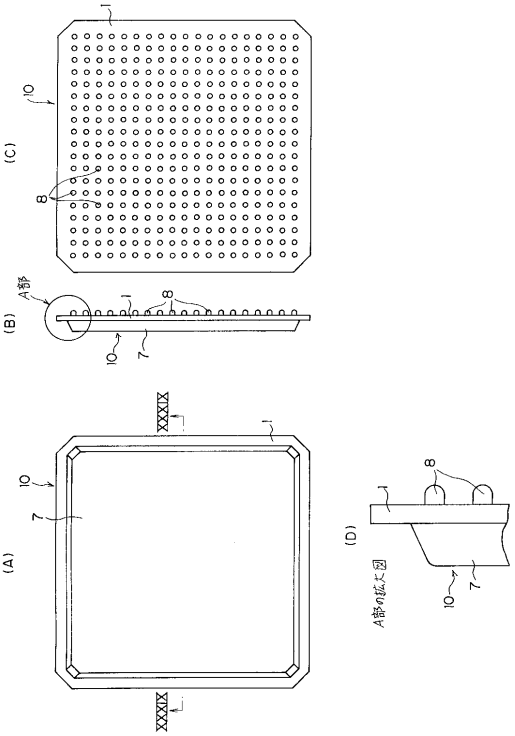
【図３８】



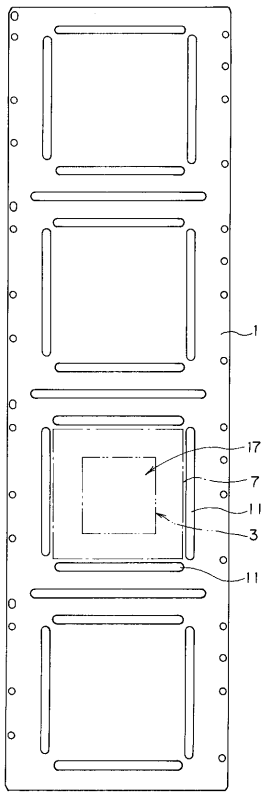
【図３９】



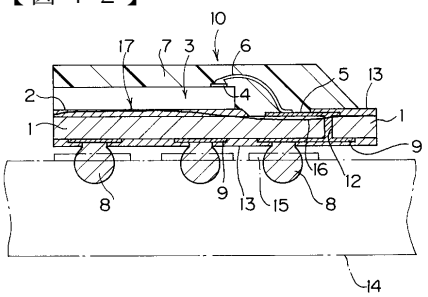
【図４０】



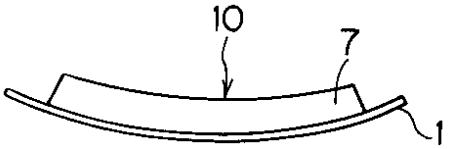
【図４１】



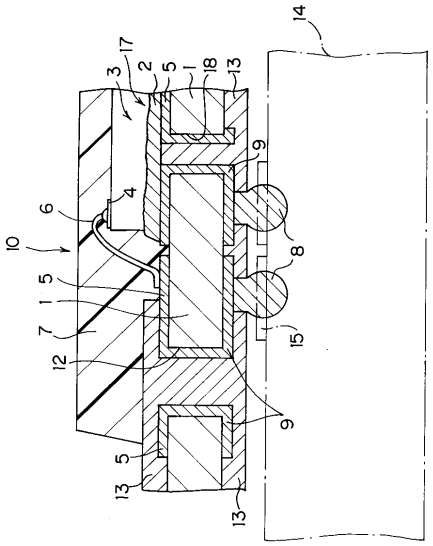
【図４２】



【図４３】



【図４４】



フロントページの続き

(56)参考文献 特開平０４－３３６４５１（ＪＰ，Ａ）
特開平０４－１０５３９６（ＪＰ，Ａ）
特開平０７－２１２０１３（ＪＰ，Ａ）
特開平０６－１１２３５４（ＪＰ，Ａ）
特開平０６－１７７２７５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 23/12- 23/14