

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 20 日(20.12.2012)



(10) 国際公開番号
WO 2012/172927 A1

- (51) 国際特許分類:
G05F 3/30 (2006.01) *H03F 3/34* (2006.01)
H01L 21/822 (2006.01) *H03F 3/45* (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062894
- (22) 国際出願日: 2012 年 5 月 21 日(21.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-130765 2011 年 6 月 12 日(12.06.2011) JP
- (72) 発明者: および
- (71) 出願人: 菅原 光俊 (SUGAWARA Mitsutoshi)
[JP/JP]; 〒2450004 神奈川県横浜市泉区領家四丁目 1 7 番地 2 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,

CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: TUNNELING CURRENT CIRCUIT

(54) 発明の名称: トンネル電流回路

[図3]

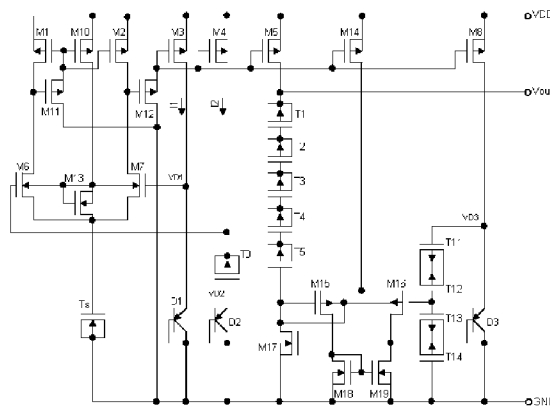


図3

(57) Abstract: The purpose of the present invention is to provide a circuit that generates a reference voltage with little electrical power consumption, and that has the same size as conventional circuits. A bandgap reference circuit that, to generate an output voltage, adds a voltage proportional to a differential voltage when currents having different current densities are applied to a semiconductor junction, and a voltage proportional to a forward voltage occurring in a semiconductor junction, wherein the bandgap reference circuit is characterized in that the "voltage proportional to the differential voltage" is generated by a first tunneling current element to which the differential voltage is applied, circuits connected serially to a second tunneling current element or a plurality of second tunneling current elements, and a means to apply, to the second tunneling current element, a current proportional to the current applied to the first tunneling current element.

(57) 要約:

[続葉有]

WO 2012/172927 A1



消費電力の少ない基準電圧を発生する回路を、従来並みのサイズで提供することを目的とする。半導体接合に異なる電流密度の電流を流したときの差電圧に比例する電圧と、半導体接合に生ずる順方向電圧に比例する電圧とを加算して出力電圧とするバンドギャップリファレンス回路において、前記差電圧が印加される第一のトンネル電流素子と、第二のトンネル電流素子もしくは第二の複数のトンネル電流素子を直列接続した回路と、前記第一のトンネル電流素子に流れる電流に比例した電流を前記第二のトンネル電流素子に流す手段によって、上記「差電圧に比例する電圧」を発生させることを特徴とする。

明 細 書

発明の名称：トンネル電流回路

技術分野

[0001] 本発明はトンネル電流を利用したアナログ電子回路に関し、特に低消費電流バンドギャップリファレンス回路を構成する際にも有用なトンネル電流を利用したアナログ電子回路に関する。

背景技術

[0002] 従来からバンドギャップリファレンスと称される基準電圧発生回路が知られている。これは例えばシリコン半導体PN接合（以下「接合」という）に生ずる電圧が常温で約0.7V、約 $-2\text{ mV}/^{\circ}\text{C}$ という負の温度係数を持つことと、接合に流れる電流密度を変えた対を作るとその電位差が絶対温度に比例する正の温度係数になるので、それを所定の抵抗比で増幅して前記接合の電圧と加算して温度係数を相殺する回路である。

先行技術文献

特許文献

[0003] 特許文献1：特許公開2002-304224「電圧発生回路および電圧発生方法」 発明者 菅原光俊
特許文献2：特願2010-235993「基準電圧発生回路」 発明者 菅原光俊
特許文献3：USP6384586 “Regulated Low Voltage Generation Circuit” innovator Mitsutoshi Sugawara

発明の概要

発明が解決しようとする課題

[0004] 図4は特許文献1に記載した本願発明者の発明になる従来のCMOS型バンドギャップリファレンス回路であり、CMOSプロセスでも作れ、かつシリコンのバンドギャップ電圧約1.3Vよりも低電圧の温度係数がほぼゼロの基準電圧も発生できるバンドギャップリファレンス回路である。

[0005] 以下、簡単に原理と動作説明をする。

電流源 I_1 により接合 D_1 に生ずる電圧 V_{D1} の関係は

$$I_1 = I_s \times \exp(q \times V_{D1} \div (k \times T))$$

で与えられる。ここで I_s はプロセスと接合の大きさで決まる飽和電流、 q は電子の電荷、 k はボルツマン係数、 T は絶対温度である。同様に電流源 I_2 により接合 D_2 に生ずる電圧 V_{D2} は

$$I_2 = m \times I_s \times \exp(q \times V_{D2} \div (k \times T))$$

で与えられる。ここで I_s は集積回路上ではほぼ等しく、 m は電流密度比である。この二式から

$$V_{D1} - V_{D2} = (k \times T \div q) \times \ln(m \times I_1 \div I_2)$$

となり、絶対温度 T に比例する電圧が得られる。例えば、接合 D_2 の面積を D_1 の 10 倍とし、 $I_1 = I_2$ とすれば、常温 $T = 300^\circ \text{K}$ で、 $V_1 - V_2 \div 60 \text{ mV}$ となる。

[0006] これを差動アンプ A_1 で、その入力電圧差がゼロに近づくように負帰還をかけることにより、抵抗 R_1 の両端が $V_{D1} - V_{D2}$ に限りなく等しくなる。

従ってオームの法則により

$$I_2 = (V_{D1} - V_{D2}) \div R_1$$

となる。

一方、バイアス電流源 I_4 によって接合 D_3 に生ずる電圧 V_{D3} を、抵抗 R_2 と R_3 で分圧し、そこに I_2 の n 倍の電流 I_3 を流入させると、テブナンの定理により、出力電圧

$$V_{out} = V_{D3} \times R_3 \div (R_2 + R_3) + I_3 \times (R_2 // R_3)$$

が得られる。ここで $//$ は抵抗の並列を示し、 $R_2 // R_3 \equiv R_2 \times R_3 \div (R_2 + R_3)$ である。

$$V_{out} = V_3 \times R_3 \div (R_2 + R_3) + R_2 \times R_3 \div (R_2 + R_3) \div R_1 \times n \times k \times T \times \ln(m) \div q$$

となる。

第一項目は接合の温度特性に比例する負の温度特性を持ち、第二項目は絶対

温度に比例する正の温度係数を持つので、 R_1 、 R_2 、 R_3 、 m を適正に選ぶことにより負、ゼロ、正の任意の温度係数を持つ電圧が得られる。

工業的にはゼロが頻繁に使われ、正や負の温度係数を補正する等の目的で用いることもある。

[0007] 例えば、接合D2の面積をD1の10倍とし、 $I_1 = I_2 = I_3$ 、 $R_2 = R_3 = 10 \times R_1$ とすれば、 $m = 10$ 、 $n = 1$ となり、常温 $T = 300^\circ \text{K}$ のとき、第一項目は接合の電圧の半分で約350 mVで $-1 \text{ mV}/^\circ\text{C}$ となり、第二項は約300 mVで $+1 \text{ mV}/^\circ\text{C}$ となる。合わせて約650 mVで温度係数が相殺されてほぼゼロにできる。

[0008] このとき、消費電力は主に抵抗 R_1 と電流源の電流比によって決まり、例えば $R_1 = 6 \text{ k}\Omega$ 時、 R_1 の両端の電位差が60 mVなので、 $I_2 = 10 \mu\text{A}$ となり $I_1 + I_2 + I_3 + I_4 = 40 \mu\text{A}$ となる。電源電圧が1 Vの場合40 μW の電力を消費する。なお $R_2 = R_3 = 60 \text{ k}\Omega$ である。例えば消費電力を $1/10$ の4 μW にする場合は、 $R_1 = 60 \text{ k}\Omega$ とすれば良いが、 $R_2 = R_3 = 600 \text{ k}\Omega$ となり、集積回路上に作るとき、相当に広い面積が必要となる。さらに $1/10000$ の400 pWにすることを考えると、 $R_2 = R_3 = 6 \text{ G}\Omega$ が必要となり、もはや工業的にリズナブルな面積では作れないという欠点がある。

この回路に限らず、ほぼ全てのバンドギャップリファレンス回路が類似の方式なので、低消費電力化に際して同様な課題を持っている。

発明の効果

[0009] 本発明を適用すれば、高抵抗を使わずに、小さな面積でnWクラス以下の消費電力のバンドギャップリファレンス回路を提供することができる。

また本発明を適用すれば、高抵抗を使わずに、小さな面積でnWクラス以下の消費電力のシリコンのバンドギャップ電圧約1.3 Vよりも低電圧の温度係数がほぼゼロの基準電圧も発生できる基準電圧発生回路を提供することができる。

さらに本発明のバンドギャップリファレンス回路内部の各回路は、高抵抗を

使わずに、小さな面積で nW クラス以下の消費電力の回路として汎用的に利用できる。

課題を解決するための手段

[0010] 本発明では、抵抗の代わりに、トンネル電流を用いる。トンネル電流は絶縁物の電極間距離を 10 nm 程度以下にすると顕著に流れ始める電流であり、原理は量子力学で説明される。トンネル電流を積極的に用いた素子として、本発明では「トンネル電流素子」と称し、これを用いた回路を「トンネル電流回路」と称する。

トンネル電流素子の第一の例として、 90 nm 以降の集積回路プロセスで見え始めた MOS 型トランジスタのゲートとバック・ゲート間に流れる「ゲート・トンネル・リーク電流」を積極的に使うことを提唱する。トンネル電流素子として使う場合には、かかる MOS 型トランジスタのドレインとソースは、実質的に動作しておらず、無くてもさしつかえない。薄いゲート絶縁膜の上側全部をトンネル素子の電極としてゲート電極と同時に形成し、かつソースやドレインのイオン注入する穴を設けぬことにより、ドレインやソースの無いトンネル素子ができる。あるいはゲート電極を一周するような電極を、ソースやドレインと同時に形成することもできる。また、単に極めて薄い絶縁膜をはさんで導体もしくは半導体の電極が対向した素子であれば良く、このような構造を MOS トランジスタと無関係に作ることもできる。

本発明では、かかるトンネル電流が pA 乃至 nA 程度と小さいことを利用する。

[0011] 本発明のトンネル電流素子を使った基準電圧発生回路は、半導体接合に異なる電流密度の電流を流したときの差電圧に比例する電圧と、半導体接合に生ずる順方向電圧に比例する電圧とを加算して、出力電圧とする基準電圧発生回路において、前記差電圧が印加される第一のトンネル電流素子と、第二のトンネル電流素子もしくはそれを直列接続した回路と、前記第一のトンネル電流素子に流れる電流に比例した電流を前記第二の複数

のトンネル素子に流す手段によって、

上記差電圧に比例する電圧を発生させることを特徴とする。

[0012] 本発明では、上記トンネル電流素子を高精度で利用するため、それ以外の素子に生ずる不要なトンネル電流を抑制する、あるいは補償する手段も提供する。

発明を実施するための形態

実施例 1

[0013] 図 1 は、本発明の第一の実施例である。

PチャネルトランジスタM3のドレイン電流を I_1 とすると、接合D1に生ずる電圧 V_{D1} との関係は

$$I_1 = I_s \times \exp(q \times V_{D1} \div (k \times T))$$

で与えられる。ここで I_s はプロセスと接合の大きさで決まる飽和電流、 q は電子の電荷、 k はボルツマン係数、 T は絶対温度である。同様にPチャネルトランジスタM4のドレイン電流を I_2 とすると、接合D1の10倍の面積を持つ接合D2に生ずる電圧 V_{D2} の関係は

$$I_2 = 10 \times I_s \times \exp(q \times V_{D2} \div (k \times T))$$

で与えられる。この二式から

$$V_{D1} - V_{D2} = (k \times T \div q) \times \ln(10 \times I_1 \div I_2)$$

となり、絶対温度 T に比例する電圧が得られる。 $I_1 = I_2$ とすれば、常温 $T = 300^\circ \text{K}$ で、 $V_1 - V_2 \div 60 \text{mV}$ となる。

これを、Nチャネルトランジスタ差動対M6及びM7と、Pチャネルトランジスタの能動負荷M1及びM2、等価的に電流源として動作するトンネル電流素子 T_s からなる差動アンプで、その差動入力電圧差がゼロに近づくように負帰還をかけることにより、トンネル電流素子 T_0 の両端が $V_{D1} - V_{D2}$ に限りなく等しくなる。

ここまでは、トンネル電流素子 T_s を除き、従来例と同様である。

[0014] ここでトンネル電流素子の一例として、Pチャネルトランジスタのゲート対バックゲートを用いる。かかるトランジスタのソースとドレインは例えばバ

ックゲートに接続しておく。こうすると既存のBSIM4等のトランジスタ・モデルを使って回路シミュレーションをすることができる。例えばゲート面積が $30\mu\text{m} \times 30\mu\text{m}$ の場合、プロセスにも依るが、 60mV 印加すると約 10pA 程度の電流が流れる。本実施例ではまず、トンネル電流素子 T_0 と同じ形状のトンネル電流素子 $T_1 \sim T_{10}$ を直列にし、Pチャネルトランジスタ M_4 と M_5 の電流を等しく設定することにより、トンネル電流素子 $T_0 \sim T_{10}$ に等しい電流が流れ、それぞれのトンネル電流素子の両端の電圧は互いに等しくなる。つまりトンネル電流素子 $T_1 \sim T_{10}$ の直列接続の両端には、トンネル電流素子 T_0 の 10 倍の電圧が生ずる。この電圧は、従来例と同様に、約 600mV で絶対温度に比例し常温で $+2\text{mV}/^\circ\text{C}$ の温度特性を持つ電圧である。この電圧と、約 $-2\text{mV}/^\circ\text{C}$ の温度特性を持つ接合 D_3 に生ずる順方向電圧 V_{D3} （ほぼ 0.7V ）とを加算し、基準電圧 V_{out} として出力する。約 1.3V で温度特性ゼロの基準電圧となる。実際には V_{D3} の電圧や温度係数はプロセスや電流密度で多少変わるので、それに合わせてトンネル電流素子の個数や大きさを調整し、ゼロを含む所望の温度特性の電圧が得られる値に設計する。

[0015] 消費電流は各電流が 10pA 程度なので、全体でも数 10pA 程度に抑えられる。消費電力も数 $10 \sim 100\text{pW}$ 程度が実現できる。特徴的なのは、トンネル電流素子の面積を小さくすると、比例して電流が小さくなることである。従って例えば各トンネル電流素子の面積を $10\mu\text{m} \times 10\mu\text{m}$ とすると消費電力を $1/9$ にできる。従来例のように抵抗を使った場合、抵抗の面積と消費電流が反比例するのとは好対照である。上記のサイズや電流値等は説明のための一例であり、要求やプロセスに合わせて適宜変更できる。

[0016] なお、トンネル電流素子以外のトランジスタのゲート・トンネル・リーク電流が気になる場合、それらのトランジスタを、ゲート膜厚が厚くてトンネル電流がほとんど流れない入出力用の耐压の高いトランジスタで作るのが簡単である。

また直列接続されるトンネル電流素子の個数は上記の例に限らず、接合 D_1

とD2の面積比に合わせて適宜選ぶことが出来る。またPチャネルトランジスタM3とM4の比を調整して、トンネル電流素子T1～T10の直列接続の両端に生ずる電圧を調整することもできる。例えばPチャネルトランジスタM5のサイズを2倍にし、トンネル電流素子の面積も2倍にすることで、負荷の駆動能力を上げることもできる。

[0017] 90nm以降の集積回路プロセスのMOSトランジスタを実測すると、トンネル電流素子の電圧Vと電流Iの関係は、 $I = V$ のn乗であり、nは概略2であることがわかる。任意の大きさの二つのトンネル電流素子の場合、

$$I_1 = a \cdot V_1^n$$

$$I_2 = b \cdot V_2^n$$

I_1 と I_2 が比例関係にある場合、つまり $I_2 = m \cdot I_1$ のとき、

$$b \cdot V_2^n = m \cdot a \cdot V_1^n$$

$$\therefore V_2 = (m \cdot a / b)^{1/n} \cdot V_1$$

となり、 V_1 と V_2 も比例関係にあることがわかる。

[0018] 本実施例の別な形態として、トンネル電流素子T0の電極面積をT1の約4倍とする。

上記の関係を利用して、従来の抵抗比で作っていた回路を置き換えて、低消費電力化する。前項の $n \div 2$ 、 $m = 1$ 、 $a \div 4$ 、 $b = 1$ に相当し、T2の両端の電圧はT0のちょうど2倍に設定可能である。同様にT2～T5の電極面積もT1の面積と同じにすれば、T1～T5の両端の電圧はT0の10倍となるので、T6～T10を省略できる（図示せず）。これによりこの部分の面積を削減できる利点がある。この数値例に限定すること無く、端数を含む任意の電極面積比と任意の個数にすることが出来、所望の特性に調整出来る。

実施例 2

[0019] 図2は、本発明の第二の実施例である。図1と同じ機能のものには同じ記号を付し、説明を省略する。PチャネルトランジスタM5のドレイン電流により、トンネル電流素子T1～T5の直列接続の両端に、トンネル電流素子T

0に生ずる電圧の5倍の電圧を生ずる。図1と同じ接合の面積比の場合、この電圧は300mVで $-1\text{ mV}/^{\circ}\text{C}$ となる。

一方、新たに追加したPチャネルトランジスタM8によって接合D3に順方向電圧VD3を発生させ、トンネル電流素子T11～T14により2分圧し、差動アンプA2によるボルテージフォロア回路により、VD3の半分の電圧を発生させている。この電圧は約350mVで、約 $-1\text{ mV}/^{\circ}\text{C}$ の温度特性である。この電圧と前記トンネル電流素子T1～T5の直列接続の両端に生じた電圧の和が出力端子Voutに生ずる。その電圧は約650mVで、温度係数は相殺されほぼゼロになる。

[0020] 分圧比を1/3や2/3等任意に選ぶことも可能であり、その場合は接合の面積比と直列接続するトンネル電流素子の個数やサイズの比を適宜選択して、所望の出力電圧や温度係数を実現可能である。

[0021] 本実施例では、従来より桁違いに省電力で、かつ電源電圧がわずか1Vでも動作し、バンドギャップリファレンスの半分の電圧が得られる。トランジスタM3、M4、M5、およびM8の比を1:1:1:1とすると、わずか40pWの消費電力である。

実施例 3

[0022] 図3は、本発明の第二の実施例をトランジスタ・レベルで記載した実施例である。図2と同じ機能のものには同じ記号を付し、説明を省略する。ここではすべてゲートのトンネル電流が無視できないトランジスタを使う例を示す。PNPトランジスタQ1、Q2およびQ3はそれぞれベースとコレクタが接続されており、等価接合として動作することが知られている。特にCMOSプロセスでは追加コスト無しで、基板をコレクタとし、Nウェルをベースとし、Pチャネルトランジスタのソースやドレインのための拡散層をエミッタとするPNPトランジスタを作れるので、これを利用した例である。

[0023] PNPトランジスタQ3に発生させた順方向電圧VD3を、トンネル電流素子T11～T14により2分圧している。ここでT11とT12を逆方向にしてつなぐことにより、両者間のバックゲートを同一のNウェルとすること

で接続でき、バックゲートの引き出し電極と両者をつなぐ配線を省略できる。ドレインも共通にすることができる。T 1 3、T 1 4も同様である。これらにより、さらに小型にできる。

なお0018項で述べた式を使い、トンネル電流素子のサイズや個数を適宜選ぶことにより、任意の分圧が可能である。

[0024] 差動アンプA 2は、PチャネルトランジスタM 1 5とM 1 6からなる差動対と、NチャネルトランジスタM 1 8とM 1 9からなる能動負荷と、NチャネルトランジスタM 1 7からなるソース接地回路から構成されている。

差動アンプA 2は、ボルテージフォロアとして動作するので、トランジスタM 1 5とM 1 6のゲートとトランジスタM 1 7のドレインはほぼ同電位となっており、トランジスタM 1 5とM 1 6のバックゲートはそこに接続されている。このため、トランジスタM 1 5とM 1 6は、どちらもゲートとバックゲート間がほぼ0 Vとなり、これらの間の電流は全く流れない。つまりこれらのトランジスタのゲート・トンネル電流をゼロにすることができる。

[0025] PチャネルトランジスタM 1 5のドレイン電流は、NチャネルトランジスタM 1 8のドレイン電流となる他、NチャネルトランジスタM 1 8とM 1 9のゲート・トンネル電流としても供給される。これを補償するために、NチャネルトランジスタM 1 7のゲート・トンネル電流を後者とほぼ等しくなるように設定する。具体的には、NチャネルトランジスタM 1 7のゲート面積を、NチャネルトランジスタM 1 8とM 1 9の和とほぼ等しくし、かつ、これらすべての電流密度を等しくする。これによりこれら三つのトランジスタのゲート・バックゲート間電圧は等しくなり、ゲート・バックゲート間トンネル電流をそろえ、PチャネルトランジスタM 1 5とM 1 6のバランス時のドレイン電流を等しく流し出すことができる。

[0026] 差動アンプA 1の主要部は、NチャネルトランジスタM 6とM 7からなる差動対と、PチャネルトランジスタM 1とM 2からなる能動負荷と、概略定電流源とみなされるトンネル電流素子T sで構成される。

トンネル電流素子T sは、Nチャネルトランジスタのゲートとバックゲート

間を用いると、サブストレート部に作ることができ、Pチャネルトランジスタで作るより小型にできる。

[0027] 定電流源として動作するPチャネルトランジスタM10と、ダイオードとして動作するNチャネルトランジスタM13によって、NチャネルトランジスタM6とM7からなる差動対の共通ソース電圧よりVGS高い電圧を作り出している。この電圧は概略NチャネルトランジスタM6とM7の両ゲート電圧と等しいので、この電圧でこれらの共通バックゲートをバイアスする。これによりこれらのトランジスタのベースとバックゲート間電圧はほぼ0Vとなり、ゲート・トンネル電流は流れない。なおNチャネルトランジスタのバックゲートをサブストレートと異なる電位にバイアスするためには、ディープNウェルという工程を用いるのが一般的だが、これに限定されない。

[0028] PチャネルトランジスタM1、M2とM10からなる回路のゲート・トンネル電流によるバランス劣化を補償するため、PチャネルトランジスタM11を挿入している。PチャネルトランジスタM11のソース電流は、PチャネルトランジスタM1、M2とM10のゲート・トンネル電流のみのため、小さな値である。よってPチャネルトランジスタM11をできるだけ小さくすることができ、ゲート・トンネル電流を抑えることができる。

[0029] PチャネルトランジスタM12は、後段の電流源PチャネルトランジスタM3、M4、M5、M14とM8のゲート・トンネル電流の影響を補償するために挿入したものである。このPチャネルトランジスタM12と上記PチャネルトランジスタM11のゲート・トンネル電流を概略等しくするように電流値やゲート寸法を設計することにより、さらにバランスを高めることができる。

[0030] 本実施例では、上記の幾つもの発明を適用することにより、回路内の不要なゲート・トンネル電流による影響を相殺したり、抑えたりすることにより、ゲート・トンネル電流が無視できないトランジスタを使っても、精度を劣化させずにバンドギャップリファレンス回路が構成できることを示せた。

必要に応じ、起動回路を付したり、アンプA1やA2に発振対策をすること

がある。

産業上の利用可能性

[0031] 本発明では、従来より4桁小さい1 n A以下でバンドギャップリファレンス回路を、従来並みの大きさを構成することができる。と同時に、差動アンプ、カレントミラーや能動負荷、分圧等で、トンネル電流を応用したり、不要なトンネル電流の影響を補償することを広く応用することにより、他のアナログ回路も低電力化することができる。

これにより電池で動かすポータブル機器の稼働時間を飛躍的に伸ばすことができる。電池のみならず、磁界や電界や光発電や接触電位等による微弱な電源を利用することも可能となり、電池無しで生体内に埋め込む機器等へも応用できる。

[0032] なお、本発明は実施例として例示したものに限定することなく、一部を切り出して実施したり、任意に組み合わせて実施することも可能である。

図面の簡単な説明

[0033] [図1]第一の実施例で、消費電力の少ない約1.3 Vで温度係数ゼロの基準電圧発生回路

[図2]第二の実施例で、消費電力の少ない約650 mVで温度係数ゼロの基準電圧発生回路

[図3]第三の実施例で、図2の基準電圧発生回路をトランジスタ・レベルで記載したもの

[図4]従来例で、特許文献1に記載された回路図

符号の説明

[0034] T1～T14、Ts	トンネル電流素子
D1～D3	半導体接合
M1～M19	トランジスタ
I0～I4	電流源
R1～R3	抵抗

A 1、A 2

差動アンプ

V D D

電源

G N D

接地

V o u t

出力端子

請求の範囲

- [請求項1] 複数のトンネル電流素子を直列に電圧源に接続し、前記複数のトンネル電流素子の接続点の電圧を出力とする電圧分割用トンネル電流回路。
- [請求項2] ソースを共通接続したトランジスタ対と、かかるトランジスタ対のドレインの少なくとも一方に負荷が接続され、かかるトランジスタ対のゲートに信号とバイアス電圧が接続された差動増幅器において、一端が上記共通ソースに接続され、他端が正又は負の電源に接続されたトンネル電流素子を有することを特徴とする差動増幅用トンネル電流回路。
- [請求項3] MOSトランジスタのバックゲートを、ゲートと概略同電位に接続することにより、かかるトランジスタのゲート・トンネル電流を押さえることを特徴とするトンネル電流回路。
- [請求項4] 能動負荷を有する差動増幅器と、かかる能動負荷にゲートが接続されるかかる能動負荷と同一極性の第三のトランジスタからなる増幅回路において、能動負荷を構成するトランジスタ対のゲート・トンネル電流の和と、第三のトランジスタのゲート・トンネル電流を概略等しくしたことを特徴とする増幅用トンネル電流回路。
- [請求項5] 少なくとも2個のMOSトランジスタ対からなるカレントミラー回路において、かかるトランジスタ対の共通ゲート接続端にソースが接続された第三のトランジスタを有し、かかる第三のトランジスタのゲートは前記MOSトランジスタ対の一方のドレインに接続され、かかる第三のトランジスタのドレインは電流を流すに足る電位に接

続されたことを特徴とするトンネル電流回路。

[請求項6] 前各項のトンネル電流素子は、MOSトランジスタのゲート電極とバックゲート電極間の絶縁膜もしくはかかる絶縁膜と同一工程で作られる絶縁膜に流れるトンネル電流を使うことを特徴とするトンネル電流回路。

[請求項7] 半導体接合に異なる電流密度の電流を流したときの差電圧に比例する電圧と、半導体接合に生ずる順方向電圧に比例する電圧とを加算して出力電圧とするバンドギャップリファレンス回路において、前記差電圧が印加される第一のトンネル電流素子と、第二のトンネル電流素子もしくは第二の複数のトンネル電流素子を直列接続した回路と、前記第一のトンネル電流素子に流れる電流に比例した電流を前記第二のトンネル電流素子に流す手段を有し、上記「差電圧に比例する電圧」を発生させることを特徴とするバンドギャップリファレンス用トンネル電流回路。

[請求項8] 半導体接合に異なる電流密度の電流を流したときの差電圧に比例する電圧と、半導体接合に生ずる順方向電圧に比例する電圧とを加算して出力電圧とするバンドギャップリファレンス回路において、前記差電圧が印加される第一のトンネル電流素子と、第二のトンネル電流素子もしくは第二の複数のトンネル電流素子を直列接続した回路と、前記第一のトンネル電流素子に流れる電流に比例した電流を前記第二のトンネル電流素子に流して上記「差電圧に比例する電圧」を発生させる手段と、

上記もしくは別の半導体接合に生ずる順方向電圧を分圧する請求項1の分圧回路と、

かかる分圧回路の出力電圧をバッファするアンプを有し、

かかるアンプの出力を上記「半導体接合に生ずる順方向電圧に比

例する電圧」とすることを特徴とするバンドギャップリファレンス用トンネル電流回路。

[請求項9] 前2項のバンドギャップリファレンス用トンネル電流回路において、

 内蔵するアンプに請求項2～5のトンネル電流回路を適用したことを特徴とするバンドギャップリファレンス用トンネル電流回路。

[図1]

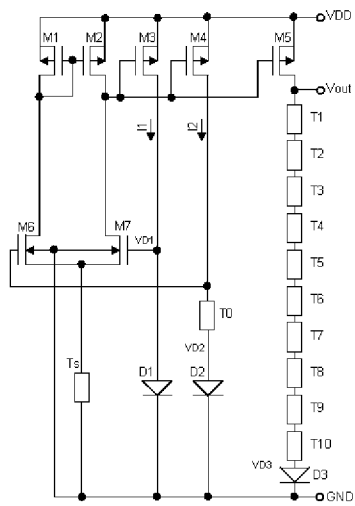


図1

[図2]

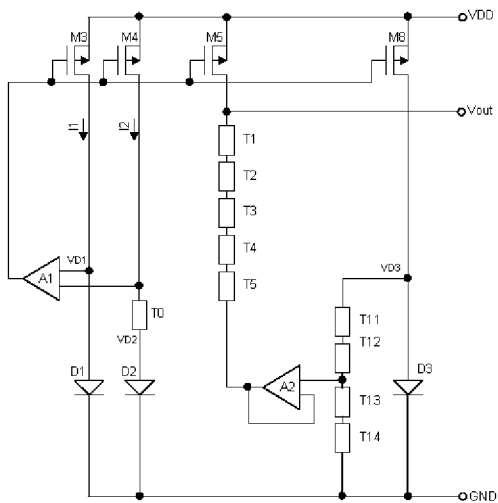


図2

[図3]

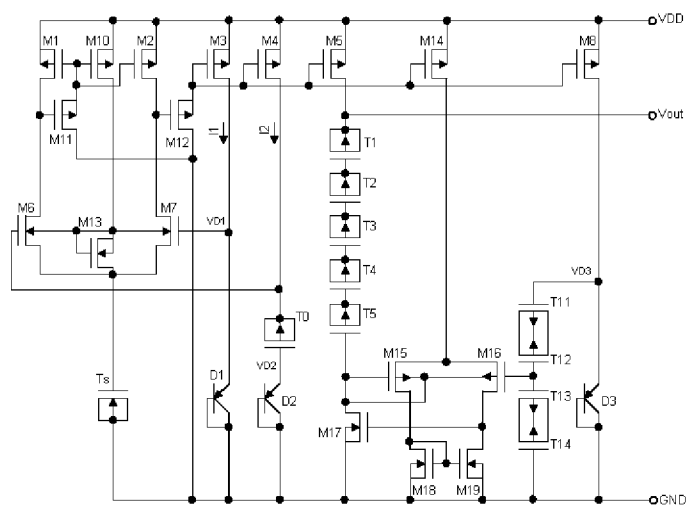


図3

[図4]

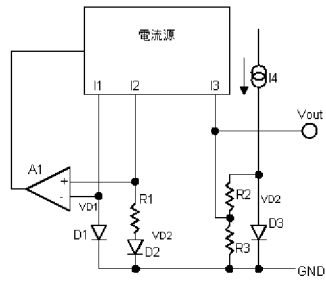


図4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062894

A. CLASSIFICATION OF SUBJECT MATTER

G05F3/30(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03F3/34(2006.01)i, H03F3/45(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F3/30, H01L21/822, H01L27/04, H03F3/34, H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 07-079154 A (Toshiba Corp.), 20 March 1995 (20.03.1995), paragraphs [0022] to [0023], [0034] to [0035]; fig. 1, 3 (Family: none)	1
X	JP 2002-064150 A (Mitsubishi Electric Corp.), 28 February 2002 (28.02.2002), paragraphs [0154] to [0158]; fig. 16 to 17 & US 2002/0008999 A1 & US 2004/0071026 A1 & US 2005/0212560 A1 & US 2009/0179692 A1 & EP 1162744 A1 & EP 1351392 A1	3, 6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 August, 2012 (07.08.12)

Date of mailing of the international search report
14 August, 2012 (14.08.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062894

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-147175 A (Renesas Technology Corp.), 20 May 2004 (20.05.2004), paragraphs [0145] to [0155]; fig. 16 to 17 & US 2004/0080340 A1 & US 2006/0145726 A1 & US 2008/0122479 A1 & US 2010/0219857 A1 & CN 1492511 A	3, 6
X	US 2003/0107431 A1 (Stephen H. TANG), 12 June 2003 (12.06.2003), paragraph [0008]; fig. 1 (Family: none)	4, 6
P, X	JP 2012-088978 A (Mitsutoshi SUGAWARA), 10 May 2012 (10.05.2012), paragraphs [0013], [0016]; fig. 1 to 2 (Family: none)	1-2, 6-7, 9
A	JP 2002-304224 A (NEC Corp.), 18 October 2002 (18.10.2002), paragraphs [0039] to [0041]; fig. 4 & US 6384586 B1	1-9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G05F3/30(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03F3/34(2006.01)i, H03F3/45(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G05F3/30, H01L21/822, H01L27/04, H03F3/34, H03F3/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 07-079154 A (株式会社東芝) 1995.03.20, 【0022】 - 【0023】、【0034】 - 【0035】、図1、3 (ファミリーなし)	1
X	JP 2002-064150 A (三菱電機株式会社) 2002.02.28, 【0154】 - 【0158】、図16 - 17 & US 2002/0008999 A1 & US 2004/0071026 A1 & US 2005/0212560 A1 & US 2009/0179692 A1 & EP 1162744 A1 & EP 1351392 A1	3, 6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 8 . 2 0 1 2

国際調査報告の発送日

1 4 . 0 8 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

槻木澤 昌司

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

3 V

9 3 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-147175 A (株式会社ルネサステクノロジ) 2004. 05. 20, 【O 1 4 5】－【O 1 5 5】、図 1 6－1 7 & US 2004/0080340 A1 & US 2006/0145726 A1 & US 2008/0122479 A1 & US 2010/0219857 A1 & CN 1492511 A	3, 6
X	US 2003/0107431 A1 (Stephen H. TANG) 2003. 06. 12, [0008]、FIG. 1 (ファミリーなし)	4, 6
PX	JP 2012-088978 A (菅原 光俊) 2012. 05. 10, 【O O 1 3】、【O O 1 6】、図 1－2 (ファミリーなし)	1-2, 6-7, 9
A	JP 2002-304224 A (日本電気株式会社) 2002. 10. 18, 【O O 3 9】－【O O 4 1】、図 4 & US 6384586 B1	1-9