

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4396519号
(P4396519)

(45) 発行日 平成22年1月13日(2010. 1. 13)

(24) 登録日 平成21年10月30日(2009. 10. 30)

(51) Int.Cl.

H02M 3/07 (2006.01)

F I

H02M 3/07

請求項の数 8 (全 11 頁)

(21) 出願番号	特願2004-380377 (P2004-380377)	(73) 特許権者	000001443
(22) 出願日	平成16年12月28日(2004. 12. 28)		カシオ計算機株式会社
(65) 公開番号	特開2006-187165 (P2006-187165A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成18年7月13日(2006. 7. 13)	(74) 代理人	100090033
審査請求日	平成18年10月6日(2006. 10. 6)		弁理士 荒船 博司
		(74) 代理人	100093045
			弁理士 荒船 良男
		(72) 発明者	平山 隆一
			東京都八王子市石川町2951番地5 カ
			シオ計算機株式会社 八王子技術センター
			内
		審査官	槻木澤 昌司

最終頁に続く

(54) 【発明の名称】 電源回路及び電源回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

少なくとも一つのキャパシタを備えるチャージポンプ型の電源回路において、
複数のスイッチ手段を有し、前記複数のスイッチ手段を制御して複数の電圧を周期的に
切替えて前記キャパシタの一端へ印加する切替手段を備え、

前記切替手段は、前記複数の電圧の何れかが前記キャパシタの一端に印加された直後の
電流制限期間においては、当該電圧を抵抗を介して前記キャパシタの一端に印加し、

前記電流制限期間は、前記キャパシタに対する予め定めた印加電圧切替え回数として設
定されていることを特徴とする電源回路。

【請求項2】

前記切替手段は、駆動パルス信号を出力する信号生成手段と、該信号生成手段より出力
された駆動パルス信号のパルス数をカウントするカウント手段と、を備え、前記駆動パル
ス信号に応じて前記複数のスイッチ手段を制御し、前記電流制限期間は前記カウント手
段によるカウント数に基づいて設定されることを特徴とする請求項1記載の電源回路。

【請求項3】

前記電流制限期間は、1 m s e c から 3 0 m s e c の時間を有することを特徴とする請
求項1記載の電源回路。

【請求項4】

前記キャパシタは第1キャパシタ及び第2キャパシタからなり、

前記切替手段は、駆動パルス信号を出力する信号生成手段と、前記信号生成手段より出

力される前記駆動パルス信号に応じて前記第 1 キャパシタの一端に印加する電圧を第 1 電圧又は第 2 電圧に切り替える第 1 切替手段と、前記駆動パルス信号に応じて前記第 1 キャパシタの他端に第 3 電圧を印加するか又は前記第 2 キャパシタの一端を接続するかを切り替える第 2 切替手段と、前記信号生成手段より出力された駆動パルス信号のパルス数をカウントするカウント手段と、を備え、前記電流制限期間は前記カウント手段によるカウント数に基づいて設定され、該電流制限期間において、少なくとも、前記第 1 切替手段における前記第 1 キャパシタの一端への前記第 1 電圧の印加を前記抵抗を介して行う手段、又は、前記第 2 切替手段における前記第 3 電圧の前記第 1 キャパシタの他端への印加を前記抵抗を介して行う手段、の何れかを備えることを特徴とする請求項 1 記載の電源回路。

【請求項 5】

10

少なくとも一つのキャパシタを備え、前記キャパシタの一端へ複数の電圧の何れかを周期的に印加して所定の電圧を生成するチャージポンプ型の電源回路の駆動方法において、前記キャパシタの一端に前記複数の電圧の何れかが印加された直後の電流制限期間においては、当該電圧を抵抗を介して前記キャパシタの一端に印加するステップと、前記電流制限期間経過後においては、前記キャパシタの一端に前記複数の電圧の何れかを直接印加するステップと、を含み、

前記電流制限期間は、前記キャパシタに対する予め定めた印加電圧切替え回数として設定することを特徴とする電源回路の駆動方法。

【請求項 6】

前記電圧を前記抵抗を介して前記キャパシタの一端に印加するステップは、駆動パルス信号のパルス数をカウントして前記電流制限期間を設定するステップを含むことを特徴とする請求項 5 記載の電源回路の駆動方法。

20

【請求項 7】

前記電流制限期間は、1 m s e c から 3 0 m s e c の時間を有することを特徴とする請求項 5 記載の電源回路の駆動方法。

【請求項 8】

前記キャパシタは第 1 キャパシタ及び第 2 キャパシタからなり、前記電圧を前記抵抗を介して前記キャパシタの一端に供給するステップは、駆動パルス信号のパルス数をカウントするステップと、前記駆動パルス信号に応じて前記第 1 キャパシタの一端に印加する電圧を第 1 電圧又は第 2 電圧に切り替えるステップと、前記駆動パルス信号に応じて前記第 1 キャパシタの他端に第 3 電圧を印加するか又は前記第 2 キャパシタの一端を接続するかを切り替えるステップと、前記駆動パルス信号のパルス数をカウントして前記電流制限期間を設定するステップと、

30

前記電流制限期間中において、少なくとも、前記第 1 キャパシタの一端へ前記抵抗を介して前記第 1 電圧の印加を行うステップ、又は、前記第 1 キャパシタの他端へ前記抵抗を介して前記第 3 電圧の印加を行うステップ、の何れかを含むことを特徴とする請求項 5 記載の電源回路の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チャージポンプ型の電源回路及び電源回路の駆動方法に関する。

【背景技術】

【0002】

例えば、表示駆動回路等のように、回路を駆動させる際に複数の電源電圧が必要な回路がある。このような複数の電源電圧を供給する電源回路として、特許文献 1 に開示されている技術のようなチャージポンプ型の電源回路がある。このような電源回路は 1 つ又は複数のキャパシタを有し、このキャパシタに充電された電圧を加算することによって別の電

50

圧を生成する。

【0003】

更に、表示駆動回路等に用いるチャージポンプ型の電源回路では、キャパシタへの複数の電源電圧との接続が周期的に切り替えられるように構成される。このキャパシタと複数の電源電圧との接続の切り替えは、例えば特許文献1に開示されている技術のように、スイッチのオンオフによって制御される。

【0004】

図4は従来のチャージポンプ型の電源回路の一例を示す概略構成図である。電源回路900は、図4(a)に示すように、一端に電圧VCCが印加され、他端が端子C1Mに接続されるスイッチSW1と、一端が端子C1Mに接続され、他端に電圧VSS(GND)が印加されるスイッチSW2と、一端に電圧VDCが印加され、他端が端子C1Pに接続されるスイッチSW3と、一端が端子C1Pに接続され、他端が端子VOUTに接続されるスイッチSW4と、一端が端子C1Mに接続され、他端がC1Pに接続されるキャパシタC1と、一端が端子VOUTに接続され、他端に電圧VSSが印加されるキャパシタC2と、を備えて構成される。

10

【0005】

この電源回路900は、図4(b)に示すように、まず、第1の期間において、スイッチSW2とSW3がオン、スイッチSW1とSW4がオフとされて、端子C1Pの電位はVDCとなり、端子C1Mの電位はVSSとなって、キャパシタC1が電圧VDCに充電される。

20

【0006】

次いで、第2期間において、スイッチSW1とSW4がオン、スイッチSW2とSW3がオフとされて、端子C1Mの電位がVCCとなり、端子C1PがキャパシタC2の一端に接続される。キャパシタC1には電圧VDCが保持されているため、端子C1Pの電位は(VDC+VCC)となって、キャパシタC2の一端に電圧(VDC+VCC=VGH)が印加されて、キャパシタC2が電圧VGHに充電される。そして、出力端子VOUTから電圧VGHが出力される。

【0007】

次いで、再び、第1期間において、スイッチSW1とSW4がオフ、スイッチSW2とSW3がオンとされると、キャパシタC2の電圧は保持され、出力端子VOUTから出力される電圧も維持される。このような動作が繰り返されて、キャパシタC2の充電が周期的に行われて、電源回路900は出力端子VOUTから一定の電圧を供給することができる。

30

【特許文献1】特開2001-100177号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上述したようなチャージポンプ型の電源回路の場合、第1期間及び第2期間において、各スイッチがオンとなってキャパシタに各電圧が印加された直後の期間において、電源からキャパシタに過渡電流が流れる。この過渡電流はキャパシタと電源の間の配線が低抵抗であれば非常に大きな電流となる。チャージポンプ型の電源回路においてこのような過渡電流が発生すると、スイッチを構成するトランジスタやその制御回路内でラッチアップが生じ、動作不能となったり、また、電源回路から大電流が流れ出すことにより、電源側の動作不良を引き起こす、というような誤動作が発生することがあるという問題があった。

40

【0009】

本発明は以上の点を考慮してなされたものであり、その目的とするところは、回路誤動作を防ぐことができる電源回路及び電源回路の駆動方法を提供することである。

【課題を解決するための手段】

【0010】

50

以上の課題を解決するために、請求項 1 に記載の発明は、少なくとも一つのキャパシタを備えるチャージポンプ型の電源回路において、複数のスイッチ手段を有し、前記複数のスイッチ手段を制御して複数の電圧を周期的に切替えて前記キャパシタの一端へ印加する切替手段を備え、前記切替手段は、前記複数の電圧の何れかが前記キャパシタの一端に印加された直後の電流制限期間においては、当該電圧を抵抗を介して前記キャパシタの一端に印加し、前記電流制限期間は、前記キャパシタに対する予め定めた印加電圧切替え回数として設定されていることを特徴とする。

【0011】

請求項 2 に記載の発明は、請求項 1 記載の電源回路において、前記切替手段は、駆動パルス信号を出力する信号生成手段と、該信号生成手段より出力された駆動パルス信号のパルス数をカウントするカウント手段と、を備え、前記駆動パルス信号に応じて前記複数のスイッチ手段を制御し、前記電流制限期間は前記カウント手段によるカウント数に基づいて設定されることを特徴とする。

10

【0012】

請求項 3 に記載の発明は、請求項 1 記載の電源回路において、前記電流制限期間は、1 msec から 30 msec の時間を有することを特徴とする。

【0013】

請求項 4 に記載の発明は、請求項 1 記載の電源回路において、前記キャパシタは第 1 キャパシタ及び第 2 キャパシタからなり、前記切替手段は、駆動パルス信号を出力する信号生成手段と、前記信号生成手段より出力される前記駆動パルス信号に応じて前記第 1 キャパシタの一端に印加する電圧を第 1 電圧又は第 2 電圧に切り替える第 1 切替手段と、前記駆動パルス信号に応じて前記第 1 キャパシタの他端に第 3 電圧を印加するか又は前記第 2 キャパシタの一端を接続するかを切り替える第 2 切替手段と、前記信号生成手段より出力された駆動パルス信号のパルス数をカウントするカウント手段と、を備え、前記電流制限期間は前記カウント手段によるカウント数に基づいて設定され、該電流制限期間において、少なくとも、前記第 1 切替手段における前記第 1 キャパシタの一端への前記第 1 電圧の印加を前記抵抗を介して行う手段、又は、前記第 2 切替手段における前記第 3 電圧の前記第 1 キャパシタの他端への印加を前記抵抗を介して行う手段、の何れかを備えることを特徴とする。

20

30

【0014】

請求項 5 に記載の発明は、少なくとも一つのキャパシタを備え、前記キャパシタの一端へ複数の電圧の何れかを周期的に印加して所定の電圧を生成するチャージポンプ型の電源回路の駆動方法において、前記キャパシタの一端に前記複数の電圧の何れかが印加された直後の電流制限期間においては、当該電圧を抵抗を介して前記キャパシタの一端に印加するステップと、前記電流制限期間経過後においては、前記キャパシタの一端に前記複数の電圧の何れかを直接印加するステップと、を含み、前記電流制限期間は、前記キャパシタに対する予め定めた印加電圧切替え回数として設定することを特徴とする。

【0015】

請求項 6 に記載の発明は、請求項 5 記載の電源回路の駆動方法において、前記電圧を前記抵抗を介して前記キャパシタの一端に印加するステップは、駆動パルス信号のパルス数をカウントして前記電流制限期間を設定するステップを含むことを特徴とする。

40

【0016】

請求項 7 に記載の発明は、請求項 5 記載の電源回路の駆動方法において、前記電流制限期間は、1 msec から 30 msec の時間を有することを特徴とする。

【0017】

請求項 8 に記載の発明は、請求項 5 記載の電源回路の駆動方法において、前記キャパシタは第 1 キャパシタ及び第 2 キャパシタからなり、前記電圧を前記抵抗を介して前記キャパシタの一端に供給するステップは、駆動パルス信号のパルス数をカウントするステップと、前記駆動パルス信号に応じて前記第 1 キャパシタの一端に印加する電圧を第 1 電圧又

50

は第2電圧に切り替えるステップと、前記駆動パルス信号に応じて前記第1キャパシタの他端に第3電圧を印加するか又は前記第2キャパシタの一端を接続するかを切り替えるステップと、前記駆動パルス信号のパルス数をカウントして前記電流制限期間を設定するステップと、前記電流制限期間中において、少なくとも、前記第1キャパシタの一端へ前記抵抗を介して前記第1電圧の印加を行うステップ、又は、前記第1キャパシタの他端へ前記抵抗を介して前記第3電圧の印加を行うステップ、の何れかを含むことを特徴とする。

【発明の効果】

【0018】

本発明によれば、キャパシタの一端への複数の電圧の印加が周期的に切替え制御され、キャパシタの一端に複数の電圧の何れかが印加された直後の所定期間において、当該電圧を抵抗を介してキャパシタの一端に印加するようにされて、過渡電流の電流値を抑え、ラッチアップの発生を防ぐことができる。従って、回路の誤動作を防ぐことができ、電源回路としての信頼性を向上させることができる。

【発明を実施するための最良の形態】

【0019】

以下、図面を参照して、本発明に好適な実施形態を説明する。なお、以下では、チャージポンプ型の電源回路として、二つのキャパシタを有して構成される場合を説明するが、本発明はこれに限定されるものではなく、例えば、更に多くのキャパシタを有して構成されるものであってもよい。

【0020】

まず、本実施形態における電源回路の概略構成について説明する。図1は、本発明に係る電源回路の実施形態を示す概略構成図である。ここで、従来技術に示した電源回路と同等の構成については同等の符号を付して説明する。本実施形態における電源回路100は、図1(a)に示すように、一端に電圧VCCが印加され、他端が端子C1Mに接続されるスイッチSW1と、一端に抵抗R1を介して電圧VCCが印加され、他端が端子C1Mに接続されるスイッチSW5と、一端が端子C1Mに接続され、他端に電圧VSS(GND)が印加されるスイッチSW2と、一端に電圧VDCが印加され、他端が端子C1Pに接続されるスイッチSW3と、一端に抵抗R2を介して電圧VDCが印加され、他端が端子C1Pに接続されるスイッチSW6と、一端が端子C1Pに接続され、他端が端子VOUTに接続されるスイッチSW4と、一端が端子C1Mに接続され、他端がC1Pに接続されるキャパシタC1と、一端が端子VOUTに接続され、他端に電圧VSSが印加されるキャパシタC2と、を備えて構成される。ここで、スイッチSW1～SW6は本発明におけるスイッチ手段をなす。

【0021】

次いで、この電源回路100の動作を説明する。図1(b)に示すように、まず、この電源回路100の動作開始直後からの経過時間tが予め設定された電流制限期間 T_0 に達しない期間においては、第1期間では、スイッチSW2とSW6がオン、スイッチSW1、SW3、SW4、SW5がオフとされて、端子C1Pは抵抗R2を介して電圧VDCが印加され、端子C1Mの電位はVSS(GND)となる。従って端子C1Pの電位は、電圧VDCより抵抗R2による電圧降下 ΔV_{R2} 分下がった電位($VDC - \Delta V_{R2}$)となり、キャパシタC1は電圧($VDC - \Delta V_{R2}$)に充電される。次に、第2期間では、スイッチSW4とSW5がオン、スイッチSW1、SW2、SW3、SW6がオフとされて、端子C1Mは抵抗R1を介して電圧VCCが印加され、端子C1Mの電位は、電圧VCCより抵抗R1による電圧降下 ΔV_{R1} 分下がった電位($VCC - \Delta V_{R1}$)となり、端子C1PはキャパシタC2の一端に接続される。キャパシタC1には電圧($VDC - \Delta V_{R2}$)が保持されているため、端子C1Pの電位は($VDC - \Delta V_{R2} + VCC - \Delta V_{R1}$)となって、キャパシタC2の一端に電圧($VDC - \Delta V_{R2} + VCC - \Delta V_{R1}$)が印加されて、キャパシタC2がこの電圧に充電される。経過時間tが所定の電流制限期間 T_0 に達しない期間においては、この第1期間と第2期間の動作が繰り返されて、キャパシタC2の電圧が保持される。

【0022】

次いで、動作開始からの経過時間 t が電流制限期間 T_0 を過ぎた後においては、図 1 (b) に示すように、第 1 期間では、スイッチ SW 2、SW 3、SW 6 がオン、スイッチ SW 1、SW 4、SW 5 がオフとされて、端子 C 1 P には電圧 VDC が直接印加され、端子 C 1 P の電位は VDC となり、キャパシタ C 1 は電圧 VDC に充電される。第 2 期間では、スイッチ SW 1、SW 4、SW 5 がオン、スイッチ SW 2、SW 3、SW 6 がオフとされて、端子 C 1 M には電圧 VCC が直接印加され、端子 C 1 M の電位は VCC となる。これにより、キャパシタ C 1 には電圧 VDC が保持されているため、端子 C 1 P の電位は ($VDC + VCC$) となり、キャパシタ C 2 の一端に電圧 ($VDC + VCC = VGH$) が印加されて、キャパシタ C 2 が電圧 VGH に充電される。この第 1 期間と第 2 期間の動作が繰り返されてキャパシタ C 2 の電圧が保持され、出力端子 VOUT から電圧 VGH が出力される。

10

【0023】

このように、本実施形態における電源回路 100 は、動作開始直後からの経過時間 t が所定の電流制限期間 T_0 を過ぎた後においては、実質的に従来技術において示した電源回路 900 と同様の構成を備えるが、経過時間 t が電流制限期間 T_0 に達しない期間においては、各電圧 VDC、VCC は抵抗 R 1、R 2 を介してキャパシタ C 1 の各端子に供給される。これにより、各電圧 VDC、VCC の電源からキャパシタ C 1 に流れる過渡電流の電流値を低減させることができ、これにより、ラッチアップの発生を抑制して、誤動作の発生を防ぐことができる。ここで、電流制限期間 T_0 は、例えば、抵抗 R 1、R 2 の抵抗値及びキャパシタ C 1、C 2 の容量値に応じた、キャパシタ C 1、C 2 の充電に係る過渡電流の時定数、電源から流せる電流の上限値に応じて設定される。また、この電源回路を表示駆動回路の電源回路として用いた場合には、電流制限期間 T_0 は表示駆動回路の動作に支障が生じない時間に設定する必要がある、この場合には、電流制限期間 T_0 は、概ね、1 msec ~ 30 msec の時間に設定される。

20

【0024】

次に、本実施形態における電源回路の具体的な構成の一例について説明する。図 2 は、本実施形態に係る電源回路の具体的な構成の一例を示す回路図である。電源回路 100 はタイミングジェネレータ TG と、カウンタ回路 10 と、インバータ 11 及び 12 と、PMOS 13、15 及び 19 と、NMOS 14、16 及び 20 と、NAND 回路 17 と、AND 回路 18 と、抵抗 R 1 及び R 2 と、キャパシタ C 1 及び C 2 と、ダイオード D とを備えて構成される。

30

【0025】

タイミングジェネレータ TG は電源回路 100 の動作期間（上述の第 1 期間及び第 2 期間）を設定する駆動パルス信号 CP を生成して出力する。信号 CP はインバータ 11 及び 12 と、NAND 回路 17 と、カウンタ回路 10 に出力される。インバータ 11 の出力端子は NMOS 14 及び PMOS 19 のゲート端子と、AND 回路 18 の入力端子に接続される。またインバータ 11 から出力される信号を SINV1 とする。PMOS 19 のドレイン端子は抵抗 R 1 の一端に接続され、ソース端子は端子 C 1 M に接続される。抵抗 R 1 の他端には電圧 VCC が印加される。NMOS 14 のドレイン端子は端子 C 1 M に接続され、ソース端子には電圧 VSS が印加される。

40

【0026】

インバータ 12 の出力端子は PMOS 15 及び NMOS 20 のゲート端子に接続される。また、インバータ 12 から出力される信号を SINV2 とする。PMOS 15 のドレイン端子は出力端子 VGH に接続され、ソース端子は端子 C 1 P に接続される。NMOS 20 のドレイン端子は端子 C 1 P に接続され、ソース端子には抵抗 R 2 の一端が接続される。抵抗 R 2 の他端には電圧 VDC が印加される。ここで、PMOS 13 は図 1 の SW 1 に対応し、NMOS 14 は SW 2 に対応し、PMOS 19 は SW 5 に対応し、NMOS 16 は SW 3 に対応し、PMOS 15 は SW 4 に対応し、NMOS 20 は SW 6 に対応する。

【0027】

50

カウンタ回路10は電源回路100の駆動開始時から信号CPのパルス数をカウントし、カウント数が n (n は1以上の整数)以下の期間はロウレベルの信号SCNTを出力する。そして信号CPのパルス数が n を超えると、信号SCNTをハイレベルにして出力する。ここで、カウント数が n 以下の期間は上述の電流制限期間 T_0 に対応する。

【0028】

カウンタ回路10から出力される信号SCNTはNAND回路17とAND回路18に入力される。NAND回路17の出力端子はPMOS13のゲート端子に接続される。NAND回路17から出力される信号をSPとする。PMOS13のドレイン端子には電圧VCCが印加され、ソース端子は端子C1Mに接続される。AND回路18の出力端子はNMOS16のゲート端子に接続される。NMOS16のドレイン端子は端子C1Pに接続され、ソース端子には電圧VDCが印加される。AND回路18から出力される信号をSNとする。

10

【0029】

またキャパシタC1の一端は端子C1Mに接続され、他端は端子C1Pに接続される。キャパシタC2の一端は出力端子VOUTに接続され、他端には電圧VSSが印加される。ダイオードDのアノード端子には電圧VDCが印加され、カソード端子は出力端子VGHに接続される。

【0030】

図3は本実施形態に係る電源回路の動作を説明するためのタイミングチャート図である。電源回路100の駆動開始に応じて、カウンタ回路10によって信号CPのパルス数がカウントされる。尚、本実施形態では信号CPのロウレベル(立ち下がり)をカウンタアップすることとする。カウント数が n 以下の期間はロウレベルの信号SCNTがカウンタ回路10から出力される。従って、信号SNはハイレベル、信号SPはロウレベルとなり、PMOS13及びNMOS16はオフ状態となる。

20

【0031】

時間 t_1 において、信号CPがロウレベル(第1期間)の時、信号SINV1及びSINV2はハイレベルとなるため、NMOS14及び20はオン状態となり、PMOS15及び19はオフ状態となる。従って端子C1Pの電位は、電圧VDCより抵抗R2による電圧降下 ΔVR_2 分下がった電位($VDC - \Delta VR_2$)となる。キャパシタC1の他端に電圧($VDC - \Delta VR_2$)が印加され、電荷が充電されて保持される。

30

【0032】

次に時間 t_2 において信号CPがハイレベル(第2期間)になると、信号SINV1及びSINV2はロウレベルとなるため、PMOS15及び19はオン状態となり、NMOS14及び20はオフ状態となる。端子C1Mの電位は電圧VCCより抵抗R1による電圧降下 ΔVR_1 分下がった電位($VCC - \Delta VR_1$)となる。キャパシタC1の一端には電圧($VCC - \Delta VR_1$)が印加される。また、キャパシタC1には既に電圧($VDC - \Delta VR_2$)が印加された時に充電された電荷が保持されているため、端子C1Pの電位は($VDC - \Delta VR_2$) + ($VCC - \Delta VR_1$)となる。更にキャパシタC2の一端の電位も($VDC - \Delta VR_2$) + ($VCC - \Delta VR_1$)となり、電荷が充電されて保持される。そして、出力端子VGHから電圧($VDC - \Delta VR_2$) + ($VCC - \Delta VR_1$)が出力される。

40

【0033】

このような動作が繰り返されて、出力端子VGHから出力される電圧は($VDC - \Delta VR_2$) + ($VCC - \Delta VR_1$)に維持される。そして時間 t_3 においてカウンタ回路10によるカウント数が $n+1$ に達すると、信号SCNTがハイレベルとなり、これ以降、ハイレベルに維持される。そして、信号SNはロウレベルからハイレベルとなるため、NMOS16はオン状態となる。

【0034】

一方、信号SPはハイレベルのままであるため、PMOS13はオフ状態のままとなる。また信号CPはロウレベルであるため、信号SINV1及びSINV2はハイレベルと

50

なる。つまり、NMOS 14 及び 20 はオン状態となり、PMOS 15 及び 19 はオフ状態となる。然して、NMOS 20 がオン状態となるが、NMOS 16 もオン状態となるため、端子 C1P には抵抗 R2 を介した電圧ではなく、電圧 VDC が直接印加される。そしてキャパシタ C1 によって保持されている電圧と加算されて、端子 C1P の電位は $\{VDC + (VCC - \Delta VR1)\}$ となる。

【0035】

次に時間 t4 において信号 CP がハイレベルになると、信号 SN はロウレベルとなり NMOS 16 はオフ状態となる。また信号 SP はロウレベルとなり、PMOS 13 はオン状態となる。信号 SIN V1 及び SIN V2 はロウレベルとなるため、PMOS 15 及び 19 はオン状態、NMOS 14 及び 20 はオフ状態となる。然して、PMOS 19 がオン状態となるが、PMOS 13 もオン状態となるため、端子 C1M には抵抗 R1 を介した電圧ではなく、電圧 VCC が直接印加される。従ってキャパシタ C1 によって保持されている電圧と加算されるため端子 C1P の電位は $(VDC + VCC)$ となり、キャパシタ C2 の一端には電圧 $(VDC + VCC)$ が印加されて、電荷が充電され保持される。そして、出力端子 VGH から電圧 $(VDC + VCC)$ が出力される。時間 t4 以降はこのような動作が繰り返され、出力端子 VGH から電圧 $(VDC + VCC)$ が維持されて出力される。

【0036】

このように、カウンタ回路 10 のカウント数が n 以下の期間においてはキャパシタ C1 の各端子に対して抵抗 R1、R2 を介して各電圧を印加することにより、過渡電流の電流値を抑えることができる。これにより、ラッチアップの発生を防ぐことができ、回路の誤動作を防ぐことができ、電源回路としての信頼性を向上させることができる。

【0037】

尚、本実施形態の電源回路 100 は加算型回路であるが、電源回路の駆動開始後の所定期間においてキャパシタの両端に抵抗を介して電源電圧を印加する電源回路であれば、他の形態のチャージポンプ型電源回路であっても構わない。

【0038】

また、電源回路 100 では時間 t3 以降において、信号 CP がロウレベルのときは NMOS 16 と NMOS 20 とが共にオン状態となり、信号 CP がハイレベルのときは PMOS 19 とが共にオン状態となるようにしたが、それぞれ NMOS 16 及び PMOS 13 のみがオン状態となるようにしてもよい。

【0039】

また、電源回路 100 では端子 C1P、C1M に対して、それぞれ抵抗 R1、R2 を介して電圧 VDC、VCC が印加されるようにしたが、どちらか一方にのみ抵抗を配設するようにしてもよい。つまり、電源回路 100 において抵抗 R1 のみ配設し、抵抗 R2、NMOS 20 及び AND 回路 18 をなくして、インバータ 12 の出力端子を NMOS 16 のゲート端子に接続した回路としてもよい。または、電源回路 100 において抵抗 R2 のみ配設し、抵抗 R1、PMOS 19 及び NAND 回路 17 をなくして、インバータ 11 の出力端子を PMOS 13 のゲート端子に接続した回路としてもよい。

【図面の簡単な説明】

【0040】

【図1】本発明に係る電源回路の実施形態を示す概略構成図。

【図2】本実施形態に係る電源回路の具体的な構成の一例を示す回路図。

【図3】本実施形態に係る電源回路の動作を説明するためのタイミングチャート。

【図4】従来の電源回路の一例を示す概略構成図。

【符号の説明】

【0041】

100	電源回路
TG	タイミングジェネレータ
10	カウンタ回路
11、12	インバータ

10

20

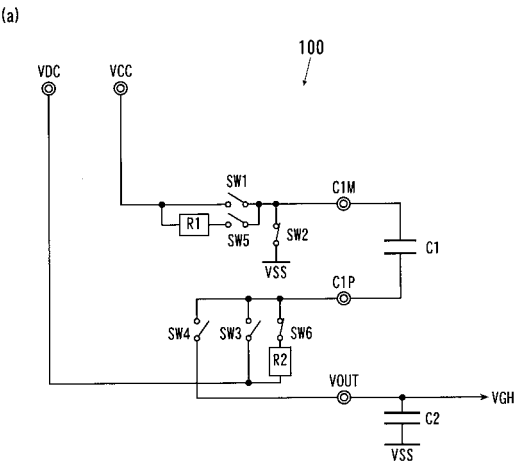
30

40

50

- 13、15、19 PMOS
- 14、16、20 NMOS
- 17 NAND回路
- 18 AND回路
- R1、R2 抵抗
- C1、C2 キャパシタ
- D ダイオード

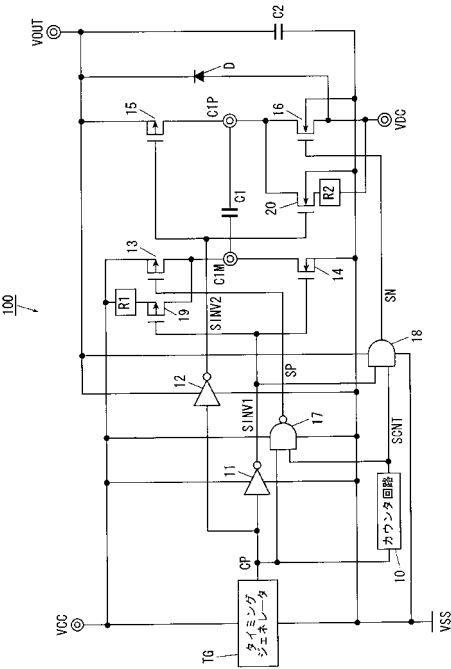
【図1】



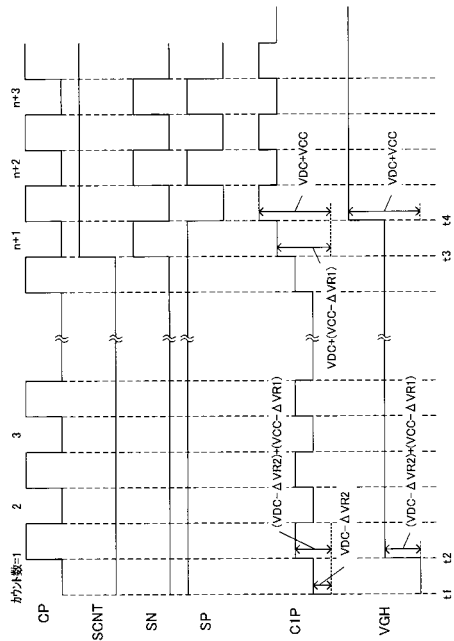
(b)

	経過時間 $t < T_0$		経過時間 $t \geq T_0$	
	第1期間	第2期間	第1期間	第2期間
SW1	OFF	OFF	OFF	ON
SW5	OFF	ON	OFF	ON
SW4	OFF	ON	OFF	ON
SW2	ON	OFF	ON	OFF
SW3	OFF	OFF	ON	OFF
SW6	ON	OFF	ON	OFF

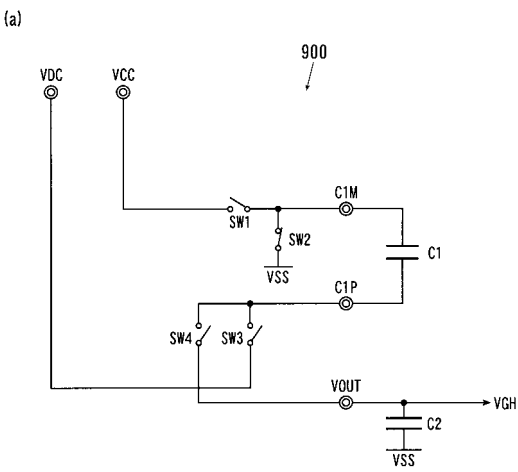
【図2】



【図 3】



【図 4】



(b)

	第 1 期間	第 2 期間
SW1	OFF	ON
SW4	OFF	ON
SW2	ON	OFF
SW3	ON	OFF

フロントページの続き

(56)参考文献 特開2004-048893 (JP, A)
特開2003-219634 (JP, A)
特開2004-096815 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/07