(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
B24B 37/04
B24B 29/00

(11) 공개번호 특1999-029519
(43) 공개일자 1999년04월26일

(21) 출원번호 특1998-036404
(22) 출원일자 1998년09월04일

(30) 우선권주장 8/923,316 1997년09월04일 미국(US)
(71) 출원인 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)
(72) 발명자 카르고, 제임스 토마스
미국, 펜실바니아 18017, 베스레헴, 존스톤 드라이브 2114, 아파트먼트11
홀메스, 로날드 제임스 알렉산더
미국, 플로리다 34746, 키심미, 탱글우드 드라이브 1835
리우, 루이첸
미국, 뉴저지 07060, 와렌, 노스릿지 웨이 4
마우리, 알바로
미국, 플로리다 32819, 올란도, 랜드그로브 코트 8034
(74) 대리인 이병호

심사청구 : 없음

(54) 기계적 연마 방법

요약

화학 기계적 연마법(CMP)을 사용한 집적 회로의 제조 방법이 개시된다. 예를 들어 도펀트, 염료 등을 갖는 표시제층이라 불리는 유전체층(예, 77 또는 101)이 부분적으로 제조된 집적 회로를 가진 웨이퍼 상에 형성된다. 비도핑되고 비염색된 층(예, 103)이 표시제층 상에 증착된다. 신호층의 노출을 나타내는 신호가 얻어질 때까지, 비도핑되거나 비염색된 층(예, 103)이 연마되고 소모 현탄액이 모니터된다. 신호의 분석에 의해서 CMP 공정이 종료되어야 할 때가 제공된다. 대안적으로, 재료층(예, 77 또는 101)이 비도핑되거나 비염색된 유전체층(예, 61 또는 75) 상에 형성된다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예를 따르는 종래의 CMP 장치를 일부 투시 화법으로 도시한 부분 횡단면도.

도 2, 도 5, 도 8은 본 발명의 실시예에 따라 처리되어 일부 제작된 집적 회로를 도시하는 횡단면도.

도 3, 도 6, 도 9는 본 발명의 각종 실시예를 나타내는 집적 회로의 일부를 도시한 부분 횡단면도.

도 4, 도 7, 도 10은 도 2, 도 5, 도 8에 도시된 실시예의 이해를 위한 시간 대 신호의 그래프를 도시한 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

11 : 평삭 테이블
13, 23 : 축
15, 25 : 모터
17 : 캐리어
19 : 웨이퍼
21 : 웨이퍼의 표면
27 : 통
29 : 저장기
33 : 평삭 테이블의 상부면
51 : 기판
53 : 필드 산화물
55 : 게이트

61, 75, 77, 101, 103, 105 : 유전체

57 : 소스/드레인

63, 64 : 러너(runner)

66, 67 : 윈도우

67, 71, 73 : 금속성 도체

83 : 튜브

85 : 검출기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 통상적으로 집적 회로의 제조 방법에 관한 것으로, 보다 구체적으로는 집적 회로에 평면 유전체를 형성하는 방법에 관한 것이다.

근래의 대다수의 집적 회로는 일례로 이산화 실리콘으로 형성된 유전체로 둘러싸여 피복된 전도성 배선의 복수 층(종종 러너(runners)라고 칭하여짐)을 포함한다. 게이트 및 필드 산화물의 존재는 증착된 이산화 실리콘의 등각 특성과 더불어 유전체를 매우 울퉁불퉁하게 하는 경향이 있다. 유전체의 비평탄성은 신뢰성 있는 도체의 추가적인 레벨의 형성을 곤란하게 한다.

따라서, 도체 형성에 이어 패턴 복제 등의 추가적인 공정에 앞서 유전체층을 평탄화하거나 매끄럽게 하는 것이 바람직하다. 상한 레벨의 유전체를 평탄화하는 한 가지 방법으로는 화학 기계적 연마법(chemical-mechanical polishing, CMP)이 있다. CMP에 의해 제공되는 전체 평면성의 정도가 높기 때문에 CMP는 레벨간 유전체층의 평면화를 위한 통상적인 기술이 되고 있다. CMP 공정 동안에, 두꺼운 유전체에 의해 피복되어 부분적으로 제조된 집적 회로를 구비한 웨이퍼는 연마 바퀴에 의해 연마된다. 레벨간 유전체의 최종 상부면은 극히 평면이며, 도체층의 형성 또는 금속화 등의 추가적인 공정을 행함에 따라 적절한 베이스나 기판을 제공한다.

그러나, CMP 기술 개발의 관련인들은 유전체의 연마 공정을 중단할 시점을 판정하기가 곤란하다는 것을 알게 되었다. 근래의 통상적인 응용에 있어서는, 연마 공정 이후에 최상의 도체 위에 약 0.8미크론의 이산화 실리콘을 남기는 것이 바람직하다. 대개, 웨이퍼는 최초의 시간 기간 동안에 연마된다. 이어서 웨이퍼는 연마 바퀴로부터 제거되고 산화물의 두께가 측정된다. 필요한 경우에는, 이산화 실리콘의 원하는 두께에 이를 때까지 추가 연마 공정이 추가적인 시간 기간 동안 행해진다(필요한 경우 공정이 반복된다). 이산화 실리콘층의 연마 속도는 다수의 인자들에 달려 있으며 연마 속도는 다소 가변적이다. 연마 속도의 이러한 가변성은 도체 상부의 이산화 실리콘의 일관된 두께를 갖는 층을 얻는 문제를 복잡화한다.

발명이 이루고자하는 기술적 과제

일례로 다음과 같은 본 발명이 상기 관련인들에 의해 제안되었다. 즉, 본 발명은, 내부에 디바이스가 형성되어 있는 기판을 피복하는 재료층으로서 내부에 표시 재료를 포함하는 재료층을 형성하는 단계; 상기 재료층의 적어도 일부분을 연마하여 약간의 표시 재료를 제거하는 단계; 상기 제거된 표시 재료를 측정하는 단계; 제거된 표시 재료의 양이 소정의 양에 이르거나, 표시 재료의 제거 속도가 소정의 양에 이르게된 후에 연마 공정을 종료하는 단계를 포함한다.

발명의 구성 및 작용

도 1은 본 발명의 실시예에 따라 CMP를 행하는데 적합한 장치를 도시한다. 도면 부호 11은 다른 적당한 재료라도 만족스럽겠지만 통상적으로 폴리우레탄으로 만들어진 패드에 의해서 피복된 평삭 테이블을 나타낸다. 평삭 테이블(11)은 모터(15)에 의해서 축(13)을 통해 구동된다. 도면 부호 17은 웨이퍼(19)를 홀딩하는 캐리어를 나타낸다. 웨이퍼(19)는 표면(21) 위에 형성되어 있는 일부의 제작된 집적 회로를 갖는다. 일부분의 제작된 집적 회로에 대해서는 도 2 내지 도 10을 참조하여 하기에서 기술하기로 한다. 캐리어(17)는 모터(25)에 의해 축(23)을 통해 구동된다. 평삭 테이블(11)은 통상적으로 통(27) 내에 수납된다. 통상 탈이온수 내에 실리콘 입자들로 이루어진 현탁액이 평삭 테이블(11)의 상부면(33) 상에 튜브(31)를 통해서 저장기(29)에서 똑똑 떨어진다. 웨이퍼(19)의 표면(21)이 평삭 테이블(11)의 상부면(33)과 접촉해 있는 상태로 되면, 웨이퍼(19)의 면(21)이 연마되거나 평면화된다.

도 2는 웨이퍼(19)의 일부분을 도시하는 횡단면도이다. 도 2에는 널리 공지되어 있는 종래의 MOSFET가 도시되어 있다. 당업자에게 있어서, 본 발명은 레이저/평면 패널 디스플레이 또는 미세 기계 가공을 포함하여 바이폴라, BICMOS, 및 기타 다른 집적 회로 기술에도 응용 가능함이 자명하다. 도 2에는, 기판(51), 게이트(55), 소스/드레인(57), 필드 산화물(53), 러너(63, 64), 금속성 도체(67, 71, 73)가 포함되어 있다. 통상적으로 전구 기체(precursor gas)의 분해로부터 형성되는 유전체(61)는 게이트(55) 및 러너(63, 64)를 피복한다. 유전체(61)는 일례로 TESO 등의 화학 전구(precursor)로부터 형성된 이산화 실리콘의 형태일 수도 있다. 몇몇 응용에 있어서는, 유전체(61)가 복층의 유전체일 수도 있다. 복층(61)의 하부는 비도핑된 형태의 이산화 실리콘이고, 복층(61)의 하부는 인 및/또는 붕소로 도핑된다. 예를 들어, 유전체(61)의 두께는 1 내지 1.5㎛이다. 유전체(61)는 비교적 평면으로 도시되어 있다. 그러나, 이것은 필연적인 것은 아니다. 금속화(67, 71, 73)는 일례로, 실리콘이나 구리 또는 가능하면 구리만으로 가능하면 도핑한, 티타늄, 질화 티타늄, 알루미늄의 샌드위치 모양인 도전성 재료의 복합층을 포함한다. 윈도우(67, 66)는 각각 소스/드레인(57) 및 러너(63)를 노출시키도록 유전체 내에 생성된다.

유전체(75)는 유전체(61) 위에 형성된다. 유전체(75)는 도체(67, 73, 71)의 상부를 피복한다. 유전체(75)의 상부(76)는 불규칙하거나 울퉁불퉁한 모양을 보인다. 유전체(75)는 일례로 가능하면 TEOS의 분해에 의해 형성된 실리콘 산화물이다. 예를 들면, 유전체(75)는 비도핑되어 있다.

유전체(77)는 유전체(75)의 상부에 접촉되어 형성된다. 유전체(77)는 통상적으로 유전체(75)와는 화학적으로, 물리적으로, 또는 그와는 다르게 구별되어야 한다. 예를 들면, 유전체(77)는 가능하면 TEOS로 형성되고 예를 들어 2~3%의 중량비로 붕소로 도핑된 실리콘 산화물이다. 인 등의 다른 도펀트를 사용할 수도 있다. 이러한 도펀트 또는 기타 다른 재료를 표시제(marker)라고 칭하여진다. 대안적으로, 유전체(77)는 검출 가능한 유기물 또는 형광성 염료를 포함할 수도 있다. 유전체(77)의 상부면(78)은 평탄하지 못하다. 즉, 울퉁불퉁한 형태이다. 유전체층(75 및 77)의 총두께는 일례로 1.6㎛가 된다. 유전체(75)에 대해서는 약 0.80-0.85㎛가 적당하다는 것이 알려져 있다.

CMP 동안, 유전체(77)의 상부면(78)이 도 1에 도시된 평삭 테이블(11)의 상부면(33)에 접촉한다. 연마 동안에, 소모 현탁액이 고감지도를 지닌 화학 센서로 모니터된다. 화학 센서는 어떤 도펀트나 염료가 층(77)내로 포함되었는지 나타나는 것을 검출하도록 설계된다. 예를 들면, 소모 현탄액은 하부 바스켓(27)의 튜브(83)로부터 모아진다. 예를 들어 층977)이 붕소로 도핑되는 경우, 소모 현탄액은 ICP(inductively coupled plasma) 질량 분광계 등의 검출기(85)에 의해 분석된다. 근래의 ICP 질량 분광계는 용액 내에 있는 붕소 등의 도펀트의 1조분의 1까지 검출할 수 있다.

대안적으로, 소모 현탄액은 웨이퍼(19)의 상부면(21) 및 평삭 테이블(11)의 상부면(33) 간의 경계면 가까이에 위치한 튜브(81)에 의해 모아지거나 흡수되어, ICP 질량 분광계에 의해 분석된다.

도 3은 도 2에 대응하는 도면으로서, 대응하는 소자들은 대응되는 도면 부호를 갖는다. 기준선 A, B, C, D는 유전체(77)가 연마되는 레벨을 나타낸다. 도 4의 그래프는 시간의 함수로서 검출기(85)에서 측량된 신호 세기를 도시하고 있다. 신호의 세기는 소모 현탄액 내에 있는 예를 들어 붕소나 기타 다른 도펀트 농도(또는 염료 농도)에 비례한다. 다른 표시제가 사용되는 경우, 방사성, 전기적 특성, 발광, 또는 형광성이 측정된다.

따라서, 예를 들면, 유전체(77)의 상부면(78)이 기준선 A로 표시된 레벨까지 연마되는 경우, 검출기(85)에서 관측된 도 4의 신호는 곡선의 상승부의 도중에 있는 기준 문자 A로 표시된다. 도 3에서 보는 바와 같이, 기준선 A의 레벨까지의 유전체(77)의 연마에 의해서 유전체(77)의 최상부가 제거되지만 도면부호(79)로 표시된 것과 같은 골(valley) 등의 부분은 여전히 남아 있기 때문에 완전한 평면화가 제공되지 못한다. 그러나, 완전한 평면화를 원하지 않는 경우에는 이 지점에서 연마 공정을 종료할 수도 있다.

유전체(77)가 기준선 B로 표시된 레벨까지 더 연마될 때에, 도 4에서 문자 B로 표시된 최대 신호 세기가 얻어진다. 어떤 실시예에서는, 이 지점에서 연마 공정을 종료하는 것이 바람직할 수도 있다. 그리고 후속적인 증착 및 리소그래픽 공정이 계속 이어진다.

기준 레벨 B에 이르게 되는 경우, 모든 골(79) 부분이 연마되어 제거되고 어떠한 유전체(75) 부분도 노출되지 않았다.

그리고 경우에 따라서는 추가적인 연마 공정이 기준선 C에 이를 때까지 행해질 수도 있다. 기준선 C까지 행해지면, 비도핑된 유전체(75)의 일부분이 노출된다. 그러므로, 예를 들어 현탄액 내의 도펀트의 양에 비례하는 신호 세기는 도 4의 그래프에서 문자 C로 표시된 바와 같이 감소되기 시작한다. 최대치의 검출이 곤란하거나 정밀하지 않은 경우 레벨 C까지, 즉 도 4의 최대 신호 세기의 범위를 넘어서까지 연마하도록 선택할 수도 있다.

예를 들면 기준선 D에 이를 때까지 또다른 연마 공정이 행해질 수도 있다. 기준선 D에서는 도핑된 유전체(77)의 거의 모든 자취가 제거된 상태이고 도 4에 도시된 바와 같이 대응하는 신호 세기가 본질적으로 잡음 레벨까지 감소된 상태이다.

따라서 도 3 및 도 4를 비교함으로써, 검출기(85)에 의해 생성된 도 4의 곡선의 일부분 또는 전부(또는 도 4의 곡선의 도함수)를 관찰 또는 측정함으로써 상부가 연마된 평탄면을 갖는 유전체가 얻어진다. 부분적으로만 평면화된 표면을 원하는 경우에는 레벨 A를 선택한다. 도핑된 중첩층을 갖는 평면화된 표면을 원하는 경우 레벨 B를 선택한다. 유전체(75)의 상부를 노출시키고자 한다면 레벨 C를 선택한다. 또한, 도핑된 중첩층(77)을 제거하고자 한다면 레벨 D를 선택한다.

도 5 내지 도 7은 모두 본 발명의 또다른 실시예를 도시한다. 도 5의 횡단면도는 도 2의 횡단면도와 비교되는 것으로, 도면 전체에 걸쳐 동일한 도면 부호는 동일한 구성 요소를 나타낸다. 도면 부호(75)는 도체(67, 73, 71) 위에 형성된 유전체를 표시한다. 유전체(75)로는 예를 들어, 가능하면 고밀도 플라즈마 처리에 의해 형성된 비도핑된 실리콘 산화물로 한다.

도면 번호(101)는 유전체층(75)과 접촉된 상태로 그 위에 형성된 도핑되거나 염색된 유전체층을 표시한다. 비도핑되고 염색되지 않은 유전체층(103)이 유전체(101)와 접촉된 상태로 그 위에 형성된다. 유전체(103, 105)와 구별 가능하게 하는 도핑 또는 염료를 포함하는 유전체(101)는 표시제로 칭하여진다.

유전체(103)의 상부면(105)은 도 1에 도시된 장치에 의해 행하여질 수 있는 연마 동작으로 맨처음 연마된다. 앞서의 실시예에서와 같이, 표시제층(101)은 질량 분광계(85)에 의해 검출 가능한 도펀트를 포함한다. 또한, 상기 표시제층은 다른 장치에 의해 검출되는 염료를 포함할 수도 있다.

도 6을 도 7의 그래프와 비교하면, 유전체(103)의 상부면(105)이 문자 E로 표시된 레벨까지 연마되는 경우에 예를 들어 도 7의 참조 문자 E로 표시된 것처럼 질량 분광계(85)에서 관찰된 대응하는 신호가 관찰된다. 신호는 매우 낮아지고, 통상적으로는 잡음이 된다. 추가적인 연마 공정을 계속하면, 도 6의 레벨 F에 이르게 된다. 표시제층(101)의 처음 부분은 제거되고 그것의 도펀트나 염료가 검출되어 도 7의

문자 F로 표시된 신호를 생성한다.

또다른 연마 공정이 계속되기 때문에 도핑된 유전체 및 비도핑된 유전체의 혼합이 제거된다. 이론적으로는, 도 7에서 Z로 표시된 적어도 하나의 최소치는 층(101)의 모양의 불규칙성에 따라 도달될 수도 있다. 검출기(85)가 충분한 분해능을 갖지 못한다면, 도 7에서 도면 부호 200으로 표시된 점선 등의 최소치를 갖지 않는 곡선이 얻어진다.

또다른 연마 공정이 계속되므로, 도 6에서 G로 표시되어 기준선 레벨 G에 대응하는 또다른 이론적인 최대치가 얻어진다. 레벨 G는 층(101)의 최저 지점을 지나서 약간 중간 지점에 있다.

또다른 연마 공정이 계속된다면, 실질적으로 유전체(101) 전부가 도 6에서 문자 H로 표시된 선으로 도시된 바와 같이 제거된다. 도 7에서, 문자 H로 표시된 신호 세기는 신호가 사실상의 잡음 레벨까지 악화되었음을 나타낸다.

전술한 바와 같이, 문자 E, F, G, H, Z를 갖는 도 7에서의 이론적인 신호 곡선은 검출기(85)가 충분한 분해능을 갖는 경우에 하나 이상의 최소치 Z를 갖는 곡선으로 얻어진다. 그렇지 않은 경우에는 비교적 낮고 넓고 평평한 피크를 갖는 곡선(200)과 유사한 곡선이 얻어진다.

도 8 내지 도 10은 본 발명의 또다른 실시예를 도시한다. 도 8에서, 필드 산화물(53)은 기판(51)을 피복한다. 또한 도 8에는 소스 드레인 영역(57) 및 러너(63, 64)가 도시되어 있다. 제 1 비도핑(또는 무염색) 층(303)은 러너(63, 64) 및 게이트(401)를 덮는다. 유전체(303)를 피복하여 접촉하는 유전체(301)는 예를 들면 인으로 도핑될 수도 있다. 유전체(301)를 피복하여 접촉하는 유전체(305)는 예를 들면 붕소로 도핑될 수도 있다. 따라서, 유전체(305, 301)는 충분한 도펀트(또는 염료)를 함유한다. 그것들은 경우에 따라서 단일층의 서브층으로서 간주될 수도 있다.

도 9 및 도 10을 비교하면, 처음의 연마 공정에 의해 붕소로 도핑된 층(305)의 상부면의 일부분(307)이 제거된다. 하나 이상의 검출기(85)가 인 및 붕소를 검출할 수 있다고 가정한다. 이를테면 붕소 및 인 신호 세기를 나타내는 도 10의 곡선(501, 502)은 시간의 함수로서 검출기(85)에 의해 생성된다.

도 9를 참조하면, 붕소로 도핑된 층(305)의 외측면(307)이 기준선 J로 표시된 레벨까지 제거되는 경우에 곡선(501, 502) 상의 점(J)으로 표시된 신호가 검출기(85)에 의해 얻어진다. 곡선(501) 상의 점(J)은 붕소가 존재하는 것에 대응되는 상승 신호를 나타낸다. 곡선(502) 상의 점(J)은 실질적으로 인이 존재하지 않음을 나타낸다. 연마 공정이 기준선 K에 이를 때까지 계속되는 경우에 도 10을 참조하면 곡선(501) 상의 점(K)은 붕소 신호의 피크를 나타내는 것을 알 수 있다. 곡선(502) 상의 점(K)은 층(301)의 상부면(309)의 연마로 인한 인의 최초의 검출 가능 레벨을 나타낸다. 기준 레벨 L에 이를 때까지 연마 공정이 계속 행해지는 경우에, 도 10을 참조하면 곡선(501) 상의 점(L)은 붕소 대응 신호의 실질적인 감소를 나타내며, 곡선(502) 상의 점(L)은 인 대응 신호의 피크를 나타낸다. 기준 레벨 M에 이를 때까지 연마 공정이 계속되는 경우, 인 및 붕소의 대략 안정적인 상태의 값을 나타내는 곡선(501, 502)으로 표시된 대응하는 신호가 얻어진다. 붕소 대응 신호는 사실상 잡음이다.

발명의 효과

이와 같이, 일반적으로 표시제라고 불리는 검출 가능한 도펀트나 염료를 갖는 하나 이상의 층이 존재하는 CMP의 방법에 대해 기술하였다. 표시 재료의 미소량의 존재는 질량 분광계 등의 검출기에 의해 검출된다. 표시 재료의 존재가 연마 시간의 함수로서 나타내어진다면, 표시제층의 원하는 양이 연마되어 제거되었을 때 연마 공정을 종료한다. 도 4, 도 7, 또는 도 10에서 도시된 바와 같은 곡선을 관찰하면, 표시 재료의 제거 및 제거 속도를 제어 가능하고 신뢰성 있게 관찰할 수 있고, 연마 동작을 만족스럽게 종료시킬 수 있게 한다.

(57) 청구의 범위

청구항 1

집적 회로 제조 방법에 있어서,

내부에 디바이스가 형성되어 있는 기판(예, 51)을 피복하며 내부에 표시 재료를 포함하는 재료층(예, 77 또는 101 또는 301, 305)을 형성하는 단계;

상기 재료층의 적어도 일부분을 연마하여 약간의 표시 재료를 제거하는 단계;

상기 제거된 표시 재료를 측정하는 단계;

제거된 표시 재료의 양이 소정의 양에 이르거나, 표시 재료의 제거 속도가 소정의 양에 이르게된 후에 연마 공정을 종료하는 단계를 포함하는 집적 회로 제조 방법.

청구항 2

제 1 항에 있어서, 상기 재료층(예, 77 또는 101 또는 301, 305)은 실리콘 산화물인 집적 회로 제조 방법.

청구항 3

제 1 항에 있어서, 상기 표시 재료는 도펀트인 집적 회로 제조 방법.

청구항 4

제 3 항에 있어서, 상기 도펀트는 붕소 및 인으로 이루어진 군에서 선택되는 집적 회로 제조 방법.

청구항 5

제 1 항에 있어서, 상기 측정은 ICP 질량 분광계로 행해지는 집적 회로 제조 방법.

청구항 6

제 1 항에 있어서, 상기 기판은 MOS 트랜지스터(예, 55, 57)를 포함하고;

상기 트랜지스터는 비도핑된 유전체(예, 61 또는 75)로 피복되며;

상기 재료층은 상기 비도핑된 유전체를 피복하고;

상기 재료층(예, 77 또는 101)은 도핑된 유전체인 집적 회로 제조 방법.

청구항 7

제 6 항에 있어서, 상기 재료층(예, 77 또는 101)의 일부분이 전체의 평면화를 달성하지 못하고 제거되는 집적 회로 제조 방법.

청구항 8

제 6 항에 있어서, 상기 재료층(예, 77 또는 101)의 일부분은 제거되고;

상기 재료층의 일부분은 상기 비도핑된 유전체(예, 61 또는 75)를 제거하지 않고 전체의 평면화에 도달하여 유지되는 집적 회로 제조 방법.

청구항 9

제 6 항에 있어서, 상기 재료층(예, 77 또는 101)의 일부분은 제거되며;

상기 재료층의 일부분은 유지되며;

상기 비도핑된 유전체(예, 61 또는 75)의 일부분은 제거되고 전체 평면화가 이루어지는 집적 회로 제조 방법.

청구항 10

제 6 항에 있어서, 상기 재료층(예, 77 또는 101) 전체가 제거되어 전체의 평면화가 이루어지는 집적 회로 제조 방법.

청구항 11

제 6 항에 있어서, 상기 도핑된 유전체(예, 77 또는 101)는 또다른 비도핑된 유전체(103)에 의해 피복되는 집적 회로 제조 방법.

청구항 12

제 11 항에 있어서, 상기 또다른 비도핑된 유전체(예, 61)의 일부분은 제거되고 전체 평면화는 이루어지지 않는 집적 회로 제조 방법.

청구항 13

제 11 항에 있어서, 상기 재료층(예, 77 또는 101)의 일부분은 제거되고 전체 표면화가 달성되는 집적 회로 제조 방법.

청구항 14

제 11 항에 있어서, 상기 재료층(예, 77 또는 101)의 일부분은 제거되고 상기 제 1 유전체(예, 61)의 일부분이 제거되며 전체의 평면화가 달성되는 집적 회로 제조 방법.

청구항 15

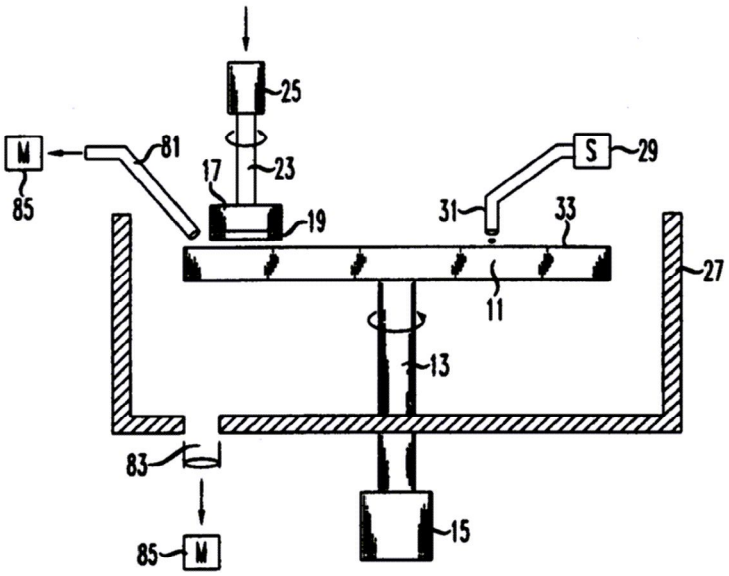
제 11 항에 있어서, 상기 재료층(예, 77 또는 101) 전체가 제거되고 전체 평면화가 달성되는 집적 회로 제조 방법.

청구항 16

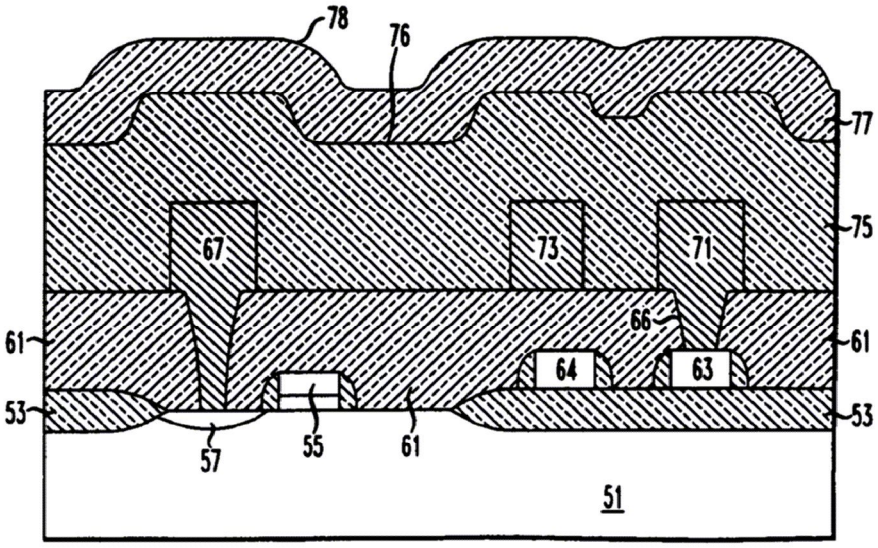
제 1 항에 있어서, 상기 재료층은 제 1 및 제 2 서브층(예, 301, 305)을 갖는 복층이고, 상기 제 1 및 제 2 서브층(예, 301, 305) 각각은 서로 상이한 표시제를 가지며 제 1 또는 제 2 서브층의 어느 한 층 또는 양 층으로부터 제거된 표시 재료가 측정되는 집적 회로 제조 방법.

도면

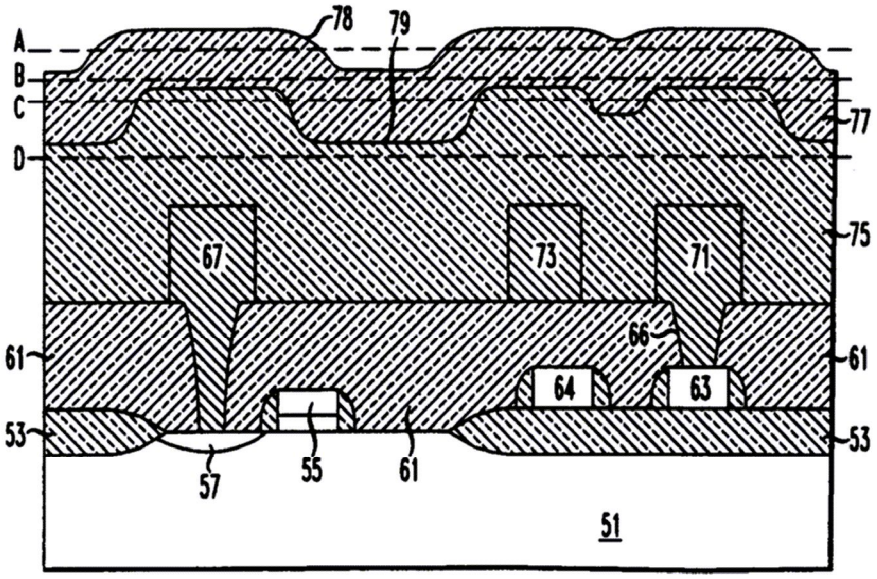
도면1


25
M
81
85
17
23
19
S
29
31
33
27
11
13
83
85
M
15

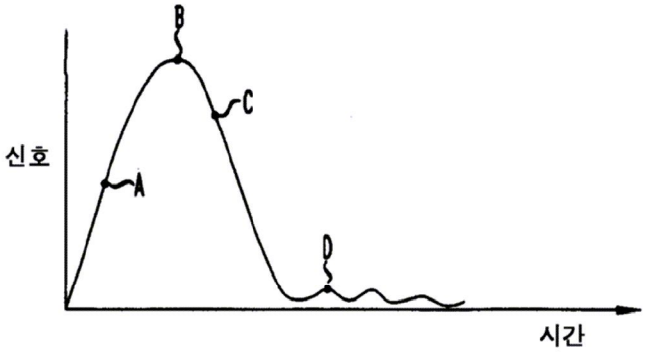
도면2


78
76
77
75
67
73
71
66
61
64
63
61
53
53
57
55
61
51

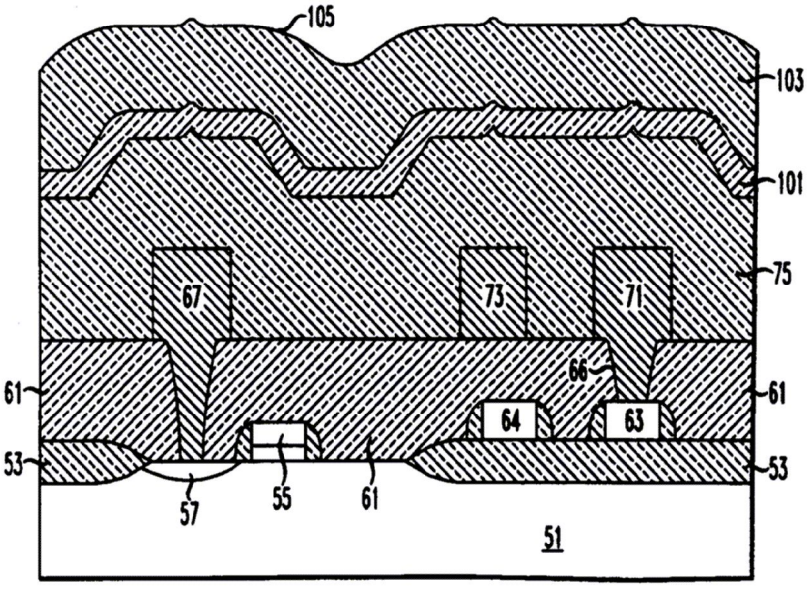
도면3



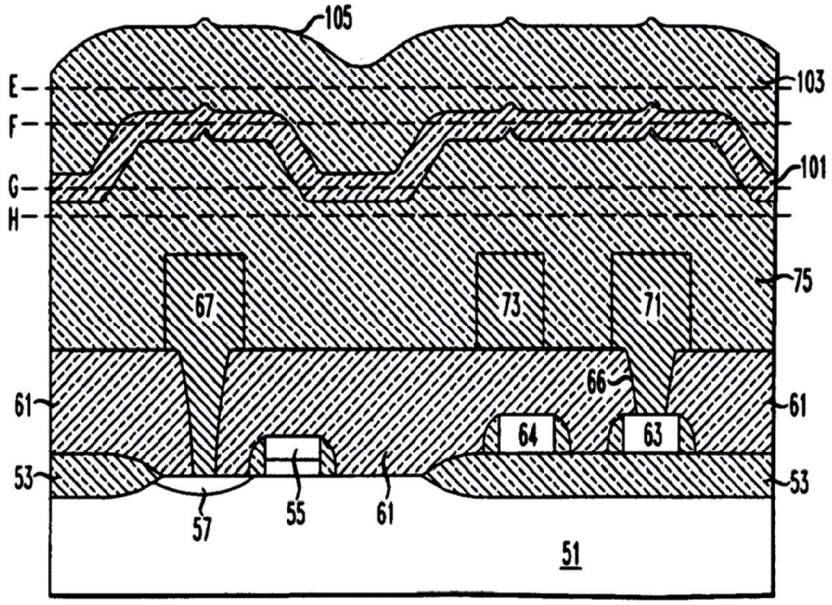
도면4



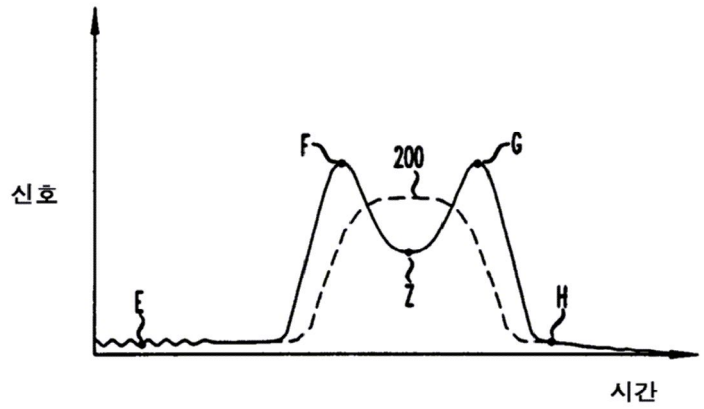
도면5


105
103
101
75
67
73
71
66
61
61
64
63
53
53
57
55
61
51

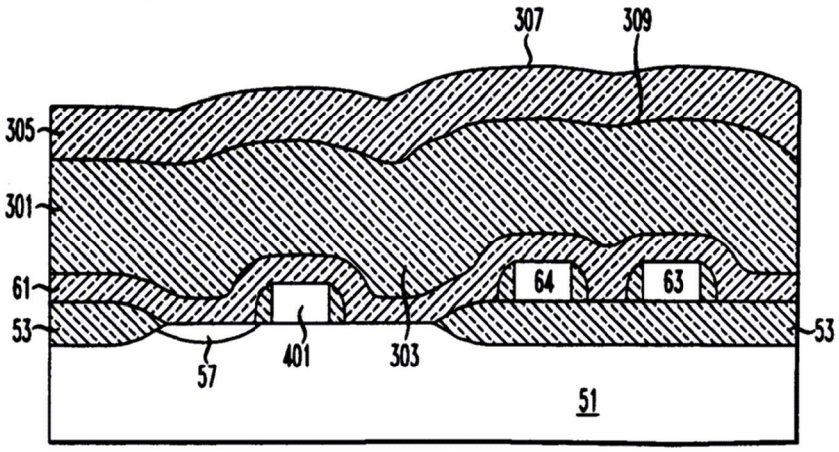
도면6


105
E
F
G
H
103
101
75
67
73
71
66
61
61
64
63
53
53
57
55
61
51

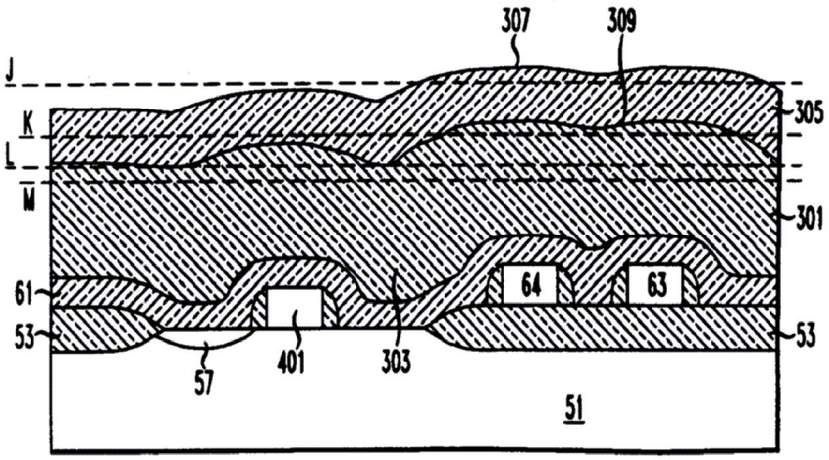
도면7


신호
F
200
G
E
Z
H
시간

도면8


307
309
305
301
61
53
64
63
53
57
401
303
51

도면9


307
309
J
K
L
M
305
301
61
53
64
63
53
57
401
303
51

도면10

