

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年3月18日(2010.3.18)

【公表番号】特表2009-528635(P2009-528635A)

【公表日】平成21年8月6日(2009.8.6)

【年通号数】公開・登録公報2009-031

【出願番号】特願2008-557438(P2008-557438)

【国際特許分類】

G 06 F 1/32 (2006.01)

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

H 01 L 21/82 (2006.01)

【F I】

G 06 F 1/00 3 3 2 Z

H 01 L 27/04 T

H 01 L 21/82 T

【手続補正書】

【提出日】平成22年1月27日(2010.1.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリと、該メモリに接続され、かつタイミング回路を含むロジックとを有する集積回路の動作パラメータを調整するための方法であって、

前記メモリにアクセスすること、

前記メモリへのアクセス速度とタイミング回路の速度とを比較すること、

比較結果に基づいて前記メモリの動作パラメータを選択的に調整して、前記タイミング回路の速度に対する前記メモリの速度を変更すること

を備える方法。

【請求項2】

メモリと、該メモリに接続され、かつタイミング回路を含むロジックとを有するデータ処理システムの動作パラメータを調整するための方法であって、

メモリアクセスを開始すること、

開始に応答して、カウント回路を活性化して前記タイミング回路により生成されるパルスをカウントすること、

メモリアクセスを完了したことに応答して、前記カウント回路がカウント値を出力すること、

前記カウント値を用いてメモリアクセスの相対速度を決定すること、

前記相対速度に基づいて前記データ処理システムの供給電圧を選択的に調整することを備える方法。

【請求項3】

集積回路であって、

リング発振器と、

前記リング発振器の出力に接続されたクロック入力を有するシフトレジスタであって、前記シフトレジスタはメモリへのメモリアクセスの開始に応答して活性化され、メモリア

クセスの完了に応答して非活性化される、シフトレジスタと、
前記シフトレジスタの出力に接続され、前記メモリの相対速度を示す相対速度指標を供
給する比較ロジックと
を備える集積回路。