



(12) 发明专利

(10) 授权公告号 CN 102289115 B

(45) 授权公告日 2014. 08. 20

(21) 申请号 201010211521. 3

CN 101285974 A, 2008. 10. 15,

(22) 申请日 2010. 06. 21

审查员 解飞

(73) 专利权人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中
路 8 号

(72) 发明人 刘华锋 肖红玺 苏顺康 吴平
丁汉亭

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 张丽荣

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1333(2006. 01)

H01L 27/02(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

CN 1195117 A, 1998. 10. 07,

US 5068748 A, 1991. 11. 26,

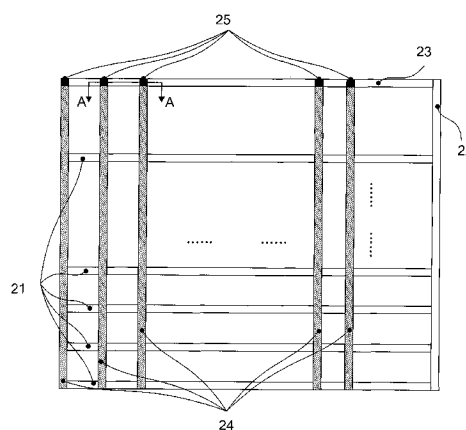
权利要求书4页 说明书12页 附图13页

(54) 发明名称

母板及 TFT 阵列基板的制造方法

(57) 摘要

本发明实施例公开了一种母板及 TFT 阵列基板的制作方法, 涉及液晶显示技术领域, 解决了 TFT 阵列基板在制造过程容易发生静电击穿的问题。本发明实施例在每个显示区域相邻两侧的预切割区域分别设有电连接的栅线连通线和数据连通线; 所述栅线连通线与对应显示区域中栅极扫描线均电连接, 所述数据连通线与对应显示区域中数据扫描线均电连接。本发明实施例主要用于 TFT 阵列基板的制作。



1. 一种母板,包括具有至少一个显示区域的基板,并且所述显示区域的周边设置有预切割区域,每个显示区域相邻两侧的预切割区域分别设有电连接的栅线连通线和数据连通线;所述栅线连通线与对应显示区域中栅极扫描线均电连接,所述数据连通线与对应显示区域中数据扫描线均电连接;其特征在于,

所述栅线连通线和数据连通线均与栅极扫描线位于同一层并通过同一掩模板工艺制造,所述栅线连通线和数据连通线直接电连接,所述栅线连通线与对应显示区域中栅极扫描线直接电连接;

所述数据连通线通过刻蚀形成的过孔与对应显示区域中数据扫描线电连接,或者所述数据连通线通过离地剥离形成的过孔与对应显示区域中数据扫描线电连接。

2. 根据权利要求1所述的母板,其特征在于,所述栅线连通线位于栅极扫描线PAD区域相对一侧的预切割区域,所述数据连通线位于数据扫描线PAD区域相对一侧的预切割区域。

3. 根据权利要求1所述的母板,其特征在于,在对所述母板进行测试之前,在栅极扫描线上与栅线连通线电连接的一端刻蚀出断开区域,断开所述栅线连通线与栅极扫描线的电连接;在数据扫描线上与数据连通线电连接的一端刻蚀出断开区域,断开所述数据连通线与数据扫描线的电连接。

4. 根据权利要求3所述的母板,其特征在于,所述数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置,或者位于所述数据扫描线与数据连通线电连接的位置向数据扫描线偏移预定距离的位置;所述栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置,或者位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

5. 一种母板,包括具有至少一个显示区域的基板,并且所述显示区域的周边设置有预切割区域,每个显示区域相邻两侧的预切割区域分别设有电连接的栅线连通线和数据连通线;所述栅线连通线与对应显示区域中栅极扫描线均电连接,所述数据连通线与对应显示区域中数据扫描线均电连接;其特征在于,

所述栅线连通线和数据连通线均与数据扫描线位于同一层并通过同一掩模板工艺制造,所述栅线连通线和数据连通线直接电连接,所述数据连通线与对应显示区域中数据扫描线直接电连接;

所述栅线连通线通过刻蚀形成的过孔与对应显示区域中栅极扫描线电连接,或者所述栅线连通线通过离地剥离形成的过孔与对应显示区域中栅极扫描线电连接。

6. 根据权利要求5所述的母板,其特征在于,所述栅线连通线位于栅极扫描线PAD区域相对一侧的预切割区域,所述数据连通线位于数据扫描线PAD区域相对一侧的预切割区域。

7. 根据权利要求5所述的母板,其特征在于,在对所述母板进行测试之前,在栅极扫描线上与栅线连通线电连接的一端刻蚀出断开区域,断开所述栅线连通线与栅极扫描线的电连接;在数据扫描线上与数据连通线电连接的一端刻蚀出断开区域,断开所述数据连通线与数据扫描线的电连接。

8. 根据权利要求7所述的母板,其特征在于,所述数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置,或者位于所述数据扫描线与数据连通线电连接的

位置向数据扫描线偏移预定距离的位置；所述栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置，或者位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

9. 一种母板，包括具有至少一个显示区域的基板，并且所述显示区域的周边设置有预切割区域，每个显示区域相邻两侧的预切割区域分别设有电连接的栅线连通线和数据连通线；所述栅线连通线与对应显示区域中栅极扫描线均电连接，所述数据连通线与对应显示区域中数据扫描线均电连接；其特征在于，

所述栅线连通线与栅极扫描线位于同一层并通过同一掩模板工艺制造，并与对应显示区域中栅极扫描线直接电连接；所述数据连通线与数据扫描线位于同一层并通过同一掩模板工艺制造，并与对应显示区域中数据扫描线直接电连接；

所述栅线连通线和数据连通线通过刻蚀形成的过孔电连接，或者所述栅线连通线和数据连通线通过离地剥离形成的过孔电连接。

10. 根据权利要求 9 所述的母板，其特征在于，所述栅线连通线位于栅极扫描线 PAD 区域相对一侧的预切割区域，所述数据连通线位于数据扫描线 PAD 区域相对一侧的预切割区域。

11. 根据权利要求 9 所述的母板，其特征在于，在对所述母板进行测试之前，在栅极扫描线上与栅线连通线电连接的一端刻蚀出断开区域，断开所述栅线连通线与栅极扫描线的电连接；在数据扫描线上与数据连通线电连接的一端刻蚀出断开区域，断开所述数据连通线与数据扫描线的电连接。

12. 根据权利要求 11 所述的母板，其特征在于，所述数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置，或者位于所述数据扫描线与数据连通线电连接的位置向数据扫描线偏移预定距离的位置；所述栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置，或者位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

13. 一种 TFT 阵列基板的制造方法，所述 TFT 阵列基板具有至少一个显示区域，并且所述显示区域的周边设置有预切割区域，所述制造方法包括：

在每个显示区域相邻的两侧的预切割区域分别形成电连接的栅线连通线和数据连通线；所述栅线连通线与对应显示区域中栅极扫描线均电连接，所述数据连通线与对应显示区域中数据扫描线均电连接；其特征在于，

在每个显示区域相邻的两侧的预切割区域分别形成电连接的栅线连通线和数据连通线包括：

(1) 在具有至少一个显示区域的基板上沉积栅金属层；

(2) 对所述栅金属层进行构图工艺形成栅图案，该栅图案包括栅极扫描线、与栅极扫描线相连的栅极、以及位于每个显示区域相邻两侧的栅线连通线和数据连通线，并在所述数据连通线上与待形成的数据扫描线相交处预留光刻胶；所述栅线连通线分别与数据连通线、栅极扫描线直接电连接；

(3) 在所述具有栅图案的基板上依次沉积栅极绝缘薄膜、有源薄膜；

(4) 对所述有源薄膜进行构图工艺形成与栅极重叠的有源薄膜图案，并对所述预留光刻胶进行离地剥离，将预留光刻胶对应位置的栅极绝缘薄膜和有源薄膜去除；

(5)在具有有源薄膜图案的基板上形成源 / 漏图案,该源 / 漏图案包括与栅极扫描线交叉的数据扫描线、薄膜晶体管的源极和漏极 ;所述数据扫描线延伸至所述预留光刻胶位置处,并与所述数据连通线形成电连接。

14. 根据权利要求 13 所述的 TFT 阵列基板的制造方法,其特征在于,所述制造方法还包括 :

在沉积钝化层后,在所述栅极扫描线与栅线连通线电连接的一端通过构图工艺形成过孔,露出所述栅极扫描线 ;在所述数据扫描线上与数据连通线电连接的一端通过构图工艺形成出过孔,露出所述数据扫描线 ;

将所述过孔中露出的数据扫描线和栅极扫描线刻蚀去除,形成断开区域。

15. 根据权利要求 14 所述的 TFT 阵列基板的制造方法,其特征在于,所述数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置,或者位于所述数据扫描线与数据连通线电连接的位置向数据扫描线偏移预定距离的位置 ;所述栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置,或者位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

16. 一种 TFT 阵列基板的制造方法,所述 TFT 阵列基板具有至少一个显示区域,并且所述显示区域的周边设置有预切割区域,所述制造方法包括 :

在每个显示区域相邻的两侧的预切割区域分别形成电连接的栅线连通线和数据连通线 ;所述栅线连通线与对应显示区域中栅极扫描线均电连接,所述数据连通线与对应显示区域中数据扫描线均电连接 ;其特征在于,

在每个显示区域相邻的两侧的预切割区域分别形成电连接的栅线连通线和数据连通线包括 :

(1) 在具有至少一个显示区域的基板上沉积栅金属层 ;

(2) 对所述栅金属层进行构图工艺形成栅图案,该栅图案包括栅极扫描线、以及与栅极扫描线相连的栅极,并在所述栅极扫描线上与待形成的栅线连通线相交处预留光刻胶 ;

(3) 在所述具有栅图案的基板上依次沉积栅极绝缘薄膜、有源薄膜 ;

(4) 对所述有源薄膜进行构图工艺形成与栅极重叠的有源薄膜图案,并对所述预留光刻胶进行离地剥离,将预留光刻胶对应位置的栅极绝缘薄膜和有源薄膜去除 ;

(5)在具有有源薄膜图案的基板上形成源 / 漏图案,该源 / 漏图案包括与栅极扫描线交叉的数据扫描线、薄膜晶体管的源极和漏极、以及位于每个显示区域相邻两侧的栅线连通线和数据连通线,所述栅线连通线在所述预留光刻胶位置与栅极扫描线电连接,所述数据连通线分别与栅线连通线、数据扫描线直接电连接。

17. 根据权利要求 16 所述的 TFT 阵列基板的制造方法,其特征在于,所述制造方法还包括 :

在沉积钝化层后,在所述栅极扫描线与栅线连通线电连接的一端通过构图工艺形成过孔,露出所述栅极扫描线 ;在所述数据扫描线上与数据连通线电连接的一端通过构图工艺形成出过孔,露出所述数据扫描线 ;

将所述过孔中露出的数据扫描线和栅极扫描线刻蚀去除,形成断开区域。

18. 根据权利要求 17 所述的 TFT 阵列基板的制造方法,其特征在于,所述数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置,或者位于所述数据扫描线与

数据连通线电连接的位置向数据扫描线偏移预定距离的位置；所述栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置，或者位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

19. 一种 TFT 阵列基板的制造方法，所述 TFT 阵列基板具有至少一个显示区域，并且所述显示区域的周边设置有预切割区域，所述制造方法包括：

在每个显示区域相邻的两侧的预切割区域分别形成电连接的栅线连通线和数据连通线；所述栅线连通线与对应显示区域中栅极扫描线均电连接，所述数据连通线与对应显示区域中数据扫描线均电连接；其特征在于，

在每个显示区域相邻的两侧的预切割区域分别形成电连接的栅线连通线和数据连通线包括：

(1) 在具有至少一个显示区域的基板上沉积栅金属层；

(2) 对所述栅金属层进行构图工艺形成栅图案，该栅图案包括栅极扫描线、与栅极扫描线相连的栅极、以及位于每个显示区域一侧的栅线连通线，并在所述栅线连通线上与待形成的数据连通线相交处预留光刻胶；所述栅线连通线与栅极扫描线直接电连接；

(3) 在所述具有栅图案的基板上依次沉积栅极绝缘薄膜、有源薄膜；

(4) 对所述有源薄膜进行构图工艺形成与栅极重叠的有源薄膜图案，并对所述预留光刻胶进行离地剥离，将预留光刻胶对应位置的栅极绝缘薄膜和有源薄膜去除；

(5) 在具有有源薄膜图案的基板上形成源/漏图案，该源/漏图案包括与栅极扫描线交叉的数据扫描线、薄膜晶体管的源极和漏极、以及位于每个显示区域与所述栅线连通线相邻一侧的数据连通线；所述数据连通线延伸至所述预留光刻胶位置处并与所述栅线连通线形成电连接，所述数据连通线与数据扫描线直接电连接。

20. 根据权利要求 19 所述的 TFT 阵列基板的制造方法，其特征在于，所述制造方法还包括：

在沉积钝化层后，在所述栅极扫描线与栅线连通线电连接的一端通过构图工艺形成过孔，露出所述栅极扫描线；在所述数据扫描线上与数据连通线电连接的一端通过构图工艺形成出过孔，露出所述数据扫描线；

将所述过孔中露出的数据扫描线和栅极扫描线刻蚀去除，形成断开区域。

21. 根据权利要求 20 所述的 TFT 阵列基板的制造方法，其特征在于，所述数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置，或者位于所述数据扫描线与数据连通线电连接的位置向数据扫描线偏移预定距离的位置；所述栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置，或者位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

母板及 TFT 阵列基板的制造方法

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及母板及 TFT (Thin Film Transistor,薄膜场效应晶体管)阵列基板的制造方法。

背景技术

[0002] 目前的 TFT 阵列基板制造工艺中首先沉积栅金属层并刻蚀出栅图案,然后在具有栅图案层基板表面沉积栅极绝缘层,然后依次制造有源层和源/漏金属层。TFT 阵列基板在阵列工艺中,主要包括沉积、刻蚀等工艺,由于沉积设备、刻蚀设备一般需要较高的工作电压,这种较高的工作电压会导致 TFT 阵列基板在制造过程中可能使得其中的金属层聚集较多电荷;并且 TFT 阵列基板的制造过程需要多次搬运,这样的搬运对 TFT 阵列基板中的玻璃基板产生摩擦,使得玻璃基板上产生电荷,而玻璃基板上产生的电荷都会聚集到与玻璃基板直接接触的栅金属层上。

[0003] 在实现现有的 TFT 阵列基板制造工艺的过程中,发明人发现现有技术(CN1195117A 为最接近的现有技术)中至少存在如下问题:TFT 阵列基板在制造过程中会在金属层上聚集较多电荷,而采用现有工艺制造的 TFT 阵列基板上的栅金属层和源/漏金属层之间完全被栅极绝缘层隔开,两个金属层之间极容易因为电荷的聚集而形成电势差,从而使得 TFT 阵列基板在制造过程容易发生静电击穿现象,导致产品的合格率和良品率降低。

发明内容

[0004] 本发明的实施例提供一种母板及 TFT 阵列基板的制造方法,能够有效减少 TFT 阵列基板在制造过程发生的静电击穿现象。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 一种母板,包括具有至少一个显示区域的基板,并且所述显示区域的周边设置有预切割区域,每个显示区域相邻两侧的预切割区域分别设有电连接的栅线连通线和数据连通线;所述栅线连通线与对应显示区域中栅极扫描线均电连接,所述数据连通线与对应显示区域中数据扫描线均电连接。

[0007] 一种 TFT 阵列基板的制造方法,所述 TFT 阵列基板具有至少一个显示区域,并且所述显示区域的周边设置有预切割区域,所述制造方法包括:

[0008] 在每个显示区域相邻的两侧的预切割区域分别形成电连接的栅线连通线和数据连通线;所述栅线连通线与对应显示区域中栅极扫描线均电连接,所述数据连通线与对应显示区域中数据扫描线均电连接。

[0009] 本发明实施例提供的母板及 TFT 阵列基板的制造方法,由于每个显示区域中的栅极扫描线都与对应的栅线连通线电连接,数据扫描线都与对应的数据连通线连接,并且栅线连通线和数据连通线之间也是电连接的,这样一来,通过栅线连通线和数据连通线可以将每个显示区域中所有栅极扫描线和数据扫描线连接到一起。只要在栅金属层或者源/漏

金属层上聚集了电荷,通过上述的电连接关系可以将聚集的电荷会分布在所有栅极扫描线和数据扫描线上,形成静电平衡;由于在静电平衡状态下,相连两个导体之间的电势相等,故而两个金属层之间没有电势差。

[0010] 所以,采用本发明提供的母板及 TFT 阵列基板的制造方法,由于两个金属层之间没有电势差,所以,有效减少了 TFT 阵列基板在制造过程发生的静电击穿现象,提高了产品的合格率和良品率。

附图说明

[0011] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0012] 图 1 为本发明实施例 1 中母板的示意图;

[0013] 图 2 为本发明实施例 1 中母板的一个显示区域的示意图;

[0014] 图 3 为本发明实施例 1 中沉积有源薄膜后 A-A 向剖视图;

[0015] 图 4 为本发明实施例 1 中沉积源/漏金属层后中 A-A 向剖视图;

[0016] 图 5a 为本发明实施例 1 中 TFT 阵列基板的制作方法第一过程;

[0017] 图 5b 为本发明实施例 1 中 TFT 阵列基板的制作方法第二过程;

[0018] 图 5c 为本发明实施例 1 中 TFT 阵列基板的制作方法第三过程;

[0019] 图 5d 为本发明实施例 1 中 TFT 阵列基板的制作方法第四过程;

[0020] 图 5e 为本发明实施例 1 中 TFT 阵列基板的制作方法第五过程;

[0021] 图 5f 为本发明实施例 1 中 TFT 阵列基板的制作方法第六过程;

[0022] 图 5g 为本发明实施例 1 中 TFT 阵列基板的制作方法第七过程;

[0023] 图 6 为本发明实施例 2 中母板的一个显示区域的示意图;

[0024] 图 7 为本发明实施例 2 中沉积有源薄膜后 B-B 向剖视图;

[0025] 图 8 为本发明实施例 2 中沉积源/漏金属层后中 B-B 向剖视图;

[0026] 图 9a 为本发明实施例 2 中 TFT 阵列基板的制作方法第一过程;

[0027] 图 9b 为本发明实施例 2 中 TFT 阵列基板的制作方法第二过程;

[0028] 图 9c 为本发明实施例 2 中 TFT 阵列基板的制作方法第三过程;

[0029] 图 9d 为本发明实施例 2 中 TFT 阵列基板的制作方法第四过程;

[0030] 图 9e 为本发明实施例 2 中 TFT 阵列基板的制作方法第五过程;

[0031] 图 9f 为本发明实施例 2 中 TFT 阵列基板的制作方法第六过程;

[0032] 图 9g 为本发明实施例 2 中 TFT 阵列基板的制作方法第七过程;

[0033] 图 10 为本发明实施例 3 中母板的一个显示区域的示意图;

[0034] 图 11 为本发明实施例 3 中沉积有源薄膜后 C-C 向剖视图;

[0035] 图 12 为本发明实施例 3 中沉积源/漏金属层后中 C-C 向剖视图;

[0036] 图 13a 为本发明实施例 3 中 TFT 阵列基板的制作方法第一过程;

[0037] 图 13b 为本发明实施例 3 中 TFT 阵列基板的制作方法第二过程;

[0038] 图 13c 为本发明实施例 3 中 TFT 阵列基板的制作方法第三过程;

- [0039] 图 13d 为本发明实施例 3 中 TFT 阵列基板的制作方法第四过程；
[0040] 图 13e 为本发明实施例 3 中 TFT 阵列基板的制作方法第五过程；
[0041] 图 13f 为本发明实施例 3 中 TFT 阵列基板的制作方法第六过程；
[0042] 图 13g 为本发明实施例 3 中 TFT 阵列基板的制作方法第七过程。

具体实施方式

[0043] 本发明实施例提供一种母板及 TFT 阵列基板的制造方法，本发明实施例中的母板包括具有至少一个显示区域的基板，并且所述显示区域的周边设置有预切割区域，以便在切割工艺中将基板切割成多个显示面板；为了减少 TFT 阵列基板在制造过程发生的静电击穿现象，本发明实施例母板的每个显示区域相邻两侧的预切割区域分别设有电连接的栅线连通线和数据连通线；并且所述栅线连通线与对应显示区域中栅极扫描线均电连接，所述数据连通线与对应显示区域中数据扫描线均电连接。

[0044] 采用本发明实施例后，只要在栅金属层或者源 / 漏金属层上聚集了电荷，通过上述的电连接关系可以将聚集的电荷会分布在所有栅极扫描线和数据扫描线上，形成静电平衡；由于在静电平衡状态下，相连两个导体之间的电势相等，故而两个金属层之间没有电势差。所以，采用本发明提供的母板及 TFT 阵列基板的制造方法，由于两个金属层之间没有电势差，所以，有效减少了 TFT 阵列基板在制造过程发生的静电击穿现象，提高了产品的合格率和良品率。

[0045] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0046] 实施例 1：

[0047] 本发明实施例提供一种母板，如图 1 所示，本实施例中的母板包括具有至少一个显示区域 2 的基板 1，并且所述显示区域 2 的周边设置有预切割区域 3，在 TFT 阵列工艺制作完成后，需要在所述预切割区域 3 进行切割，将每个显示区域 2 切割开，并且每个显示区域 2 最后都形成一个完整的 TFT 阵列基板。为了减少 TFT 阵列基板在制造过程发生的静电击穿现象，本发明实施例母板的每个显示区域相邻两侧的预切割区域分别设有电连接的栅线连通线和数据连通线，并且栅线连通线与对应显示区域中栅极扫描线均电连接，数据连通线与对应显示区域中数据扫描线均电连接。

[0048] 下面以其中一个显示区域为例进行详细说明，图 2 为其中一个显示区域的示意图，图 2 中仅示出了栅金属层和源 / 漏金属层的结构。

[0049] 如图 2 和图 3 所示，本发明实施例中在栅极扫描线 21 的同一层上制备出了栅线连通线 22 和数据连通线 23，并且栅线连通线 22 和数据连通线 23 可以与栅极扫描线 21 通过同一掩模板工艺制造，只需要改变掩模板的结构即可。由于栅线连通线 22、数据连通线 23、栅极扫描线 21 位于同一层，所以本实施例中的栅线连通线 22 和数据连通线 23 可以直接电连接，所述栅线连通线 22 与对应显示区域中栅极扫描线 21 也可以直接电连接，只需将掩模板上形成与栅线连通线 22、数据连通线 23、栅极扫描线 21 对应的区域做成连通就可以实现直接电连接。

[0050] 由于数据连通线 23 位于栅金属层上,为了将数据扫描线 24 连接到所述数据连通线 23,如图 3 所示,本发明实施例在玻璃基板 34 上制备栅金属层的过程中,可以在数据连通线 23 上与数据扫描线 24 相交处 25 预留光刻胶 31,并且直接在预留出光刻胶 31 的基板上沉积栅极绝缘薄膜 32,然后在制备出有源薄膜图案的过程中对所述预留光刻胶 31 进行离地剥离,以便刻蚀掉预留光刻胶 31、及其对应位置的栅极绝缘薄膜 32 和有源薄膜 33。

[0051] 如图 4 所示,通过上述离地剥离技术可以在栅极绝缘薄膜上与预留光刻胶位置处形成过孔 41,然后在具有上述离地剥离形成过孔 41 的基板上沉积源 / 漏金属层 42,并在源 / 漏金属层 42 上刻蚀出源 / 漏图案,该源 / 漏图案包括与栅极扫描线交叉的数据扫描线、薄膜晶体管的源极和漏极;为了让数据连通线与数据扫描线电连接,本发明实施例中的数据扫描线延伸至所述预留光刻胶位置处,由于预留光刻胶位置处形成了过孔 41,本发明实施例中的数据扫描线 24 可以通过离地剥离形成的过孔 41 与数据连通线 23 电连接。

[0052] 采用离地剥离技术形成过孔,可以在现有工艺上直接改进,不需要增加掩模板工艺(MASK 工艺),在制造 TFT 阵列基本的过程中可以相对减少 MASK 次数,提高生产效率,并且对目前已有的生产工艺都能够兼容适用。

[0053] 当然,本发明实施例还可以采用但不限于如下方案实现数据扫描线与数据连通线电连接:在栅极绝缘薄膜上对应于数据连通线与数据扫描线相交的位置通过刻蚀工艺形成过孔,如此一来,所述数据连通线便可以通过刻蚀形成的过孔与对应显示区域中数据扫描线电连接。

[0054] 不论采取何种方式形成上述过孔,都能够使得数据连通线与数据扫描线能够电连接,同时,由于栅线连通线分别和数据连通线、栅极扫描线是直接电连接的。只要在栅金属层或者源 / 漏金属层上聚集了电荷,通过上述的电连接关系可以将聚集的电荷会分布在所有栅极扫描线和数据扫描线上,形成静电平衡;由于在静电平衡状态下,相连两个导体之间的电势相等,故而两个金属层之间没有电势差。所以,采用本发明提供的母板及 TFT 阵列基板的制造方法,由于两个金属层之间没有电势差,所以,有效减少了 TFT 阵列基板在制造过程发生的静电击穿现象,提高了产品的合格率和良品率。

[0055] 本发明实施例提供的母板中每个显示区域都设有 PAD 区域(包括栅极扫描线 PAD 区域和数据扫描线 PAD 区域),以便通过 PAD 区域连接外部的驱动电路,为了不影响现有 PAD 区域的制作,本发明实施例将所述栅线连通线制作在栅极扫描线 PAD 区域相对一侧的预切割区域,将所述数据连通线制作在数据扫描线 PAD 区域相对一侧的预切割区域。

[0056] 由于在对母板切割前需要对母板进行测试,以便检测母板的电连接性能,为了不影响测试过程,本发明实施例在对所述母板进行测试之前,在栅极扫描线上与栅线连通线电连接的一端刻蚀出断开区域,断开所述栅线连通线与栅极扫描线的电连接;在数据扫描线上与数据连通线电连接的一端刻蚀出断开区域,断开所述数据连通线与数据扫描线的电连接。通过刻蚀出上述断开区域,使得数据扫描线和栅极扫描线都相互独立,不再会有信号的干扰,方便了后续过程中对母板进行测试。

[0057] 上述数据扫描线上断开区域可以选择但不限于如下两种位置:

[0058] 第一、数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置;第二、所述数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置向数据扫描线偏移预定距离的位置。

[0059] 上述栅极扫描线上断开区域可以选择但不限于如下两种位置：

[0060] 第一、栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置；第二、栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

[0061] 本发明实施例还提供一种 TFT 阵列基板的制造方法，如图 5a 至图 5g，所述制造方法包括如下过程：

[0062] (1) 本发明实施例中采用的基板包括至少一个显示区域，如图 5a 所示，在所述玻璃基板 34 上沉积栅金属层 35。

[0063] (2) 对所述栅金属层 35 进行构图工艺(本发明实施例里提及的构图工艺包括光刻胶涂覆、曝光显影、刻蚀和光刻胶的去除等工艺，光刻胶的去除工艺又包括剥离和灰化等。)，通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的灰化等工艺过程使得所述栅金属层 35 形成栅图案，如图 5b 所示，该栅图案包括栅极扫描线 21、与栅极扫描线相连的栅极、以及位于每个显示区域相邻两侧的栅线连通线 22 和数据连通线 23，并且所述栅线连通线 22 分别与数据连通线 23、栅极扫描线 21 直接电连接。

[0064] 为了便于数据连通线 23 与后续制作的数据扫描线电连接，本发明实施例在本过程中在所述数据连通线上与待形成的数据扫描线相交处 25 预留光刻胶，具体预留光刻胶 31 见图 5c。

[0065] 在实际运用过程中，光刻胶的预留方法可以但不限于如下方式：利用半色调或者灰色调掩模板使得涂覆在栅金属层的光刻胶形成光刻胶完全保留区域、部分保留区域、完全去除区域，其中，完全保留区域对应预留光刻胶的位置、部分保留区域对应栅图案的其他位置，完全去除区域对应其他需要刻蚀掉栅金属的位置。曝光显影后，刻蚀掉完全去除区域露出的栅金属，然后灰化去除部分保留区域的光刻胶；虽然在去除部分保留区域的光刻胶的同时，完全保留区域的光刻胶也会减薄一点，但是仍然会保留一些光刻胶。为了更好的离地剥离，可将预留光刻胶的面积放大，或者在灰化后将预留光刻胶的顶端的侧面处理成有利于剥离的图形，比如倒梯形。

[0066] (3) 如图 5d 所示，在所述具有栅图案的基板上依次沉积栅极绝缘薄膜 32、有源薄膜 33。

[0067] (4) 对所述有源薄膜进行构图工艺，通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的剥离等工艺过程使得所述有源薄膜 33 形成与栅极重叠的有源薄膜图案，并对所述预留光刻胶进行离地剥离，将预留光刻胶 31、及其对应位置的栅极绝缘薄膜 32 和有源薄膜 33 去除，从而形成了过孔 41，将数据连通线 23 在预留光刻胶的位置处露出，通过离地剥离后的基板在预留光刻胶处的剖面图如图 5e 所示。

[0068] (5) 在具有有源薄膜图案的基板上沉积源 / 漏金属层，并进行构图工艺，通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的剥离等工艺过程使得所述源 / 漏金属层形成源 / 漏图案，如图 2 和图 5f 所示，该源 / 漏图案包括与栅极扫描线 21 交叉的数据扫描线 24、薄膜晶体管的源极和漏极；所述数据扫描线 24 延伸至所述预留光刻胶 25 位置处，由于数据连通线 23 在预留光刻胶的位置 25 处露出，所以，所述数据扫描线 24 能够与所述数据连通线 23 形成电连接。

[0069] 采用上述方法制造的 TFT 阵列基板，在制造过程中数据连通线与数据扫描线能够

通过过孔形成电连接,栅线连通线分别和数据连通线、栅极扫描线是直接电连接。只要在栅金属层或者源/漏金属层上聚集了电荷,通过上述的电连接关系可以将聚集的电荷会分布在所有栅极扫描线和数据扫描线上,形成静电平衡;由于在静电平衡状态下,相连两个导体之间的电势相等,故而两个金属层之间没有电势差。所以,采用本发明提供的母板及 TFT 阵列基板的制造方法,由于两个金属层之间没有电势差,所以,有效减少了 TFT 阵列基板在制造过程发生的静电击穿现象,提高了产品的合格率和良品率。

[0070] 由于在对母板切割前需要对母板进行测试,以便检测母板的电连接性能,为了不影响测试过程,本发明实施例在对所述母板进行测试之前还包括如下过程:

[0071] (6) 在沉积钝化层后进行构图工艺,通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的剥离等工艺过程,在所述栅极扫描线与栅线连通线电连接的一端刻蚀出过孔,露出所述栅极扫描线;在所述数据扫描线上与数据连通线电连接的一端刻蚀出过孔,露出所述数据扫描线。

[0072] (7) 将所述过孔中露出的数据扫描线和栅极扫描线刻蚀去除,形成断开区域 28、29,具体形成的断开区域 28、29 如图 5g 所示。

[0073] 本发明实施例中栅极扫描线上断开区域可以选择但不限于如下两种位置:

[0074] 第一、栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置;第二、参见图 5g,栅极扫描线上的断开区域 28 位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

[0075] 本发明实施例中数据扫描线上断开区域可以选择但不限于如下两种位置:

[0076] 第一、数据扫描线上的断开区域与所述预留光刻胶位置重合,并且一般需要比预留光刻胶的面积要大;第二、参见图 5g,数据扫描线上的断开区域 29 位于所述预留光刻胶位置向数据扫描线偏移预定距离的位置。

[0077] 实施例 2:

[0078] 本发明实施例提供一种母板,其母板的整体结构与图 1 相同,包括具有至少一个显示区域的基板,并且所述基板上相邻两个显示区域之间设置有预切割区域,在 TFT 阵列工艺制作完成后,需要在所述预切割区域进行切割,将每个显示区域切割开,并且每个显示区域最后都形成一个完整的 TFT 阵列基板。

[0079] 本发明实施例中为了减少 TFT 阵列基板在制造过程发生的静电击穿现象,也采用了实施例 1 相似的方案,将两个金属层电连接,使得其电势整体相等。下面以其中一个显示区域为例进行详细说明其具体电连接方式,图 6 为其中一个显示区域的示意图,图 6 中仅示出了栅金属层和源/漏金属层的结构;

[0080] 如图 6 和图 7 所示,本发明实施例中在数据扫描线 61 的同一层上制备出了栅线连通线 62 和数据连通线 63,并且栅线连通线 62 和数据连通线 63 可以与数据扫描线 61 通过同一掩模板工艺制造,只需要改变掩模板的结构即可。由于栅线连通线 62、数据连通线 63、数据扫描线 61 位于同一层,所以本实施例中的栅线连通线和数据连通线可以直接电连接,所述数据连通线与对应显示区域中数据扫描线也可以直接电连接,只需将掩模板上形成与栅线连通线、数据连通线、数据扫描线对应的区域做成连通就可以实现直接电连接。

[0081] 由于栅线连通线 62 位于栅金属层上,为了将栅极扫描线 64 连接到所述栅线连通线 62,本发明实施例在制备栅金属层的过程中,可以在栅极扫描线 64 上与栅线连通线 62 相

交处 65 预留光刻胶 71, 并直接在预留出光刻胶 71 的基板上沉积栅极绝缘薄膜 72 和有源薄膜 73。

[0082] 如图 8 所示, 然后在制备出有源薄膜图案的过程中对所述预留光刻胶 71 进行离地剥离, 以便刻蚀掉预留光刻胶 71、及其对应位置的栅极绝缘薄膜 72 和有源薄膜 73。通过上述离地剥离技术可以在栅极绝缘薄膜上与预留光刻胶位置处形成过孔 74, 然后在具有上述离地剥离形成过孔 74 的基板上沉积源 / 漏金属层 75, 并在源 / 漏金属层 75 上刻蚀出源 / 漏图案, 该源 / 漏图案包括与栅极扫描线 64 交叉的数据扫描线 61、薄膜晶体管的源极和漏极; 为了让栅线连通线 62 与栅极扫描线 64 电连接, 本发明实施例中将栅线连通线 62 直接制备在所述过孔 74 对应位置处, 以便栅线连通线 62 通过离地剥离形成的过孔 74 与栅极扫描线 64 电连接。

[0083] 采用离地剥离技术形成过孔, 可以在现有工艺上直接改进, 不需要增加掩模板工艺 (MASK 工艺), 在制造 TFT 阵列基本的过程中可以相对减少 MASK 次数, 提高生产效率, 并且对目前已有的生产工艺都能够兼容适用。

[0084] 当然, 本发明实施例还可以采用但不限于如下方案实现栅极扫描线与栅线连通线电连接: 在栅极绝缘薄膜上对应于栅线连通线与栅极扫描线相交的位置通过刻蚀工艺形成过孔, 如此一来, 所述栅线连通线便可以通过刻蚀形成的过孔与对应显示区域中栅极扫描线电连接。

[0085] 不论采取何种方式形成上述过孔, 都能够使得栅线连通线与栅极扫描线能够电连接, 同时, 由于数据连通线分别和栅线连通线、数据扫描线是直接电连接的。只要在栅金属层或者源 / 漏金属层上聚集了电荷, 通过上述的电连接关系可以将聚集的电荷会分布在所有栅极扫描线和数据扫描线上, 形成静电平衡; 由于在静电平衡状态下, 相连两个导体之间的电势相等, 故而两个金属层之间没有电势差。所以, 采用本发明提供的母板及 TFT 阵列基板的制造方法, 由于两个金属层之间没有电势差, 所以, 有效减少了 TFT 阵列基板在制造过程发生的静电击穿现象, 提高了产品的合格率和良品率。

[0086] 本发明实施例提供的母板中每个显示区域都设有 PAD 区域 (包括栅极扫描线 PAD 区域和数据扫描线 PAD 区域), 以便通过 PAD 区域连接外部的驱动电路, 为了不影响现有 PAD 区域的制作, 本发明实施例将所述栅线连通线制作在栅极扫描线 PAD 区域相对一侧的预切割区域, 将所述数据连通线制作在数据扫描线 PAD 区域相对一侧的预切割区域。

[0087] 由于在对母板切割前需要对母板进行测试, 以便检测母板的电连接性能, 为了不影响测试过程, 本发明实施例在对所述母板进行测试之前, 在栅极扫描线上与栅线连通线电连接的一端刻蚀出断开区域, 断开所述栅线连通线与栅极扫描线的电连接; 在数据扫描线上与数据连通线电连接的一端刻蚀出断开区域, 断开所述数据连通线与数据扫描线的电连接。通过刻蚀出上述断开区域, 使得数据扫描线和栅极扫描线都相互独立, 不再会有信号的干扰, 方便了后续过程中对母板进行测试。

[0088] 上述数据扫描线上断开区域可以选择但不限于如下两种位置:

[0089] 第一、数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置; 第二、所述数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置向数据扫描线偏移预定距离的位置。

[0090] 上述栅极扫描线上断开区域可以选择但不限于如下两种位置:

[0091] 第一、栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置；第二、栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

[0092] 本发明实施例还提供一种 TFT 阵列基板的制造方法，如图 9a 至图 9g，所述制造方法包括如下过程：

[0093] (1) 本发明实施例中采用的基板包括至少一个显示区域，如图 9a 所示，在玻璃基板 67 上沉积栅金属层 68。

[0094] (2) 对所述栅金属层 68 进行构图工艺，通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的灰化等工艺过程使得所述栅金属层 68 形成栅图案，如图 7b 所示，该栅图案包括栅极扫描线 64、与栅极扫描线相连的栅极。为了便于栅极扫描线 64 与后续制作的栅线连通线电连接，本发明实施例在本过程中在栅极扫描线 64 上与待形成的栅线连通线相交处 65 预留光刻胶 71，具体预留光刻胶 71 如图 9c 所示。

[0095] 在实际运用过程中，光刻胶的预留方法可以但不限于如下方式：利用半色调或者灰色调掩模板使得涂覆在栅金属层的光刻胶形成光刻胶完全保留区域、部分保留区域、完全去除区域，其中，完全保留区域对应预留光刻胶的位置、部分保留区域对应栅图案的其他位置，完全去除区域对应其他需要刻蚀掉栅金属的位置。曝光显影后，刻蚀掉完全去除区域露出的栅金属，然后灰化去除部分保留区域的光刻胶；虽然在去除部分保留区域的光刻胶的同时，完全保留区域的光刻胶也会减薄一点，但是仍然会保留一些光刻胶。为了更好的离地剥离，可将预留光刻胶的面积放大，或者在灰化后将预留光刻胶的顶端的侧面处理成有利于剥离的图形，比如倒梯形。

[0096] (3) 如图 9d 所示，在所述具有栅图案的基板上依次沉积栅极绝缘薄膜 72、有源薄膜 73。

[0097] (4) 对所述有源薄膜进行构图工艺，通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的剥离等工艺过程使得所述有源薄膜 73 形成与栅极重叠的有源薄膜图案，并对所述预留光刻胶 71 进行离地剥离，将预留光刻胶、71 及其对应位置的栅极绝缘薄膜 72 和有源薄膜 73 去除，从而形成了过孔 74，将栅极扫描线 76 在预留光刻胶的位置处露出，通过离地剥离后的基板在预留光刻胶处的剖面图如图 9e 所示。

[0098] (5) 在具有有源薄膜图案的基板上沉积源 / 漏金属层，并进行构图工艺，通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的剥离等工艺过程使得所述源 / 漏金属层形成源 / 漏图案，如图 6 和图 9f 所示，该源 / 漏图案包括与栅极扫描线 64 交叉的数据扫描线 61、薄膜晶体管的源极和漏极、以及位于每个显示区域相邻两侧的栅线连通线 62 和数据连通线 63。其中数据连通线 63 分别与栅线连通线 62、数据扫描线 61 直接电连接，而由于预留光刻胶的位置 65 栅极扫描线 64 是露出的，只需要将栅线连通线 63 制作在所述预留光刻胶的位置 65，所述栅线连通线 63 就可以通过离地剥离形成的过孔 74 与栅极扫描线 64 电连接。

[0099] 采用上述方法制造的 TFT 阵列基板，在制造过程中栅线连通线与栅极扫描线能够通过过孔电连接，数据连通线分别和栅线连通线、数据扫描线是直接电连接。只要在栅金属层或者源 / 漏金属层上聚集了电荷，通过上述的电连接关系可以将聚集的电荷会分布在所有栅极扫描线和数据扫描线上，形成静电平衡；由于在静电平衡状态下，相连两个导体之间的电势相等，故而两个金属层之间没有电势差。所以，采用本发明提供的母板及 TFT 阵列基

板的制造方法,由于两个金属层之间没有电势差,所以,有效减少了 TFT 阵列基板在制造过程发生的静电击穿现象,提高了产品的合格率和良品率。

[0100] 由于在对母板切割前需要对母板进行测试,以便检测母板的电连接性能,为了不影响测试过程,本发明实施例在对所述母板进行测试之前还包括如下过程:

[0101] (6) 在沉积钝化层后进行构图工艺,通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的剥离等工艺过程,在所述栅极扫描线与栅线连通线电连接的一端刻蚀出过孔,露出所述栅极扫描线;在所述数据扫描线上与数据连通线电连接的一端刻蚀出过孔,露出所述数据扫描线。

[0102] (7) 将所述过孔中露出的数据扫描线和栅极扫描线刻蚀去除,形成断开区域 76、77,具体形成的断开区域如图 9g 所示。

[0103] 本发明实施例中栅极扫描线上断开区域可以选择但不限于如下两种位置:

[0104] 第一、栅极扫描线上的断开区域与所述预留光刻胶位置重合,并且一般需要比预留光刻胶的面积要大;第一、参见图 9g,栅极扫描线上的断开区域 77 位于所述预留光刻胶位置向栅极扫描线偏移预定距离的位置。

[0105] 本发明实施例中数据扫描线上断开区域可以选择但不限于如下两种位置:

[0106] 第一、数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置;第二、参见图 9g,数据扫描线上的断开区域 76 位于所述数据扫描线与数据连通线电连接的位置向数据扫描线偏移预定距离的位置。

[0107] 实施例 3:

[0108] 本发明实施例提供一种母板,其母板的整体结构与图 1 相同,包括具有至少一个显示区域的基板,并且所述基板上相邻两个显示区域之间设置有预切割区域,在 TFT 阵列工艺制作完成后,需要在所述预切割区域进行切割,将每个显示区域切割开,并且每个显示区域最后都形成一个完整的 TFT 阵列基板。

[0109] 本发明实施例中为了减少 TFT 阵列基板在制造过程发生的静电击穿现象,也采用了实施例 1 相似的方案,将两个金属层电连接,使得其电势整体相等。下面以其中一个显示区域为例进行详细说明其具体电连接方式,图 10 为其中一个显示区域的示意图,图 10 中仅示出了栅金属层和源/漏金属层的结构。

[0110] 如图 10 所示,本发明实施例中在栅极扫描线 101 的同一层上制备出了栅线连通线 102,并且栅线连通线 102 可以与栅极扫描线 101 通过同一掩模板工艺制造,只需要改变掩模板的结构即可。由于栅线连通线 102、栅极扫描线 101 位于同一层,所以本实施例中的栅线连通线 102 和栅极扫描线 101 可以直接电连接,只需将掩模板上形成与栅线连通线、栅极扫描线对应的区域做成连通就可以实现直接电连接。

[0111] 与制备栅金属层相似,如图 10 所示,本发明实施例中在数据扫描线 104 的同一层上制备出了数据连通线 103,并且数据连通线 103 可以与数据扫描线 104 通过同一掩模板工艺制造,只需要改变掩模板的结构即可。由于数据连通线 103、数据扫描线 104 位于同一层,所述数据连通线 103 与对应显示区域中数据扫描线 104 也可以直接电连接,只需将掩模板上形成与数据连通线、数据扫描线对应的区域做成连通就可以实现直接电连接。

[0112] 如图 11 所示,由于栅线连通线 102 位于栅金属层上,数据连通线 103 位于源/漏金属层上,为了将栅线连通线 102 连接到数据连通线 103,本发明实施例在制备栅金属层的

过程中,可以在栅线连通线 102 上与数据连通线相交处 105 预留光刻胶 111,并且直接在预留出光刻胶的基板上沉积栅极绝缘薄膜 112 和有源薄膜 113。

[0113] 如图 12 所示,在制备出有源薄膜图案的过程中对所述预留光刻胶进行离地剥离,以便刻蚀掉预留光刻胶 111、及其对应位置的栅极绝缘薄膜 112 和有源薄膜 113。通过上述离地剥离技术可以在栅极绝缘薄膜上与预留光刻胶位置处形成过孔 114,露出所述栅线连通线 102,然后在具有上述离地剥离形成过孔的基板上沉积源 / 漏金属层 115,并在源 / 漏金属层上刻蚀出源 / 漏图案,如图 10 所示,该源 / 漏图案包括与栅极扫描线 101 交叉的数据扫描线 104、薄膜晶体管的源极和漏极、以及数据连通线 103;为了让栅线连通线 102 与数据连通线 103 电连接,本发明实施例中将数据连通线 103 直接制备在所述过孔 114 对应位置处,以便数据连通线 103 通过离地剥离形成的过孔与栅线连通线 102 电连接。

[0114] 采用离地剥离技术形成过孔,可以在现有工艺上直接改进,不需要增加掩模板工艺(MASK 工艺),在制造 TFT 阵列基本的过程中可以相对减少 MASK 次数,提高生产效率,并且对目前已有的生产工艺都能够兼容适用。

[0115] 当然,本发明实施例还可以采用但不限于如下方案实现数据扫描线与数据连通线电连接:在栅极绝缘薄膜上对应于数据连通线与栅线连通线相交的位置通过刻蚀工艺形成过孔,如此一来,所述数据连通线便可以通过刻蚀形成的过孔与栅线连通线电连接。

[0116] 不论采取何种方式形成上述过孔,都能够使得数据连通线与栅线连通线能够电连接,同时,栅线连通线与栅极扫描线直接电连接、数据连通线与数据扫描线直接电连接。只要在栅金属层或者源 / 漏金属层上聚集了电荷,通过上述的电连接关系可以将聚集的电荷会分布在所有栅极扫描线和数据扫描线上,形成静电平衡;由于在静电平衡状态下,相连两个导体之间的电势相等,故而两个金属层之间没有电势差。所以,采用本发明提供的母板及 TFT 阵列基板的制造方法,由于两个金属层之间没有电势差,所以,有效减少了 TFT 阵列基板在制造过程发生的静电击穿现象,提高了产品的合格率和良品率。

[0117] 如图 1 所示,本发明实施例提供的母板中每个显示区域都设有 PAD 区域(包括栅极扫描线 PAD 区域和数据扫描线 PAD 区域),以便通过 PAD 区域连接外部的驱动电路,为了不影响现有 PAD 区域的制作,本发明实施例将所述栅线连通线制作在栅极扫描线 PAD 区域相对一侧的预切割区域,将所述数据连通线制作在数据扫描线 PAD 区域相对一侧的预切割区域。

[0118] 由于在对母板切割前需要对母板进行测试,以便检测母板的电连接性能,为了不影响测试过程,本发明实施例在对所述母板进行测试之前,在栅极扫描线上与栅线连通线电连接的一端刻蚀出断开区域,断开所述栅线连通线与栅极扫描线的电连接;在数据扫描线上与数据连通线电连接的一端刻蚀出断开区域,断开所述数据连通线与数据扫描线的电连接。通过刻蚀出上述断开区域,使得数据扫描线和栅极扫描线都相互独立,不再会有信号的干扰,方便了后续过程中对母板进行测试。

[0119] 上述数据扫描线上断开区域可以选择但不限于如下两种位置:

[0120] 第一、数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置;第二、所述数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置向数据扫描线偏移预定距离的位置。

[0121] 上述栅极扫描线上断开区域可以选择但不限于如下两种位置:

[0122] 第一、栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置；第二、栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

[0123] 本发明实施例还提供一种 TFT 阵列基板的制造方法，如图 13a 至图 13g，所述制造方法包括如下过程：

[0124] (1) 本发明实施例中采用的基板包括至少一个显示区域，如图 13a 所示，在玻璃基板 107 上沉积栅金属层 108。

[0125] (2) 对所述栅金属层 108 进行构图工艺，通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的灰化等工艺过程使得所述栅金属层 108 形成栅图案，如图 13b 所示，该栅图案包括栅极扫描线 101、与栅极扫描线相连的栅极、以及位于每个显示区域一侧的栅线连通线 102，由于栅线连通线 102 与栅极扫描线 101 在同一层上，本实施例中可以将栅线连通线 102 与栅极扫描线 101 直接电连接。为了便于栅线连通线与后续制作的数据连通线电连接，本发明实施例在本过程中在栅线连通线 102 上与待形成的数据连通线相交处 105 预留光刻胶 111，具体预留光刻胶如图 13c 所示。

[0126] 在实际运用过程中，光刻胶的预留方法可以但不限于如下方式：利用半色调或者灰色调掩模板使得涂覆在栅金属层的光刻胶形成光刻胶完全保留区域、部分保留区域、完全去除区域，其中，完全保留区域对应预留光刻胶的位置、部分保留区域对应栅图案的其他位置，完全去除区域对应其他需要刻蚀掉栅金属的位置。曝光显影后，刻蚀掉完全去除区域露出的栅金属，然后灰化去除部分保留区域的光刻胶；虽然在去除部分保留区域的光刻胶的同时，完全保留区域的光刻胶也会减薄一点，但是仍然会保留较薄的一层光刻胶。为了更好的离地剥离，可将预留光刻胶的面积放大，或者在灰化后将预留光刻胶的顶端的侧面处理成有利于剥离的图形，比如倒梯形。

[0127] (3) 如图 13d 所示，在所述具有栅图案的基板上依次沉积栅极绝缘薄膜 112、有源薄膜 113。

[0128] (4) 对所述有源薄膜进行构图工艺，通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的剥离等工艺过程使得所述有源薄膜 113 形成与栅极重叠的有源薄膜图案，并对所述预留光刻胶进行离地剥离，将预留光刻胶 111、及其对应位置的栅极绝缘薄膜 112 和有源薄膜 113 去除，从而形成了过孔 114，将栅线连通线 102 在预留光刻胶的位置 105 处露出，通过离地剥离后的基板在预留光刻胶处的剖面图如图 13e 所示。

[0129] (5) 在具有有源薄膜图案的基板上沉积源 / 漏金属层 115，并进行构图工艺，通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的剥离等工艺过程使得所述源 / 漏金属层 115 形成源 / 漏图案，如图 10 和图 13f 所示，该源 / 漏图案包括与栅极扫描线 101 交叉的数据扫描线 104、薄膜晶体管的源极和漏极、以及位于每个显示区域与所述栅线连通线相邻一侧的数据连通线 103。其中数据连通线 103 与数据扫描线 104 位于同一层，可以直接电连接；另外，由于预留光刻胶的位置栅线连通线 102 是露出的，只需要将数据连通线 103 制作在所述预留光刻胶的位置 105，所述数据连通线 103 就可以通过离地剥离形成的过孔与栅线连通线 102 电连接。

[0130] 采用上述方法制造的 TFT 阵列基板，在制造过程中栅线连通线与栅极扫描线直接电连接、数据连通线与数据扫描线直接电连接，其中栅线连通线和数据连通线能够通过过

孔电连接。只要在栅金属层或者源 / 漏金属层上聚集了电荷,通过上述的电连接关系可以将聚集的电荷会分布在所有栅极扫描线和数据扫描线上,形成静电平衡;由于在静电平衡状态下,相连两个导体之间的电势相等,故而两个金属层之间没有电势差。所以,采用本发明提供的母板及 TFT 阵列基板的制造方法,由于两个金属层之间没有电势差,所以,有效减少了 TFT 阵列基板在制造过程发生的静电击穿现象,提高了产品的合格率和良品率。

[0131] 由于在对母板切割前需要对母板进行测试,以便检测母板的电连接性能,为了不影响测试过程,本发明实施例在对所述母板进行测试之前还包括如下过程:

[0132] (6) 在沉积钝化层后进行构图工艺,通过光刻胶涂覆、曝光显影、刻蚀和光刻胶的剥离等工艺过程,在所述栅极扫描线与栅线连通线电连接的一端刻蚀出过孔,露出所述栅极扫描线;在所述数据扫描线上与数据连通线电连接的一端刻蚀出过孔,露出所述数据扫描线。

[0133] (7) 将所述过孔中露出的数据扫描线和栅极扫描线刻蚀去除,形成断开区域 117、118,具体形成的断开区域如图 13g 所示。

[0134] 本发明实施例中栅极扫描线上断开区域可以选择但不限于如下两种位置:

[0135] 第一、栅极扫描线上的断开区域位于所述栅极扫描线与栅线连通线电连接的位置;第二、参见图 13g,栅极扫描线上的断开区域 118 位于所述栅极扫描线与栅线连通线电连接的位置向栅极扫描线偏移预定距离的位置。

[0136] 本发明实施例中数据扫描线上断开区域可以选择但不限于如下两种位置:

[0137] 第一、数据扫描线上的断开区域位于所述数据扫描线与数据连通线电连接的位置;第二、参见图 13g,数据扫描线上的断开区域 117 位于所述数据扫描线与数据连通线电连接的位置向数据扫描线偏移预定距离的位置。

[0138] 在本发明实施例 3 中,由于只需要在栅线连通线与数据连通线相交一个地方进行离地剥离,相对于实施例 1 与实施例 2 而言,本发明实施例 3 能够减少离地剥离的点。

[0139] 以上实施例中均采用栅金属层在源 / 漏金属层的下方为例进行说明,在实际运用时,栅金属层可以制作在源 / 漏金属层的上方,本发明并不现定于上述列举出的实施例,只要在显示区域相邻两侧制作栅线连通线和数据连通线,并且通过栅线连通线和数据连通线使得栅金属层和源 / 漏金属层电连接,都属于本发明实施例公开的方位。并且,所述栅线连通线和数据连通线可以同时制作的栅金属层上,也可以同时制作在源 / 漏金属层上,还可以分别制作在栅金属层和源 / 漏金属层上。

[0140] 本发明实施例主要用于液晶面板的制作,特别是液晶面板中 TFT 阵列基板的制作过程。

[0141] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应所述以权利要求的保护范围为准。

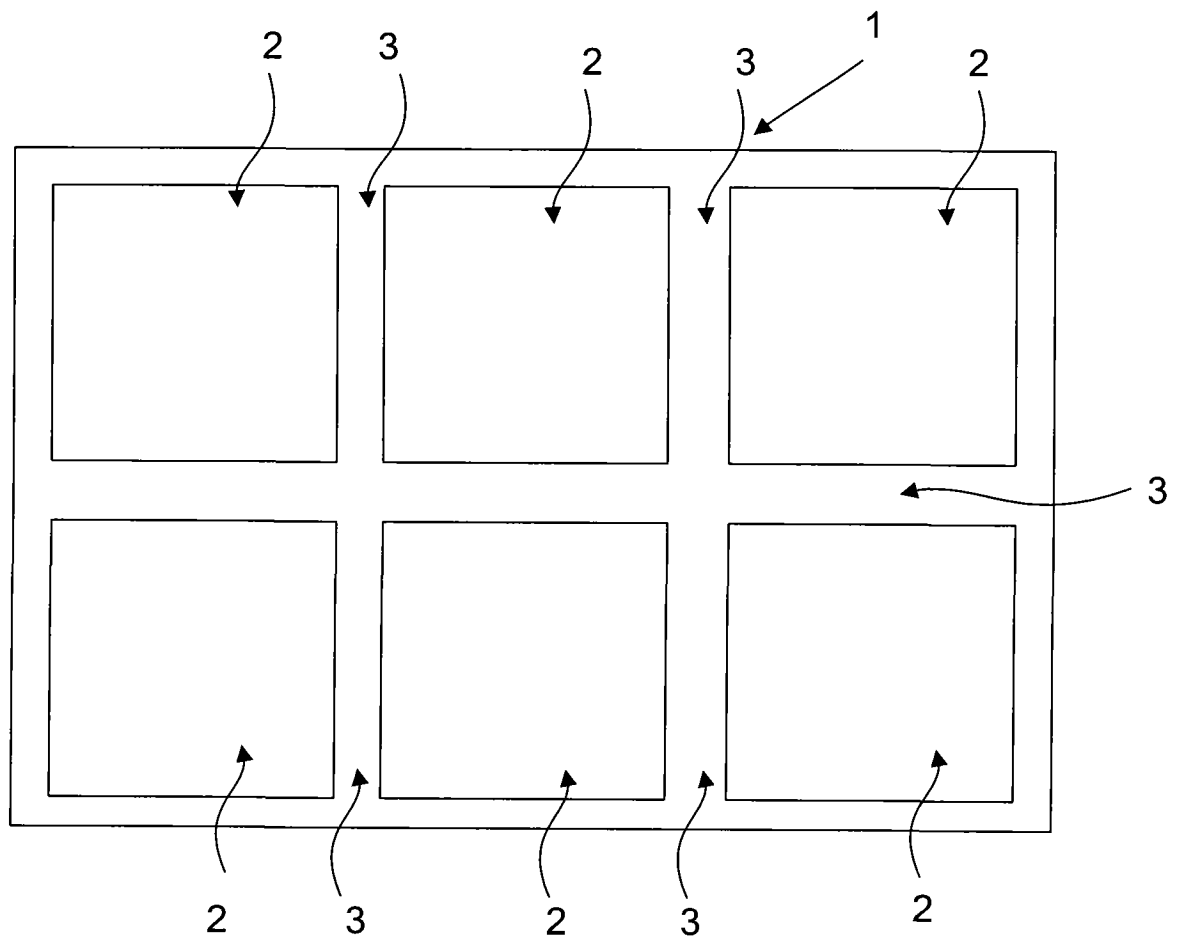


图 1

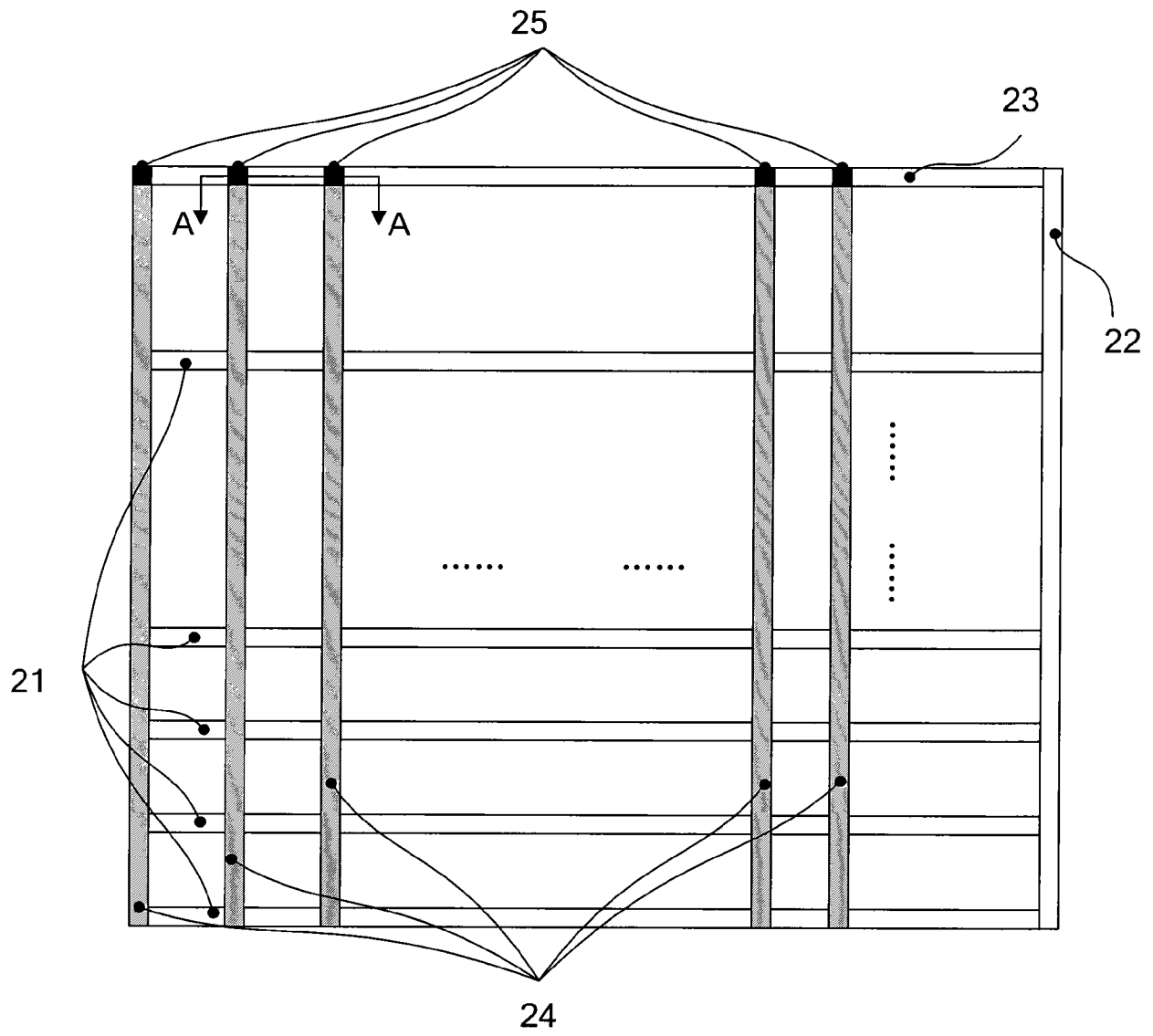


图 2

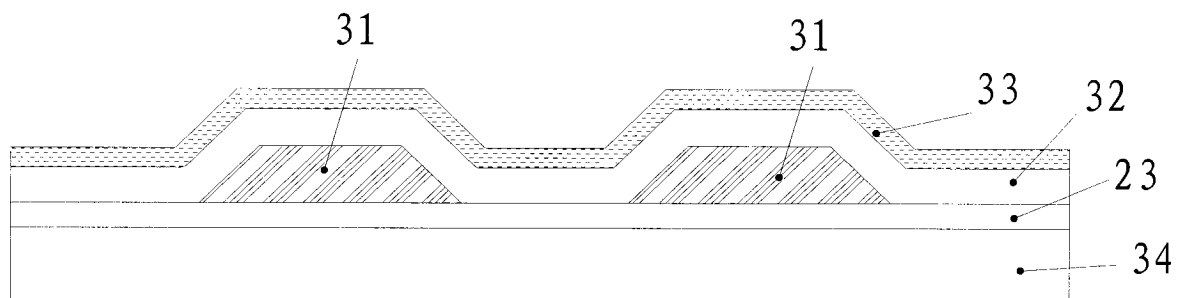


图 3

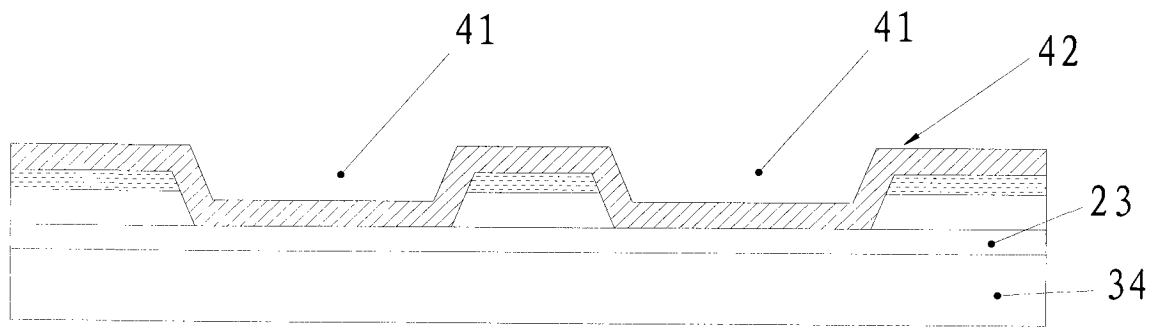


图 4

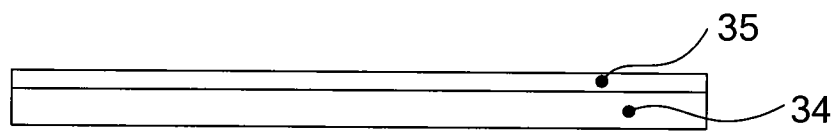


图 5a

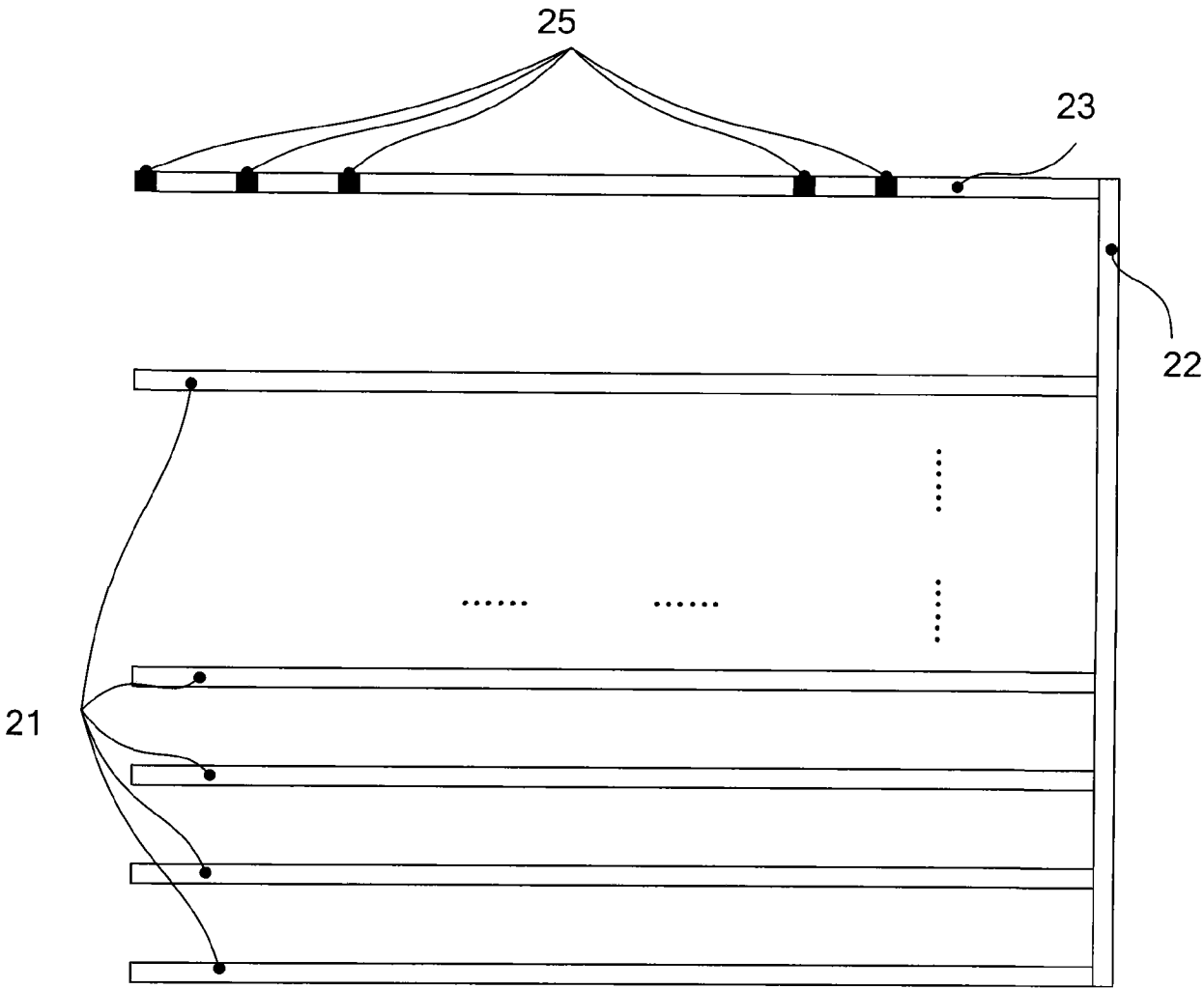


图 5b

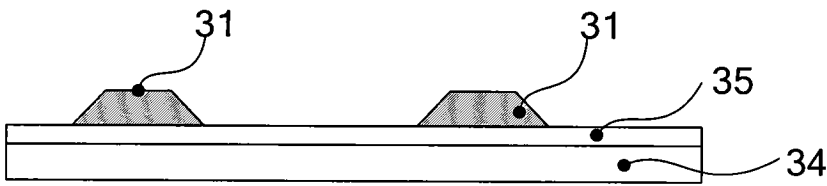


图 5c

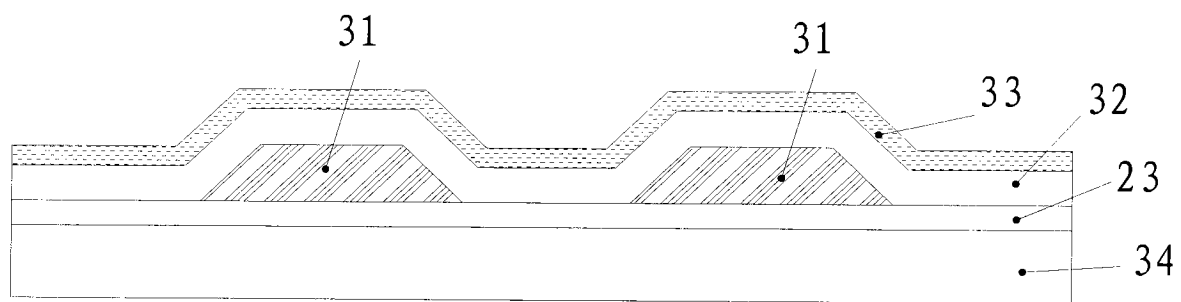


图 5d

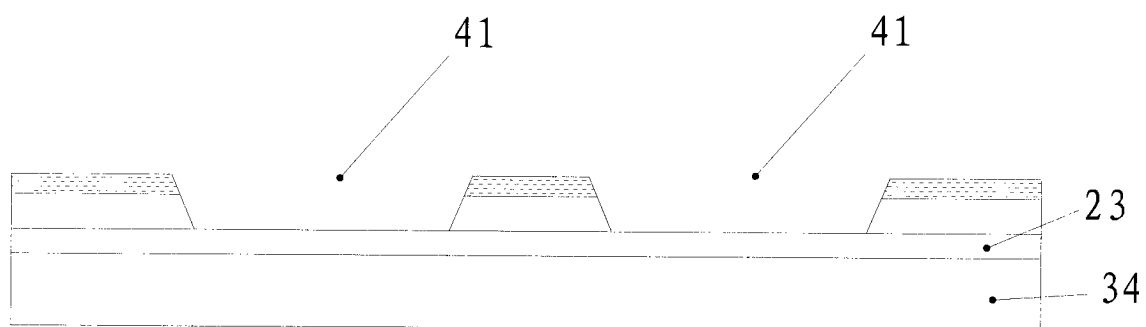


图 5e

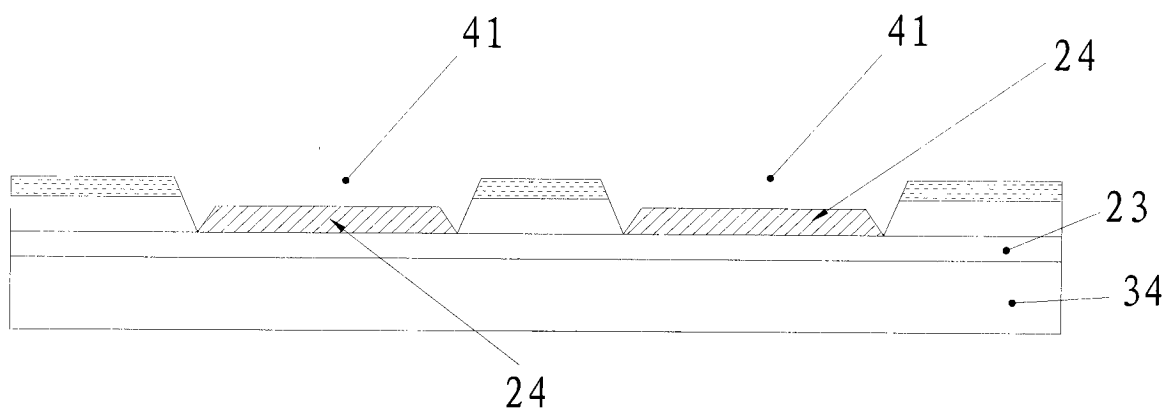


图 5f

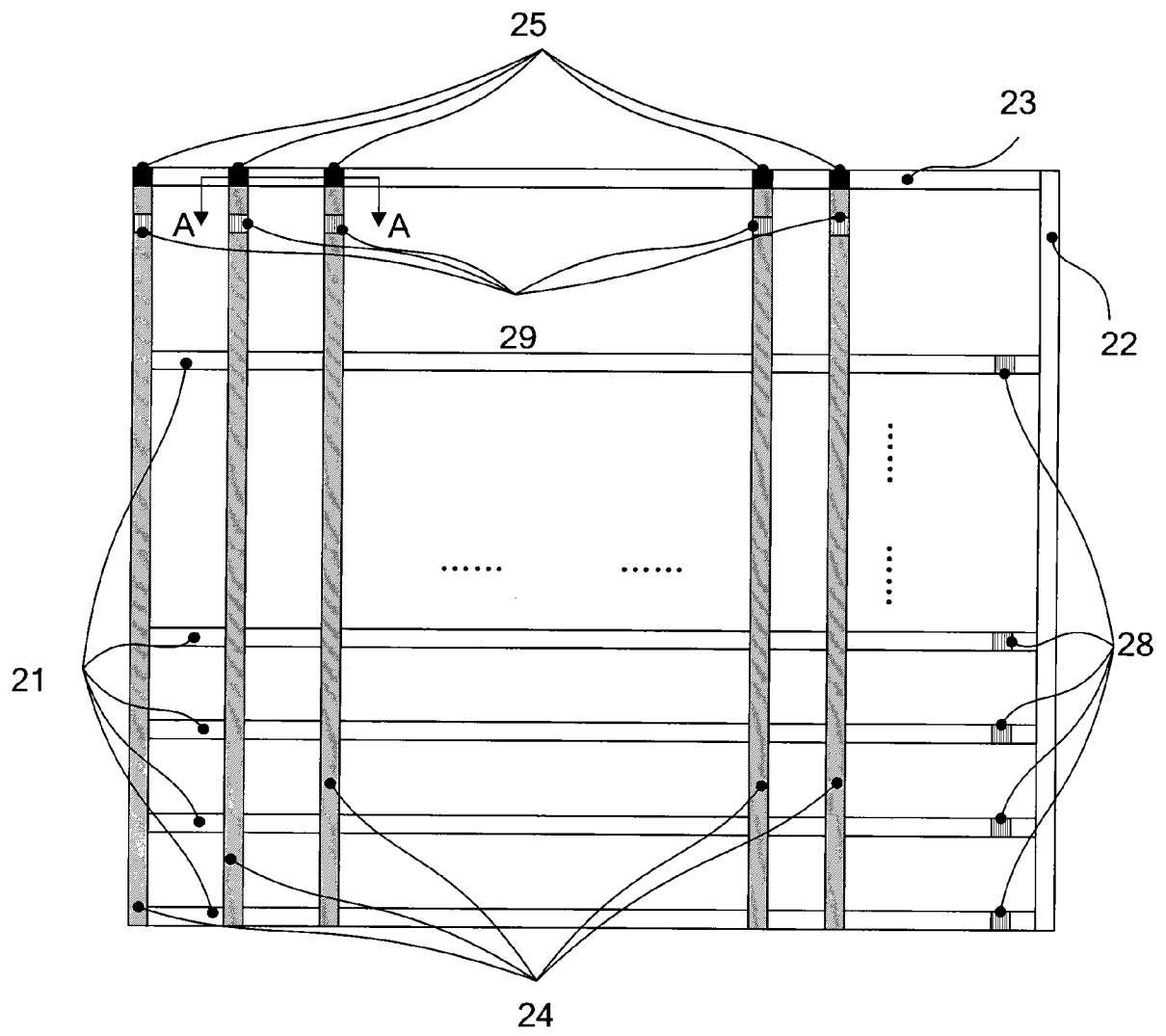


图 5g

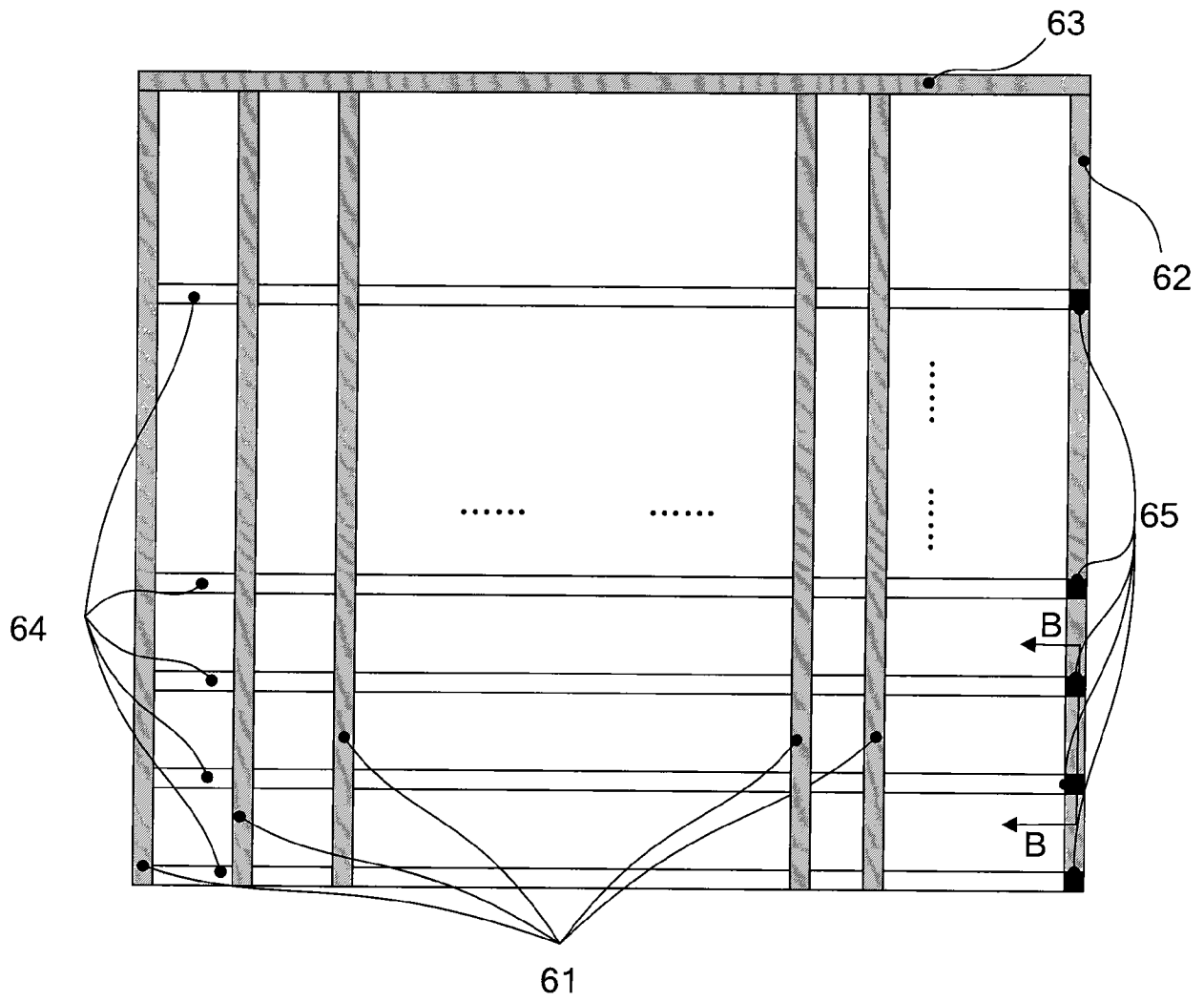


图 6

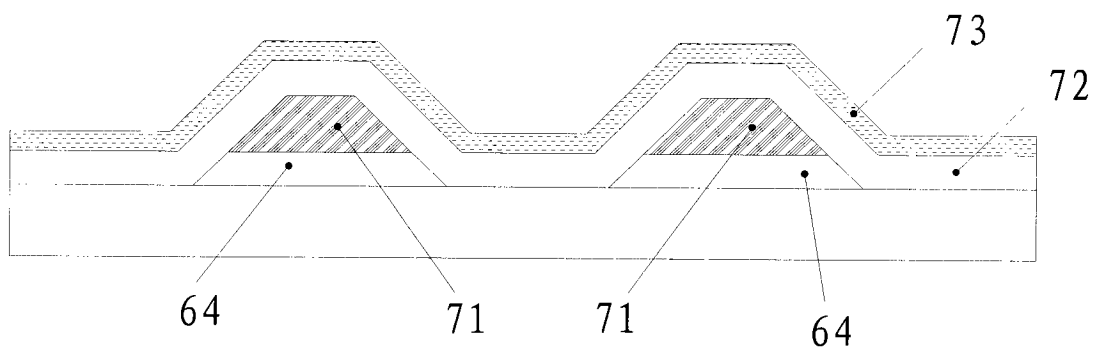


图 7

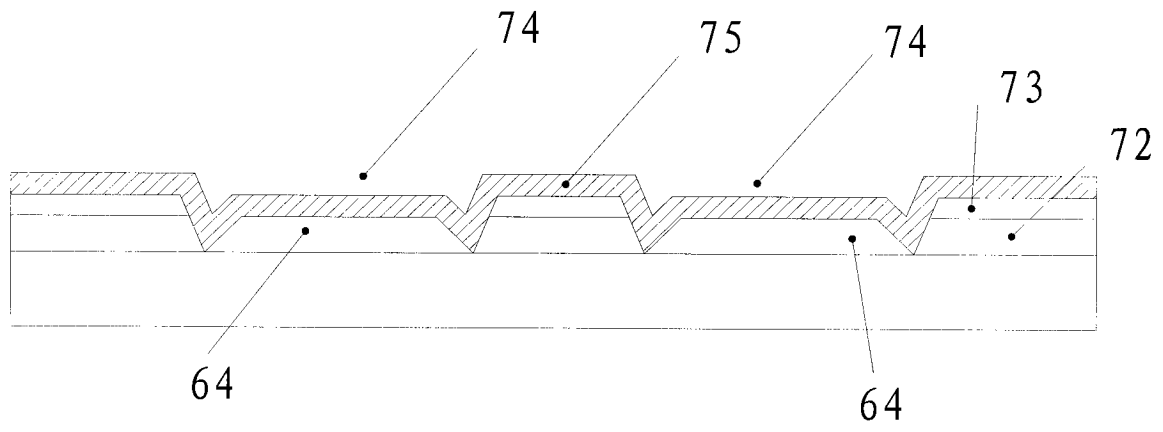


图 8

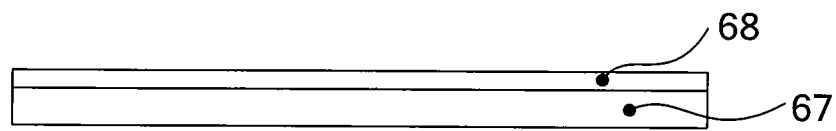


图 9a

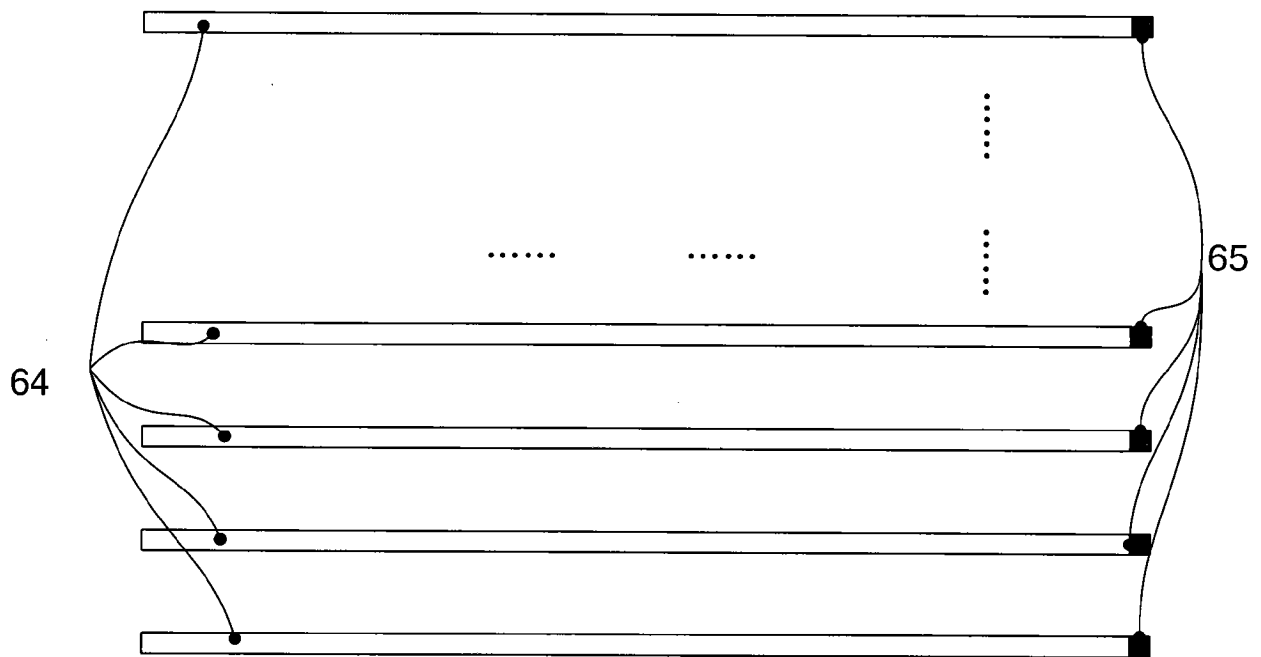


图 9b

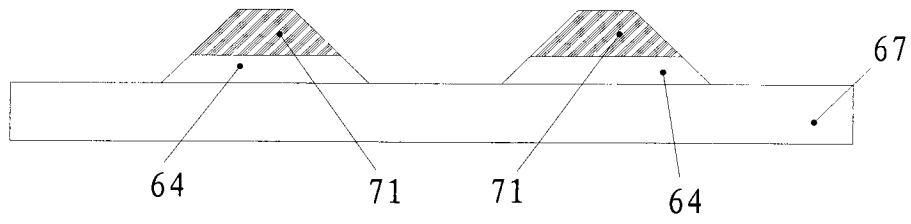


图 9c

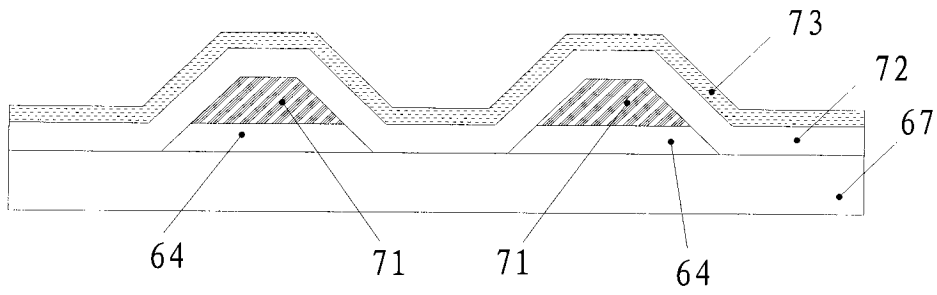


图 9d

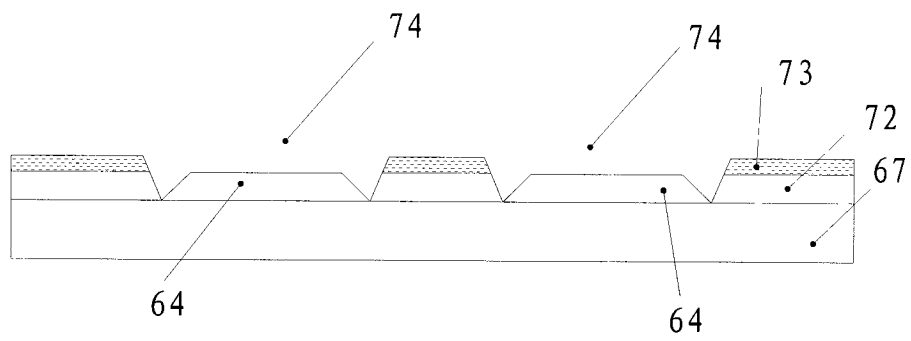


图 9e

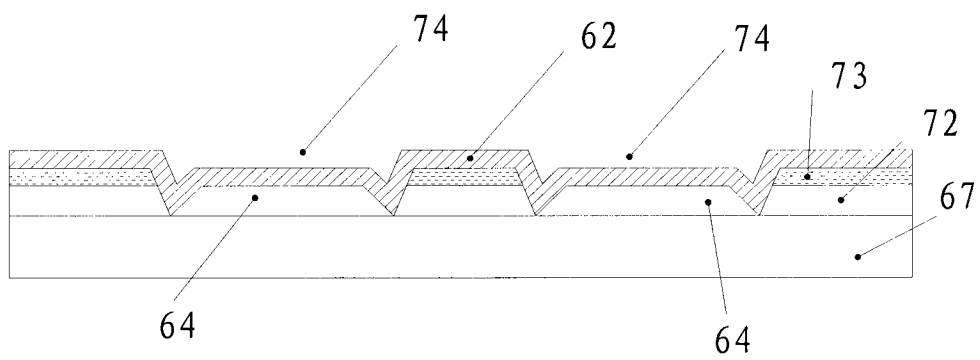


图 9f

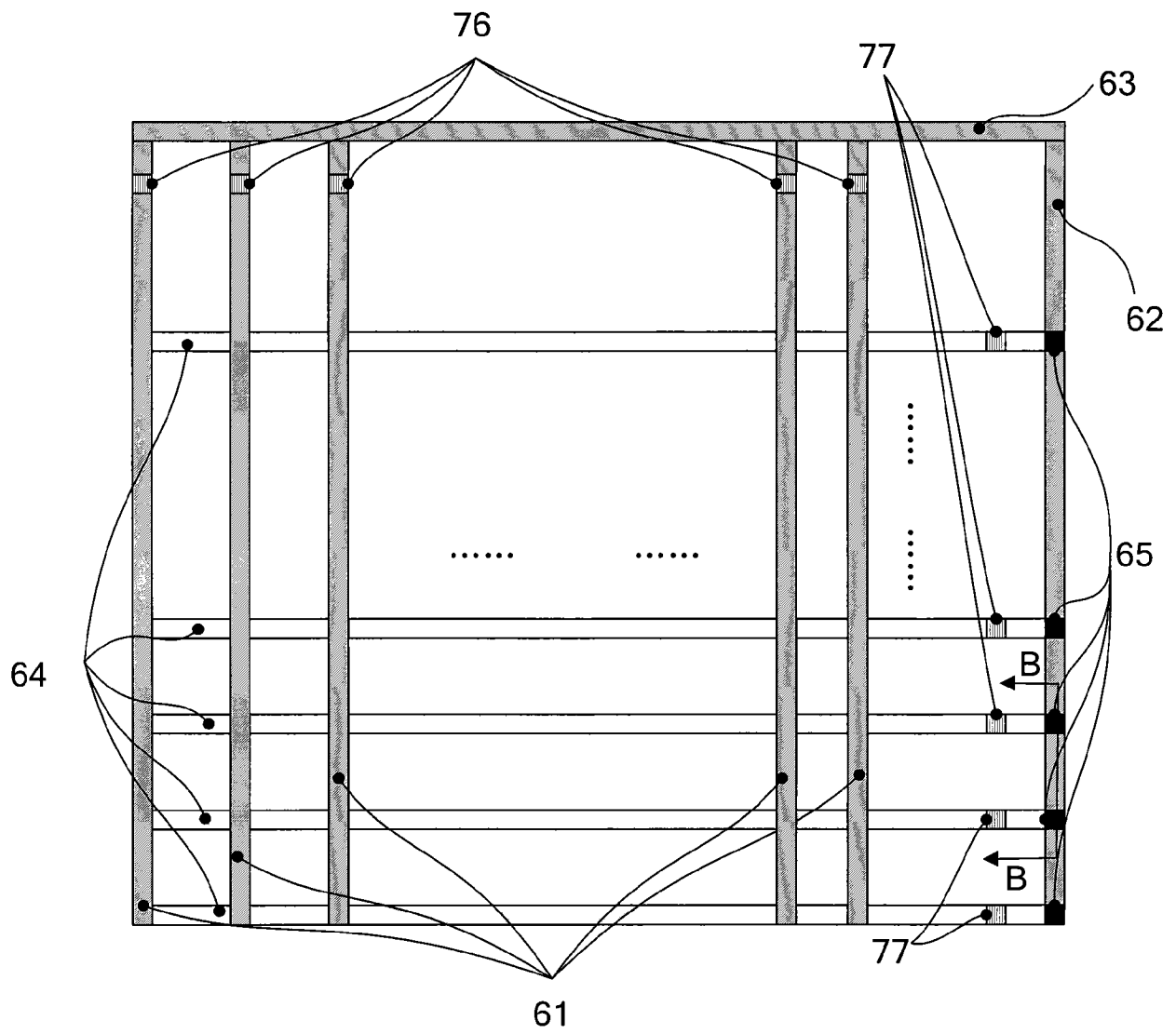


图 9g

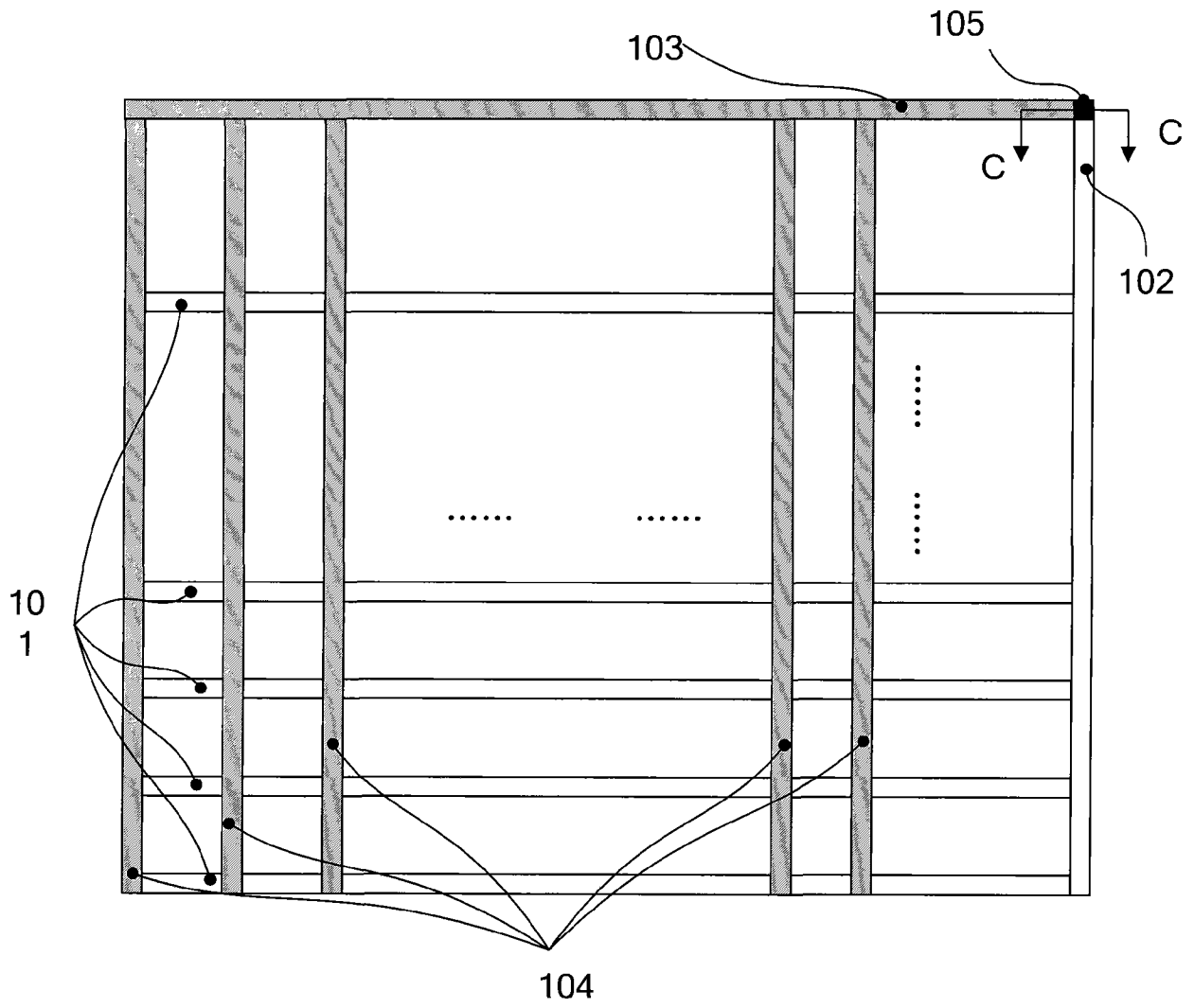


图 10

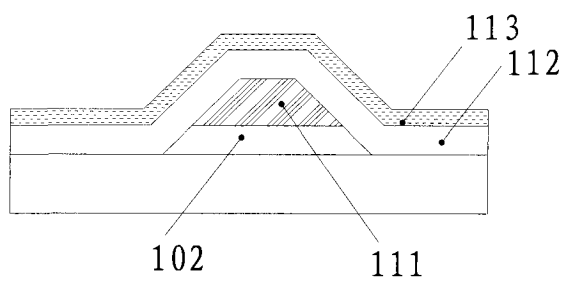


图 11

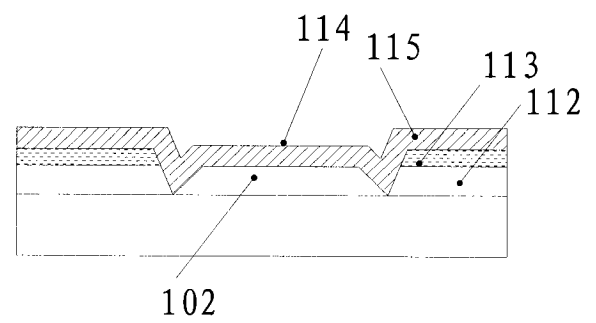


图 12

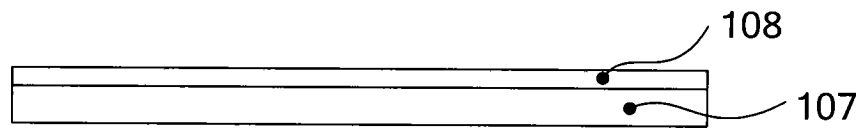


图 13a

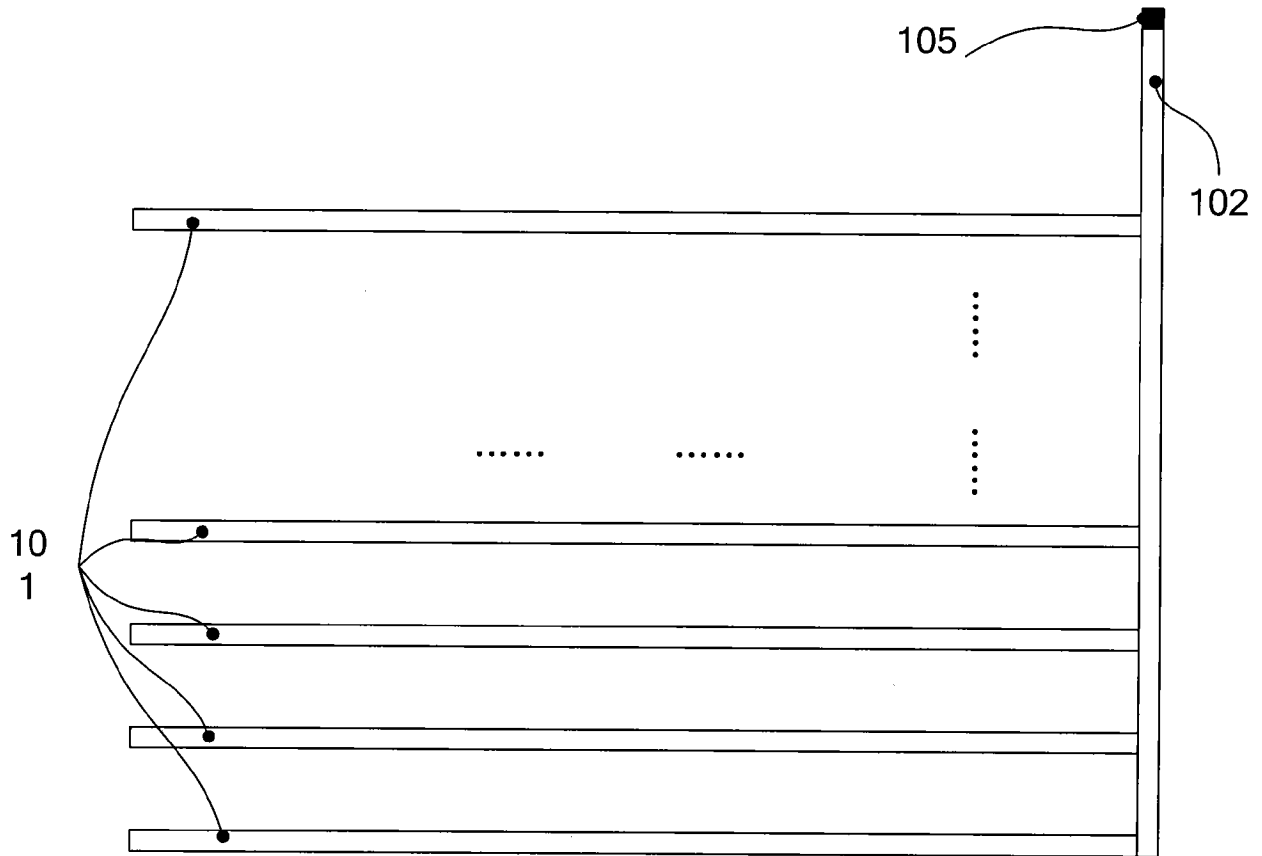


图 13b

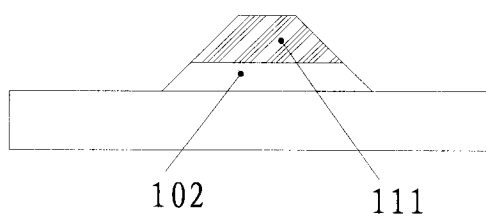


图 13c

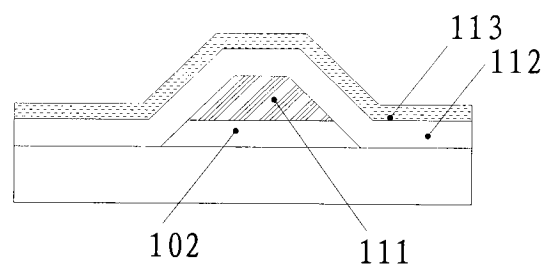


图 13d

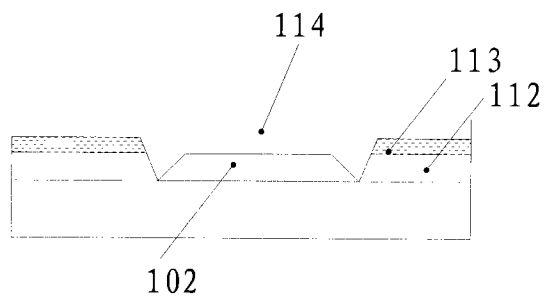


图 13e

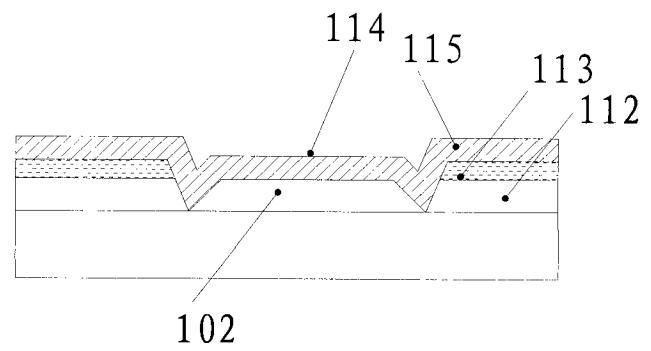


图 13f

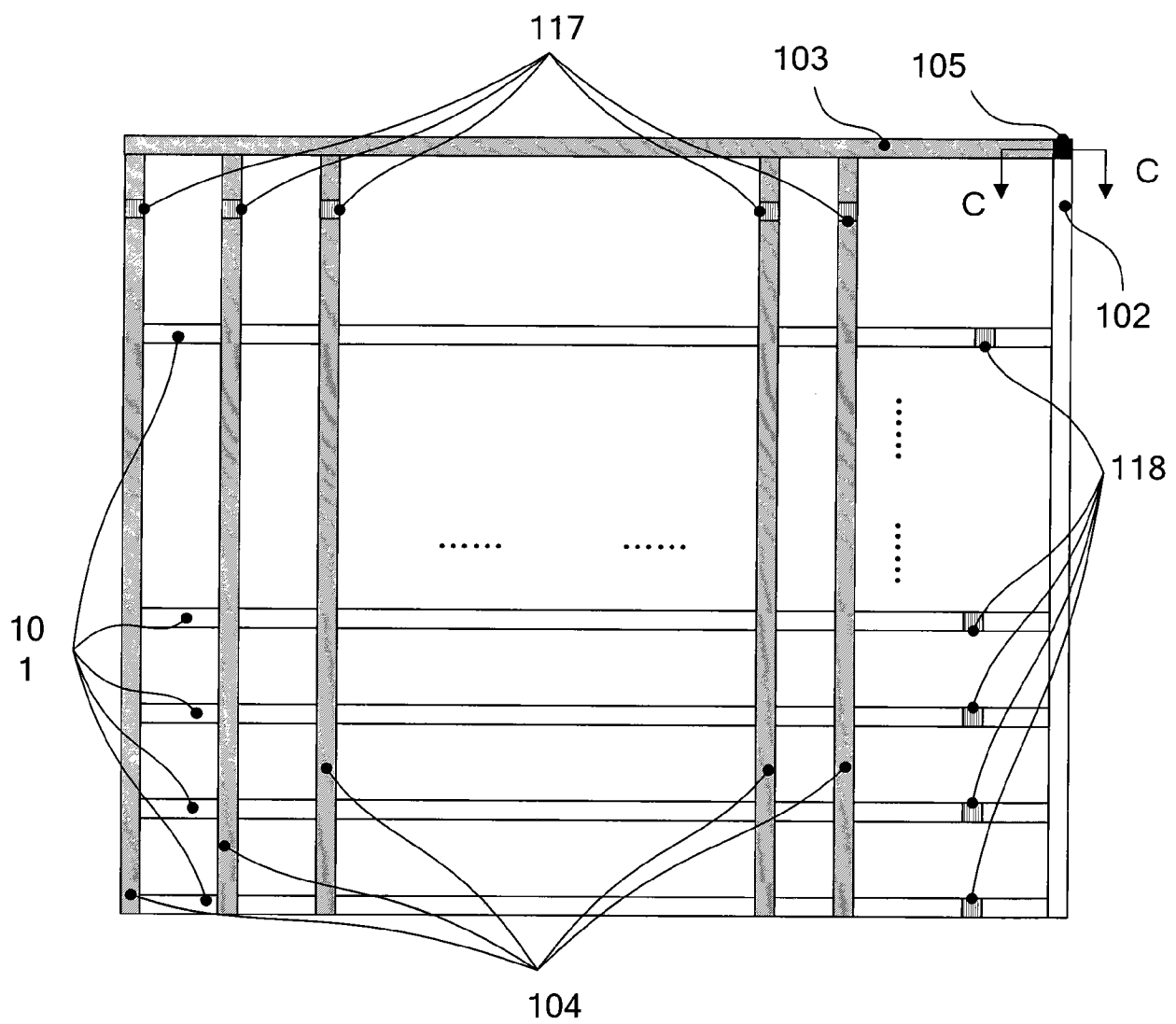


图 13g