



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0120003  
(43) 공개일자 2021년10월06일

(51) 국제특허분류(Int. Cl.)  
H01L 27/06 (2006.01) H01L 27/108 (2006.01)  
H01L 29/786 (2006.01)  
(52) CPC특허분류  
H01L 27/0688 (2013.01)  
H01L 27/108 (2021.01)  
(21) 출원번호 10-2021-7024567  
(22) 출원일자(국제) 2019년11월19일  
심사청구일자 없음  
(85) 번역문제출일자 2021년08월03일  
(86) 국제출원번호 PCT/IB2019/059906  
(87) 국제공개번호 WO 2020/152522  
국제공개일자 2020년07월30일  
(30) 우선권주장  
JP-P-2019-011688 2019년01월25일 일본(JP)  
(뒷면에 계속)

(71) 출원인  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
오누키 다츠야  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 나이  
야쿠보 유토  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 나이  
(뒷면에 계속)  
(74) 대리인  
김태홍, 김진희

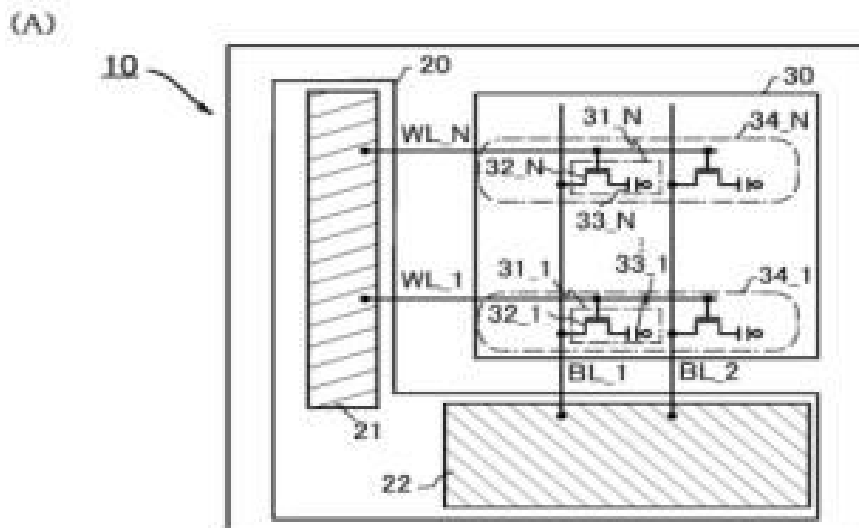
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 반도체 장치 및 상기 반도체 장치를 가지는 전자 기기

(57) 요약

신규 구성의 반도체 장치를 제공한다. 반도체 장치는 제 1 메모리 셀을 가지는 제 1 소자층과, 제 2 메모리 셀을 가지는 제 2 소자층과, 구동 회로를 가지는 실리콘 기판을 가진다. 제 1 소자층은 실리콘 기판과 제 2 소자층 사이에 제공된다. 1 메모리 셀은 제 1 트랜지스터와 제 1 커패시터를 가진다. 2 메모리 셀은 제 2 트랜지스터와 제 2 커패시터를 가진다. 제 1 트랜지스터의 소스 및 드레인 중 한쪽 및 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 각각 구동 회로에 전기적으로 접속되기 위한 배선에 전기적으로 접속된다. 배선은 제 1 트랜지스터가 가지는 제 1 반도체층 및 제 2 트랜지스터가 가지는 제 2 반도체층과 접하며 실리콘 기판의 표면에 대하여 수직 방향 또는 실질적으로 수직인 방향으로 제공된다.

대표도



(52) CPC특허분류

**H01L 29/7869** (2013.01)

(72) 발명자

**오카모토 유키**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 나이

**사이토 세이야**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 나이

**가토 기요시**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 나이

**야마자키 슌페이**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 나이

(30) 우선권주장

JP-P-2019-011690 2019년01월25일 일본(JP)

JP-P-2019-011691 2019년01월25일 일본(JP)

JP-P-2019-011692 2019년01월25일 일본(JP)

JP-P-2019-013505 2019년01월29일 일본(JP)

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

제 1 메모리 셀을 가지는 제 1 소자층과,

제 2 메모리 셀을 가지는 제 2 소자층과,

전환 회로를 가지는 제 3 소자층과,

구동 회로를 가지는 실리콘 기판을 가지고,

상기 제 1 소자층은 상기 실리콘 기판과 상기 제 2 소자층 사이에 제공되고,

상기 제 3 소자층은 상기 실리콘 기판과 상기 제 1 소자층 사이에 제공되고,

상기 제 1 메모리 셀은 제 1 트랜지스터와 제 1 커패시터를 가지고,

상기 제 2 메모리 셀은 제 2 트랜지스터와 제 2 커패시터를 가지고,

상기 전환 회로는 상기 제 1 메모리 셀 또는 상기 제 2 메모리 셀과 상기 구동 회로 사이의 도통 상태를 제어하는 기능을 가지는 제 3 트랜지스터를 가지고,

제 1 트랜지스터의 소스 및 드레인 중 한쪽 및 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 각각 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속하기 위한 배선에 전기적으로 접속되고,

제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 구동 회로에 전기적으로 접속되고,

상기 배선은 상기 제 1 트랜지스터가 가지는 제 1 반도체층 및 상기 제 2 트랜지스터가 가지는 제 2 반도체층에 접하며 상기 실리콘 기판의 표면에 대하여 수직 방향 또는 실질적으로 수직인 방향으로 제공되는, 반도체 장치.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 반도체층 및 제 2 반도체층은 각각 채널 형성 영역에 금속 산화물을 가지는, 반도체 장치.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 커패시터는 상기 제 1 반도체층의 아래층에 제공되고,

상기 제 2 커패시터는 상기 제 2 반도체층의 아래층에 제공되는, 반도체 장치.

#### 청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 1 커패시터는 상기 제 1 반도체층의 위층에 제공되고,

상기 제 2 커패시터는 상기 제 2 반도체층의 위층에 제공되는, 반도체 장치.

#### 청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 커패시터의 한쪽 전극은 상기 제 1 반도체층과 같은 층에 제공되고,

상기 제 2 커패시터의 한쪽 전극은 상기 제 2 반도체층과 같은 층에 제공되는, 반도체 장치.

## 청구항 6

반도체 장치로서,

제 1 메모리 셀을 가지는 제 1 소자층과,

제 2 메모리 셀을 가지는 제 2 소자층과,

제 1 제어 회로를 가지는 제 3 소자층과,

구동 회로를 가지는 실리콘 기판을 가지고,

상기 제 1 소자층은 상기 실리콘 기판과 상기 제 2 소자층 사이에 제공되고,

상기 제 3 소자층은 상기 실리콘 기판과 상기 제 1 소자층 사이에 제공되고,

상기 제 1 메모리 셀은 제 1 트랜지스터와 제 1 커패시터를 가지고,

상기 제 2 메모리 셀은 제 2 트랜지스터와 제 2 커패시터를 가지고,

상기 제 1 제어 회로는 상기 제 1 메모리 셀로부터 관독되는 신호를 증폭하기 위한 제 3 트랜지스터를 가지고,

제 1 트랜지스터의 소스 및 드레인 중 한쪽 및 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 각각 상기 제 3 트랜지스터의 게이트에 전기적으로 접속하기 위한 제 1 배선에 전기적으로 접속되고,

제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 구동 회로에 전기적으로 접속하기 위한 제 2 배선에 전기적으로 접속되고,

상기 제 1 배선은 상기 제 1 트랜지스터가 가지는 제 1 반도체층 및 상기 제 2 트랜지스터가 가지는 제 2 반도체층에 접하며 상기 실리콘 기판의 표면에 대하여 수직 방향 또는 실질적으로 수직인 방향으로 제공되고,

상기 제 2 배선은 상기 제 1 배선에 대하여 평행한 방향 또는 실질적으로 평행한 방향으로 제공되는, 반도체 장치.

## 청구항 7

제 6 항에 있어서,

상기 제 1 제어 회로는 제 4 트랜지스터를 가지고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 배선에 전기적으로 접속되는, 반도체 장치.

## 청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 제 1 제어 회로는 제 5 트랜지스터 및 제 6 트랜지스터를 가지고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 배선에 전기적으로 접속되고,

상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,

상기 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽은 그라운드선에 전기적으로 접속되는, 반도체 장치.

## 청구항 9

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 반도체층 및 제 2 반도체층은 각각 채널 형성 영역에 금속 산화물을 가지는, 반도체 장치.



#### 청구항 10

제 9 항에 있어서,  
상기 금속 산화물은 In과, Ga과, Zn을 포함하는, 반도체 장치.

#### 청구항 11

제 6 항 내지 제 10 항 중 어느 한 항에 있어서,  
상기 제 1 커패시터는 상기 제 1 반도체층의 아래층에 제공되고,  
상기 제 2 커패시터는 상기 제 2 반도체층의 아래층에 제공되는, 반도체 장치.

#### 청구항 12

제 6 항 내지 제 11 항 중 어느 한 항에 있어서,  
상기 제 1 커패시터는 상기 제 1 반도체층의 위층에 제공되고,  
상기 제 2 커패시터는 상기 제 2 반도체층의 위층에 제공되는, 반도체 장치.

#### 청구항 13

제 6 항 내지 제 11 항 중 어느 한 항에 있어서,  
상기 제 1 커패시터의 한쪽 전극은 상기 제 1 반도체층과 같은 층에 제공되고,  
상기 제 2 커패시터의 한쪽 전극은 상기 제 2 반도체층과 같은 층에 제공되는, 반도체 장치.

#### 청구항 14

반도체 장치로서,  
제 1 메모리 셀을 가지는 제 1 소자층과,  
제 2 메모리 셀을 가지는 제 2 소자층을 가지고,  
상기 제 1 소자층과 상기 제 2 소자층은 적층되어 제공되고,  
상기 제 1 메모리 셀은 제 1 트랜지스터와 제 1 커패시터를 가지고,  
상기 제 2 메모리 셀은 제 2 트랜지스터와, 제 3 트랜지스터와, 제 2 커패시터를 가지고,  
상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 커패시터의 한쪽 전극에 전기적으로 접속되고,  
상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트 및 상기 제 2 커패시터의 한쪽 전극에 전기적으로 접속되는, 반도체 장치.

#### 청구항 15

제 14 항에 있어서,  
기판을 가지고,  
상기 제 2 소자층은 상기 기판과 상기 제 1 소자층 사이에 제공되는, 반도체 장치.

#### 청구항 16

제 14 항 또는 제 15 항에 있어서,  
상기 제 1 트랜지스터는 제 1 반도체층을 가지고,  
상기 제 2 트랜지스터는 제 2 반도체층을 가지고,  
상기 제 1 반도체층 및 제 2 반도체층은 각각 채널 형성 영역에 금속 산화물을 가지는, 반도체 장치.

## 청구항 17

제 16 항에 있어서,

상기 금속 산화물은 In과, Ga과, Zn을 포함하는, 반도체 장치.

## 발명의 설명

### 기술 분야

[0001] 본 명세서에서는 반도체 장치 등에 대하여 설명한다.

[0002] 본 명세서에서 반도체 장치란, 반도체 특성을 이용한 장치이며 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함하는 회로, 이 회로를 가지는 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 가진 칩이나, 패키지에 칩을 수납한 전자 부품은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기 등은 그 자체가 반도체 장치인 경우가 있고, 반도체 장치를 가지는 경우가 있다.

### 배경 기술

[0003] 트랜지스터에 적용 가능한 반도체로서, 금속 산화물이 주목을 받고 있다. "IGZO", "이그조" 등이라고 불리는 In-Ga-Zn 산화물은 다원계 금속 산화물의 대표적인 것이다. IGZO에 관한 연구에서, 단결정도 비정질도 아닌, CAAC(c-axis aligned crystalline) 구조 및 nc(nanocrystalline) 구조가 발견되었다(예를 들어 비특허문헌 1).

[0004] 채널 형성 영역에 금속 산화물 반도체를 가지는 트랜지스터(이하, "산화물 반도체 트랜지스터" 또는 "OS 트랜지스터"라고 부르는 경우가 있음)는 오프 전류가 매우 작다는 것이 보고되어 있다(예를 들어 비특허문헌 1, 비특허문헌 2). OS 트랜지스터가 사용된 다양한 반도체 장치가 제작되어 있다(예를 들어, 비특허문헌 3, 비특허문헌 4).

[0005] OS 트랜지스터의 제조 프로세스는 종래의 Si 트랜지스터의 CMOS 프로세스에 포함시킬 수 있고, OS 트랜지스터는 Si 트랜지스터 위에 적층하는 것이 가능하다. 예를 들어 특허문헌 1에서는 OS 트랜지스터를 가진 메모리 셀 어레이의 층을 Si 트랜지스터가 제공된 기판 위에 복수로 적층한 구성에 대하여 개시(開示)되어 있다.

## 선행기술문헌

### 특허문헌

[0006] (특허문헌 0001) 미국 특허출원공개공보 US2012/0063208호

### 비특허문헌

[0007] (비특허문헌 0001) S. Yamazaki et al., "Properties of crystalline In-Ga-Zn-oxide semiconductor and its transistor characteristics," Jpn.J.Appl.Phys., vol.53, 04ED18(2014).

(비특허문헌 0002) K.Kato et al., "Evaluation of Off-State Current Characteristics of Transistor Using Oxide Semiconductor Material, Indium-Gallium-Zinc Oxide," Jpn.J.Appl.Phys., vol.51, 021201(2012).

(비특허문헌 0003) S. Amano et al., "Low Power LC Display Using In-Ga-Zn-Oxide TFTs Based on Variable Frame Frequency," SID Symp. Dig. Papers, vol.41, pp.626-629(2010).

(비특허문헌 0004) T. Ishizu et al., "Embedded Oxide Semiconductor Memories:A Key Enabler for Low-Power ULSI," ECS Tran., vol.79, pp.149-156(2017).

## 발명의 내용

## 해결하려는 과제

- [0008] 본 발명의 일 형태는 신규 구성의 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 극소한 오프 전류를 이용한 기억 장치로서 기능하는 반도체 장치에 있어서, 제조 비용의 저감을 도모할 수 있는 신규 구성의 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 극소한 오프 전류를 이용한 기억 장치로서 기능하는 반도체 장치에 있어서, 저소비 전력화에 뛰어난 신규 구성의 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 극소한 오프 전류를 이용한 기억 장치로서 기능하는 반도체 장치에 있어서, 장치의 소형화를 도모할 수 있는 신규 구성의 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 극소한 오프 전류를 이용한 기억 장치로서 기능하는 반도체 장치에 있어서, 트랜지스터의 전기 특성의 변동이 작고 신뢰성이 우수한 신규 구성의 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다.
- [0009] 복수의 과제의 기재는 서로의 과제의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 예시한 과제를 모두 해결할 필요는 없다. 또한 열거한 것 외의 과제가 본 명세서의 기재로부터 저절로 명백해지고, 이러한 과제들도 본 발명의 일 형태의 과제가 될 수 있다.

## 과제의 해결 수단

- [0010] 본 발명의 일 형태는 제 1 메모리 셀을 가지는 제 1 소자층과, 제 2 메모리 셀을 가지는 제 2 소자층과, 전환 회로를 가지는 제 3 소자층과, 구동 회로를 가지는 실리콘 기판을 가지고, 제 1 소자층은 실리콘 기판과 제 2 소자층 사이에 제공되고, 제 3 소자층은 실리콘 기판과 제 1 소자층 사이에 제공되고, 제 1 메모리 셀은 제 1 트랜지스터와 제 1 커패시터를 가지고, 제 2 메모리 셀은 제 2 트랜지스터와 제 2 커패시터를 가지고, 전환 회로는 제 1 메모리 셀 또는 제 2 메모리 셀과 구동 회로 사이의 도통 상태를 제어하는 기능을 가지는 제 3 트랜지스터를 가지고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽 및 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 각각 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속하기 위한 배선에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 구동 회로에 전기적으로 접속되고, 배선은 제 1 트랜지스터가 가지는 제 1 반도체층 및 제 2 트랜지스터가 가지는 제 2 반도체층에 접하며 실리콘 기판의 표면에 대하여 수직 방향 또는 실질적으로 수직인 방향으로 제공되는, 반도체 장치이다.
- [0011] 본 발명의 일 형태에 있어서, 제 1 반도체층 및 제 2 반도체층은 각각 채널 형성 영역에 금속 산화물을 가지는 반도체 장치가 바람직하다.
- [0012] 본 발명의 일 형태에 있어서, 제 1 커패시터는 제 1 반도체층의 아래층에 제공되고, 제 2 커패시터는 제 2 반도체층의 아래층에 제공되는 반도체 장치가 바람직하다.
- [0013] 본 발명의 일 형태에 있어서, 제 1 커패시터는 제 1 반도체층의 위층에 제공되고, 제 2 커패시터는 제 2 반도체층의 위층에 제공되는 반도체 장치가 바람직하다.
- [0014] 본 발명의 일 형태에 있어서, 제 1 커패시터의 한쪽 전극은 제 1 반도체층과 같은 층에 제공되고, 제 2 커패시터의 한쪽 전극은 제 2 반도체층과 같은 층에 제공되는 반도체 장치가 바람직하다.
- [0015] 본 발명의 일 형태는 제 1 메모리 셀을 가지는 제 1 소자층과, 제 2 메모리 셀을 가지는 제 2 소자층과, 제 1 제어 회로를 가지는 제 3 소자층과, 구동 회로를 가지는 실리콘 기판을 가지고, 상기 제 1 소자층은 상기 실리콘 기판과 상기 제 2 소자층 사이에 제공되고, 상기 제 3 소자층은 상기 실리콘 기판과 상기 제 1 소자층 사이에 제공되고, 상기 제 1 메모리 셀은 제 1 트랜지스터와 제 1 커패시터를 가지고, 상기 제 2 메모리 셀은 제 2 트랜지스터와 제 2 커패시터를 가지고, 상기 제 1 제어 회로는 상기 제 1 메모리 셀로부터 관독되는 신호를 증폭하기 위한 제 3 트랜지스터를 가지고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽 및 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 각각 상기 제 3 트랜지스터의 게이트에 전기적으로 하기 위한 제 1 배선에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 구동 회로에 전기적으로 하기 위한 제 2 배선에 전기적으로 접속되고, 상기 제 1 배선은 상기 제 1 트랜지스터가 가지는 제 1 반도체층 및 상기 제 2 트랜지스터가 가지는 제 2 반도체층에 접하며 상기 실리콘 기판의 표면에 대하여 수직 방향 또는 실질적으로 수직인 방향으로 제공되고, 상기 제 2 배선은 상기 제 1 배선에 대하여 평행한 방향 또는 실질적으로 평행한 방향으로 제공되는 반도체 장치이다.
- [0016] 본 발명의 일 형태에 있어서, 상기 제 1 제어 회로는 제 4 트랜지스터를 가지고, 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 상기 제 4 트랜

지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 배선에 전기적으로 접속되는 반도체 장치가 바람직하다.

- [0017] 본 발명의 일 형태에 있어서, 상기 제 1 제어 회로는 제 5 트랜지스터 및 제 6 트랜지스터를 가지고, 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고, 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 배선에 전기적으로 접속되고, 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 상기 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽은 그라운드선에 전기적으로 접속되는 반도체 장치가 바람직하다.
- [0018] 본 발명의 일 형태에 있어서, 상기 제 1 반도체층 및 제 2 반도체층은 각각 채널 형성 영역에 금속 산화물을 가지는 반도체 장치가 바람직하다.
- [0019] 본 발명의 일 형태에 있어서, 상기 금속 산화물은 In과, Ga과, Zn을 포함하는 반도체 장치가 바람직하다.
- [0020] 본 발명의 일 형태에 있어서, 상기 제 1 커패시터는 상기 제 1 반도체층의 아래층에 제공되고, 상기 제 2 커패시터는 상기 제 2 반도체층의 아래층에 제공되는 반도체 장치가 바람직하다.
- [0021] 본 발명의 일 형태에 있어서, 상기 제 1 커패시터는 상기 제 1 반도체층의 위층에 제공되고, 상기 제 2 커패시터는 상기 제 2 반도체층의 위층에 제공되는 반도체 장치가 바람직하다.
- [0022] 본 발명의 일 형태에 있어서, 상기 제 1 커패시터의 한쪽 전극은 상기 제 1 반도체층과 같은 층에 제공되고, 상기 제 2 커패시터의 한쪽 전극은 상기 제 2 반도체층과 같은 층에 제공되는 반도체 장치가 바람직하다.
- [0023] 본 발명의 일 형태는 제 1 메모리 셀을 가지는 제 1 소자층과, 제 2 메모리 셀을 가지는 제 2 소자층을 가지고, 상기 제 1 소자층과 상기 제 2 소자층은 적층되어 제공되고, 상기 제 1 메모리 셀은 제 1 트랜지스터와 제 1 커패시터를 가지고, 상기 제 2 메모리 셀은 제 2 트랜지스터와, 제 3 트랜지스터와, 제 2 커패시터를 가지고, 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 커패시터의 한쪽 전극에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 게이트 및 상기 제 2 커패시터의 한쪽 전극에 전기적으로 접속되는 반도체 장치이다.
- [0024] 본 발명의 일 형태에 있어서, 기판을 가지고, 상기 제 2 소자층은 상기 기판과 상기 제 1 소자층 사이에 제공되는 반도체 장치가 바람직하다.
- [0025] 본 발명의 일 형태에 있어서, 상기 제 1 트랜지스터는 제 1 반도체층을 가지고, 상기 제 2 트랜지스터는 제 2 반도체층을 가지고, 상기 제 1 반도체층 및 제 2 반도체층은 각각 채널 형성 영역에 금속 산화물을 가지는 반도체 장치가 바람직하다.
- [0026] 본 발명의 일 형태에 있어서, 상기 금속 산화물은 In과, Ga과, Zn을 포함하는 반도체 장치가 바람직하다.
- [0027] 또한 상기 외의 본 발명의 일 형태에 대해서는 이하의 실시형태에서의 설명, 및 도면에 기재되어 있다.

### 발명의 효과

- [0028] 본 발명의 일 형태는 신규 구성의 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태는 극소한 오프 전류를 이용한 기억 장치로서 기능하는 반도체 장치에 있어서, 제조 비용의 저감을 도모할 수 있는 신규 구성의 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태는 극소한 오프 전류를 이용한 기억 장치로서 기능하는 반도체 장치에 있어서, 저소비 전력성에 뛰어난 신규 구성의 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태는 극소한 오프 전류를 이용한 기억 장치로서 기능하는 반도체 장치에 있어서, 장치의 소형화를 도모할 수 있는 신규 구성의 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태는 극소한 오프 전류를 이용한 기억 장치로서 기능하는 반도체 장치에 있어서, 트랜지스터의 전기 특성의 변동이 작고 신뢰성이 우수한 신규 구성의 반도체 장치 등을 제공할 수 있다.
- [0029] 복수의 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 예시한 효과 모두를 반드시 가질 필요는 없다. 또한 본 발명의 일 형태에서, 상기 외의 과제, 효과, 및 신규 특징에 대해서는 본 명세서의 기재 및 도면으로부터 저절로 명백해진다.

### 도면의 간단한 설명

- [0030] 도 1은 반도체 장치의 구성예를 나타낸 (A) 블록도 및 (B) 모식도이다.
- 도 2는 반도체 장치의 구성예를 나타낸 모식도이다.

- 도 3은 반도체 장치의 구성예를 나타낸 (A) 모식도 및 (B) 모식도이다.
- 도 4는 반도체 장치의 구성예를 나타낸 회로도이다.
- 도 5는 반도체 장치의 구성예를 나타낸 타이밍 차트이다.
- 도 6은 반도체 장치의 구성예를 나타낸 (A) 블록도 및 (B) 모식도이다.
- 도 7은 반도체 장치의 구성예를 나타낸 모식도이다.
- 도 8은 반도체 장치의 구성예를 나타낸 회로도이다.
- 도 9는 반도체 장치의 구성예를 나타낸 모식도이다.
- 도 10은 반도체 장치의 구성예를 나타낸 (A) 모식도 및 (B) 모식도이다.
- 도 11은 반도체 장치의 구성예를 나타낸 (A) 블록도 및 (B) 모식도이다.
- 도 12는 반도체 장치의 구성예를 나타낸 (A) 블록도 및 (B) 회로도이다.
- 도 13은 반도체 장치의 구성예를 나타낸 블록도이다.
- 도 14는 반도체 장치의 구성예를 나타낸 모식도이다.
- 도 15는 반도체 장치의 구성예를 나타낸 모식도이다.
- 도 16은 반도체 장치의 구성예를 나타낸 모식도이다.
- 도 17은 반도체 장치의 구성예를 나타낸 모식도이다.
- 도 18은 반도체 장치의 구성예를 나타낸 (A) 회로도 및 (B) 회로도이다.
- 도 19는 반도체 장치의 구성예를 나타낸 (A) 회로도 및 (B) 회로도이다.
- 도 20은 반도체 장치의 구성예를 나타낸 회로도이다.
- 도 21은 반도체 장치의 구성예를 나타낸 회로도이다.
- 도 22는 반도체 장치의 구성예를 나타낸 회로도이다.
- 도 23은 반도체 장치의 구성예를 나타낸 타이밍 차트이다.
- 도 24는 반도체 장치의 구성예를 나타낸 회로도이다.
- 도 25는 반도체 장치의 구성예를 나타낸 (A) 블록도 및 (B) 모식도이다.
- 도 26은 반도체 장치의 구성예를 나타낸 모식도이다.
- 도 27은 반도체 장치의 구성예를 나타낸 (A) 모식도 및 (B) 모식도이다.
- 도 28은 반도체 장치의 구성예를 나타낸 회로도이다.
- 도 29는 반도체 장치의 구성예를 나타낸 타이밍 차트이다.
- 도 30은 반도체 장치의 구성예를 설명하는 모식도이다.
- 도 31은 반도체 장치의 구성예를 나타낸 모식도이다.
- 도 32는 반도체 장치의 구성예를 나타낸 모식도이다.
- 도 33은 반도체 장치의 구성예를 설명하는 모식도이다.
- 도 34는 반도체 장치의 구성예를 나타낸 단면 모식도이다.
- 도 35는 반도체 장치의 구성예를 나타낸 (A) 단면 모식도 및 (B) 단면 모식도이다.
- 도 36은 반도체 장치의 구성예를 나타낸 (A) 단면 모식도, (B) 단면 모식도, 및 (C) 단면 모식도이다.
- 도 37은 반도체 장치의 구성예를 나타낸 단면 모식도이다.
- 도 38은 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 39는 반도체 장치의 구성예를 나타낸 (A) 상면도, (B) 단면 모식도, 및 (C) 단면 모식도이다.

도 40은 반도체 장치의 구성예를 나타낸 (A) 내지 (D) 상면도이다.

도 41은 (A) IGZO의 결정 구조의 분류를 설명하는 도면, (B) CAAC-IGZO막의 XRD 스펙트럼을 설명하는 도면, (C) CAAC-IGZO막의 극미 전자선 회절 패턴을 설명하는 도면이다.

도 42는 반도체 장치의 구성예를 설명하는 블록도이다.

도 43은 반도체 장치의 구성예를 나타낸 개념도이다.

도 44는 반도체 장치의 구성예를 나타낸 (A) 그래프 및 (B) 그래프이다.

도 45는 전자 부품의 일례를 설명하는 (A) 모식도, (B) 모식도이다.

도 46은 전자 기기의 예를 나타낸 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0031] 이하에서 본 발명의 실시형태에 대하여 설명한다. 다만, 본 발명의 일 형태는 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해된다. 따라서, 본 발명의 일 형태는 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.
- [0032] 또한 본 명세서 등에서 '제 1', '제 2' 및 '제 3'이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 수를 한정하는 것은 아니다. 또한 구성 요소의 순서를 한정하는 것은 아니다. 또한 예를 들어 본 명세서 등의 한 실시형태에서 '제 1'이라고 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 '제 2'라고 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 한 실시형태에서 '제 1'이라고 언급된 구성 요소를 다른 실시형태 또는 청구범위에서 생략할 수도 있다.
- [0033] 도면에서 동일한 요소 또는 같은 기능을 가지는 요소, 동일한 재질의 요소, 또는 동시에 형성되는 요소 등에는 동일한 부호를 붙이는 경우가 있고, 이의 반복적인 설명은 생략하는 경우가 있다.
- [0034] 본 명세서에서 예를 들어 전원 전위(VDD)를 전위(VDD), VDD 등이라고 생략하여 기재하는 경우가 있다. 이는 다른 구성 요소(예를 들어 신호, 전압, 회로, 소자, 전극, 배선 등)에 대해서도 마찬가지로 한다.
- [0035] 또한 복수의 요소에 같은 부호를 사용하는 경우, 특히 이들을 구별할 필요가 있을 때는 부호에 "\_1", "\_2", "[n]", "[m, n]" 등의 식별용 부호를 부기하여 기재하는 경우가 있다. 예를 들어 두 번째의 배선(GL)을 배선(GL[2])이라고 기재한다.
- [0036] (실시형태 1)
- [0037] 본 발명의 일 형태인 반도체 장치 및 반도체 장치의 동작 방법의 구성예에 대하여, 도 1 내지 도 5를 참조하여 설명한다.
- [0038] 또한, 반도체 장치는 반도체 특성을 이용한 장치이며 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함하는 회로, 이 회로를 가지는 장치이다. 본 실시형태에서 설명하는 반도체 장치는 극소한 오프 전류의 트랜지스터를 이용한 기억 장치로서 기능하는 반도체 장치로서 기능시킬 수 있다.
- [0039] 도 1의 (A)는 본 실시형태에서 설명하는 반도체 장치의 블록도이다. 도 1의 (A)에 도시된 반도체 장치(10)는 주변 회로(20) 및 메모리 셀 어레이(30)를 가진다.
- [0040] 주변 회로(20)는 행 드라이버(row driver)(21) 및 열 드라이버(column driver)(22)를 가진다. 행 드라이버(21) 및 열 드라이버(22)는 단순히 구동 회로 또는 드라이버라고 하는 경우가 있다.
- [0041] 행 드라이버(21)는 워드선(WL)에 메모리 셀 어레이(30)를 구동하기 위한 신호를 출력하는 기능을 가지는 회로이다. 구체적으로 행 드라이버(21)는 워드선(WL)(도 1의 (A)에서는 WL\_1 및 WL\_N을 도시하였음. N은 2 이상의 자연수)에 워드 신호를 전달하는 기능을 가진다. 행 드라이버(21)는 워드선 측 구동 회로라고 하는 경우가 있다. 또한 행 드라이버(21)는 지정된 어드레스에 대응하는 워드선(WL)을 선택하기 위한 디코더 회로 및 버퍼 회로 등을 포함한다. 또한 워드선(WL)은 단순히 배선이라고 하는 경우가 있다.
- [0042] 열 드라이버(22)는 비트선(BL)에 메모리 셀 어레이(30)를 구동하기 위한 신호를 출력하는 기능을 가지는 회로이



다. 구체적으로 열 드라이버(22)는 비트선(BL)(도 1의 (A)에서는 BL<sub>1</sub> 및 BL<sub>2</sub>)에 데이터 신호를 전달하는 기능을 가진다. 열 드라이버(22)는 비트선 측 구동 회로라고 하는 경우가 있다. 또한 열 드라이버(22)는 감지 증폭기, 프리차지 회로, 지정된 어드레스에 대응하는 비트선을 선택하기 위한 디코더 회로 등을 포함한다. 또한 비트선(BL)은 단순히 배선이라고 하는 경우가 있다. 또한 도면에 있어서, 시인성을 높기 위하여 비트선(BL)은 굵은 선 또는 굵은 점선 등으로 도시되어 있는 경우가 있다.

[0043] 비트선(BL)에 공급되는 데이터 신호는 메모리 셀에 기록되는 신호, 또는 메모리 셀로부터 판독되는 신호에 상당한다. 데이터 신호는 데이터 1 또는 데이터 0에 대응하는 하이 레벨 또는 로(low) 레벨의 전위를 가지는 2개의 값의 신호로서 설명한다. 또한 데이터 신호는, 3개의 값 이상의 다치(多値)이어도 좋다. 하이 레벨의 전위는 VDD이고, 로 레벨의 전위는 VSS 또는 그라운드 전위(GND)이다. 비트선(BL)에 공급되는 신호로서는 데이터 신호 외에, 데이터를 판독하기 위한 프리차지 전위 등이 있다. 프리차지 전위는 VDD/2로 할 수 있다.

[0044] 메모리 셀 어레이(30)는 복수, 예를 들어 N층(N은 2 이상의 자연수)의 소자층(34\_1 내지 34\_N)을 가진다. 소자층(34\_1)은 하나 이상의 메모리 셀(31\_1)을 가진다. 메모리 셀(31\_1)은 트랜지스터(32\_1) 및 커패시터(33\_1)를 가진다. 소자층(34\_N)은 하나 이상의 메모리 셀(31\_N)을 가진다. 메모리 셀(31\_N)은 트랜지스터(32\_N) 및 커패시터(33\_N)를 가진다. 또한 커패시터는 용량 소자라고 부르는 경우가 있다. 또한 소자층은 커패시터나 트랜지스터 등의 소자가 제공되는 층이고, 도전체, 반도체, 절연체 등의 부재로 구성되는 층이다.

[0045] 트랜지스터(32\_1 내지 32\_N)는 워드선(WL<sub>1</sub> 내지 WL<sub>N</sub>)에 공급되는 워드 신호에 따라 온 또는 오프가 제어되는 스위치로서 기능한다. 트랜지스터(32\_1 내지 32\_N)는 각각 소스 및 드레인 중 한쪽이 비트선(BL) 중 어느 하나(도면 중, BL<sub>1</sub>)에 접속된다.

[0046] 트랜지스터(32\_1 내지 32\_N)로서는, 채널 형성 영역이 산화물 반도체를 가지는 트랜지스터(이하, OS 트랜지스터라고 함)로 구성되는 것이 바람직하다. 본 발명의 일 형태의 구성에서는, OS 트랜지스터를 가지는 메모리 셀을 사용하는 구성으로 함으로써, 오프 시에 소스와 드레인 사이를 흐르는 누설 전류(이하, 오프 전류)가 매우 낮은 특성을 이용하여, 원하는 전압에 따른 전하를 소스 및 드레인 중 다른 쪽에 있는 커패시터(33\_1 내지 33\_N)에 유지시킬 수 있다. 즉 메모리 셀(31\_1 내지 31\_N)에, 한번 기록한 데이터를 장시간 유지시킬 수 있다. 그러므로, 데이터 리프레시의 빈도를 낮추고 저소비 전력화를 도모할 수 있다.

[0047] 이에 더하여, OS 트랜지스터를 사용한 메모리 셀(31\_1 내지 31\_N)에서는 전하를 충전 또는 방전함으로써 데이터의 재기록 및 판독이 가능하게 되므로 데이터의 기록 및 판독 횟수를 실질적으로 무제한으로 할 수 있다. OS 트랜지스터를 사용한 메모리 셀(31\_1 내지 31\_N)는, 자기 메모리 또는 저항 변화형 메모리 등과 달리, 원자 레벨에서의 구조 변화가 일어나지 않으므로 재기록 내성이 뛰어나다. 또한 OS 트랜지스터를 사용한 메모리 셀(31\_1 내지 31\_N)은 플래시 메모리와 달리, 재기록 동작을 반복하여도 전자 포획 중심의 증가로 인한 불안정성이 확인되지 않는다.

[0048] 또한 OS 트랜지스터를 사용한 메모리 셀(31\_1 내지 31\_N)은 채널 형성 영역에 실리콘을 포함하는 트랜지스터(이하, Si 트랜지스터)를 가지는 실리콘 기판 위 등에 자유로이 배치할 수 있기 때문에 집적화가 용이하다. 또한 OS 트랜지스터는 Si 트랜지스터와 같은 제조 장치를 사용하여 제작할 수 있으므로 낮은 비용으로 제작할 수 있다.

[0049] 또한 OS 트랜지스터는 게이트 전극, 소스 전극, 및 드레인 전극에 더하여 백 게이트 전극을 포함하면, 4단자의 반도체 소자로 할 수 있다. OS 트랜지스터는, 게이트 전극 또는 백 게이트 전극에 인가하는 전압에 따라, 소스와 드레인 사이를 흐르는 신호의 입출력을 독립적으로 제어할 수 있는 전기 회로망으로 구성할 수 있다. 그러므로 LSI와 같은 사상으로 회로 설계를 수행할 수 있다. 그리고 OS 트랜지스터는 고온 환경하에서 Si 트랜지스터보다 뛰어난 전기 특성을 가진다. 구체적으로는 125℃ 이상 150℃ 이하와 같은 높은 온도에서도 온 전류와 오프 전류의 비가 크기 때문에 양호한 스위칭 동작을 수행할 수 있다.

[0050] 또한 도 1의 (A)에 나타난 메모리 셀은 OS 트랜지스터가 메모리에 사용된 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)이라고 부를 수 있다. 하나의 트랜지스터 및 하나의 용량 소자로 구성할 수 있으므로 메모리의 고밀도화를 실현할 수 있다. 또한, OS 트랜지스터를 사용함으로써, 데이터의 유지 기간을 길게 할 수 있다. 커패시터(33\_1 내지 33\_N)는 전극이 되는 도전체 사이에 절연체가 개재(介在)된 구성이다. 또한 전극을 구성하는 도전체로서는, 금속 외에, 도전성을 부여한 반도체층 등을 사용할 수 있다. 또한 자세한 사항은 후술하지만, 커패시터(33\_1 내지 33\_N)를 트랜지스터(32\_1 내지 32\_N)의 위쪽 또는 아래쪽에서 중첩되는 위치에 배치할 뿐만 아니라 트랜지스터(32\_1 내지 32\_N)를 구성하는 반도체층 또는 전극 등의 일부를 커패시터(33\_1 내지

33\_N)의 한쪽 전극으로서 사용할 수 있다.

- [0051] 도 1의 (A)에서 설명한 각 구성에 있어서, 본 발명의 일 형태에 포함되는 소자층(34\_1 내지 34\_N)에 대하여 설명하기 위하여, 도 1의 (B)에 나타난 모식도를 사용하여 설명한다. 도 1의 (B)에 도시된 모식도는 도 1의 (A)에서 설명한 각 구성의 배치를 설명하기 위하여 x축, y축, z축 방향을 규정한 사시도에 대응한다. 또한 이해를 용이하게 하기 위하여, 명세서 중에서 x축 방향을 깊이 방향, y축 방향을 수평 방향, z축 방향을 수직 방향이라고 부르는 경우가 있다.
- [0052] 도 1의 (B)에 도시된 바와 같이 소자층(34\_1 내지 34\_N)은 N층으로 적층되어 제공된다. 메모리 셀(31\_1 내지 31\_N)을 가지는 소자층(34\_1 내지 34\_N)은 각각 실리콘 기판(11)에 제공된 열 드라이버(22)와 중첩되는 영역을 가진다. 도 1의 (B)에 도시된 바와 같이 소자층(34\_1)은 실리콘 기판(11)과 소자층(34\_N) 사이에 제공된다고도 할 수 있다.
- [0053] 또한 소자층(34\_1)이 가지는 메모리 셀(31\_1)의 트랜지스터와, 소자층(34\_N)이 가지는 메모리 셀(31\_N)의 트랜지스터는 수직 방향으로 제공된 비트선(BL)을 통하여 접속된다. 또한 비트선(BL)은 실리콘 기판(11)에 제공된 열 드라이버(22)에 접속된다.
- [0054] 비트선(BL\_1)은 메모리 셀(31\_1)이 가지는 트랜지스터의 반도체층 및 메모리 셀(31\_N)이 가지는 트랜지스터의 반도체층과 접하여 제공된다. 또는 비트선(BL\_1)은 메모리 셀(31\_1)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역 및 메모리 셀(31\_N)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공된다. 또는 비트선(BL\_1)은 메모리 셀(31\_1)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공되는 도전체 및 메모리 셀(31\_N)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공되는 도전체와 접하여 제공된다. 즉 비트선(BL)은 메모리 셀(31\_1)이 가지는 트랜지스터의 소스 및 드레인 중 한쪽과, 메모리 셀(31\_N)이 가지는 트랜지스터의 소스 및 드레인 중 한쪽과, 열 드라이버(22)를 수직 방향으로 전기적으로 하기 위한 배선이라고 할 수 있다.
- [0055] 또한 비트선(BL)은 열 드라이버(22)가 제공되는 실리콘 기판(11)의 면에 대하여 수직 방향 또는 실질적으로 수직인 방향으로 연장되어 제공된다고 할 수 있다. 즉 도 1의 (B)에 도시된 바와 같이 비트선(BL)은 메모리 셀(31\_1)이 가지는 트랜지스터 및 메모리 셀(31\_N)이 가지는 트랜지스터에 접속되며 상기 실리콘 기판의 표면(xy 평면)에 대하여 수직 방향 또는 실질적으로 수직인 방향'(z방향)으로 제공된다. 또한 "실질적으로 수직"이란, 85° 이상 95° 이하의 각도로 배치되어 있는 상태를 말한다.
- [0056] 또한 실리콘 기판(11)에 제공된 행 드라이버(21)와, 소자층(34\_1) 내지 소자층(34\_N)의 깊이 방향으로 연장되어 제공되는 워드선(WL)과는 소자층(34\_1) 내지 소자층(34\_N)의 메모리 셀(31\_1 내지 31\_N)이 제공되지 않는 영역, 예를 들어 소자층(34\_1) 내지 소자층(34\_N)의 외주부에서의 개구부를 통하여 접속되는 구성으로 하면 좋다. 실리콘 기판(11)에 제공된 행 드라이버(21)와 각 소자층에 제공된 워드선(WL)은 소자층(34\_1) 내지 소자층(34\_N)의 위층에 제공되는 배선을 통하여 접속되어도 좋다.
- [0057] 본 발명의 일 형태는 각 소자층에 제공되는 트랜지스터로서, 오프 전류가 매우 낮은 OS 트랜지스터를 사용한다. 그러므로, 메모리 셀에 유지되는 데이터의 리프레시 빈도를 저감할 수 있어, 저소비 전력화가 도모된 반도체 장치로 할 수 있다. OS 트랜지스터는 적층하여 제공할 수 있고, 수직 방향으로 반복적으로 같은 제조 공정을 사용하여 제작할 수 있어, 제조 비용의 저감을 도모할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀을 구성하는 트랜지스터를 평면 방향이 아니라 수직 방향으로 배치함으로써, 메모리 밀도의 향상을 도모할 수 있어, 장치의 소형화를 도모할 수 있다. 또한, OS 트랜지스터는 고온 환경하에서도 Si 트랜지스터에 비하여 전기 특성의 변동이 작으므로, 적층하며 집적화할 때의 트랜지스터의 전기 특성의 변동이 작고 신뢰성이 우수한 기억 장치로서 기능하는 반도체 장치로 할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀 어레이로부터 연장되어 제공되는 비트선을 수직 방향으로 제공함으로써, 메모리 셀 어레이와 열 드라이버의 비트선의 길이를 짧게 할 수 있다. 그러므로, 비트선의 기생 용량을 크게 삭감할 수 있어, 메모리 셀에 유지되는 데이터 신호를 다치화하여도 전위를 판독할 수 있다.
- [0058] 도 2에서는, 도 1의 (A) 및 (B)를 사용하여 설명한 반도체 장치(10)의 수직 방향(z축 방향)에 평행한 면의 단면 모식도에 대하여 나타내었다.
- [0059] 도 2에 도시된 바와 같이 반도체 장치(10)는 각 층의 소자층에 제공된 메모리 셀(31\_1 내지 31\_N)과, 실리콘 기판(11)에 제공되는 열 드라이버(22)를 최단 거리인 수직 방향으로 제공되는 비트선(BL)을 통하여 접속하는 구성



으로 할 수 있다. 비트선(BL)을 평면 방향으로 배치하는 구성에 비하여 비트선(BL)의 개수는 증가되지만 하나의 비트선에 접속되는 메모리 셀(31\_1 내지 31\_N)의 개수를 줄일 수 있기 때문에 비트선(BL)의 기생 용량을 작게 할 수 있다. 그러므로, 메모리 셀(31\_1 내지 31\_N)이 가지는 커패시터(33\_1 내지 33\_N)의 용량을 작게 하여도 전하의 이동에 따른 비트선(BL)의 전위를 변동시킬 수 있다.

[0060] 또한 메모리 셀(31\_1 내지 31\_N)이 가지는 커패시터(33\_1 내지 33\_N)의 용량을 작게 할 수 있으므로, 커패시터(33\_1 내지 33\_N)를 트랜지스터(32\_1 내지 32\_N)와 같은 층에 제공할 수 있다. 커패시터(33\_1 내지 33\_N)를 트랜지스터(32\_1 내지 32\_N)와 같은 층에 제공하는 구성으로 함으로써, 각 소자층(34\_1 내지 34\_N)을 얇게 할 수 있다. 그러므로, 반도체 장치(10)의 소형화를 도모할 수 있다.

[0061] 또한 메모리 셀(31\_1 내지 31\_N)이 가지는 커패시터(33\_1 내지 33\_N)는 트랜지스터(32\_1 내지 32\_N)와 같은 층에 제공하는 구성이어도 좋지만, 다른 구성이어도 좋다. 예를 들어, 도 3의 (A)에 나타난 모식도에서는, 소자층(34\_1 내지 34\_N)이 가지는 메모리 셀(31)의 커패시터(33A)가 트랜지스터(32)에 대하여 수직 방향으로 위쪽에 제공되는 구성을 나타내었다. 상기 구성으로 함으로써 용량을 크게 할 수 있기 때문에 판독되는 데이터의 신뢰성, 데이터의 유지 시간의 향상을 도모할 수 있다. 이에 더하여, 도 3의 (A)의 구성에서는 한쪽 전극이 고정 전위에 접속된 커패시터(33A)의 전극을 트랜지스터(32)의 위쪽에 배치할 수 있기 때문에 외부로부터의 노이즈의 영향을 억제할 수 있다.

[0062] 또한 도 3의 (B)에 나타난 모식도에서는 소자층(34\_1 내지 34\_N)이 가지는 메모리 셀(31)의 커패시터(33B)가 트랜지스터(32)에 대하여 수직 방향으로 아래쪽에 제공되는 구성을 나타내었다. 상기 구성으로 함으로써 용량을 크게 할 수 있기 때문에 판독되는 데이터의 신뢰성, 데이터의 유지 시간의 향상을 도모할 수 있다. 이에 더하여 도 3의 (B)의 구성에서는 한쪽 전극이 고정 전위에 접속된 커패시터(33B)의 전극을 트랜지스터(32)와 열 드라이버(22) 사이에 배치할 수 있기 때문에 열 드라이버(22)의 노이즈가 메모리 셀(31)에 영향을 미치는 것을 억제할 수 있다.

[0063] 도 4는 도 1의 (A)에서 설명한, 소자층(34\_1 내지 34\_N)을 가지는 메모리 셀 어레이(30)의 회로의 구성예와, 상기 메모리 셀에 접속되는 열 드라이버(22)의 구체적인 회로의 구성예에 대하여 설명하는 회로도이다.

[0064] 도 4에는 메모리 셀 어레이(30)로서 소자층(34\_1 내지 34\_N)을 도시하였다. 도 4에서는 비트선(BL\_A)에 접속된 메모리 셀로서 메모리 셀(31\_N\_A)을 도시하였다. 메모리 셀(31\_N\_A)은 게이트가 워드선(WL\_A)에 접속된 트랜지스터(32A)와 커패시터(33)를 가진다. 또한 도 4에서는 비트선(BL\_B)에 접속된 메모리 셀로서 메모리 셀(31\_N\_B)을 도시하였다. 메모리 셀(31\_N\_B)은 게이트가 워드선(WL\_B)에 접속된 트랜지스터(32B)와 커패시터(33)를 가진다. 각 소자층의 커패시터(33)는 고정 전위, 예를 들어 그라운드 전위가 공급되는 배선(VL)에 접속된다.

[0065] 또한 도 4에는 열 드라이버(22)가 가지는 회로로서, 실리콘 기판 측에 있는 프리차지 회로(22\_1), 감지 증폭기(22\_2), 선택 스위치(22\_3), 기록 판독 회로(29)를 나타내었다. 프리차지 회로(22\_1) 및 감지 증폭기(22\_2)를 구성하는 트랜지스터로서, Si 트랜지스터를 사용한다. 선택 스위치(22\_3)에도 Si 트랜지스터를 사용할 수 있다.

[0066] 프리차지 회로(22\_1)는 n채널형 트랜지스터(24\_1 내지 24\_3)로 구성된다. 프리차지 회로(22\_1)는 프리차지선(PCL)에 공급되는 프리차지 신호에 따라, 비트선(BL\_A) 및 비트선(BL\_B)을 VDD와 VSS의 중간 전위 VDD/2에 해당하는 중간 전위 VPC로 프리차지하기 위한 회로이다.

[0067] 감지 증폭기(22\_2)는 배선(VHH) 또는 배선(VLL)에 접속된, p채널형 트랜지스터(25\_1, 25\_2) 및 n채널형 트랜지스터(25\_3, 25\_4)로 구성된다. 배선(VHH) 또는 배선(VLL)은 VDD 또는 VSS를 공급하는 기능을 가지는 배선이다. 트랜지스터(25\_1 내지 25\_4)는 인버터 루프를 구성하는 트랜지스터이다. 감지 증폭기(22\_2)는 워드선(WL\_A, WL\_B)을 하이 레벨로 하고 메모리 셀(31\_N\_A, 31\_N\_B)을 선택함으로써 변화하는 비트선(BL\_A) 및 비트선(BL\_B)의 전위를 고전원 전위 VDD 또는 저전원 전위 VSS로 한다. 비트선(BL\_A) 및 비트선(BL\_B)의 전위는 기록 판독 회로(29)를 통하여 외부에 출력할 수 있다. 비트선(BL\_A) 및 비트선(BL\_B)은 비트선쌍에 상당한다.

[0068] 또한 도 5에는 도 4에 나타난 회로도의 동작을 설명하기 위한 타이밍 차트를 나타내었다. 도 5에 나타난 타이밍 차트에 있어서, 기간(T1)은 초기화의 동작, 기간(T2)은 기록의 동작, 기간(T3)은 비엑세스 시의 동작, 기간(T4)은 판독의 동작을 설명하는 기간에 대응한다. 또한 도 5에 대한 설명에서는, 선택 스위치(22\_3)가 가지는 스위치(23\_A, 23\_B)의 설명을 생략하지만, 기록의 동작 및 판독의 동작 시에 적절히 온이 되도록 선택된다.

[0069] 도 5에서, 파형 사이에 붙인 화살표는 동작의 이해를 용이하게 하기 위한 것이다. 신호선 중 배선(PCL)의 고레

벨(H레벨)은 VDD이다. WL의 고레벨은 VHM(>VDD)이지만 VDD로 하여도 좋다.

- [0070] 기간(T1)에서는 배선(VPC), 배선(VHH), 및 배선(VLL)은 VDD/2가 된다. 비트선(BL\_A)은 프리차지되어 VDD/2가 된다. 비트선(BL\_A)의 프리차지는 프리차지 회로(22\_1)에 의하여 수행된다. 배선(PCL)을 고레벨(H레벨)로 함으로써 비트선(BL\_A)(또는 비트선(BL\_B))의 프리차지와 전위의 평활화가 수행된다.
- [0071] 기간(T2)에서는 기록 액세스가 있으면 비트선(BL\_A)(또는 비트선(BL\_B))을 프리차지 상태에서부터 부유 상태로 한다. 이는 배선(PCL)을 H레벨로부터 L레벨로 함으로써 수행된다. 워드선(WL\_A)을 H레벨로 한다. WL\_A가 선택된 후, VHH는 VDD가 되고 VLL은 GND가 된다. 트랜지스터(32A)가 온이 됨으로써 비트선(BL\_A)에 데이터(DA1)가 기록된다. 워드선(WL\_A)을 L레벨로 한 후, 비트선(BL\_A)(또는 비트선(BL\_B))의 프리차지 동작을 시작하고 이들을 VDD/2로 프리차지한다.
- [0072] 기간(T3)에서는 배선(PCL)은 H레벨이고 워드선(WL\_A)은 L레벨이다. VPC, VHH, 및 VLL은 VDD/2이다. 비트선쌍 및 로컬 비트선쌍은 VDD/2로 프리차지되어 있다. VHH, VLL을 VDD/2로 해둠으로써 감지 증폭기(22\_2)의 누설 전류를 저감할 수 있다.
- [0073] 기간(T4)에서는 판독 액세스가 있으면 비트선(BL\_A)(또는 비트선(BL\_B))을 프리차지 상태에서부터 부유 상태로 한다. 다음으로, 워드선(WL\_A)을 H레벨로 하여 트랜지스터(32A)를 온으로 한다. 비트선(BL\_A)에는 데이터(DA1)가 기록된다. 워드선(WL\_A)을 H레벨로 한 후, VHH를 VDD로 하며 VLL을 GND로 하고, 감지 증폭기(22\_2)를 차동 증폭 회로로서 기능시키고, 비트선(BL\_A)의 데이터(DA1)를 증폭한다. 비트선(BL\_A)의 데이터(DA1)는 기록 판독 회로(29)에 의하여 판독된다.
- [0074] 본 발명의 일 형태의 반도체 장치는, 각 소자층에 제공되는 트랜지스터로서 오프 전류가 매우 낮은 OS 트랜지스터를 사용한다. OS 트랜지스터는 Si 트랜지스터가 제공되는 실리콘 기판 위에 적층하여 제공할 수 있다. 그러므로, 수직 방향으로 반복적으로 같은 제조 공정을 사용하여 제작할 수 있어, 제조 비용의 저감을 도모할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀을 구성하는 트랜지스터를 평면 방향이 아니라 수직 방향으로 배치함으로써, 메모리 밀도의 향상을 도모할 수 있고, 장치의 소형화를 도모할 수 있다.
- [0075] (실시형태 2)
- [0076] 본 발명의 일 형태인 반도체 장치의 구성예에 대하여, 도 6 내지 도 10을 참조하여 설명한다. 실시형태 1과 같은 부호를 붙인 구성에 대해서는, 실시형태 1의 설명을 원용하고, 설명을 생략하는 경우가 있다.
- [0077] 도 6의 (A)에는 반도체 장치(10A)의 블록도를 나타내었다.
- [0078] 주변 회로(20)는 행 드라이버(21), 열 드라이버(22), 및 전환 회로가 제공되는 소자층(26)을 가진다. 전환 회로는 단순히 구동 회로라고 하는 경우가 있다. 전환 회로는 메모리 셀과 열 드라이버 사이의 도통 상태를 제어하는 기능을 가지는 트랜지스터를 가진다.
- [0079] 전환 회로가 제공되는 소자층(26)은 열 드라이버(22)를 비트선(BL)에 선택적으로 접속하는 기능을 가진다. 전환 회로는 열 드라이버(22)로부터 출력되는 선택 신호에 따라 소정의 비트선과 열 드라이버(22)의 감지 증폭기 등의 구동 회로를 접속하는 멀티플렉서로서의 기능을 가진다. 전환 회로는, 전환 회로에서 선택된 비트선(BL)에 메모리 셀 어레이(30)를 구동하기 위한 신호를 출력하는 기능을 가지는 회로이다.
- [0080] 도 6의 (A)의 반도체 장치에 있어서, 전환 회로가 제공되는 소자층(26)은 수직 방향에서 열 드라이버(22)에 접속된 비트선(BL)의 개수가 저감되어, 데이터의 기록 시간의 단축, 판독 정밀도의 향상을 도모할 수 있다.
- [0081] 또한, 전환 회로를 구성하는 트랜지스터는 OS 트랜지스터인 것이 바람직하다. OS 트랜지스터를 사용한 전환 회로를 가지는 소자층(26)은 Si 트랜지스터를 사용한 회로 위 등에 자유로이 배치할 수 있기 때문에 용이하게 집적화할 수 있다. 또한 OS 트랜지스터는 Si 트랜지스터와 같은 제조 장치를 사용하여 제작할 수 있으므로 저비용으로 제작할 수 있다.
- [0082] 도 6의 (A)에서 설명한 각 구성에 있어서, 본 발명의 일 형태에 있는 소자층(34\_1 내지 34\_N) 및 전환 회로를 가지는 소자층(26)에 대하여 설명하기 위하여, 도 6의 (B)에 나타난 모식도를 사용하여 설명한다. 도 6의 (B)에 도시된 모식도는 도 6의 (A)에서 설명한 각 구성의 배치를 설명하기 위하여 x축, y축, z축 방향을 규정한 사시도에 대응한다.
- [0083] 도 6의 (B)에 도시된 바와 같이 반도체 장치(10A)에 있어서, 전환 회로를 구성하는 트랜지스터가 제공되는 소자층(26)이 V층(V는 1 이상의 자연수), 소자층(34\_1) 내지 소자층(34\_N)이 N층 있고, 총 (N+V)층의 OS 트랜지스터

를 가지는 층이 실리콘 기판(11) 위에 적층하여 제공된다. 소자층(34\_1) 내지 소자층(34\_N)이 가지는 메모리 셀(31\_1 내지 31\_N) 및 전환 회로를 구성하는 트랜지스터가 제공되는 소자층(26)은 각각 실리콘 기판(11)에 제공된 열 드라이버(22)와 중첩되는 영역을 가진다. 도 6의 (B)에 도시된 바와 같이 소자층(26)은 실리콘 기판(11)과 소자층(34\_1) 사이에 제공된다고도 할 수 있다. 또한 도 6의 (B)에 도시된 바와 같이 소자층(34\_1)은 실리콘 기판(11)과 소자층(34\_N) 사이에 제공된다고도 할 수 있다.

[0084] 또한 소자층(34\_1)이 가지는 메모리 셀(31\_1)의 트랜지스터와, 소자층(34\_N)이 가지는 메모리 셀(31\_N)의 트랜지스터는 수직 방향으로 제공된 비트선(BL)을 통하여 접속된다. 또한 비트선(BL)은 전환 회로를 구성하는 트랜지스터가 제공되는 소자층(26)에 접속된다. 소자층(26)은 실리콘 기판(11)에 제공된 열 드라이버(22)에 접속된다.

[0085] 비트선(BL\_1)은 메모리 셀(31\_1)이 가지는 트랜지스터의 반도체층과 접하여 제공된다. 또는 비트선(BL\_1)은 메모리 셀(31\_1)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공된다. 또는 비트선(BL\_1)은 메모리 셀(31\_1)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공되는 도전체와 접하여 제공된다. 즉 비트선(BL)은 메모리 셀(31\_1)이 가지는 트랜지스터의 소스 및 드레인 중 한쪽과, 메모리 셀(31\_N)이 가지는 트랜지스터의 소스 및 드레인 중 한쪽과, 소자층(26)을 수직 방향으로 전기적으로 하기 위한 배선이라고 할 수 있다.

[0086] 본 발명의 일 형태는, 각 소자층에 제공되는 트랜지스터로서, 오프 전류가 매우 낮은 OS 트랜지스터를 사용한다. 그러므로, 메모리 셀에 유지된 데이터의 리프레이 빈도를 저감할 수 있어, 저소비 전력화가 도모된 반도체 장치로 할 수 있다. OS 트랜지스터는 적층하여 제공할 수 있고, 수직 방향으로 반복적으로 같은 제조 공정을 사용하여 제작할 수 있고, 제조 비용의 저감을 도모할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀을 구성하는 트랜지스터를 평면 방향이 아니라 수직 방향으로 배치함으로써, 메모리 밀도의 향상을 도모할 수 있고, 장치의 소형화를 도모할 수 있다. 또한, OS 트랜지스터는 고온 환경하에서도 Si 트랜지스터에 비하여 전기 특성의 변동이 작으므로, 적층하며 집적화할 때의 트랜지스터의 전기 특성의 변동이 작고 신뢰성이 우수한 기억 장치로서 기능하는 반도체 장치로 할 수 있다.

[0087] 이에 더하여, 본 발명의 일 형태는 전환 회로를 가지는 소자층을 가진다. 전환 회로는 열 드라이버가 가지는 감지 증폭기에 접속된 비트선(BL)의 개수를 저감할 수 있다. 그러므로, 비트선(BL)의 부하를 저감할 수 있다. 전환 회로는 수직 방향에서 열 드라이버에 접속된 비트선(BL)의 개수를 저감하고, 데이터의 기록 시간의 단축, 판독 정밀도의 향상을 도모할 수 있다. 또한, 비트선을 불필요하게 중방전하는 것을 피할 수 있어, 저소비 전력화가 도모된 반도체 장치로 할 수 있다. 감지 증폭기 등의 회로의 바로 위에 메모리 셀을 배치할 수 있기 때문에 반도체 장치의 소형화를 도모할 수 있다. 또한 메모리 셀이 가지는 커패시터의 용량을 작게 하여도 동작시킬 수 있다. 또한 본 발명의 일 형태는, 메모리 셀 어레이로부터 연장되어 제공되는 비트선을 수직 방향으로 제공함으로써, 메모리 셀 어레이와 열 드라이버의 비트선의 길이를 짧게 할 수 있다. 그러므로, 비트선의 기생 용량을 크게 삭감할 수 있어, 메모리 셀에 유지되는 데이터 신호를 다치화하여도 전위를 판독할 수 있다.

[0088] 도 7에서는, 도 6의 (A) 및 (B)를 사용하여 설명한 반도체 장치(10A)의 수직 방향(z축 방향)에 평행한 면의 단면 모식도에 대하여 나타내었다.

[0089] 도 7에 도시된 바와 같이 반도체 장치(10A)는 각 층의 소자층에 제공된 메모리 셀(31\_1 내지 31\_N)과, 소자층(26)과, 실리콘 기판(11)에 제공되는 열 드라이버(22)를 최단 거리인 수직 방향으로 제공되는 비트선(BL)을 통하여 접속하는 구성으로 할 수 있다. 전환 회로(27)를 가지는 소자층(26)의 개수는 증가되지만 열 드라이버(22)가 가지는 감지 증폭기에 접속된 비트선(BL)의 개수를 저감할 수 있다. 그러므로, 비트선(BL)의 부하를 저감할 수 있다.

[0090] 또한 도 7에 도시된 바와 같이 전환 회로(27)가 가지는 트랜지스터(28\_1 내지 28\_n(n은 2 이상의 자연수))는, 열 드라이버(22)로부터 출력되는 선택 신호(MUX)에 따라 선택된 비트선(BL)의 전위를 신호(BL\_OUT)로서 열 드라이버(22)에 출력할 수 있다. 또한 도 7에 도시된 반도체 장치(10A)는 유닛(30\_1)으로서 나타낼 수 있다.

[0091] 도 8에는, 메모리 셀 어레이(30)로서 소자층(34\_1 내지 34\_N) 외에, 트랜지스터(28\_a, 28\_b)를 가지는 소자층(26)을 더한 회로도도를 도시하였다. 도 8에 도시된 트랜지스터(28\_a, 28\_b)를 가지는 소자층(26) 위에는, 소자층(34\_1 내지 34\_N)이 제공되고, 비트선(BL\_A 및 BL\_B)이 수직 방향으로 제공된다. 즉 주변 회로의 일부를 구성하는 전환 회로를 가지는 소자층은 소자층(34\_1 내지 34\_N)과 마찬가지로 적층하여 제공할 수 있다. 비트선(BL\_A 및 BL\_B)은 트랜지스터(28\_a, 28\_b)의 소스 및 드레인 중 한쪽에 접속된다.

- [0092] 또한 도 8에는, 열 드라이버(22)가 가지는 회로로서, 실리콘 기판 측에 있는 프리차지 회로(22\_1), 감지 증폭기(22\_2), 스위치 회로(22\_3), 및 기록 판독 회로(29)를 나타내었다. 프리차지 회로(22\_1) 및 감지 증폭기(22\_2)를 구성하는 트랜지스터로서, Si 트랜지스터를 사용한다. 선택 스위치(22\_3)에도 Si 트랜지스터를 사용할 수 있다. 트랜지스터(28\_a, 28\_b)의 소스 및 드레인 중 다른 쪽은 프리차지 회로(22\_1) 및 감지 증폭기(22\_2)를 구성하는 트랜지스터에 접속된다. 또한 도 8에서는, 스위치 회로(22\_3)가 가지는 스위치 회로(23\_A)에 접속되는 배선에 접속되는 소자층(34\_1 내지 34\_N), 및 소자층(26)을 나타내는 블록 외에, 스위치 회로(22\_3)가 가지는 스위치 회로(23\_B)에 접속되는 배선에 접속되는 소자층(34\_1 내지 34\_N), 및 소자층(26)을 나타내는 블록을 도시하였다.
- [0093] 전환 회로를 가지는 소자층(26)에서는, 비트선(BL\_A 또는 BL\_B)을 선택하여, 프리차지 회로(22\_1) 및 감지 증폭기(22\_2)에 접속되는 한 쌍의 배선 중 한쪽, 및 스위치(23\_A)에 접속된다. 또한 또 하나의 한 쌍의 전환 회로를 가지는 소자층(26)에서도, 비트선(BL)을 선택하여, 프리차지 회로(22\_1) 및 감지 증폭기(22\_2)에 접속되는 한 쌍의 배선 중 다른 쪽, 및 스위치(23\_B)에 접속된다. 선택된 비트선에 접속된 메모리 셀의 워드선을 하이 레벨로 하여 선택함으로써 프리차지된 비트선의 전위가 변화되고, 상기 변화에 따라 프리차지 회로(22\_1) 및 감지 증폭기(22\_2)에 접속된 한 쌍의 배선의 전위가 고전원 전위 VDD 또는 저전원 전위 VSS가 된다. 상기 전위는 스위치 회로(22\_3) 및 기록 판독 회로(29)를 통하여 외부에 출력할 수 있다.
- [0094] 도 8에 도시된 바와 같이 반도체 장치(10A)는, 전환 회로를 가지는 소자층(26)의 개수가 증가되지만, 복수의 비트선(BL) 중 어느 하나를 선택하여 열 드라이버(22)에 접속할 수 있다. 그러므로, 적은 개수의 비트선(BL)을 감지 증폭기(22\_2)에 접속하는 구성으로 할 수 있어, 비트선(BL)의 부하를 저감할 수 있다.
- [0095] 또한 도 7에서 도시한 반도체 장치(10A)의 유닛(30\_1)은 수직 방향으로 적층하여 제공하는 구성으로 할 수 있다. 도 9에는, 도 7에서 설명한 유닛(30\_1)이 M단(유닛(30\_1) 내지 30\_M), M은 2 이상) 적층된 구성의 반도체 장치(10A)를 도시하였다. 도 9는 반도체 장치의 수직 방향(z축 방향)에 대하여 평행한 면의 단면 모식도에 상당한다. 즉 도 9에 나타난 반도체 장치(10A)의 구성은 도 7에 도시된 소자층의 적층을 총  $MX(N+V)$ 층으로 한 구성이다.
- [0096] 도 9에 도시된 바와 같이 반도체 장치(10A)는 유닛(30\_1 내지 30\_M)에 있어서 각각 전환 회로(27\_1 내지 27\_M)를 가진다. 전환 회로(27\_1 내지 27\_M)는 선택 신호(MUX)가 입력됨으로써 신호(BL\_OUT)를 출력한다. 신호(BL\_OUT)가 출력되는 복수의 배선 중 어느 하나는 선택 신호(SEL)로 전환 가능한 스위치 회로(98)로 선택되고, 비트선(BL)과는 다른 배선(GBL)을 통하여 열 드라이버(22)에 접속된다. 또한 스위치 회로(98)에는 전환 회로(27\_1 내지 27\_M)를 구성하는 OS 트랜지스터를 사용할 수 있다.
- [0097] 상기 구성으로 함으로써, 유닛(30\_1 내지 30\_M) 각각의 소자층(34\_1 내지 34\_N)의 적층 수를 삭감할 수 있다. 그러므로, 유닛(30\_1 내지 30\_M) 각각의 비트선(BL)의 길이를 짧게 할 수 있어, 비트선(BL)의 부하를 저감할 수 있다. 또한 도면에 있어서, 시인성을 높이기 위하여 배선(GBL)은 굵은 선 또는 굵은 점선 등으로 도시한 경우가 있다. 배선(GBL)은 글로벌 비트선이라고 부르는 경우가 있다.
- [0098] 또한 도 9에 도시된 배선(GBL)은 OS 트랜지스터를 가지는 소자층을 제작한 후에 제공할 수 있다. 예를 들어, 도 10의 (A)에 도시된 단면도의 모식도와 같이, OS 트랜지스터를 가지는 소자층을 제작하고, 각 소자층을 둘러싸는 밀봉층(70A)의 외주에 개구를 형성하고, 상기 개구에 배선(GBL)을 제공할 수 있다. 또는, 도 10의 (A)에 도시된 단면도의 모식도와 같이, OS 트랜지스터를 가지는 소자층을 제작하고, 각 소자층을 일괄적으로 둘러싸는 밀봉층(70B)의 외주에 개구를 형성하고, 상기 개구에 배선(GBL)을 제공할 수 있다. 또한 배선(GBL)을 가진 각 소자층의 자세한 사향에 대해서는, 실시형태 3에서 자세히 설명한다.
- [0099] 본 발명의 일 형태의 반도체 장치는, 각 소자층에 제공되는 트랜지스터로서 오프 전류가 매우 낮은 OS 트랜지스터를 사용한다. OS 트랜지스터는 Si 트랜지스터가 제공되는 실리콘 기판 위에 적층하여 제공할 수 있다. 그러므로, 수직 방향으로 반복적으로 같은 제조 공정을 사용하여 제작할 수 있어, 제조 비용의 저감을 도모할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀을 구성하는 트랜지스터를 평면 방향이 아니라 수직 방향으로 배치함으로써, 메모리 밀도의 향상을 도모할 수 있고, 장치의 소형화를 도모할 수 있다.
- [0100] 이에 더하여, 본 발명의 일 형태는 전환 회로를 가지는 소자층을 가진다. 전환 회로는 수직 방향에서, 열 드라이버에 접속된 비트선(BL)의 개수를 저감하고, 데이터의 기록 시간의 단축, 판독 정밀도의 향상을 도모할 수 있다. 또한, 비트선을 불필요하게 충방전하는 것을 피할 수 있어, 저소비 전력화가 도모된 반도체 장치로 할 수 있다.



- [0101] (실시형태 3)
- [0102] 본 발명의 일 형태인 반도체 장치의 구성예에 대하여, 도 11 내지 도 24를 참조하여 설명한다. 실시형태 1과 같은 부호를 붙인 구성에 대해서는, 실시형태 1의 설명을 원용하고, 설명을 생략하는 경우가 있다.
- [0103] 도 11의 (A)에는 반도체 장치(10B)의 블록도를 나타내었다.
- [0104] 주변 회로(20)는 행 드라이버(21)와, 열 드라이버(22)와, 제어 회로가 제공되는 소자층(40)을 가진다. 제어 회로는 OS 트랜지스터로 구성되는 감지 증폭기로서 기능하는 회로를 가진다.
- [0105] 제어 회로가 제공되는 소자층(40)은 OS 트랜지스터로 구성되는 감지 증폭기로서 기능하는 회로를 가진다. OS 트랜지스터로 구성되는 감지 증폭기는 각 메모리 셀로의 데이터 신호의 기록 또는 판독 외에, 메모리 셀(31\_1 내지 31\_N)을 포함하는 유닛(50\_1 내지 50\_M)을 선택하기 위한 전환 회로로서 기능한다. OS 트랜지스터로 구성되는 감지 증폭기를 구동하기 위한 제어 신호(WE, RE, MUX)가 열 드라이버(22)로부터 소자층(40)에 공급된다. 감지 증폭기로서 기능하는 회로는 메모리 셀로의 데이터 신호의 판독 또는 기록을 제어하기 위한 트랜지스터를 가지므로 제어 회로라고 하는 경우가 있다.
- [0106] 도 11의 (A)의 반도체 장치에 있어서, 제어 회로는 증폭기로서 기능시킬 수 있다. 상기 구성으로 함으로써, 판독 시에 비트선(BL)의 미세한 전위차를 증폭하여, Si 트랜지스터를 사용한 감지 증폭기를 구동할 수 있다.
- [0107] 또한, 제어 회로를 구성하는 트랜지스터는 OS 트랜지스터인 것이 바람직하다. OS 트랜지스터를 사용한 제어 회로를 가지는 소자층(40)은 Si 트랜지스터를 사용한 회로 위 등에 자유로이 배치할 수 있기 때문에 용이하게 집적화할 수 있다. 또한 OS 트랜지스터는 Si 트랜지스터와 같은 제조 장치를 사용하여 제작할 수 있으므로 저비용으로 제작할 수 있다.
- [0108] 도 11의 (A)에서 설명한 각 구성에 있어서, 본 발명의 일 형태에 있는 소자층(34\_1 내지 34\_N) 및 제어 회로를 가지는 소자층(40)에 대하여 설명하기 위하여, 도 11의 (B)에 도시된 모식도를 사용하여 설명한다. 도 11의 (B)에 도시된 모식도는 도 11의 (A)에서 설명한 각 구성의 배치를 설명하기 위하여 x축, y축, z축 방향을 규정한 사시도에 대응한다.
- [0109] 도 11의 (B)에 도시된 바와 같이 반도체 장치(10B)에 있어서, 제어 회로를 구성하는 트랜지스터가 제공되는 소자층(40)이 V층(V는 1 이상의 자연수), 소자층(34\_1) 내지 소자층(34\_N)이 N층 있고, 총 (N+V)층의 OS 트랜지스터를 가지는 층이 실리콘 기판(11) 위에 적층하여 제공된다. 소자층(34\_1) 내지 소자층(34\_N)이 가지는 메모리 셀(31\_1 내지 31\_N), 및 제어 회로를 구성하는 트랜지스터가 제공되는 소자층(40)은 각각 실리콘 기판(11)에 제공된 열 드라이버(22)와 중첩되는 영역을 가진다. 도 11의 (B)에 도시된 바와 같이 소자층(40)은 실리콘 기판(11)과 소자층(34\_1) 사이에 제공된다고도 할 수 있다. 또한 도 11의 (B)에 도시된 바와 같이 소자층(34\_1)은 실리콘 기판(11)과 소자층(34\_N) 사이에 제공된다고도 할 수 있다.
- [0110] 또한 소자층(34\_1)이 가지는 메모리 셀(31\_1)의 트랜지스터와, 소자층(34\_N)이 가지는 메모리 셀(31\_N)의 트랜지스터는 수직 방향으로 제공된 비트선(BL)을 통하여 접속된다. 또한 비트선(BL)은 제어 회로를 구성하는 트랜지스터가 제공되는 소자층(40)에 접속된다. 소자층(40)은 비트선(BL)과는 따로 제공된 배선(GBL)(도시하지 않음)을 통하여 실리콘 기판(11)에 제공된 열 드라이버(22)에 접속된다. 또한 도면에 있어서, 배선(GBL)은 시인성을 높이기 위하여, 굵은 선 또는 굵은 점선 등으로 도시한 경우가 있다.
- [0111] 비트선(BL\_1)은 메모리 셀(31\_1)이 가지는 트랜지스터의 반도체층과 접하여 제공된다. 또는 비트선(BL\_1)은 메모리 셀(31\_1)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공된다. 또는 비트선(BL\_1)은 메모리 셀(31\_1)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공되는 도전체와 접하여 제공된다. 즉 비트선(BL)은 메모리 셀(31\_1)이 가지는 트랜지스터의 소스 및 드레인 중 한쪽과, 메모리 셀(31\_N)이 가지는 트랜지스터의 소스 및 드레인 중 한쪽과, 소자층(40)을 수직 방향으로 전기적으로 하기 위한 배선이라고 할 수 있다.
- [0112] 반도체 장치(10B)는 1종류의 메모리 셀을 가지지만, 2종류 이상의 메모리 셀을 가져도 좋다. 도 12의 (A)는 반도체 장치(10C)의 구성예를 나타낸 블록도이고, 반도체 장치(10B)의 변형예이다. 반도체 장치(10C)는 메모리 셀(31) 외에, 메모리 셀(31)과 다른 구성인 메모리 셀(51)이 메모리 셀 어레이(30)에 제공되는 점에서 반도체 장치(10B)와 상이하다. 반도체 장치(10C)는 하나 이상의 메모리 셀(51)로 구성되어 있는 소자층(54)을 가진다.
- [0113] 반도체 장치(10C)에 있어서, 소자층(54)은 소자층(34\_i)(i는 1 이상 N-1 이하의 정수)과 소자층(34\_{i+1}) 사이에 제공할 수 있다. 또한, 소자층(54)은 2층 이상 제공되어도 좋다. 반도체 장치(10C)가 소자층(54)을 2층 이상

가지는 경우, 예를 들어 제 1 소자층(54)과 제 2 소자층 사이에는 소자층(34)이 제공되어도 좋고, 제공되지 않아도 된다.

- [0114] 반도체 장치(10C)에서 행 드라이버(21)는 워드선(WL2)을 통하여 메모리 셀(51)에 전기적으로 접속되어 있다. 반도체 장치(10C)가 가지는 행 드라이버(21)는 워드선(WL)뿐만 아니라 워드선(WL2)에도 메모리 셀 어레이(30)를 구동하기 위한 신호를 출력하는 기능을 가진다. 구체적으로 행 드라이버(21)는 워드선(WL)뿐만 아니라 워드선(WL2)에도 워드 신호를 전달하는 기능을 가진다. 또한, 워드선(WL)에 워드 신호를 전달하는 기능을 가지는 행 드라이버와 별도로 워드선(WL2)에 워드 신호를 전달하는 기능을 가지는 행 드라이버를 제공하여도 좋다. 또한, 워드선(WL2)은 단순히 배선이라고 부르는 경우가 있다.
- [0115] 도 12의 (B)는 메모리 셀(51)의 구성예를 도시한 회로도이다. 메모리 셀(51)은 트랜지스터(55)와, 트랜지스터(56)와, 용량 소자(57)를 가진다.
- [0116] 트랜지스터(55)의 소스 및 드레인 중 한쪽은 트랜지스터(56)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(56)의 게이트는 용량 소자(57)의 한쪽 전극에 전기적으로 접속되어 있다. 트랜지스터(55)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(56)의 소스 및 드레인 중 한쪽은 배선(BL)에 전기적으로 접속되어 있다. 트랜지스터(56)의 소스 및 드레인 중 다른 쪽은 배선(SL)에 전기적으로 접속되어 있다. 용량 소자(57)의 다른 쪽 전극은 배선(CAL)에 전기적으로 접속되어 있다. 여기서, 트랜지스터(55)의 소스 및 드레인 중 한쪽과, 트랜지스터(56)의 게이트와, 용량 소자(57)의 한쪽 전극이 전기적으로 접속되는 노드를 노드(N)로 한다.
- [0117] 배선(CAL)은 용량 소자(57)의 다른 쪽 전극에 소정의 전위를 인가하기 위한 배선으로서의 기능을 가진다. 메모리 셀(51)로부터 데이터를 판독 할 때의 배선(CAL)의 전위를 메모리 셀(51)에 데이터를 기록할 때 및 메모리 셀(51)에 데이터를 유지하는 중일 때의 배선(CAL)의 전위와 상이하게 한다. 이에 의하여, 메모리 셀(51)로부터 데이터를 판독 할 때의 트랜지스터(56)의 외견상 문턱 전압을, 메모리 셀(51)에 데이터를 기록할 때 및 메모리 셀(51)에 데이터를 유지하는 중일 때의 트랜지스터(56)의 외견상 문턱 전압과 상이하게 할 수 있다.
- [0118] 메모리 셀(51)이 도 12의 (B)에 도시된 구성인 경우, 메모리 셀(51)에 데이터를 기록할 때 및 메모리 셀(51)에 데이터를 유지하는 중일 때에는 메모리 셀(51)에 기록된 데이터와 상관없이 배선(SL)과 배선(BL) 사이에 전류가 흐르지 않는다. 한편, 메모리 셀(51)로부터 데이터를 판독할 때에는 배선(SL)과 배선(BL) 사이에 메모리 셀(51)에 유지된 데이터에 대응하는 전류가 흐른다.
- [0119] 트랜지스터(55)는 OS 트랜지스터로 하는 것이 바람직하다. 상술한 바와 같이, OS 트랜지스터는 오프 전류가 매우 낮다. 따라서, 메모리 셀(51)에 기록된 데이터에 대응하는 전하가 노드(N)에 장시간 유지될 수 있다. 즉, 메모리 셀(51)에 있어서, 한번 기록한 데이터가 장시간 유지될 수 있다. 그러므로, 데이터 리프래시의 빈도를 낮추고, 본 발명의 일 형태의 반도체 장치의 소비 전력을 저감할 수 있다.
- [0120] 또한 OS 트랜지스터를 사용한 메모리 셀(51)은 실리콘 기판 위 등에 자유로이 배치할 수 있기 때문에 용이하게 집적화할 수 있다. 또한, 메모리 셀(51)의 집적화의 관점에서 트랜지스터(56)를 OS 트랜지스터로 하는 것이 바람직하다.
- [0121] 트랜지스터(55)는 백 게이트 전극을 가지는 것이 바람직하다. 백 게이트 전극에 인가하는 전위를 제어함으로써, 트랜지스터(55)의 문턱 전압을 제어할 수 있다. 이에 의하여, 예를 들어 트랜지스터(55)의 온 전류를 크게 하고, 오프 전류를 작게 할 수 있다. 또한, 트랜지스터(56)가 OS 트랜지스터인 경우에는 트랜지스터(56)에도 백 게이트 전극을 제공하는 것이 바람직하다.
- [0122] 도 12의 (B)에 도시된 구성의 메모리 셀(51)은 OS 트랜지스터를 메모리에 사용한 NOSRAM(Nonvolatile Oxide Semiconductor RAM)이라고 부를 수 있다. NOSRAM은 비파괴 판독이 가능하다는 특징을 가진다. 한편, 메모리 셀(31)에 적용할 수 있는 DOSRAM은 유지된 데이터를 판독할 때는 파괴 판독을 수행한다.
- [0123] 반도체 장치(10C)의 동작에 대하여 설명한다. 열 드라이버(22)로부터 메모리 셀 어레이(30)에 기록되는 데이터는 메모리 셀(31)에 유지된다. 메모리 셀(31)에 유지된 데이터 중 판독 빈도가 높은 데이터는 메모리 셀(31)로부터 메모리 셀(51)로 기록된다. 상술한 바와 같이, NOSRAM인 메모리 셀(51)은 비파괴 판독이 가능하므로, 데이터 리프래시의 빈도를 낮출 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치의 소비 전력을 저감할 수 있다.
- [0124] 또한, 노드(N)의 전위는 메모리 셀(51)에 기록된 데이터뿐만 아니라 배선(CAL)의 전위에 따라서도 변동한다. 그러므로, 메모리 셀(51)에 데이터를 기록한 후, 배선(CAL)의 전위를 조정함으로써, 메모리 셀(51)에 유지된 데

이터를 보정할 수 있다. 예를 들어, 메모리 셀(51)에 유지된 데이터를 보정하는 경우, 메모리 셀(51)로부터 데이터를 판독할 때의 배선(CAL)의 전위는 메모리 셀(51)에 유지된 데이터를 보정하지 않는 경우에 메모리 셀(51)로부터 데이터를 판독할 때의 배선(CAL)의 전위와 상이하게 할 수 있다. 따라서, 예를 들어 메모리 셀에 기록된 데이터가 화상 데이터인 경우, 반도체 장치(10C)는 화상 처리를 수행할 수 있다. 따라서, 반도체 장치(10C)는 예를 들어 화상 엔진으로 할 수 있다.

[0125] 또한, 반도체 장치(10C)에 있어서,  $i$ 는  $N/2$ , 또는 그 근방의 값으로 하는 것이 바람직하다. 이에 의하여, 예를 들어 메모리 셀(51)로부터 메모리 셀(31<sub>1</sub>)까지의 배선 거리 또는 메모리 셀(51)로부터 메모리 셀(31<sub>N</sub>)까지의 배선 거리를 짧게 할 수 있다. 이에 의하여, 메모리 셀(51)로부터 예를 들어 메모리 셀(31<sub>1</sub>) 또는 메모리 셀(31<sub>N</sub>)로 데이터를 기록할 때의, 배선(BL) 등의 배선 저항으로 인한 데이터 전위의 저하를 억제할 수 있다.

[0126] 도 13은 반도체 장치(10D)의 구성예를 나타낸 블록도이고, 반도체 장치(10C)의 변형예이다. 반도체 장치(10D)의 구성은 소자층(34<sub>1</sub>)의 앞, 즉 소자층(34<sub>1</sub>)과 소자층(40) 사이에 소자층(54)이 제공되는 점에서 반도체 장치(10C)의 구성과 상이하다.

[0127] 반도체 장치(10D)는 감지 증폭기 등이 제공되는 소자층(40)과 소자층(54) 사이의 배선 거리가 짧다는 특징을 가진다. 이에 의하여, 메모리 셀(51)의 배선 저항의 증가에 기인하는 동작의 어려움을 해소할 수 있고, 메모리 셀(51)의 동작의 제어를 수행하기 쉬워진다. 또한, 소자층(34<sub>N</sub>)의 뒤, 즉 예를 들어 소자층(34<sub>N</sub>)의 위에 소자층(54)을 제공하여도 좋다.

[0128] 도 14는 도 12의 (A)에 도시된 반도체 장치(10C)의 각 구성의 배치를 설명하기 위하여 x축, y축, z축 방향을 규정한 사시도이다. 또한, 도 15는 도 13에 도시된 반도체 장치(10D)의 각 구성의 배치를 설명하기 위하여 x축, y축, z축 방향을 규정한 사시도이다.

[0129] 도 14에 도시된 구성의 반도체 장치(10C) 및 도 15에 도시된 구성의 반도체 장치(10D)에서는 제어 회로를 구성하는 트랜지스터가 제공되는 소자층(40)이 V층, 소자층(34<sub>1</sub>) 내지 소자층(34<sub>N</sub>)이 N층, 소자층(54)이 1층 있고, 총 (N+V+1)층의 OS 트랜지스터를 가지는 층이 실리콘 기판(11) 위에 적층하여 제공된다. 소자층(54)이 가지는 메모리 셀(51)은 실리콘 기판(11)에 제공된 열 드라이버(22)와 중첩되는 영역을 가진다. 또한, 소자층(54)은 2층 이상 제공하여도 좋다. 예를 들어, 소자층(54)을 H층(H는 1 이상의 정수) 제공하여도 좋다. 반도체 장치(10C)에 소자층(54)을 H층 제공하는 경우, 반도체 장치(10C)에는 총 (N+V+H)층의 OS 트랜지스터를 가지는 층이 제공된다.

[0130] 도 16은 반도체 장치(10E)의 구성예를 설명하는, x축, y축, z축 방향을 규정한 사시도이다. 반도체 장치(10E)에서는, DOSRAM을 가질 수 있는 소자층(34<sub>i</sub>)과 소자층(34<sub>i+1</sub>) 사이에 감지 증폭기를 가지는 소자층(40)을 제공할 수 있다. 또한, 소자층(34<sub>i</sub>)과 소자층(40) 사이, 소자층(40)과 소자층(34<sub>i+1</sub>) 사이에 각각 NOSRAM을 가질 수 있는 소자층(54)을 제공할 수 있다. 즉, 2개의 소자층(34) 사이에 소자층(40) 및 소자층(54)을 제공할 수 있다. 또한, 반도체 장치(10E)에서는, 소자층(54)을 1층만 제공하여도 좋고, 3층 이상 제공하여도 좋다.

[0131] 본 발명의 일 형태는, 각 소자층에 제공되는 트랜지스터로서, 오프 전류가 매우 낮은 OS 트랜지스터를 사용한다. 그러므로, 메모리 셀에 유지된 데이터의 리프래시 빈도를 저감할 수 있어, 저소비 전력화가 도모된 반도체 장치로 할 수 있다. OS 트랜지스터는 적층하여 제공할 수 있고, 수직 방향으로 반복적으로 같은 제조 공정을 사용하여 제작할 수 있고, 제조 비용의 저감을 도모할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀을 구성하는 트랜지스터를 평면 방향이 아니라 수직 방향으로 배치함으로써, 메모리 밀도의 향상을 도모할 수 있고, 장치의 소형화를 도모할 수 있다. 또한, OS 트랜지스터는 고온 환경하에서도 Si 트랜지스터에 비하여 전기 특성의 변동이 작으므로, 적층하며 집적화할 때의 트랜지스터의 전기 특성의 변동이 작고 신뢰성이 우수한 기억 장치로서 기능하는 반도체 장치로 할 수 있다.

[0132] 이에 더하여, 본 발명의 일 형태는 제어 회로를 가지는 소자층을 가진다. 제어 회로는 증폭기로서 기능시킬 수 있다. 상기 구성으로 함으로써, 판독 시에 비트선(BL)의 미세한 전위차를 증폭하여, Si 트랜지스터를 사용한 감지 증폭기를 구동할 수 있다. Si 트랜지스터를 사용한 감지 증폭기 등의 회로를 소형화할 수 있기 때문에 반도체 장치의 소형화를 도모할 수 있다. 또한 메모리 셀이 가지는 커패시터의 용량을 작게 하여도 동작시킬 수 있다. 또한 본 발명의 일 형태는, 메모리 셀 어레이로부터 연장되어 제공되는 비트선을 수직 방향으로 제공함으로써, 메모리 셀 어레이와 열 드라이버의 비트선의 길이를 짧게 할 수 있다. 그러므로, 비트선의 기생 용량을 크게 삭감할 수 있어, 메모리 셀에 유지되는 데이터 신호를 다치화하여도 전위를 판독할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀에 유지된 데이터를 전류로서 판독할 수 있기 때문에 다치화하여도 데이터의 판독

을 용이하게 수행할 수 있다.

- [0133] 도 17에서는, 도 11의 (A) 및 (B)를 사용하여 설명한 반도체 장치(10B)의 수직 방향(z축 방향)에 평행한 면의 단면 모식도에 대하여 나타내었다.
- [0134] 도 17에 도시된 바와 같이 반도체 장치(10B)는, 각 층의 소자층에 제공된 메모리 셀(31\_1 내지 31\_N)과, 소자층(40)과, 실리콘 기판(11)에 제공되는 열 드라이버(22)를 최단 거리인 수직 방향으로 제공되는 비트선(BL) 및 비트선(GBL)을 통하여 접속하는 구성으로 할 수 있다. 제어 회로를 구성하는 트랜지스터를 가지는 소자층(40)의 개수는 증가되지만, 열 드라이버(22)에 접속되는, 수직 방향으로 제공된 배선의 개수를 저감할 수 있다. 비트선(BL)의 부하가 저감됨으로써 기록 시간을 단축하거나 데이터를 판독하기 쉽게 할 수 있다.
- [0135] 또한 도 17에 도시된 바와 같이 소자층(40)이 가지는 트랜지스터(41 내지 44)는, 열 드라이버(22)로부터 출력되는 제어 신호(WE, RE) 및 선택 신호(MUX)에 따라 제어된다. 각 트랜지스터는, 제어 신호 및 선택 신호에 따라 배선(GBL)을 통하여 비트선(BL)의 전위를 열 드라이버(22)에 출력할 수 있다. 또한 도 17에 도시된 반도체 장치(10B)는 유닛(50\_1)으로서 나타낼 수 있다.
- [0136] 이어서, 소자층(40)이 가지는 OS 트랜지스터로 구성되는 감지 증폭기로서 기능하는 회로의 구체적인 구성에 대하여, 도 18의 (A), (B) 및 도 19의 (A), (B)를 참조하여 설명한다.
- [0137] 도 18의 (A)에는 도 17에 도시된 유닛(50\_1)에 해당하는 유닛(50)을 도시하였다. 도 19의 (A)에 도시된 유닛(50)에서 소자층(40A)은 트랜지스터(41 내지 44)를 가진다. 트랜지스터(41 내지 44)는 각각 OS 트랜지스터로 구성될 수 있고, n채널형 트랜지스터로서 도시되었다.
- [0138] 트랜지스터(41)는 메모리 셀로부터 데이터 신호를 판독하는 기간에서 비트선(BL)의 전위에 따른 전위까지 배선(GBL)을 증폭하기 위한 소스 폴로어를 구성하는 트랜지스터이다. 트랜지스터(42)는 게이트에 입력된 선택 신호(MUX)에 따라 소스와 드레인 사이의 온 또는 오프를 제어하는 스위치로서 기능하는 트랜지스터이다. 트랜지스터(43)는 게이트에 입력된 기록 제어 신호(WE)에 따라 소스와 드레인 사이의 온 또는 오프를 제어하는 스위치로서 기능하는 트랜지스터이다. 트랜지스터(44)는 게이트에 입력된 판독 제어 신호(RE)에 따라 소스와 드레인 사이의 온 또는 오프를 제어하는 스위치로서 기능하는 트랜지스터이다. 또한 트랜지스터(44)의 소스 측에는 고정 전위인 그라운드 전위 GND가 공급된다.
- [0139] 또한 도 18의 (A)에 도시된 소자층(40A)의 구성에는 도 18의 (B) 및 도 19의 (A), (B)에 도시된 변형예를 적용할 수 있다. 도 18의 (B)의 소자층(40B)은 트랜지스터(43)의 소스 및 드레인 중 한쪽의 접속을, 배선(GBL)에서 트랜지스터(41)의 소스 및 드레인 중 한쪽으로 전환한 구성이다. 도 19의 (A)의 소자층(40C)은 트랜지스터(42)의 기능을 열 드라이버(22)로 수행함으로써 트랜지스터(42)를 생략한 구성에 상당한다. 도 19의 (B)의 소자층(40D)은 트랜지스터(44)를 생략한 구성에 상당한다.
- [0140] 도 20에는 도 17에서 설명한 유닛(50\_1)을 적층한 구성의 모식도를 도시하였다. 도 17에 도시된 바와 같이, 도 20에 도시된 반도체 장치(10B)는 각 소자층에 제공된 메모리 셀(31\_1 내지 31\_N)을 가진다. 도 20에 도시된 반도체 장치(10B)는 메모리 셀(31\_1 내지 31\_N)과 소자층(40\_1 내지 40\_M)을 최단 거리인 수직 방향으로 제공되는 비트선(BL)을 통하여 접속하고, 배선(GBL)을 통하여 소자층(40)을 열 드라이버(22)에 접속하는 구성으로 한다.
- [0141] 또한 도 18에 도시된 반도체 장치(10B)의 M단의 유닛(50\_1 내지 50\_M)은 수직 방향으로 적층하여 제공되는 구성으로 할 수 있다. 도 18에 도시된 바와 같이 반도체 장치(10B)는 유닛(50\_1 내지 50\_M)에서 각각 OS 트랜지스터로 구성되는 감지 증폭기로서 기능하는 회로를 가지는 소자층(40\_1 내지 40\_M)을 가진다. 즉 도 20에 나타낸 반도체 장치(10B)의 구성은 도 17에 도시된 소자층의 적층을 총  $MX(N+V)$ 층으로 한 구성이다.
- [0142] 도 21에는 유닛(50)으로서 도 14에 도시된 반도체 장치(10D)를 적용한 구성의 모식도를 도시하였다. 유닛(50\_1) 내지 유닛(50\_M)의 각각에 대하여, 소자층(40)과, 소자층(54)과, 소자층(34\_1) 내지 소자층(34\_N)이 수직 방향으로 적층하여 제공된다. 또한, 유닛(50)으로서 반도체 장치(10C) 및 반도체 장치(10E)를 적용하여도 좋다.
- [0143] 본 발명의 일 형태는, 각 소자층에 제공되는 트랜지스터로서, 오프 전류가 매우 낮은 OS 트랜지스터를 사용한다. 그러므로, 메모리 셀에 유지된 데이터의 리프래시 빈도를 저감할 수 있어, 저소비 전력화가 도모된 반도체 장치로 할 수 있다. OS 트랜지스터는 적층하여 제공할 수 있고, 수직 방향으로 반복적으로 같은 제조 공정을 사용하여 제작할 수 있고, 제조 비용의 저감을 도모할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀을 구성하는 트랜지스터를 평면 방향이 아니라 수직 방향으로 배치함으로써, 메모리 밀도의 향상을 도모할 수



있고, 장치의 소형화를 도모할 수 있다. 또한, OS 트랜지스터는 고온 환경하에서도 Si 트랜지스터에 비하여 전기 특성의 변동이 작으므로, 적층하며 집적화할 때의 트랜지스터의 전기 특성의 변동이 작고 신뢰성이 우수한 기억 장치로서 기능하는 반도체 장치로 할 수 있다.

[0144] 이에 더하여, 본 발명의 일 형태는 제어 회로를 가지는 소자층을 가진다. 제어 회로에서는, 비트선(BL)을 트랜지스터(41)의 게이트에 접속하므로 트랜지스터(41)를 증폭기로서 기능시킬 수 있다. 상기 구성으로 함으로써, 판독 시에 비트선(BL)의 미세한 전위차를 증폭하여, Si 트랜지스터를 사용한 감지 증폭기를 구동할 수 있다. Si 트랜지스터를 사용한 감지 증폭기 등의 회로를 소형화할 수 있기 때문에 반도체 장치의 소형화를 도모할 수 있다. 또한 메모리 셀이 가지는 커패시터의 용량을 작게 하여도 동작시킬 수 있다.

[0145] 도 22에는 메모리 셀 어레이(30)로서 기능하는 도 17에서 설명한 소자층(34\_1 내지 34\_N) 외에 트랜지스터(41\_a, 41\_b, 42\_a, 42\_b, 43\_a, 43\_b, 44\_a, 44\_b)를 가지는 소자층(40)을 도시하였다. 도 22에 도시된 트랜지스터(41\_a, 41\_b, 42\_a, 42\_b, 43\_a, 43\_b, 44\_a, 44\_b)를 가지는 소자층(40) 위에는 소자층(34\_1 내지 34\_N)이 제공되고, 비트선(BL\_A 및 BL\_B)이 수직 방향으로 제공된다. 즉 주변 회로의 일부를 구성하는 전환 회로를 가지는 소자층은 소자층(34\_1 내지 34\_N)과 마찬가지로 적층하여 제공할 수 있다. 비트선(BL\_A) 및 비트선(BL\_B)은 트랜지스터(41\_a) 및 트랜지스터(41\_b)의 게이트에 접속된다.

[0146] 또한 도 22에 있어서, 소자층(40)이 가지는 트랜지스터(42\_a, 42\_b, 43\_a, 43\_b)는 배선(GBL\_A 및 GBL\_B)과 접속된다. 배선(GBL\_A 및 GBL\_B)은 비트선(BL\_A 및 BL\_B)과 마찬가지로 수직 방향으로 제공되고, 열 드라이버(22)가 가지는 트랜지스터에 접속된다. 또한 소자층(40)이 가지는 트랜지스터(42\_a, 42\_b, 43\_a, 43\_b, 44\_a, 44\_b)의 게이트에는 제어 신호(WE, RE, MUX)가 공급된다.

[0147] 또한 도 22에는, 열 드라이버(22)가 가지는 회로로서, 실리콘 기판 측에 있는 프리차지 회로(22\_A), 프리차지 회로(22\_B), 감지 증폭기(22\_C), 스위치 회로(22\_D), 스위치 회로(22\_E), 및 기록 판독 회로(29)를 도시하였다. 프리차지 회로(22\_A), 프리차지 회로(22\_B), 및 감지 증폭기(22\_C)를 구성하는 트랜지스터로서는 Si 트랜지스터를 사용한다. 스위치 회로(22\_D), 스위치 회로(22\_E)를 구성하는 스위치(23\_A 내지 23\_D)에도 Si 트랜지스터를 사용할 수 있다. 트랜지스터(42\_a, 42\_b, 43\_a, 43\_b)의 소스 및 드레인 중 한쪽은 프리차지 회로(22\_A), 프리차지 회로(22\_B), 감지 증폭기(22\_C), 스위치 회로(22\_D)를 구성하는 트랜지스터에 접속된다.

[0148] 프리차지 회로(22\_A)는 n채널형 트랜지스터(24\_1 내지 24\_3)로 구성된다. 프리차지 회로(22\_A)는 프리차지선(PCL1)에 공급되는 프리차지 신호에 따라, 비트선(BL\_A) 및 비트선(BL\_B)을 VDD와 VSS의 중간 전위 VDD/2에 상당하는 중간 전위 VPC로 프리차지하기 위한 회로이다.

[0149] 프리차지 회로(22\_B)는 n채널형 트랜지스터(24\_4 내지 24\_6)로 구성된다. 프리차지 회로(22\_B)는 프리차지선(PCL2)에 공급되는 프리차지 신호에 따라, 배선(GBL\_A) 및 배선(GBL\_B)을 VDD와 VSS의 중간 전위 VDD/2에 상당하는 중간 전위 VPC로 프리차지하기 위한 회로이다.

[0150] 감지 증폭기(22\_C)는 배선(VHH) 또는 배선(VLL)에 접속된, p채널형 트랜지스터(25\_1, 25\_2) 및 n채널형 트랜지스터(25\_3, 25\_4)로 구성된다. 배선(VHH) 또는 배선(VLL)은 VDD 또는 VSS를 공급하는 기능을 가지는 배선이다. 트랜지스터(25\_1 내지 25\_4)는 인버터 루프를 구성하는 트랜지스터이다. 감지 증폭기(22\_C)는 워드선(WL\_A, WL\_B)를 하이 레벨로 하고 메모리 셀(31\_N\_A, 31\_N\_B)을 선택함으로써 변화되는 비트선(BL\_A) 및 비트선(BL\_B)의 전위에 따라 배선(GBL\_A) 및 배선(GBL\_B)의 전위를 고전원 전위 VDD 또는 저전원 전위 VSS로 한다. 배선(GBL\_A) 및 배선(GBL\_B)의 전위는 스위치 회로(22\_D), 스위치 회로(22\_E), 및 기록/판독 회로(29)를 통하여 외부에 출력할 수 있다. 비트선(BL\_A) 및 비트선(BL\_B), 그리고 배선(GBL\_A) 및 배선(GBL\_B)은 비트선쌍에 상당한다. 기록/판독 회로(29)는 신호(EN\_data)에 따라 데이터 신호의 기록이 제어된다.

[0151] 스위치 회로(22\_D)는 감지 증폭기(22\_C)와 배선(GBL\_A) 및 배선(GBL\_B) 사이의 도통 상태를 제어하기 위한 회로이다. 스위치 회로(22\_D)는 전환 신호(CSEL1)의 제어에 의하여 온 또는 오프가 전환된다. 스위치(23\_A 및 23\_B)가 n채널형 트랜지스터인 경우, 전환 신호(CSEL1)가 하이 레벨일 때 스위치(23\_A 및 23\_B)가 온, 로 레벨일 때 스위치(23\_A 및 23\_B)가 오프가 된다. 스위치 회로(22\_E)는 기록 판독 회로(29)와, 감지 증폭기(22\_C)에 접속되는 비트선쌍 사이의 도통 상태를 제어하기 위한 회로이다. 스위치 회로(22\_D)는 전환 신호(CSEL1)의 제어에 의하여 온 또는 오프가 전환된다. 스위치(23\_C 및 23\_D)는 스위치(23\_A 및 23\_B)와 마찬가지로 CSEL2의 제어에 의하여 온 또는 오프가 전환되면 된다.

[0152] 또한 도 23에는 도 22에 나타난 회로도의 동작을 설명하기 위한 타이밍 차트를 나타내었다. 도 23에 나타난 타이밍 차트에 있어서, 기간(T11)은 기록의 동작, 기간(T12)은 비트선(BL)의 프리차지 동작, 기간(T13)은 배선

(GBL)의 프리차지 동작, 기간(T14)은 전하 공유(charge sharing)의 동작, 기간(T15)은 판독 대기의 동작, 기간(T16)은 판독의 동작을 설명하는 기간에 대응한다.

- [0153] 기간(T11)은 데이터 신호를 기록하고자 하는 메모리 셀이 가지는 트랜지스터의 게이트에 접속된 워드선을 하이 레벨로 한다. 이때, 제어 신호(WE) 및 신호(EN\_data)를 하이 레벨로 하고, 데이터 신호를 배선(GBL) 및 비트선(BL)을 통하여 메모리 셀에 기록한다.
- [0154] 기간(T12)은 비트선(BL)을 프리차지하기 위하여, 제어 신호(WE)를 하이 레벨로 한 상태에서 프리차지선(PCL1)을 하이 레벨로 한다. 비트선(BL)은 프리차지 전위로 프리차지된다. 기간(T12)에서, 감지 증폭기(22\_C)에 전원 전압을 공급하는 배선(VHH) 또는 배선(VLL)을 둘 다 VDD/2로 하여 관통 전류로 인한 소비 전력을 억제하는 것이 바람직하다.
- [0155] 기간(T13)은 배선(GBL)을 프리차지하기 위하여, 프리차지선(PCL2)을 하이 레벨로 한다. 배선(GBL)은 프리차지 전위로 프리차지된다. 기간(T13)에서, 배선(VHH) 및 배선(VLL)을 둘 다 VDD로 함으로써 부하가 큰 배선(GBL)을 단시간으로 프리차지할 수 있다.
- [0156] 기간(T14)은 비트선(BL) 및 배선(GBL)에 프리차지된 전하를 평형화하기 위한 전하 공유를 위하여, 제어 신호(WL) 및 제어 신호(MUX)를 하이 레벨로 한다. 비트선(BL)과 배선(GBL)이 등전위가 된다. 기간(T14)에서, 감지 증폭기(22\_C)에 전원 전압을 공급하는 배선(VHH) 또는 배선(VLL)을 둘 다 VDD/2로 하여 관통 전류로 인한 소비 전력을 억제하는 것이 바람직하다.
- [0157] 기간(T15)에서는 제어 신호(RE)를 하이 레벨로 한다. 이는 비트선(BL)의 전위에 따라 트랜지스터(41)에 전류가 흐르고, 상기 전류량에 따라 배선(GBL)의 전위가 변동되는 기간이다. 전환 신호(CSEL1)를 로 레벨로 하여, 배선(GBL)의 전위의 변동이 감지 증폭기(22\_C)의 영향을 받지 않도록 한다. 배선(VHH) 또는 배선(VLL)은 기간(T14)과 같다.
- [0158] 기간(T16)에서는 전환 신호(CSEL1)를 하이 레벨로 하여 배선(GBL)의 전위의 변동을 감지 증폭기(22\_C)에 접속된 비트선쌍으로 증폭함으로써 메모리 셀에 기록된 데이터 신호를 판독한다.
- [0159] 또한 도 17에 도시된 반도체 장치(10B)의 구성은, 도 18의 (B)의 소자층(40B)의 회로 구성을 채용하는 경우, 도 24에 도시된 회로도 및 같이 나타낼 수 있다. 도 24에서는 각 유닛이 가지는 소자층(40\_1 내지 40\_M)의 트랜지스터(42)만을 발체하여, 상기 트랜지스터(42)로 구성되는 전환 회로(49)를 도시하였다. 즉 소자층(40\_1 내지 40\_M)은 상기 전환 회로(49)로 선택된 소자층(40\_1 내지 40\_M) 중 어느 하나에 의하여 선택된 메모리 셀(31\_1 내지 31\_M) 중 어느 하나를 선택하여 데이터 신호의 기록 또는 판독을 수행할 수 있다.
- [0160] 본 발명의 일 형태의 반도체 장치는, 각 소자층에 제공되는 트랜지스터로서, 오프 전류가 매우 낮은 OS 트랜지스터를 사용한다. OS 트랜지스터는 Si 트랜지스터가 제공되는 실리콘 기판 위에 적층하여 제공할 수 있다. 그러므로, 수직 방향으로 반복적으로 같은 제조 공정을 사용하여 제작할 수 있어, 제조 비용의 저감을 도모할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀을 구성하는 트랜지스터를 평면 방향이 아니라 수직 방향으로 배치함으로써, 메모리 밀도의 향상을 도모할 수 있고, 장치의 소형화를 도모할 수 있다.
- [0161] 이에 더하여, 본 발명의 일 형태는 제어 회로를 가지는 소자층을 가진다. 제어 회로는, 비트선(BL)을 트랜지스터(41)의 게이트에 접속하기 때문에 트랜지스터(41)를 증폭기로서 기능시킬 수 있다. 상기 구성으로 함으로써, 판독 시에 비트선(BL)의 미세한 전위차를 증폭하여, Si 트랜지스터를 사용한 감지 증폭기를 구동할 수 있다. Si 트랜지스터를 사용한 감지 증폭기 등의 회로를 소형화할 수 있기 때문에 반도체 장치의 소형화를 도모할 수 있다. 또한 메모리 셀이 가지는 커패시터의 용량을 작게 하여도 동작시킬 수 있다.
- [0162] (실시형태 4)
- [0163] 본 발명의 일 형태인 반도체 장치 및 반도체 장치의 동작 방법의 구성에 대하여, 도 25 내지 도 29를 참조하여 설명한다. 실시형태 1과 같은 부호를 붙인 구성에 대해서는, 실시형태 1의 설명을 원용하고, 설명을 생략하는 경우가 있다.
- [0164] 도 25의 (A)는 본 실시형태에서 설명하는 반도체 장치의 블록도이다. 도 1의 (A)에 도시된 반도체 장치(10F)는 주변 회로(20) 및 메모리 셀 어레이(30)를 가진다.
- [0165] 메모리 셀 어레이(30)는 복수 또는 단층의 소자층(34)을 가진다. 소자층(34)은 하나 이상의 메모리 셀(31\_1 내지 31\_N(N은 2 이상의 자연수))을 가진다. 메모리 셀(31\_1)은 트랜지스터(32\_1) 및 커패시터(33\_1)를 가진다.

메모리 셀(31\_N)은 트랜지스터(32\_N) 및 커패시터(33\_N)를 가진다. 또한 커패시터는 용량 소자라고 부르는 경우가 있다. 또한 소자층은 커패시터나 트랜지스터 등의 소자가 제공되는 층이고, 도전체, 반도체, 절연체 등의 부재로 구성되는 층이다.

[0166] 도 25의 (A)에서 설명한 각 구성에 있어서, 본 발명의 일 형태에 있는 소자층(34)에 대하여 설명하기 위하여, 도 25의 (B)에 나타난 모식도를 사용하여 설명한다. 도 25의 (B)에 도시된 모식도는 도 25의 (A)에서 설명한 각 구성의 배치를 설명하기 위하여 x축, y축, z축 방향을 규정한 사시도에 대응한다.

[0167] 도 25의 (B)에 도시된 바와 같이 메모리 셀(31\_1 내지 31\_N)을 가지는 소자층(34)은 실리콘 기판(11)에 제공된 열 드라이버(22)와 중첩되는 영역을 가진다.

[0168] 소자층(34)이 가지는 메모리 셀(31\_1)의 트랜지스터는 수직 방향으로 제공된 비트선(BL\_1)을 통하여 열 드라이버(22)와 접속된다. 소자층(34)이 가지는 메모리 셀(31\_N)의 트랜지스터는 수직 방향으로 제공된 비트선(BL\_N)을 통하여 열 드라이버(22)와 접속된다. 비트선(BL\_1 및 BL\_N), 그리고 그 외의 비트선(BL)은 실리콘 기판(11)에 제공된 열 드라이버(22)에 접속된다.

[0169] 본 발명의 일 형태는, 각 소자층에 제공되는 트랜지스터로서, 오프 전류가 매우 낮은 OS 트랜지스터를 사용한다. 그러므로, 메모리 셀에 유지된 데이터의 리프레이 빈도를 저감할 수 있어, 저소비 전력화가 도모된 반도체 장치로 할 수 있다. OS 트랜지스터는 적층하여 제공할 수 있고, 수직 방향으로 반복적으로 같은 제조 공정을 사용하여 제작할 수 있고, 제조 비용의 저감을 도모할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀을 구성하는 트랜지스터를 평면 방향이 아니라 수직 방향으로 배치함으로써, 메모리 밀도의 향상을 도모할 수 있고, 장치의 소형화를 도모할 수 있다. 또한, OS 트랜지스터는 고온 환경하에서도 Si 트랜지스터에 비하여 전기 특성의 변동이 작으므로, 적층하며 집적화할 때의 트랜지스터의 전기 특성의 변동이 작고 신뢰성이 우수한 기억 장치로서 기능하는 반도체 장치로 할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀 어레이로부터 연장되어 제공되는 비트선을 수직 방향으로 제공함으로써, 메모리 셀 어레이와 열 드라이버의 비트선의 길이를 짧게 할 수 있다. 그러므로, 비트선의 기생 용량을 크게 삭감할 수 있어, 메모리 셀에 유지되는 데이터 신호를 다치화하여도 전위를 관측할 수 있다.

[0170] 도 26에서는, 도 25의 (A) 및 (B)를 사용하여 설명한 반도체 장치(10F)의 수직 방향(z축 방향)에 평행한 면의 단면 모식도에 대하여 나타내었다.

[0171] 도 26에 도시된 바와 같이 반도체 장치(10F)는 소자층(34)에 제공된 메모리 셀(31\_1 내지 31\_N)과, 실리콘 기판(11)에 제공되는 열 드라이버(22)를 최단 거리인 수직 방향으로 제공되는 비트선(BL)을 통하여 접속하는 구성으로 할 수 있다. 비트선을 평면 방향으로 배치하는 구성에 비하여 비트선의 개수는 증가되지만 하나의 비트선에 접속되는 메모리 셀의 개수를 줄일 수 있기 때문에 비트선의 기생 용량을 작게 할 수 있다. 그러므로, 메모리 셀이 가지는 커패시터의 용량을 작게 하여도, 전하의 이동에 따른 비트선의 전위를 변동시킬 수 있다.

[0172] 또한 메모리 셀(31\_1 내지 31\_N)이 가지는 커패시터(33\_1 내지 33\_N)의 용량을 작게 할 수 있으므로, 커패시터(33\_1 내지 33\_N)를 트랜지스터(32\_1 내지 32\_N)와 같은 층에 제공할 수 있다. 커패시터(33\_1 내지 33\_N)를 트랜지스터(32\_1 내지 32\_N)와 같은 층에 제공하는 구성으로 함으로써, 한 층마다의 소자층(34\_1 내지 34\_N)을 얇게 할 수 있다. 그러므로, 반도체 장치(10F)의 소형화를 도모할 수 있다.

[0173] 또한 메모리 셀(31\_1 내지 31\_N)이 가지는 커패시터(33\_1 내지 33\_N)는 트랜지스터(32\_1 내지 32\_N)와 같은 층에 제공하는 구성이어도 좋지만, 다른 구성이어도 좋다. 예를 들어, 도 27의 (A)에 나타난 모식도에서는, 소자층(34\_1 내지 34\_N)이 가지는 메모리 셀(31)의 커패시터(33A)가 트랜지스터(32)에 대하여 수직 방향으로 위쪽에 제공되는 구성을 나타내었다. 상기 구성으로 함으로써 용량을 크게 할 수 있기 때문에 관측되는 데이터의 신뢰성, 데이터의 유지 시간의 향상을 도모할 수 있다. 이에 더하여, 도 27의 (A)의 구성에서는 트랜지스터(32)의 위쪽에, 한쪽 전극이 고정 전위에 접속된 커패시터(33A)의 전극을 배치할 수 있기 때문에, 외부로부터의 노이즈의 영향을 억제할 수 있다.

[0174] 또한 도 27의 (B)에 나타난 모식도는 소자층(34\_1 내지 34\_N)이 가지는 메모리 셀(31)의 커패시터(33B)가 트랜지스터(32)에 대하여 수직 방향으로 아래쪽에 제공되는 구성을 나타낸다. 상기 구성으로 함으로써 용량을 크게 할 수 있기 때문에 관측되는 데이터의 신뢰성, 데이터의 유지 시간의 향상을 도모할 수 있다. 이에 더하여 도 27의 (B)의 구성에서는 트랜지스터(32)와 열 드라이버(22) 사이에 한쪽 전극이 고정 전위에 접속된 커패시터(33B)의 전극을 배치할 수 있기 때문에 열 드라이버(22)의 노이즈가 메모리 셀(31)에 영향을 미치는 것을 억제할 수 있다.

- [0175] 도 28은 도 25의 (A)에서 설명한, 소자층(34)을 가지는 메모리 셀 어레이(30)의 회로의 구성예와, 상기 메모리 셀에 접속되는 열 드라이버(22)의 구체적인 회로의 구성예에 대하여 설명하는 회로도이다.
- [0176] 도 28에는 메모리 셀 어레이(30)로서 소자층(34)을 도시하였다. 도 28에서는, 비트선(BL\_A)에 접속된 메모리 셀로서 메모리 셀(31\_N\_A)을 가진다. 메모리 셀(31\_N\_A)에는 게이트가 워드선(WL\_A)에 접속된 트랜지스터(32A)와 커패시터(33)가 도시되어 있다. 또한 도 28에서는, 비트선(BL\_B)에 접속된 메모리 셀로서 메모리 셀(31\_N\_B)을 가진다. 메모리 셀(31\_N\_B)에는 게이트가 워드선(WL\_B)에 접속된 트랜지스터(32B)와 커패시터(33)가 도시되었다. 각 소자층의 커패시터(33)는 고정 전위, 예를 들어 그라운드 전위가 공급되는 배선(VL)에 접속된다.
- [0177] 또한 도 28에는, 열 드라이버(22)가 가지는 회로로서, 실리콘 기판 측에 있는 프리차지 회로(22\_1), 감지 증폭기(22\_2), 스위치 회로(22\_3), 기록 판독 회로(29)를 나타내었다. 프리차지 회로(22\_1) 및 감지 증폭기(22\_2)를 구성하는 트랜지스터로서, Si 트랜지스터를 사용한다. 선택 스위치(22\_3)에도 Si 트랜지스터를 사용할 수 있다.
- [0178] 또한 도 29에는 도 28에 나타난 회로도의 동작을 설명하기 위한 타이밍 차트를 나타내었다. 도 29에 나타난 타이밍 차트에 있어서, 기간(T1)은 초기화의 동작, 기간(T2)은 기록의 동작, 기간(T3)은 비 액세스 시의 동작, 기간(T4)은 판독의 동작을 설명하는 기간에 대응한다.
- [0179] 본 발명의 일 형태의 반도체 장치는, 각 소자층에 제공되는 트랜지스터로서 오프 전류가 매우 낮은 OS 트랜지스터를 사용한다. OS 트랜지스터는 Si 트랜지스터가 제공되는 실리콘 기판 위에 적층하여 제공할 수 있다. 그러므로, 수직 방향으로 반복적으로 같은 제조 공정을 사용하여 제작할 수 있어, 제조 비용의 저감을 도모할 수 있다. 또한 본 발명의 일 형태는, 메모리 셀을 구성하는 트랜지스터를 평면 방향이 아니라 수직 방향으로 배치함으로써, 메모리 밀도의 향상을 도모할 수 있고, 장치의 소형화를 도모할 수 있다.
- [0180] (실시형태 5)
- [0181] 본 실시형태에서는, 상기 실시형태 1에서 설명한 반도체 장치(10)에 적용 가능한 회로의 변형예에 대하여, 도 30을 참조하여 설명한다.
- [0182] 앞에서 설명한 소자층(34\_1 내지 34\_N)이 가지는 메모리 셀에 있어서, 트랜지스터는 백 게이트 전극이 없는 톱 게이트 구조 또는 보텀 게이트 구조의 트랜지스터로서 도시하였지만, 트랜지스터(32)의 구조는 이에 한정되지 않는다. 예를 들어, 도 30에 도시된 바와 같이, 메모리 셀(31)이 가지는 트랜지스터는 백 게이트 전극선(BGL)에 접속된 백 게이트 전극을 가지는 트랜지스터(32)로 하여도 좋다. 도 30의 구성으로 함으로써, 트랜지스터(32)의 문턱 전압 등의 전기 특성을 외부로부터 제어하기 쉽게 할 수 있다.
- [0183] (실시형태 6)
- [0184] 본 실시형태에서는, 상기 실시형태 2에서 설명한 반도체 장치(10A)에 적용 가능한 회로의 변형예에 대하여, 도 31을 참조하여 설명한다.
- [0185] 앞에서 설명한 소자층(26)의 전환 회로를 구성하는 트랜지스터는 백 게이트 전극이 없는 톱 게이트 구조 또는 보텀 게이트 구조의 트랜지스터로서 도시하였지만, 트랜지스터의 구조는 이에 한정되지 않는다. 예를 들어, 도 31에 도시된 바와 같이, 전환 회로(27)를 구성하는 트랜지스터는 백 게이트 전극선(BGL)에 접속된 백 게이트 전극을 가지는 트랜지스터(28)로 하여도 좋다. 도 31의 구성으로 함으로써, 트랜지스터(28)의 문턱 전압 등의 전기 특성을 외부로부터 제어하기 쉽게 할 수 있다.
- [0186] (실시형태 7)
- [0187] 본 실시형태에서는, 상기 실시형태 3에서 설명한 반도체 장치(10B)에 적용 가능한 회로의 변형예에 대하여, 도 32를 참조하여 설명한다.
- [0188] 앞에서 설명한 소자층(34\_1 내지 34\_N)이 가지는 메모리 셀에 있어서, 트랜지스터는 백 게이트 전극이 없는 톱 게이트 구조 또는 보텀 게이트 구조의 트랜지스터로서 도시하였지만, 트랜지스터(32)의 구조는 이에 한정되지 않는다. 예를 들어, 도 32에 도시된 바와 같이, 메모리 셀(31)이 가지는 트랜지스터는 백 게이트 전극선(BGL)에 접속된 백 게이트 전극을 가지는 트랜지스터(32)로 하여도 좋다. 도 32의 구성으로 함으로써, 트랜지스터(32)의 문턱 전압 등의 전기 특성을 외부로부터 제어하기 쉽게 할 수 있다.



- [0189] (실시형태 8)
- [0190] 본 실시형태에서는, 상기 실시형태 4에서 설명한 반도체 장치에 적용 가능한 회로의 변형예에 대하여, 도 33을 참조하여 설명한다.
- [0191] 앞에서 설명한 소자층(34)이 가지는 메모리 셀에 있어서, 트랜지스터는 백 게이트 전극이 없는 톱 게이트 구조 또는 보텀 게이트 구조의 트랜지스터로서 도시하였지만, 트랜지스터(32)의 구조는 이에 한정되지 않는다. 예를 들어, 도 33에 도시된 바와 같이, 메모리 셀(31)이 가지는 트랜지스터는 백 게이트 전극선(BGL)에 접속된 백 게이트 전극을 가지는 트랜지스터(32)로 하여도 좋다. 도 33의 구성으로 함으로써, 트랜지스터(32)의 문턱 전압 등의 전기 특성을 외부로부터 제어하기 쉽게 할 수 있다.
- [0192] (실시형태 9)
- [0193] 이하에서는, 본 발명의 일 형태에 따른 기억 장치로서 기능하는 반도체 장치의 일례에 대하여 설명한다.
- [0194] 도 34는 반도체 기판(311)에 제공된 회로를 가지는 소자층(411) 위에 메모리 유닛(470)(메모리 유닛(470\_1) 내지 메모리 유닛(470\_m): m은 2 이상의 자연수)이 적층하여 제공된 반도체 장치의 예를 나타낸 도면이다. 도 34에는 소자층(411)과, 소자층(411) 위의 복수의 메모리 유닛(470)이 적층되어 있고, 복수의 메모리 유닛(470)에는 각각 트랜지스터층(413)(트랜지스터층(413\_1) 내지 트랜지스터층(413\_m))과, 각 트랜지스터층(413) 위의 복수의 메모리 디바이스층(415)(메모리 디바이스층(415\_1) 내지 메모리 디바이스층(415\_n): n은 2 이상의 자연수)이 제공되는 예를 나타내었다. 또한, 각 메모리 유닛(470)에서 트랜지스터층(413) 위에 메모리 디바이스층(415)이 제공되는 예를 나타내었지만, 본 실시형태에서는 이에 한정되지 않는다. 복수의 메모리 디바이스층(415) 위에 트랜지스터층(413)을 제공하여도 좋고, 트랜지스터층(413)의 위아래에 메모리 디바이스층(415)이 제공되어도 좋다.
- [0195] 소자층(411)은 반도체 기판(311)에 제공된 트랜지스터(300)를 가지고, 반도체 장치의 회로(주변 회로라고 부르는 경우가 있음)로서 기능할 수 있다. 회로의 예로서는, 열 드라이버, 행 드라이버, 열 디코더, 행 디코더, 감지 증폭기, 프리차지 회로, 증폭 회로, 워드선 드라이버 회로, 출력 회로, 컨트롤 로직 회로 등을 들 수 있다.
- [0196] 트랜지스터층(413)은 트랜지스터(200T)를 가지고, 각 메모리 유닛(470)을 제어하는 회로로서 기능할 수 있다. 메모리 디바이스층(415)은 메모리 디바이스(420)를 가진다. 본 실시형태에 나타낸 메모리 디바이스(420)는 트랜지스터(200M)와 용량 소자(292)를 가진다.
- [0197] 또한, 상기 m의 값에 대해서는 특별히 제한되지 않지만, 2 이상 100 이하, 바람직하게는 2 이상 50 이하, 더 바람직하게는 2 이상 10 이하이다. 또한, 상기 n의 값에 대해서는 특별히 제한되지 않지만, 2 이상 100 이하, 바람직하게는 2 이상 50 이하, 더 바람직하게는 2 이상 10 이하이다. 또한, 상기 m과 n의 곱은 4 이상 256 이하, 바람직하게는 4 이상 128 이하, 더 바람직하게는 4 이상 64 이하이다.
- [0198] 또한, 도 34는 메모리 유닛에 포함되는 트랜지스터(200T) 및 트랜지스터(200M)의 채널 길이 방향의 단면도를 나타낸 것이다.
- [0199] 도 34에 도시된 바와 같이, 반도체 기판(311)에 트랜지스터(300)가 제공되고, 트랜지스터(300) 위에는 메모리 유닛(470)이 가지는 트랜지스터층(413)과 메모리 디바이스층(415)이 제공되고, 하나의 메모리 유닛(470) 내에서 트랜지스터층(413)이 가지는 트랜지스터(200T)와, 메모리 디바이스층(415)이 가지는 메모리 디바이스(420)는 복수의 도전체(424)에 의하여 전기적으로 접속되고, 트랜지스터(300)와, 각 메모리 유닛(470)의 트랜지스터층(413)이 가지는 트랜지스터(200T)는 도전체(426)에 의하여 전기적으로 접속된다. 또한, 도전체(426)는 트랜지스터(200T)의 소스, 드레인, 게이트 중 어느 하나에 전기적으로 접속되는 도전체(428)를 통하여 트랜지스터(200T)에 전기적으로 접속되는 것이 바람직하다. 도전체(424)는 메모리 디바이스층(415)의 각 층에 제공되는 것이 바람직하다. 또한, 도전체(426)는 트랜지스터층(413) 및 메모리 디바이스층(415)의 각 층에 제공되는 것이 바람직하다.
- [0200] 또한, 자세한 사항은 후술하지만, 도전체(424)의 측면 및 도전체(426)의 측면에는 물 또는 수소 등의 불순물이나 산소의 투과를 억제하는 절연체를 제공하는 것이 바람직하다. 이와 같은 절연체로서, 예를 들어 질화 실리콘, 산화 알루미늄, 또는 질화산화 실리콘 등을 사용하면 좋다.
- [0201] 메모리 디바이스(420)는 트랜지스터(200M)와 용량 소자(292)를 가지고, 트랜지스터(200M)는 트랜지스터층(413)이 가지는 트랜지스터(200T)와 같은 구조로 할 수 있다. 또한, 트랜지스터(200T)와 트랜지스터(200M)를 통틀어

트랜지스터(200)라고 하는 경우가 있다.

- [0202] 여기서, 트랜지스터(200)에는, 채널이 형성되는 영역(이하 채널 형성 영역이라고도 함)을 포함하는 반도체에 산화물 반도체로서 기능하는 금속 산화물(이하 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.
- [0203] 산화물 반도체로서 예를 들어 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다. 또한 산화물 반도체로서 산화 인듐, In-Ga 산화물, In-Zn 산화물을 사용하여도 좋다. 또한, 인듐의 비율이 높은 조성의 산화물 반도체로 함으로써, 트랜지스터의 온 전류 또는 전계 효과 이동도 등을 높일 수 있다.
- [0204] 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터(200)는 비도통 상태에서 누설 전류가 매우 작기 때문에, 저소비 전력의 반도체 장치를 제공할 수 있다. 또한, 산화물 반도체는 스퍼터링법 등을 사용하여 성막할 수 있기 때문에, 고집적형 반도체 장치를 구성하는 트랜지스터(200)에 사용할 수 있다.
- [0205] 한편, 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 불순물 및 산소 결손( $V_O$ : oxygen vacancy라고도 함)으로 인하여 그 전기 특성이 변동되므로, 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)이 되기 쉽다.
- [0206] 그래서, 불순물 농도 및 결합 준위 밀도가 저감된 산화물 반도체를 사용하는 것이 좋다. 본 명세서 등에서 불순물 농도가 낮고 결합 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다.
- [0207] 따라서, 산화물 반도체 내의 불순물 농도는 가능한 한 저감되어 있는 것이 바람직하다. 또한, 산화물 반도체 내의 불순물로서는, 예를 들어 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0208] 특히, 산화물 반도체에 포함되는 불순물로서의 수소는 산화물 반도체 내에 산소 결손을 형성하는 경우가 있다. 또한, 산소 결손에 수소가 들어간 결합(이하,  $V_H$ 라고 하는 경우가 있음)은 캐리어가 되는 전자를 생성하는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 반응하여, 캐리어가 되는 전자가 생성되는 경우가 있다.
- [0209] 따라서, 수소가 많이 포함되어 있는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 또한, 산화물 반도체 내의 수소는 열, 전계 등의 스트레스로 인하여 움직이기 쉽기 때문에, 산화물 반도체에 많은 수소가 포함되면 트랜지스터의 신뢰성이 악화될 우려도 있다.
- [0210] 따라서, 트랜지스터(200)에 사용되는 산화물 반도체는 수소 등의 불순물 및 산소 결손이 저감된 고순도 진성인 산화물 반도체를 사용하는 것이 바람직하다.
- [0211] <밀봉 구조>
- [0212] 따라서, 외부로부터 불순물이 혼입되는 것을 억제하기 위하여, 불순물의 확산을 억제하는 재료(이하, 불순물에 대한 배리어성 재료라고도 함)를 사용하여 트랜지스터(200)를 밀봉하면 좋다.
- [0213] 또한, 본 명세서에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 말한다. 또는, 대응하는 물질을 포획 및 고착하는(게터링이라고도 함) 기능을 말한다.
- [0214] 예를 들어 수소 및 산소의 확산을 억제하는 기능을 가지는 재료로서, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등이 있다. 특히, 질화 실리콘 또는 질화산화 실리콘은 수소에 대한 배리어성이 높기 때문에, 밀봉하는 재질로서 사용하는 것이 바람직하다.
- [0215] 또한, 예를 들어 수소를 포획 및 고착하는 기능을 가지는 재료로서, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물 등의 금속 산화물이 있다.
- [0216] 트랜지스터(300)와 트랜지스터(200) 사이에는 배리어성을 가지는 층으로서 절연체(211), 절연체(212), 및 절연체(214)가 제공되는 것이 바람직하다. 절연체(211), 절연체(212), 및 절연체(214) 중 적어도 하나에 수소 등의 불순물의 확산이나 투과를 억제하는 재료를 사용함으로써, 반도체 기판(311), 트랜지스터(300) 등에 포함되는 수소나 물 등의 불순물이 트랜지스터(200)로 확산되는 것을 억제할 수 있다. 또한, 절연체(211), 절연체(212), 및 절연체(214) 중 적어도 하나에 산소의 투과를 억제하는 재료를 사용함으로써, 트랜지스터(200)의 채널 또는 트랜지스터층(413)에 포함되는 산소가 소자층(411)으로 확산되는 것을 억제할 수 있다. 예를 들어, 절연체(211) 및 절연체(212)로서 수소나 물 등의 불순물의 투과를 억제하는 재료를 사용하고, 절연체(214)로서 산소의

투과를 억제하는 재료를 사용하는 것이 바람직하다. 또한, 절연체(214)로서 수소를 흡수하고, 흡장하는 특성을 가지는 재료를 사용하는 것이 더 바람직하다. 절연체(211) 및 절연체(212)로서, 예를 들어, 질화 실리콘, 질화 산화 실리콘 등의 질화물을 사용할 수 있다. 절연체(214)로서, 예를 들어, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물 등의 금속 산화물을 사용할 수 있다. 절연체(214)로서 산화 알루미늄을 사용하는 것이 특히 바람직하다.

[0217] 또한, 트랜지스터층(413) 및 메모리 디바이스층(415)의 측면, 즉 메모리 유닛(470)의 측면에는 절연체(287)가 제공되는 것이 바람직하고, 메모리 유닛(470)의 상면에는 절연체(282)가 제공되는 것이 바람직하다. 이때 절연체(282)는, 절연체(287)와 접하는 것이 바람직하고, 절연체(287)는, 절연체(211), 절연체(212), 및 절연체(214) 중 적어도 하나와 접하는 것이 바람직하다. 절연체(287) 및 절연체(282)로서 절연체(214)에 사용할 수 있는 재료를 사용하는 것이 바람직하다.

[0218] 또한, 절연체(282) 및 절연체(287)를 덮도록 절연체(283) 및 절연체(284)가 제공되는 것이 바람직하고, 절연체(283)는 절연체(211), 절연체(212), 및 절연체(214) 중 적어도 하나와 접하는 것이 바람직하다. 도 34에서는, 절연체(287)가 절연체(214)의 측면, 절연체(212)의 측면, 및 절연체(211)의 상면 및 측면과 접하고, 절연체(283)가 절연체(287)의 상면 및 측면, 및 절연체(211)의 상면과 접하는 예를 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 절연체(287)가 절연체(214)의 측면, 및 절연체(212)의 상면 및 측면과 접하고, 절연체(283)가 절연체(287)의 상면 및 측면, 및 절연체(212)의 상면과 접하여도 좋다. 절연체(282) 및 절연체(287)로서 절연체(211) 및 절연체(212)에 사용할 수 있는 재료를 사용하는 것이 바람직하다.

[0219] 상기 구조에 있어서, 절연체(287) 및 절연체(282)에 산소의 투과를 억제하는 재료를 사용하는 것이 바람직하다. 또한, 절연체(287) 및 절연체(282)에 수소를 포획 및 고착하는 특성을 가지는 재료를 사용하는 것이 더 바람직하다. 트랜지스터(200)에 근접하는 측에 수소를 포획 및 고착하는 기능을 가지는 재료를 사용함으로써, 트랜지스터(200) 내 또는 메모리 유닛(470) 내의 수소는 절연체(214), 절연체(287), 및 절연체(282)에 포획 및 고착되기 때문에 트랜지스터(200) 내의 수소 농도를 저감할 수 있다. 또한, 절연체(283) 및 절연체(284)에 수소나 물 등의 불순물의 투과를 억제하는 재료를 사용하는 것이 바람직하다.

[0220] 상술한 바와 같은 구조로 함으로써, 메모리 유닛(470)은 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(282), 절연체(283), 및 절연체(284)로 둘러싸인다. 더 구체적으로는, 메모리 유닛(470)은 절연체(214), 절연체(287), 및 절연체(282)(제 1 구조체라고 표기하는 경우가 있음)로 둘러싸이고, 메모리 유닛(470) 및 제 1 구조체는 절연체(211), 절연체(212), 절연체(283), 및 절연체(284)(제 2 구조체라고 표기하는 경우가 있음)로 둘러싸인다. 또한, 이와 같이 메모리 유닛(470)을 2층 이상의 복수의 구조체로 둘러싸는 구조를 네스팅 구조(Nesting structure)라고 부르는 경우가 있다. 여기서, 메모리 유닛(470)이 복수의 구조체로 둘러싸이는 것을 메모리 유닛(470)이 복수의 절연체에 의하여 밀봉된다고 표기하는 경우가 있다.

[0221] 또한, 제 2 구조체는 제 1 구조체를 개재하여 트랜지스터(200)를 밀봉한다. 따라서, 제 2 구조체의 외부에 존재하는 수소는, 제 2 구조체에 의하여 제 2 구조체 내부(트랜지스터(200) 측)로의 확산이 억제된다. 즉, 제 1 구조체는 제 2 구조체의 내부 구조에 존재하는 수소를 효율적으로 포획하고 고착할 수 있다.

[0222] 상기 구조에서는, 구체적으로는, 제 1 구조체에 산화 알루미늄 등의 금속 산화물을 사용하고, 제 2 구조체에 질화 실리콘 등의 질화물을 사용할 수 있다. 더 구체적으로는 트랜지스터(200)와 질화 실리콘막 사이에 산화 알루미늄막을 배치하는 것이 좋다.

[0223] 또한, 구조체에 사용하는 재료는 성막 조건을 적절히 설정함으로써, 막 내의 수소 농도를 저감할 수 있다.

[0224] 일반적으로, CVD법을 사용하여 성막한 막은, 스퍼터링법을 사용하여 성막한 막보다 피복성이 높다. 한편, CVD법에 사용하는 화합물 가스는 수소를 포함하는 경우가 많고, CVD법을 사용하여 성막한 막은, 스퍼터링법을 사용하여 성막한 막보다 수소의 함유량이 많다.

[0225] 따라서, 예를 들어 트랜지스터(200)와 근접하는 막으로서, 막 내의 수소 농도가 저감된 막(구체적으로는 스퍼터링법을 사용하여 형성한 막)을 사용하는 것이 좋다. 한편, 불순물의 확산을 억제하는 막으로서 피복성이 높으면서도 막 내의 수소 농도가 비교적 높은 막(구체적으로는 CVD법을 사용하여 성막한 막)을 사용하는 경우에는, 트랜지스터(200)와 피복성이 높으면서도 막 내의 수소 농도가 비교적 높은 막 사이에, 수소를 포획 및 고착하는 기능을 가지며 수소 농도가 저감된 막을 배치하는 것이 좋다.

[0226] 즉, 트랜지스터(200)에 근접하여 배치하는 막은 막 내의 수소 농도가 비교적 낮은 막을 사용하면 좋다. 한편으

로, 막 내의 수소 농도가 비교적 높은 막은 트랜지스터(200)에서 떨어져 배치하는 것이 좋다.

- [0227] 상기 구조에서, 구체적으로는, 트랜지스터(200)를 CVD법을 사용하여 성막한 질화 실리콘막을 사용하여 밀봉하는 경우에는, 트랜지스터(200)와 CVD법을 사용하여 성막한 질화 실리콘막 사이에 스퍼터링법을 사용하여 성막한 산화 알루미늄막을 배치하는 것이 좋다. 더 바람직하게는 CVD법을 사용하여 성막한 질화 실리콘막과 스퍼터링법을 사용하여 성막한 산화 알루미늄막 사이에 스퍼터링법을 사용하여 성막한 질화 실리콘막을 배치하는 것이 좋다.
- [0228] 또한, CVD법을 사용하여 성막하는 경우에는, 수소 원자를 포함하지 않거나, 또는 수소 원자의 함유량이 적은 화합물 가스를 사용하여 성막함으로써, 성막한 막에 포함되는 수소 농도를 저감하여도 좋다.
- [0229] 또한, 각 트랜지스터층(413)과 메모리 디바이스층(415) 사이, 또는 각 메모리 디바이스층(415) 사이에도 절연체(282) 및 절연체(214)가 제공되는 것이 바람직하다. 또한, 절연체(282)와 절연체(214) 사이에 절연체(296)가 제공되는 것이 바람직하다. 절연체(296)는 절연체(283) 및 절연체(284)와 같은 재료를 사용할 수 있다. 또는, 산화 실리콘, 산화질화 실리콘을 사용할 수 있다. 또는, 공지의 절연성 재료를 사용하여도 좋다. 여기서, 절연체(282), 절연체(296), 및 절연체(214)는 트랜지스터(200)를 구성하는 요소이어도 좋다. 절연체(282), 절연체(296), 및 절연체(214)가 트랜지스터(200)의 구성 요소를 겸함으로써, 반도체 장치의 제작에 필요한 공정 수를 삭감할 수 있기 때문에 바람직하다.
- [0230] 또한, 각 트랜지스터층(413)과 메모리 디바이스층(415) 사이, 또는 각 메모리 디바이스층(415) 사이에 제공되는 절연체(282), 절연체(296), 및 절연체(214) 각각의 측면은 절연체(287)와 접하는 것이 바람직하다. 이와 같은 구조로 함으로써, 트랜지스터층(413) 및 메모리 디바이스층(415)은 각각 절연체(282), 절연체(296), 절연체(214), 절연체(287), 절연체(283), 및 절연체(284)로 둘러싸이고 밀봉된다.
- [0231] 또한, 절연체(284)의 주위에 절연체(274)를 제공하여도 좋다. 또한, 절연체(274), 절연체(284), 절연체(283), 및 절연체(211)에 매립되도록 도전체(430)를 제공하여도 좋다. 도전체(430)는 트랜지스터(300), 즉 소자층(411)에 포함되는 회로에 전기적으로 접속된다.
- [0232] 또한, 메모리 디바이스층(415)에서는 용량 소자(292)가 트랜지스터(200M)와 같은 층에 형성되어 있기 때문에, 메모리 디바이스(420)의 높이를 트랜지스터(200M)와 같은 정도로 할 수 있어, 각 메모리 디바이스층(415)의 높이가 지나치게 높아지는 것을 억제할 수 있다. 이로써, 비교적 용이하게 메모리 디바이스층(415)의 개수를 증가시킬 수 있다. 예를 들어, 트랜지스터층(413)과 메모리 디바이스층(415)으로 이루어진 적층을 100층 정도로 하여도 좋다.
- [0233] <트랜지스터(200)>
- [0234] 도 35의 (A)를 사용하여, 트랜지스터층(413)이 가지는 트랜지스터(200T) 및 메모리 디바이스(420)가 가지는 트랜지스터(200M)에 사용할 수 있는 트랜지스터(200)에 대하여 설명한다.
- [0235] 도 35의 (A)에 도시된 바와 같이, 트랜지스터(200)는 절연체(216)와, 도전체(205)(도전체(205a) 및 도전체(205b))와, 절연체(222)와, 절연체(224)와, 산화물(230)(산화물(230a), 산화물(230b), 및 산화물(230c))과, 도전체(242)(도전체(242a) 및 도전체(242b))와, 산화물(243)(산화물(243a) 및 산화물(243b))과, 절연체(272)와, 절연체(273)와, 절연체(250)와, 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다.
- [0236] 또한, 절연체(216) 및 도전체(205)는 절연체(214) 위에 제공되고, 절연체(273) 위에는 절연체(280) 및 절연체(282)가 제공된다. 절연체(214), 절연체(280), 및 절연체(282)는 트랜지스터(200)의 일부를 구성한다고 간주할 수 있다.
- [0237] 또한 본 발명의 일 형태의 반도체 장치는 트랜지스터(200)에 전기적으로 접속되고 플러그로서 기능하는 도전체(240)(도전체(240a) 및 도전체(240b))를 가진다. 또한, 플러그로서 기능하는 도전체(240)의 측면에 접하여 절연체(241)(절연체(241a) 및 절연체(241b))가 제공되어도 좋다. 또한 절연체(282) 위 및 도전체(240) 위에는 도전체(240)에 전기적으로 접속되고 배선으로서 기능하는 도전체(246)(도전체(246a) 및 도전체(246b))가 제공된다.
- [0238] 또한, 도전체(240a) 및 도전체(240b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(240a) 및 도전체(240b)는 적층 구조로 하여도 좋다.
- [0239] 또한, 도전체(240)를 적층 구조로 하는 경우, 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가



지는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어, 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 도전성 재료는 단층 또는 적층으로 사용하여도 좋다. 상기 도전성 재료를 사용함으로써, 절연체(280) 등으로부터 확산되는 물 또는 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 더 저감할 수 있다. 또한, 절연체(280)에 첨가된 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 방지할 수 있다.

[0240] 또한, 도전체(240)의 측면과 접하여 제공되는 절연체(241)에는 예를 들어 질화 실리콘, 산화 알루미늄, 또는 질화산화 실리콘 등을 사용하면 좋다. 절연체(241)는 절연체(272), 절연체(273), 절연체(280), 및 절연체(282)와 접하여 제공되기 때문에 절연체(280) 등으로부터 물 또는 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 특히, 질화 실리콘은 수소에 대한 차단성이 높기 때문에 적합하다. 또한, 절연체(280)에 포함되는 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 방지할 수 있다.

[0241] 도전체(246)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 또한, 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.

[0242] 트랜지스터(200)에서, 도전체(260)는 트랜지스터의 제 1 게이트로서 기능하고, 도전체(205)는 트랜지스터의 제 2 게이트로서 기능한다. 또한, 도전체(242a) 및 도전체(242b)는 소스 전극 또는 드레인 전극으로서 기능한다.

[0243] 산화물(230)은 채널 형성 영역을 가지는 반도체로서 기능한다.

[0244] 절연체(250)는 제 1 게이트 절연체로서 기능하고, 절연체(222) 및 절연체(224)는 제 2 게이트 절연체로서 기능한다.

[0245] 여기서, 도 35의 (A)에 도시된 트랜지스터(200)에서는 절연체(280), 절연체(273), 절연체(272), 도전체(242) 등에 제공한 개구부 내에, 산화물(230c) 및 절연체(250)를 개재하여 도전체(260)가 자기 정합(self-aligned)적으로 형성된다.

[0246] 즉, 도전체(260)는 산화물(230c) 및 절연체(250)를 개재하여, 절연체(280) 등에 형성된 개구를 매우도록 형성되기 때문에 도전체(242a)와 도전체(242b) 사이의 영역에 도전체(260)의 위치를 맞추는 필요가 없다.

[0247] 여기서, 절연체(280) 등에 형성된 개구 내에 산화물(230c)을 제공하는 것이 바람직하다. 따라서, 절연체(250) 및 도전체(260)는 산화물(230c)을 개재하여 산화물(230b) 및 산화물(230a)의 적층 구조와 중첩되는 영역을 가진다. 상기 구조로 함으로써 산화물(230c)과 절연체(250)를 연속 성막에 의하여 형성할 수 있기 때문에, 산화물(230)과 절연체(250)의 계면을 청정하게 유지할 수 있다. 따라서, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0248] 또한, 도 35의 (A)에 도시된 트랜지스터(200)는 도전체(260)의 저면 및 측면이 절연체(250)에 접한다. 또한 절연체(250)의 저면 및 측면은 산화물(230c)과 접한다.

[0249] 또한, 트랜지스터(200)는 도 35의 (A)에 도시된 바와 같이, 절연체(282)와 산화물(230c)이 직접 접하는 구조이다. 상기 구조로 함으로써, 절연체(280)에 포함되는 산소가 도전체(260)로 확산되는 것을 억제할 수 있다.

[0250] 따라서 절연체(280)에 포함되는 산소는 산화물(230c)을 통하여 산화물(230a) 및 산화물(230b)에 효율적으로 공급될 수 있기 때문에, 산화물(230a) 내 및 산화물(230b) 내의 산소 결손을 저감하고, 트랜지스터(200)의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0251] 이하에서는, 본 발명의 일 형태에 따른 트랜지스터(200)를 가지는 반도체 장치의 자세한 구성에 대하여 설명한다.

[0252] 트랜지스터(200)는 채널 형성 영역을 포함하는 산화물(230)(산화물(230a), 산화물(230b), 및 산화물(230c))에 산화물 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.

[0253] 예를 들어, 산화물 반도체로서 기능하는 금속 산화물은 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상의 것을 사용하는 것이 바람직하다. 에너지 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터(200)의 비도통 상태에서의 누설 전류(오프 전류)를 매우 작게 할 수 있다. 이와 같은 트랜지스터를 사용함으로써, 저소비 전력의 반도체 장치를 제공할 수 있다.

- [0254] 구체적으로, 산화물(230)로서 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다. 특히, 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석을 사용하면 좋다. 또한 산화물(230)로서 In-M 산화물, In-Zn 산화물, 또는 M-Zn 산화물을 사용하여도 좋다.
- [0255] 도 35의 (A)에 도시된 바와 같이, 산화물(230)은 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)과, 산화물(230b) 위에 배치되고 적어도 일부가 산화물(230b)의 상면에 접하는 산화물(230c)을 가지는 것이 바람직하다. 여기서, 산화물(230c)의 측면은 산화물(243a), 산화물(243b), 도전체(242a), 도전체(242b), 절연체(272), 절연체(273), 및 절연체(280)와 접하여 제공되어 있는 것이 바람직하다.
- [0256] 즉, 산화물(230)은 산화물(230a)과, 산화물(230a) 위의 산화물(230b)과, 산화물(230b) 위의 산화물(230c)을 가진다. 산화물(230b) 아래에 산화물(230a)을 가짐으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다. 또한, 산화물(230b) 위에 산화물(230c)을 가짐으로써, 산화물(230c)보다 위쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다.
- [0257] 또한 트랜지스터(200)에서 채널 형성 영역과 그 근방에서 산화물(230a), 산화물(230b), 및 산화물(230c)의 3층이 적층되는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 산화물(230b)의 단층, 산화물(230b)과 산화물(230a)의 2층 구조, 산화물(230b)과 산화물(230c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 예를 들어, 산화물(230c)을 2층 구조로 하여, 4층의 적층 구조를 제공하는 구성으로 하여도 좋다.
- [0258] 또한, 산화물(230)은 각 금속 원자의 원자수비가 상이한 산화물의 적층구조를 가지는 것이 바람직하다. 구체적으로는, 산화물(230a)에 사용하는 금속 산화물에서 구성 원소 중의 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230c)에는 산화물(230a) 또는 산화물(230b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.
- [0259] 구체적으로는, 산화물(230a)로서 In:Ga:Zn=1:3:4[원자수비] 또는 그 근방의 조성, 또는 1:1:0.5[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다.
- [0260] 또한 산화물(230b)로서, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성, 또는 1:1:1[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한, 산화물(230b)로서 In:Ga:Zn=5:1:3[원자수비] 또는 그 근방의 조성, 또는 In:Ga:Zn=10:1:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하여도 좋다. 또한, 산화물(230b)로서, In-Zn 산화물(예를 들어, In:Zn=2:1[원자수비] 또는 그 근방의 조성, In:Zn=5:1[원자수비] 또는 그 근방의 조성, 또는 In:Zn=10:1[원자수비] 또는 그 근방의 조성)을 사용하여도 좋다. 또한, 산화물(230b)로서, In 산화물을 사용하여도 좋다.
- [0261] 또한, 산화물(230c)로서, In:Ga:Zn=1:3:4[원자수비] 또는 그 근방의 조성, Ga:Zn=2:1[원자수비] 또는 그 근방의 조성, 또는 Ga:Zn=2:5[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한, 산화물(230b)에 사용할 수 있는 재료를 산화물(230c)에 적용하고, 단층으로 또는 적층으로 제공하여도 좋다. 예를 들어, 산화물(230c)을 적층 구조로 하는 경우의 구체적인 예로서는, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성과 In:Ga:Zn=1:3:4[원자수비] 또는 그 근방의 조성의 적층 구조, Ga:Zn=2:1[원자수비] 또는 그 근방의 조성과 In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 적층 구조, Ga:Zn=2:5[원자수비] 또는 그 근방의 조성과 In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 적층 구조, 산화 갈륨과 In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 적층 구조 등을 들 수 있다.
- [0262] 또한, 실시형태 1에 나타낸, 메모리 셀 어레이(30)가 가지는 OS 트랜지스터의 구성과, 소자층(40)이 가지는 OS 트랜지스터의 구성을 상이하게 하여도 좋다. 예를 들어, 메모리 셀 어레이(30)에 제공되는 OS 트랜지스터가 가지는 산화물(230c)에는 In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하고, 소자층(40)에 제공되는 OS 트랜지스터가 가지는 산화물(230c)에는 In:Ga:Zn=5:1:3[원자수비] 또는 그 근방의 조성, In:Ga:Zn=10:1:3[원자수비] 또는 그 근방의 조성, In:Zn=10:1[원자수비] 또는 그 근방의 조성, In:Zn=5:1[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다.

수비] 또는 그 근방의 조성, In:Zn=2:1[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다.

- [0263] 또한, 산화물(230b), 산화물(230c)에서, 막 내의 인듐의 비율을 높이면 트랜지스터의 온 전류 또는 전계 효과 이동도 등을 높일 수 있기 때문에 적합하다. 또한 상술한 근방의 조성이란, 원하는 원자수비의  $\pm 30\%$ 의 범위를 포함한 것이다.
- [0264] 또한, 산화물(230b)은 결정성을 가져도 좋다. 예를 들어 후술하는 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다. CAAC-OS 등의 결정성을 가지는 산화물은 불순물이나 결함(산소 결손 등)이 적고 결정성이 높은 치밀한 구조를 가진다. 따라서 소스 전극 또는 드레인 전극에 의한 산화물(230b)로부터의 산소 추출을 억제할 수 있다. 또한, 가열 처리를 수행하여도, 산화물(230b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.
- [0265] 도전체(205)는 산화물(230) 및 도전체(260)와 중첩되도록 배치된다. 또한, 도전체(205)는 절연체(216)에 매립되어 제공되는 것이 바람직하다.
- [0266] 도전체(205)가 게이트 전극으로서 기능하는 경우, 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200)의 문턱 전압( $V_{th}$ )을 제어할 수 있다. 특히, 도전체(205)에 음의 전위를 인가함으로써, 트랜지스터(200)의  $V_{th}$ 를 크게 하고, 오프 전류를 저감할 수 있다. 따라서, 도전체(205)에 음의 전위를 인가하는 것이, 인가하지 않은 경우보다 도전체(260)에 인가하는 전위가 0V 일 때의 드레인 전류를 더 작게 할 수 있다.
- [0267] 또한, 도전체(205)는 도 35의 (A)에 도시된 바와 같이, 산화물(230)에서 도전체(242a) 및 도전체(242b)와 중첩되지 않는 영역의 크기보다 크게 제공하는 것이 좋다. 여기서는 도시하지 않았지만, 도전체(205)는 산화물(230)의 채널 폭 방향에서 산화물(230a) 및 산화물(230b)보다 외측의 영역까지 연장되어 있는 것이 바람직하다. 즉, 산화물(230)의 채널 폭 방향에서의 측면의 외측에서 도전체(205)와 도전체(260)는 절연체를 개재하여 중첩되어 있는 것이 바람직하다. 도전체(205)를 크게 제공함으로써, 도전체(205)를 형성한 후의 제작 공정의, 플라즈마를 사용한 처리에서, 국소적인 충전(charging)(차지 업(charge up)이라고 함)의 완화를 할 수 있는 경우가 있다. 다만, 본 발명의 일 형태는 이에 한정되지 않는다. 도전체(205)는 적어도 도전체(242a)와 도전체(242b) 사이에 위치하는 산화물(230)과 중첩되면 좋다.
- [0268] 또한, 절연체(224)의 저면을 기준으로 하여, 산화물(230a) 및 산화물(230b)과, 도전체(260)가 중첩되지 않는 영역에서의 도전체(260)의 저면의 높이는 산화물(230b)의 저면의 높이보다 낮은 위치에 배치되어 있는 것이 바람직하다.
- [0269] 도시하지 않았지만, 채널 폭 방향에서 게이트 전극으로서 기능하는 도전체(260)는 채널 형성 영역의 산화물(230b)의 측면 및 상면을 산화물(230c) 및 절연체(250)를 개재하여 덮는 구조로 함으로써, 도전체(260)로부터 발생하는 전계를 산화물(230b)에 생기는 채널 형성 영역 전체에 작용시키기 쉬워진다. 따라서, 트랜지스터(200)의 온 전류를 증대시키고 주파수 특성을 향상시킬 수 있다. 본 명세서에서는, 도전체(260) 및 도전체(205)의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다.
- [0270] 또한 도전체(205a)는 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 도전체인 것이 바람직하다. 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 또는 질화 탄탈럼을 사용할 수 있다. 또한 도전체(205b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(205)는 2층으로 도시하였지만, 3층 이상의 다층 구조를 가져도 좋다.
- [0271] 여기서 산화물 반도체와, 산화물 반도체의 아래층에 위치하는 절연체 또는 도전체와, 산화물 반도체의 위층에 위치하는 절연체 또는 도전체로서, 대기에 개방하지 않고 상이한 종류의 막을 연속적으로 성막함으로써, 불순물(특히 수소, 물)의 농도가 저감된, 실질적으로 고순도 진성인 산화물 반도체막을 성막할 수 있어 바람직하다.
- [0272] 절연체(222), 절연체(272), 및 절연체(273) 중 적어도 하나는 물 또는 수소 등의 불순물이 기관 측으로부터 또는 위쪽으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(222), 절연체(272), 및 절연체(273) 중 적어도 하나는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자( $N_2O$ ,  $NO$ ,  $NO_2$  등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어 산소 원자, 산

소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

- [0273] 예를 들어, 절연체(273)로서 질화 실리콘 또는 질화산화 실리콘 등을 사용하고, 절연체(222) 및 절연체(272)로서 산화 알루미늄 또는 산화 하프늄 등을 사용하는 것이 바람직하다.
- [0274] 이로써, 물 또는 수소 등의 불순물이 절연체(222)를 통하여 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는, 절연체(224) 등에 포함되는 산소가 절연체(222)를 통하여 기판 측으로 확산되는 것을 억제할 수 있다.
- [0275] 또한, 물 또는 수소 등의 불순물이, 절연체(272) 및 절연체(273)를 개재하여 배치된 절연체(280) 등으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 이와 같이, 트랜지스터(200)를 물 또는 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체(272) 및 절연체(273)로 둘러싸는 구조로 하는 것이 바람직하다.
- [0276] 여기서, 산화물(230)과 접하는 절연체(224)는 가열에 의하여 산소가 이탈되는 것이 바람직하다. 본 명세서에서는, 가열에 의하여 이탈되는 산소를 과잉 산소라고 부르는 경우가 있다. 예를 들어, 절연체(224)에는 산화 실리콘 또는 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함한 절연체를 산화물(230)과 접하여 제공함으로써, 산화물(230) 내의 산소 결손을 저감하여, 트랜지스터(200)의 신뢰성을 향상시킬 수 있다.
- [0277] 절연체(224)로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, 승온 이탈 가스 분석(TDS(Thermal Desorption Spectroscopy) 분석)에서, 산소 분자의 이탈량이  $1.0 \times 10^{18}$  molecules/cm<sup>3</sup> 이상, 바람직하게는  $1.0 \times 10^{19}$  molecules/cm<sup>3</sup> 이상, 더 바람직하게는  $2.0 \times 10^{19}$  molecules/cm<sup>3</sup> 이상, 또는  $3.0 \times 10^{20}$  molecules/cm<sup>3</sup> 이상인 산화물막이다. 또한, 상기 TDS 분석 시에서의 막의 표면 온도로서는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.
- [0278] 절연체(222)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어, 절연체(222)는 절연체(224)보다 수소 투과성이 낮은 것이 바람직하다. 절연체(222) 및 절연체(283)에 의하여 절연체(224) 및 산화물(230) 등을 둘러싸므로써, 외부로부터 물 또는 수소 등의 불순물이 트랜지스터(200)로 침입하는 것을 억제할 수 있다.
- [0279] 또한, 절연체(222)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 산소 투과성이 낮은 것이 바람직하다. 절연체(222)가 산소나 불순물의 확산을 억제하는 기능을 가지면, 산화물(230)에 포함되는 산소가 절연체(222)보다 아래쪽으로 확산되는 것을 저감할 수 있기 때문에 바람직하다. 또한 절연체(224)나 산화물(230)이 가지는 산소와 도전체(205)가 반응하는 것을 억제할 수 있다.
- [0280] 절연체(222)에는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 산화물(230)로부터의 산소의 방출이나, 트랜지스터(200)의 주변부로부터 산화물(230)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.
- [0281] 또는, 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.
- [0282] 또한 절연체(222)에는, 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬(SrTiO<sub>3</sub>), 또는 (Ba,Sr)TiO<sub>3</sub>(BST) 등 소위 high-k 재료를 포함한 절연체를 단층 또는 적층으로 사용하여도 좋다. 예를 들어, 절연체(222)를 적층으로 하는 경우, 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄이 이 순서대로 형성된 3층 적층이나, 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄과, 산화 알루미늄이 이 순서대로 형성된 4층 적층 등을 사용하면 좋다. 또한, 절연체(222)에는 하프늄과 지르코늄이 포함된 화합물 등을 사용하여도 좋다. 반도체 장치의 미세화 및 고집적화가 진행되면, 게이트 절연체 및 용량 소자에 사용되는 유전체의 박막화로 인하여 트랜지스터나 용량 소자의 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체, 및 용량 소자에 사용되는 유전체로서 기능하는 절연체에 high-k 재료를 사



용함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감 및 용량 소자의 용량의 확보가 가능하다.

- [0283] 또한, 절연체(222) 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다.
- [0284] 또한, 산화물(230b)과, 소스 전극 또는 드레인 전극으로서 기능하는 도전체(242)(도전체(242a) 및 도전체(242b)) 사이에 산화물(243)(산화물(243a) 및 산화물(243b))을 배치하여도 좋다. 도전체(242)와 산화물(230b)이 접하지 않는 구성이 되므로, 도전체(242)가 산화물(230b)의 산소를 흡수하는 것을 억제할 수 있다. 즉 도전체(242)의 산화를 방지함으로써, 도전체(242)의 도전율의 저하를 억제할 수 있다. 따라서 산화물(243)은 도전체(242)의 산화를 억제하는 기능을 가지는 것이 바람직하다.
- [0285] 소스 전극이나 드레인 전극으로서 기능하는 도전체(242)와 산화물(230b) 사이에 산소의 투과를 억제하는 기능을 가지는 산화물(243)을 배치함으로써, 도전체(242)와 산화물(230b) 사이의 전기 저항이 저감되기 때문에 바람직하다. 이와 같은 구성으로 함으로써, 트랜지스터(200)의 전기 특성 및 트랜지스터(200)의 신뢰성을 향상시킬 수 있다.
- [0286] 산화물(243)로서 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 또는 복수 종류로 이루어진 원소 M을 가진 금속 산화물을 사용하여도 좋다. 특히, 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석을 사용하면 좋다. 산화물(243)은 산화물(230b)보다 원소 M의 농도가 높은 것이 바람직하다. 또한 산화물(243)로서, 산화 갈륨을 사용하여도 좋다. 또한 산화물(243)로서, In-M-Zn 산화물 등의 금속 산화물을 사용하여도 좋다. 구체적으로는 산화물(243)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비가, 산화물(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한 산화물(243)의 막 두께는 0.5nm 이상 5nm 이하인 것이 바람직하고, 1nm 이상 3nm 이하인 것이 더 바람직하다. 또한 산화물(243)은 결정성을 가지는 것이 바람직하다. 산화물(243)이 결정성을 가지는 경우, 산화물(230) 내의 산소의 방출을 적합하게 억제할 수 있다. 예를 들어 산화물(243)이 육방정 등의 결정 구조를 가지면, 산화물(230) 내의 산소가 방출되는 것을 억제할 수 있는 경우가 있다.
- [0287] 또한, 산화물(243)은 반드시 제공될 필요는 없다. 그 경우, 도전체(242)(도전체(242a) 및 도전체(242b))와 산화물(230)이 접함으로써, 산화물(230) 내의 산소가 도전체(242)로 확산되고, 도전체(242)가 산화되는 경우가 있다. 도전체(242)가 산화됨으로써, 도전체(242)의 도전율이 저하하는 개연성이 높다. 또한, 산화물(230) 내의 산소가 도전체(242)로 확산되는 것을 도전체(242)가 산화물(230) 내의 산소를 흡수한다고 환언할 수 있다.
- [0288] 또한, 산화물(230) 내의 산소가 도전체(242)(도전체(242a) 및 도전체(242b))로 확산됨으로써, 도전체(242a)와 산화물(230b) 사이, 및 도전체(242b)와 산화물(230b) 사이에 이층(異層)이 형성되는 경우가 있다. 상기 이층은 도전체(242)보다 산소를 많이 포함하기 때문에, 상기 이층은 절연성을 가지는 것으로 추정된다. 이때, 도전체(242)와, 상기 이층과, 산화물(230b)의 3층 구조는 금속-절연체-반도체로 이루어지는 3층 구조로 간주할 수 있고, MIS(Metal-Insulator-Semiconductor) 구조라고 부르거나, 또는 MIS 구조를 주로 한 다이오드 접합 구조라고 부르는 경우가 있다.
- [0289] 또한, 상기 이층은 도전체(242)와 산화물(230b) 사이에 형성되는 것에 한정되지 않고, 예를 들어 이층이 도전체(242)와 산화물(230c) 사이에 형성되는 경우나, 도전체(242)와 산화물(230b) 사이, 및 도전체(242)와 산화물(230c) 사이에 형성되는 경우가 있다.
- [0290] 산화물(243) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(242)(도전체(242a) 및 도전체(242b))가 제공된다. 도전체(242)의 막 두께는 예를 들어 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 25nm 이하로 하면 좋다.
- [0291] 도전체(242)로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나يو븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트

론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0292] 절연체(272)는 도전체(242) 상면과 접하여 제공되고, 배리어층으로서 기능하는 것이 바람직하다. 상기 구성으로 함으로써, 절연체(280)에 포함되는 과잉 산소를 도전체(242)가 흡수하는 것을 억제할 수 있다. 또한, 도전체(242)의 산화를 억제함으로써, 트랜지스터(200)와 배선의 접촉 저항이 증가되는 것을 억제할 수 있다. 따라서, 트랜지스터(200)에 양호한 전기 특성 및 신뢰성을 부여할 수 있다.

[0293] 따라서, 절연체(272)는 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어, 절연체(272)는 절연체(280)보다 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 절연체(272)로서는, 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한, 절연체(272)로서는, 예를 들어 질화 알루미늄을 포함하는 절연체를 사용하면 좋다.

[0294] 도 35의 (A)에 도시된 바와 같이, 절연체(272)는 도전체(242b)의 상면의 일부 및 도전체(242b)의 측면과 접한다. 또한, 도시하지 않았지만, 절연체(272)는 도전체(242a)의 상면의 일부 및 도전체(242a)의 측면과 접한다. 또한, 절연체(272) 위에 절연체(273)가 배치되어 있다. 이와 같이 함으로써 예를 들어 절연체(280)에 첨가된 산소가 도전체(242)에 흡수되는 것을 억제할 수 있다.

[0295] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)는 산화물(230c)의 상면에 접하여 배치하는 것이 바람직하다. 절연체(250)는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.

[0296] 절연체(224)와 마찬가지로 절연체(250)는 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체를 절연체(250)로서 산화물(230c)의 상면과 접하여 제공함으로써, 산화물(230b)의 채널 형성 영역에 산소를 효과적으로 공급할 수 있다. 또한 절연체(224)와 마찬가지로 절연체(250) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는, 1nm 이상 20nm 이하로 하는 것이 바람직하다.

[0297] 또한 절연체(250)와 도전체(260) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(250)로부터 도전체(260)로의 산소 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(250)로부터 도전체(260)로의 산소의 확산이 억제된다. 즉, 산화물(230)에 공급하는 산소량의 감소를 억제할 수 있다. 또한 절연체(250)의 산소로 인한 도전체(260)의 산화를 억제할 수 있다.

[0298] 또한 상기 금속 산화물은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서, 절연체(250)에 산화 실리콘이나 산화질화 실리콘 등을 사용하는 경우, 상기 금속 산화물에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 게이트 절연체를 절연체(250)와 상기 금속 산화물의 적층 구조로 함으로써, 열에 대하여 안정적이고, 또한 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 게이트 절연체의 물리적 막 두께를 유지하면서 트랜지스터 동작 시에 인가되는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)를 저감할 수 있다.

[0299] 구체적으로는, 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 특히, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다.

[0300] 또는, 상기 금속 산화물은 게이트의 일부로서의 기능을 가지는 경우가 있다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0301] 특히, 게이트로서 기능하는 도전체로서, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함한 도전성 재료를 사용하는 것이 바람직하다. 또한, 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한, 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한, 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우

가 있다. 또는, 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

- [0302] 도전체(260)는 도 35의 (A)에서는 2층 구조로 나타내었지만 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.
- [0303] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자( $N_2O$ ,  $NO$ ,  $NO_2$  등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0304] 또한 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250)에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다.
- [0305] 또한 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(260)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한, 도전체(260b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0306] <<금속 산화물>>
- [0307] 산화물(230)로서는 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 이하에서는, 본 발명에 따른 산화물(230)에 적용 가능한 금속 산화물에 대하여 설명한다.
- [0308] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 갈륨, 이트륨, 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.
- [0309] 여기서는 금속 산화물이 인듐, 원소 M, 및 아연을 포함한 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류)인 경우를 생각한다. 특히, 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석을 사용하면 좋다.
- [0310] 또한 본 명세서 등에서, 질소를 가지는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 가지는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.
- [0311] <트랜지스터(300)>
- [0312] 도 35의 (B)를 사용하여 트랜지스터(300)에 대하여 설명한다. 트랜지스터(300)는 반도체 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316), 게이트 절연체로서 기능하는 절연체(315), 반도체 기판(311)의 일부로 이루어지는 반도체 영역(313), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(300)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다.
- [0313] 여기서, 도 35의 (B)에 도시된 트랜지스터(300)에서는 채널이 형성되는 반도체 영역(313)(반도체 기판(311)의 일부)이 볼록 형상을 가진다. 또한, 반도체 영역(313)의 측면 및 상면을 절연체(315)를 개재하여 도전체(316)가 덮도록 제공되어 있다. 또한, 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판(311)의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한, 볼록부의 상부에 접하여 볼록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한, 여기서는 반도체 기판(311)의 일부를 가공하여 볼록부를 형성하는 경우를 도시하였지만, SOI 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.
- [0314] 또한, 도 35의 (B)에 도시된 트랜지스터(300)는 일레이고, 그 구조에 한정되지 않고 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.
- [0315] <메모리 디바이스(420)>
- [0316] 다음으로, 도 36의 (A)를 사용하여, 도 34에 도시된 메모리 디바이스(420)에 대하여 설명한다. 또한, 메모리

디바이스(420)가 가지는 트랜지스터(200M)에 대하여 트랜지스터(200)와 중복되는 설명은 생략한다.

- [0317] 메모리 디바이스(420)에서, 트랜지스터(200M)의 도전체(242a)는 용량 소자(292)의 한쪽 전극으로서 기능하고, 절연체(272) 및 절연체(273)는 유전체로서 기능한다. 절연체(272) 및 절연체(273)를 사이에 두고 도전체(242a)와 중첩되도록 도전체(290)가 제공되고, 이는 용량 소자(292)의 다른 쪽 전극으로서 기능한다. 도전체(290)는 인접된 메모리 디바이스(420)가 가지는 용량 소자(292)의 다른 쪽 전극으로서 사용하여도 좋다. 또는, 도전체(290)는 인접된 메모리 디바이스(420)가 가지는 도전체(290)와 전기적으로 접속되어도 좋다.
- [0318] 도전체(290)는 절연체(272) 및 절연체(273)를 사이에 두고 도전체(242a)의 상면 및 도전체(242a)의 측면에도 배치된다. 이때 용량 소자(292)는 도전체(242a)와 도전체(290)가 중첩되는 면적에 의하여 얻어지는 용량보다 큰 용량을 얻을 수 있기 때문에 바람직하다.
- [0319] 도전체(424)는 도전체(242b)와 전기적으로 접속되며 도전체(205)를 통하여 아래층에 위치하는 도전체(424)와 전기적으로 접속된다.
- [0320] 용량 소자(292)의 유전체로서, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 및 산화 하프늄 등을 사용할 수 있다. 또한, 이들 재료를 적층하여 사용할 수 있다. 용량 소자(292)의 유전체를 적층 구조로 하는 경우, 산화 알루미늄과 질화 실리콘의 적층, 산화 하프늄과 산화 실리콘의 적층을 사용할 수 있다. 여기서, 적층의 위아래는 한정되지 않는다. 예를 들어, 산화 알루미늄 위에 질화 실리콘이 적층되어도 좋고, 질화 실리콘 위에 산화 알루미늄이 적층되어도 좋다.
- [0321] 또한, 용량 소자(292)의 유전체로서 상기 재료보다 높은 유전율을 가지는 산화 지르코늄을 사용하여도 좋다. 용량 소자(292)의 유전체로서 산화 지르코늄을 단층으로 사용하여도 좋고, 적층의 일부로서 사용하여도 좋다. 예를 들어, 산화 지르코늄과 산화 알루미늄의 적층을 사용할 수 있다. 또한, 용량 소자(292)의 유전체를 3층의 적층으로 하여도 좋고, 제 1 층 및 제 3 층에 산화 지르코늄을 사용하고, 제 1 층과 제 3 층 사이의 제 2 층에 산화 알루미늄을 사용하여도 좋다.
- [0322] 용량 소자(292)의 유전체로서 높은 유전율을 가지는 산화 지르코늄을 사용함으로써, 용량 소자(292)가 메모리 디바이스(420)에서 점유하는 면적을 삭감할 수 있다. 그러므로, 메모리 디바이스(420)에 필요한 면적을 삭감할 수 있고, 비트 코스트(bit cost)를 향상시킬 수 있어 바람직하다.
- [0323] 또한, 도전체(290)로서, 도전체(205), 도전체(242), 도전체(260), 도전체(424) 등에 사용할 수 있는 재료를 사용할 수 있다.
- [0324] 본 실시형태에서는, 도전체(424)를 사이에 두고, 트랜지스터(200M) 및 용량 소자(292)가 대칭으로 배치되는 예를 나타내었다. 이와 같이 한 쌍의 트랜지스터(200M) 및 용량 소자(292)를 배치함으로써, 트랜지스터(200M)와 전기적으로 접속되는 도전체(424)의 개수를 줄일 수 있다. 그러므로, 메모리 디바이스(420)에 필요한 면적을 삭감할 수 있고, 비트 코스트를 향상시킬 수 있어 바람직하다.
- [0325] 도전체(424)의 측면에 절연체(241)가 제공되어 있는 경우, 도전체(424)는 도전체(242b)의 상면 중 적어도 일부와 접속된다.
- [0326] 도전체(424) 및 도전체(205)를 사용함으로써, 메모리 유닛(470) 내의 트랜지스터(200T)와 메모리 디바이스(420)를 전기적으로 접속할 수 있다.
- [0327] <메모리 디바이스(420)의 변형예 1>
- [0328] 다음으로, 도 36의 (B)를 사용하여, 메모리 디바이스(420)의 변형예로서 메모리 디바이스(420A)에 대하여 설명한다. 메모리 디바이스(420A)는 트랜지스터(200M)와, 트랜지스터(200M)에 전기적으로 접속되는 용량 소자(292A)를 가진다. 용량 소자(292A)는 트랜지스터(200M)의 아래쪽에 제공된다.
- [0329] 메모리 디바이스(420A)에서 도전체(242a)는 산화물(243a), 산화물(230b), 산화물(230a), 절연체(224), 및 절연체(222)에 제공된 개구 내에 배치되고, 상기 개구의 바닥 부분에서 도전체(205)와 전기적으로 접속된다. 도전체(205)는 용량 소자(292A)와 전기적으로 접속된다.
- [0330] 용량 소자(292A)는 전극 중 한쪽으로서 기능하는 도전체(294)와, 유전체로서 기능하는 절연체(295)와, 전극 중 다른 쪽으로서 기능하는 도전체(297)를 가진다. 도전체(297)는 절연체(295)를 사이에 두고 도전체(294)와 중첩한다. 또한, 도전체(297)는 도전체(205)와 전기적으로 접속된다.



- [0331] 도전체(294)는 절연체(296) 위에 제공된 절연체(298)에 형성된 개구의 바닥 부분 및 측면에 제공되고, 절연체(295)는 절연체(298) 및 도전체(294)를 덮도록 제공된다. 또한, 도전체(297)는 절연체(295)가 가지는 오목부에 매립되도록 제공된다.
- [0332] 또한, 절연체(296)에 매립되도록 도전체(299)가 제공되고, 도전체(299)는 도전체(294)에 전기적으로 접속된다. 도전체(299)는 인접된 메모리 디바이스(420A)의 도전체(294)와 전기적으로 접속되어도 좋다.
- [0333] 도전체(297)는 절연체(295)를 사이에 두고 도전체(294)의 상면 및 도전체(294)의 측면에도 배치된다. 이때 용량 소자(292A)는 도전체(294)와 도전체(297)가 중첩되는 면적에 의하여 얻어지는 용량보다 큰 용량을 얻을 수 있기 때문에 바람직하다.
- [0334] 용량 소자(292A)의 유전체로서 기능하는 절연체(295)로서, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 및 산화 하프늄 등을 사용할 수 있다. 또한, 이들 재료를 적층하여 사용할 수 있다. 절연체(295)를 적층 구조로 하는 경우, 산화 알루미늄과 질화 실리콘의 적층, 산화 하프늄과 산화 실리콘의 적층을 사용할 수 있다. 여기서, 적층의 위아래는 한정되지 않는다. 예를 들어, 산화 알루미늄 위에 질화 실리콘이 적층되어도 좋고, 질화 실리콘 위에 산화 알루미늄이 적층되어도 좋다.
- [0335] 또한, 절연체(295)로서 상기 재료보다 높은 유전율을 가지는 산화 지르코늄을 사용하여도 좋다. 절연체(295)로서 산화 지르코늄을 단층으로 사용하여도 좋고, 적층의 일부로서 사용하여도 좋다. 예를 들어, 산화 지르코늄과 산화 알루미늄의 적층을 사용할 수 있다. 또한, 절연체(295)를 3층의 적층으로 하여도 좋고, 제 1 층 및 제 3 층에 산화 지르코늄을 사용하고, 제 1 층과 제 3 층 사이의 제 2 층에 산화 알루미늄을 사용하여도 좋다.
- [0336] 절연체(295)로서 높은 유전율을 가지는 산화 지르코늄을 사용함으로써, 용량 소자(292A)가 메모리 디바이스(420A)에서 점유하는 면적을 삭감할 수 있다. 그러므로, 메모리 디바이스(420A)에 필요한 면적을 삭감할 수 있고, 비트 코스트를 향상시킬 수 있어 바람직하다.
- [0337] 또한, 도전체(297), 도전체(294), 및 도전체(299)로서, 도전체(205), 도전체(242), 도전체(260), 도전체(424) 등에 사용할 수 있는 재료를 사용할 수 있다.
- [0338] 또한, 절연체(298)로서 절연체(214), 절연체(216), 절연체(224), 및 절연체(280) 등에 사용할 수 있는 재료를 사용할 수 있다.
- [0339] <메모리 디바이스(420)의 변형예 2>
- [0340] 다음으로, 도 36의 (C)를 사용하여, 메모리 디바이스(420)의 변형예로서 메모리 디바이스(420B)에 대하여 설명한다. 메모리 디바이스(420B)는 트랜지스터(200M)와, 트랜지스터(200M)에 전기적으로 접속되는 용량 소자(292B)를 가진다. 용량 소자(292B)는 트랜지스터(200M)의 위쪽에 제공된다.
- [0341] 용량 소자(292B)는 전극 중 한쪽으로서 기능하는 도전체(276)와, 유전체로서 기능하는 절연체(277)와, 전극 중 다른 쪽으로서 기능하는 도전체(278)를 가진다. 도전체(278)는 절연체(277)를 사이에 두고 도전체(276)와 중첩한다.
- [0342] 절연체(282) 위에 절연체(275)가 제공되고, 도전체(276)는 절연체(275), 절연체(282), 절연체(280), 절연체(273), 및 절연체(272)에 형성된 개구의 바닥 부분 및 측면에 제공된다. 절연체(277)는 절연체(282) 및 도전체(276)를 덮도록 제공된다. 또한, 도전체(278)는 절연체(277)가 가지는 오목부 내에서 도전체(276)와 중첩되도록 제공되고, 적어도 그 일부는 절연체(277)를 개재하여 절연체(275) 위에 제공된다. 도전체(278)는 인접된 메모리 디바이스(420B)가 가지는 용량 소자(292B)의 다른 쪽 전극으로서 사용하여도 좋다. 또는, 도전체(278)는 인접된 메모리 디바이스(420B)가 가지는 도전체(278)와 전기적으로 접속되어도 좋다.
- [0343] 도전체(278)는 절연체(277)를 사이에 두고 도전체(276)의 상면 및 도전체(276)의 측면에도 배치된다. 이때 용량 소자(292B)는 도전체(276)와 도전체(278)가 중첩되는 면적에 의하여 얻어지는 용량보다 큰 용량을 얻을 수 있기 때문에 바람직하다.
- [0344] 또한, 도전체(278)가 가지는 오목부를 매립하도록 절연체(279)를 제공하여도 좋다.
- [0345] 용량 소자(292B)의 유전체로서 기능하는 절연체(277)로서, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 및 산화 하프늄 등을 사용할 수 있다. 또한, 이들 재료를 적층하여 사용할 수 있다. 절연체(277)를 적층 구조로 하는 경우, 산화 알루미늄과 질화 실리콘의 적층, 산화 하프늄과 산화 실리콘의 적층을 사용할 수 있다. 여기서, 적층의 위아래는 한정되지 않는다. 예를 들어, 산화 알루미늄 위에 질화 실리콘이 적층되어도 좋고, 질화

실리콘 위에 산화 알루미늄이 적층되어도 좋다.

- [0346] 또한, 절연체(277)로서 상기 재료보다 높은 유전율을 가지는 산화 지르코늄을 사용하여도 좋다. 절연체(277)로서 산화 지르코늄을 단층으로 사용하여도 좋고, 적층의 일부로서 사용하여도 좋다. 예를 들어, 산화 지르코늄과 산화 알루미늄의 적층을 사용할 수 있다. 또한, 절연체(277)를 3층의 적층으로 하여도 좋고, 제 1 층 및 제 3 층에 산화 지르코늄을 사용하고, 제 1 층과 제 3 층 사이의 제 2 층에 산화 알루미늄을 사용하여도 좋다.
- [0347] 절연체(277)로서 높은 유전율을 가지는 산화 지르코늄을 사용함으로써, 용량 소자(292B)가 메모리 디바이스(420B)에서 점유하는 면적을 삭감할 수 있다. 그러므로, 메모리 디바이스(420B)에 필요한 면적을 삭감할 수 있고, 비트 코스트를 향상시킬 수 있어 바람직하다.
- [0348] 또한, 도전체(276) 및 도전체(278)로서, 도전체(205), 도전체(242), 도전체(260), 도전체(424) 등에 사용할 수 있는 재료를 사용할 수 있다.
- [0349] 또한, 절연체(275) 및 절연체(279)로서, 절연체(214), 절연체(216), 절연체(224), 및 절연체(280) 등에 사용할 수 있는 재료를 사용할 수 있다.
- [0350] <메모리 디바이스(420)와 트랜지스터(200T)의 접속>
- [0351] 도 34에서는 일점쇄선으로 둘러싼 영역(422)에서 메모리 디바이스(420)가 도전체(424) 및 도전체(205)를 통하여 트랜지스터(200T)의 게이트에 전기적으로 접속되어 있지만, 본 실시형태는 이에 한정되지 않는다.
- [0352] 도 37은 메모리 디바이스(420)가 도전체(424), 도전체(205), 도전체(246b), 및 도전체(240b)를 통하여 트랜지스터(200T)의 소스 및 드레인 중 한쪽으로서 기능하는 도전체(242b)와 전기적으로 접속되는 예를 나타낸 것이다.
- [0353] 이와 같이, 트랜지스터층(413)이 가지는 회로의 기능에 따라 메모리 디바이스(420)와 트랜지스터(200T)의 접속 방법을 결정할 수 있다.
- [0354] 도 38은 메모리 유닛(470)이, 트랜지스터(200T)를 가지는 트랜지스터층(413)과, 4층의 메모리 디바이스층(415) (메모리 디바이스층(415\_1) 내지 메모리 디바이스층(415\_4))을 가지는 예를 나타낸 것이다.
- [0355] 메모리 디바이스층(415\_1) 내지 메모리 디바이스층(415\_4)은 각각 복수의 메모리 디바이스(420)를 가진다.
- [0356] 메모리 디바이스(420)는 도전체(424) 및 도전체(205)를 통하여, 다른 메모리 디바이스층(415)이 가지는 메모리 디바이스(420) 및 트랜지스터층(413)이 가지는 트랜지스터(200T)와 전기적으로 접속된다.
- [0357] 메모리 유닛(470)은 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(282), 절연체(283), 및 절연체(284)에 의하여 밀봉된다. 절연체(284)의 주위에는 절연체(274)가 제공된다. 또한, 절연체(274), 절연체(284), 절연체(283), 및 절연체(211)에는 도전체(430)가 제공되고, 소자층(411)과 전기적으로 접속된다.
- [0358] 또한, 밀봉 구조의 내부에는 절연체(280)가 제공된다. 절연체(280)는 가열에 의하여 산소를 방출하는 기능을 가진다. 또는, 절연체(280)는 과잉 산소 영역을 가진다.
- [0359] 또한, 절연체(211), 절연체(283), 및 절연체(284)는 수소에 대한 차단성이 높은 기능을 가지는 재료이면 적합하다. 또한, 절연체(214), 절연체(282), 및 절연체(287)는 수소를 포획 또는 수소를 고착하는 기능을 가지는 재료이면 적합하다.
- [0360] 예를 들어, 상기 수소에 대한 차단성이 높은 기능을 가지는 재료로서 질화 실리콘 또는 질화산화 실리콘 등을 들 수 있다. 또한, 상기 수소를 포획 또는 수소를 고착하는 기능을 가지는 재료로서 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 들 수 있다.
- [0361] 또한, 본 명세서에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 말한다. 또는, 대응하는 물질을 포획 및 고착하는(게터링이라고도 함) 기능을 말한다.
- [0362] 또한, 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(282), 절연체(283), 및 절연체(284)에 사용하는 재료의 결정 구조에 대하여 특별히 한정되지 않지만, 비정질 또는 결정성을 가지는 구조로 하면 좋다. 예를 들어, 수소를 포획 또는 수소를 고착하는 기능을 가지는 재료로서, 비정질의 산화 알루미늄막을 사용하면 적합하다. 비정질의 산화 알루미늄은 결정성이 높은 산화 알루미늄보다 수소를 포획 및 고착하는 양이 많은 경우가 있다.
- [0363] 여기서, 절연체(280) 내의 과잉 산소와, 절연체(280)와 접하는 산화물 반도체 내의 수소의 확산에 대해서는, 아

래와 같은 모델이 생각된다.

- [0364] 산화물 반도체 내에 존재하는 수소는 산화물 반도체에 접하는 절연체(280)를 통하여 다른 구조체로 확산된다. 절연체(280) 내의 과잉 산소가 산화물 반도체 내의 산소와 반응하여 OH 결합이 되고, 상기 수소는 절연체(280) 내에서 확산된다. OH 결합을 가진 수소 원자가 수소를 포획 또는 수소를 고착하는 기능을 가지는 재료(대표적으로는, 절연체(282))에 도달하였을 때, 수소 원자는 절연체(282) 내의 원자(예를 들어, 금속 원자 등)와 결합된 산소 원자와 반응하여, 절연체(282) 내에 포획 또는 고착된다. 한편으로, OH 결합을 가진 과잉 산소의 산소 원자는 과잉 산소로서 절연체(280) 내에 잔존한다고 추측된다. 즉, 상기 수소의 확산에서, 절연체(280) 내의 과잉 산소가 중개적인 역할을 맡을 개연성이 높다.
- [0365] 상기 모델을 만족시키기 위해서는, 반도체 장치의 제작 공정이 중요한 요소 중 하나가 된다.
- [0366] 일례로서, 산화물 반도체에 과잉 산소를 가지는 절연체(280)를 형성하고, 그 후에 절연체(282)를 형성한다. 그 후, 가열 처리를 수행하는 것이 바람직하다. 상기 가열 처리는 구체적으로는 산소를 포함하는 분위기, 질소를 포함하는 분위기, 또는 산소와 질소의 혼합 분위기에서 350℃ 이상, 바람직하게는 400℃ 이상의 온도에서 가열 처리를 수행한다. 가열 처리의 시간은 1시간 이상, 바람직하게는 4시간 이상, 더 바람직하게는 8시간 이상으로 한다.
- [0367] 상기 가열 처리에 의하여 산화물 반도체 내의 수소는 절연체(280), 절연체(282), 및 절연체(287)를 통하여 외부로 확산될 수 있다. 즉, 산화물 반도체 및 상기 산화물 반도체 근방에 존재하는 수소의 절대량을 저감할 수 있다.
- [0368] 상기 가열 처리 후에 절연체(283) 및 절연체(284)를 형성한다. 절연체(283) 및 절연체(284)는 수소에 대한 차단성이 높은 기능을 가지는 재료이므로 외부로 확산된 수소 또는 외부에 존재하는 수소가 내부, 구체적으로는 산화물 반도체 또는 절연체(280) 측에 들어가는 것을 억제할 수 있다.
- [0369] 또한, 상기 가열 처리를, 절연체(282)를 형성한 후에 수행하는 구성에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어, 트랜지스터층(413)의 형성 후, 또는 메모리 디바이스층(415\_1) 내지 메모리 디바이스층(415\_3)의 형성 후에 각각 상기 가열 처리를 수행하여도 좋다. 또한, 상기 가열 처리에 의하여 수소를 외부로 확산시킬 때에는 트랜지스터층(413)의 위쪽 또는 가로 방향으로 수소가 확산된다. 마찬가지로, 메모리 디바이스층(415\_1) 내지 메모리 디바이스층(415\_3)의 형성 후에 가열 처리를 하는 경우에는 수소는 위쪽 또는 가로 방향으로 확산된다.
- [0370] 또한, 상기 제작 공정에서, 절연체(211)와 절연체(283)가 접촉됨으로써 상술한 밀봉 구조가 형성된다.
- [0371] 상술한 바와 같이, 상기 구조 및 상기 제작 공정으로 함으로써, 수소 농도가 저감된 산화물 반도체를 사용한 반도체 장치를 제공할 수 있다. 따라서, 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다.
- [0372] 도 39의 (A) 내지 (C)는 도전체(424)의 배치가 도 38과 다른 예를 나타낸 도면이다. 도 39의 (A)는 메모리 디바이스(420)를 상면으로부터 보았을 때의 레이아웃도를 나타내고, 도 39의 (B)는 도 39의 (A)의 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 도 39의 (C)는 도 39의 (A)의 일점쇄선 B1-B2로 나타낸 부분의 단면도이다. 또한, 도 39의 (A)에서는 도면의 이해를 용이하게 하기 위하여 도전체(205)의 도시를 생략하였다. 도전체(205)를 제공하는 경우, 도전체(205)는 도전체(260) 및 도전체(424)와 중첩되는 영역을 가진다.
- [0373] 도 39의 (A)에 도시된 바와 같이, 도전체(424)가 제공되는 개구, 즉 도전체(424)는 산화물(230a) 및 산화물(230b)과 중첩되는 영역뿐만 아니라, 산화물(230a) 및 산화물(230b)의 외측에도 제공되어 있다. 도 39의 (A)에서는 도전체(424)가 산화물(230a) 및 산화물(230b)의 B2 측으로 넘어서 연장되도록 제공되는 예를 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 도전체(424)는 산화물(230a) 및 산화물(230b)의 B1 측으로 넘어서 연장되도록 제공되어도 좋고, B1 측과 B2 측의 양쪽으로 넘어서 연장되도록 제공되어도 좋다.
- [0374] 도 39의 (B) 및 (C)는 메모리 디바이스층(415\_p-1) 위에 메모리 디바이스층(415\_p)이 적층되는 예를 나타낸 것이다(p는 2 이상 n 이하의 자연수). 메모리 디바이스층(415\_p-1)이 가지는 메모리 디바이스(420)는 도전체(424) 및 도전체(205)를 통하여 메모리 디바이스층(415\_p)이 가지는 메모리 디바이스(420)와 전기적으로 접속된다.
- [0375] 도 39의 (B)는 메모리 디바이스층(415\_p-1)에서 도전체(424)가 메모리 디바이스층(415\_p-1)의 도전체(242) 및 메모리 디바이스층(415\_p)의 도전체(205)에 접속되는 예를 나타낸 것이다. 여기서, 도전체(424)는 도전체

(242), 산화물(243), 산화물(230b), 및 산화물(230a)의 B2 측의 외측에서 메모리 디바이스층(415<sub>p-1</sub>)의 도전체(205)와도 접속되어 있다.

[0376] 도 39의 (C)에서는 도전체(424)가 도전체(242), 산화물(243), 산화물(230b), 및 산화물(230a)의 B2 측의 측면을 따라 형성되고, 절연체(280), 절연체(273), 절연체(272), 절연체(224), 및 절연체(222)에 형성된 개구를 통하여 도전체(205)와 전기적으로 접속되어 있는 것을 알 수 있다. 여기서 도전체(424)가 도전체(242), 산화물(243), 산화물(230b), 및 산화물(230a)의 B2 측의 측면을 따라 제공되는 예를 도 39의 (B)에서는 점선으로 나타내었다. 또한, 도전체(242), 산화물(243), 산화물(230b), 산화물(230a), 절연체(224), 및 절연체(222)의 B2 측의 측면과 도전체(424) 사이에 절연체(241)가 형성되는 경우가 있다.

[0377] 도전체(242) 등과 중첩되지 않는 영역에도 도전체(424)를 제공함으로써, 메모리 디바이스(420)는 상이한 메모리 디바이스층(415)에 제공된 메모리 디바이스(420)와 전기적으로 접속될 수 있다. 또한, 메모리 디바이스(420)는 트랜지스터층(413)에 제공된 트랜지스터(200T)에도 전기적으로 접속될 수 있다.

[0378] 또한, 도전체(424)를 비트선으로 할 때, 도전체(242) 등과 중첩되지 않는 영역에도 도전체(424)를 제공함으로써, B1-B2 방향으로 인접된 메모리 디바이스(420)의 비트선의 거리를 확장할 수 있다. 도 39의 (A)에 도시된 바와 같이, 도전체(242) 위에서의 도전체(424)끼리의 간격은 d1이고, 산화물(230a)보다 아래층, 즉 절연체(224) 및 절연체(222)에 형성된 개구 내에 위치하는 도전체(424)끼리의 간격은 d2이고, d2는 d1보다 크다. 일부의 간격을 d2로 하면, B1-B2 방향으로 인접된 도전체(424)끼리의 간격이 d1인 경우에 비하여 도전체(424)의 기생 용량을 저감할 수 있다. 도전체(424)의 기생 용량을 저감함으로써 용량 소자(292)에 필요한 용량을 저감할 수 있으므로 바람직하다.

[0379] 메모리 디바이스(420)에는 2개의 메모리 셀에 대하여 공통의 비트선으로서 기능하는 도전체(424)가 제공된다. 용량 소자에 사용되는 유전체의 유전율이나, 비트선 간의 기생 용량을 적절히 조정함으로써 각 메모리 셀의 셀 크기를 축소할 수 있다. 여기서는, 채널 길이를 30nm(30nm 노드라고도 함)로 하였을 때의 메모리 셀의 셀 크기의 추산, 비트 밀도의 추산, 및 비트 코스트의 추산에 대하여 설명한다. 또한, 이하에서 설명하는 도 40의 (A) 내지 (D)에서는 도면의 이해를 용이하게 하기 위하여 도전체(205)의 도시를 생략하였다. 도전체(205)를 제공하는 경우, 도전체(205)는 도전체(260) 및 도전체(424)와 중첩되는 영역을 가진다.

[0380] 도 40의 (A)는, 용량 소자의 유전체로서 두께 10nm의 산화 하프늄과, 그 위에 1nm의 산화 실리콘이 순차적으로 적층되고, 메모리 디바이스(420)가 가지는 각 메모리 셀의 도전체(242), 산화물(243), 산화물(230a), 및 산화물(230b) 사이에는 슬릿이 제공되고, 도전체(242) 및 상기 슬릿과 중첩되도록 비트선으로서 기능하는 도전체(424)가 제공되는 예를 나타낸 것이다. 이와 같이 하여 얻어진 메모리 셀(432)을 셀 A라고 부른다.

[0381] 셀 A의 셀 크기는  $45.25F^2$ 이다.

[0382] 도 40의 (B)는, 용량 소자의 유전체로서 제 1 산화 지르코늄과, 그 위에 산화 알루미늄과, 그 위에 제 2 산화 지르코늄이 순차적으로 적층되고, 메모리 디바이스(420)가 가지는 각 메모리 셀의 도전체(242), 산화물(243), 산화물(230a), 및 산화물(230b) 사이에는 슬릿이 제공되고, 도전체(242) 및 상기 슬릿과 중첩되도록 비트선으로서 기능하는 도전체(424)가 제공되는 예를 나타낸 것이다. 이와 같이 하여 얻어진 메모리 셀(433)을 셀 B라고 부른다.

[0383] 셀 B는 셀 A와 비교하여 용량 소자에 사용하는 유전체의 유전율이 높기 때문에 용량 소자의 면적을 축소할 수 있다. 따라서, 셀 B는 셀 A에 비하여 셀 크기를 축소할 수 있다. 셀 B의 셀 크기는  $25.53F^2$ 이다.

[0384] 셀 A 및 셀 B는 도 34, 도 36의 (A) 내지 (C), 및 도 37에 도시된 메모리 디바이스(420), 메모리 디바이스(420A), 또는 메모리 디바이스(420B)가 가지는 메모리 셀에 대응한다.

[0385] 도 40의 (C)는, 용량 소자의 유전체로서 제 1 산화 지르코늄과, 그 위에 산화 알루미늄과, 그 위에 제 2 산화 지르코늄이 적층되고, 메모리 디바이스(420)가 가지는 도전체(242), 산화물(243), 산화물(230a), 및 산화물(230b)을 각 메모리 셀에서 공유하고, 도전체(242)와 중첩되는 일부 및 도전체(242)의 외측의 일부와 중첩되도록 비트선으로서 기능하는 도전체(424)가 제공되는 예를 나타낸 것이다. 이와 같이 하여 얻어진 메모리 셀(434)을 셀 C라고 부른다.

[0386] 셀 C에서의 도전체(424)의 간격은 도전체(242)의 위쪽과 비교하여 산화물(230a)보다 아래층에서 넓어진다. 그러므로, 도전체(424)의 기생 용량을 저감할 수 있어, 용량 소자의 면적을 축소할 수 있다. 또한 도전체(242),



산화물(243), 산화물(230a), 및 산화물(230b)에 슬릿을 제공하지 않는다. 이로써, 셀 C는 셀 A 및 셀 B에 비하여 셀 크기를 축소할 수 있다. 셀 C의 셀 크기는  $17.20F^2$ 이다.

[0387] 도 40의 (D)는 셀 C에서 도전체(205) 및 절연체(216)를 제공하지 않는 예를 나타낸 것이다. 이와 같은 메모리 셀(435)을 셀 D라고 부른다.

[0388] 셀 D에 도전체(205) 및 절연체(216)를 제공하지 않으면 메모리 디바이스(420)를 얇게 할 수 있다. 그러므로, 메모리 디바이스(420)를 가지는 메모리 디바이스층(415)을 얇게 할 수 있어, 메모리 디바이스층(415)을 복수 적층한 메모리 유닛(470)의 높이를 낮게 할 수 있다. 도전체(424) 및 도전체(205)를 비트선으로 간주하였을 때, 메모리 유닛(470) 내에서 비트선을 짧게 할 수 있다. 비트선을 짧게 할 수 있기 때문에 비트선의 기생 부하가 저감되고, 도전체(424)의 기생 용량을 더 저감할 수 있어 용량 소자의 면적을 축소할 수 있다. 또한 도전체(242), 산화물(243), 산화물(230a), 및 산화물(230b)에 슬릿을 제공하지 않는다. 이로써, 셀 D는 셀 A, 셀 B, 및 셀 C에 비하여 셀 크기를 축소할 수 있다. 셀 D의 셀 크기는  $15.12F^2$ 이다.

[0389] 셀 C 및 셀 D는 도 39의 (A) 내지 (C)에 도시된 메모리 디바이스(420)가 가지는 메모리 셀에 대응한다.

[0390] 여기서, 셀 A 내지 셀 D, 및 셀 D에서 다치화를 수행한 셀 E에 대하여 비트 밀도 및 비트 코스트  $C_b$ 를 추산하였다. 또한, 얻어진 추산과, 현재 시판되고 있는 DRAM의 비트 밀도 및 비트 코스트의 예상값을 비교하였다.

[0391] 본 발명의 일 형태의 반도체 장치에서의 비트 코스트  $C_b$ 를 수학식 1을 사용하여 추산하였다.

[0392] [수학식 1]

$$C_b = \frac{(P_C + n \times P_S)}{n} \times \frac{D_d}{D_{3d}} \times \frac{1}{P_d} \quad \dots (1)$$

[0393]

[0394] 여기서,  $n$ 은 메모리 디바이스층의 적층 수,  $P_c$ 는 공통 부분으로서 주로 소자층(411)의 패터닝 횟수,  $P_s$ 는 메모리 디바이스층(415) 및 트랜지스터층(413)의 1층당 패터닝 횟수,  $D_d$ 는 DRAM의 비트 밀도,  $D_{3d}$ 는 메모리 디바이스층(415) 1층의 비트 밀도,  $P_d$ 는 DRAM의 패터닝 횟수를 나타낸다. 다만,  $P_d$ 에는 스케일링에 따른 증가분이 포함된다.

[0395] 시판되고 있는 DRAM의 비트 밀도의 예상값 및 본 발명의 일 형태의 반도체 장치의 비트 밀도의 추산을 표 1에 나타내었다. 또한, 시판되고 있는 DRAM의 프로세스 노드는 18nm 및 1Xnm의 2종류이다. 또한, 본 발명의 일 형태의 반도체 장치의 프로세스 노드를 30nm로 하고, 셀 A 내지 셀 E의 메모리 디바이스층의 적층 수를 5층, 10층, 및 20층으로 하여 비트 밀도를 추산하였다.

[0396] [표 1]

	DRAM		본 발명의 일 형태의 기억 장치			
제조사	A사	B사	-			
프로세스 노드	18nm	1Xnm	30nm			
적층 수	-	-		5	10	20
비트 밀도 [Gb/mm <sup>2</sup> ] (* )는 예상값	0.19(*)	0.14(*)	셀 A	0.05	0.10	0.20
			셀 B	0.09	0.17	0.35
			셀 C	0.13	0.26	0.52
			셀 D	0.15	0.29	0.59
			셀 E	0.30	0.59	1.18

[0397]

[0398] 시판되고 있는 DRAM의 비트 코스트로부터, 본 발명의 일 형태의 반도체 장치의 상대적인 비트 코스트를 추산한



결과를 표 2에 나타내었다. 또한, 비트 코스트의 비교에는 프로세스 노드가 1Xnm인 DRAM을 사용하였다. 또한, 본 발명의 일 형태의 반도체 장치의 프로세스 노드를 30nm로 하고, 셀 A 내지 셀 D의 메모리 디바이스층의 적층 수를 5층, 10층, 및 20층으로 하여 추산하였다.

[표 2]

	DRAM		본 발명의 일 형태의 기억 장치			
제조사	A사	B사	-			
프로세스 노드	18nm	1Xnm	30nm			
적층 수	-	-		5	10	20
B사의 비트 코스트를 1로 하였을 때의 상대적인 비트 코스트	-	1	셀 A	1.7	1.3	1.2
			셀 B	0.9	0.7	0.7
			셀 C	0.6	0.5	0.4
			셀 D	0.5	0.4	0.3

본 실시형태에 기재된 구성은 다른 실시형태 등에 기재되는 구성과 적절히 조합하여 사용할 수 있다.

(실시형태 10)

본 실시형태에서는 앞의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물(이하, 산화물 반도체라고도 함)에 대하여 설명한다.

금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

<결정 구조의 분류>

우선, 산화물 반도체에서의 결정 구조의 분류에 대하여 도 41의 (A)를 사용하여 설명한다. 도 41의 (A)는 산화물 반도체, 대표적으로는 IGZO(In과, Ga과, Zn을 포함하는 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.

도 41의 (A)에 도시된 바와 같이, 산화물 반도체는 크게 나누어 'Amorphous(무정형)'와, 'Crystalline(결정성)'과, 'Crystal(결정)'로 분류된다. 또한 'Amorphous'의 범주에는 completely amorphous가 포함된다. 또한 'Crystalline'의 범주에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(cloud-aligned composite)가 포함된다. 또한, 'Crystalline'의 분류에서는 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 'Crystal'의 범주에는 single crystal 및 poly crystal이 포함된다.

또한, 도 41의 (A)에 도시된 굵은 테두리 내의 구조는, 'Amorphous(무정형)'와 'Crystal(결정)' 사이의 중간 상태이고, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉, 상기 구조는 에너지적으로 불안정한 'Amorphous(무정형)'나, 'Crystal(결정)'과는 전혀 다른 구조라고 할 수 있다.

또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여기서, 'Crystalline'으로 분류되는 CAAC-IGZO막의 GIXD(Grazing-Incidence XRD) 측정에 의하여 얻어지는 XRD 스펙트럼을 도 41의 (B)에 나타내었다(세로축은 강도(Intensity)를 임의 단위(a.u.)로 나타냄). 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이하에서는, 도 41의 (B)에 나타낸 GIXD 측정에 의하여 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 나타낸다. 또한 도 41의 (B)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 41의 (B)에 나타낸 CAAC-IGZO막의 두께는 500nm이다.

도 41의 (B)에 나타낸 바와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는, CAAC-IGZO막의 XRD 스펙트럼에서는  $2\theta=31^\circ$  근방에 c축 배향을 나타내는 피크가 검출된다.

또한 도 41의 (B)에 나타난 바와 같이,  $2\theta=31^\circ$  근방의 피크는, 피크 강도가 검출된 각도를 축으로 좌우 비대칭이다.

[0411] 또한 막 또는 기관의 결정 구조는, 극미 전자선 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(극미 전자선 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 41의 (C)에 나타내었다. 도 41의 (C)는 기관에 대하여 평행하게 전자선을 입사하는 NBED에 의하여 관찰되는 회절 패턴을 나타낸 것이다. 또한 도 41의 (C)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 극미 전자선 회절법에서는 프로브 직경을 1nm로 하여 전자선 회절이 수행된다.

[0412] 도 41의 (C)에 나타난 바와 같이, CAAC-IGZO막의 회절 패턴에서는 c축 배향을 나타내는 복수의 스폿이 관찰된다.

[0413] <<산화물 반도체의 구조>>

[0414] 또한, 산화물 반도체는 결정 구조에 착안한 경우, 도 41의 (A)와는 상이한 분류가 되는 경우가 있다. 예를 들어, 산화물 반도체는 단결정 산화물 반도체와 이 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0415] 여기서, 상술한 CAAC-OS, nc-OS, 및 a-like OS의 자세한 내용에 대하여 설명한다.

[0416] [CAAC-OS]

[0417] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉, CAAC-OS는 c축 배향을 가지고, a-b면 방향으로서는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0418] 또한 상기 복수의 결정 영역의 각각은, 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.

[0419] 또한, In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 타이타늄 등에서 선택된 1종류 또는 복수 종류)에서, CAAC-OS는 인듐(In) 및 산소를 가지는 층(이하, In층)과, 원소 M, 아연(Zn), 및 산소를 가지는 층(이하 (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환될 수 있다. 따라서 (M,Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서, 격자상(格子像)으로 관찰된다.

[0420] 예를 들어, XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때,  $\theta/2\theta$  스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가  $2\theta=31^\circ$  또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치( $2\theta$ 의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0421] 또한 예를 들어 CAAC-OS막의 전자선 회절 패턴에서, 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(다이렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[0422] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 상기 변형에서 오각형, 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환됨으로써 원자 사이의

결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이라고 생각된다.

- [0423] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성의 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 포함하는 구성이 바람직하다. 예를 들어, In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.
- [0424] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서, CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서, CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한, CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서, OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자유도를 높일 수 있게 된다.
- [0425] [nc-OS]
- [0426] nc-OS는 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어, XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때,  $\theta/2\theta$  스캔을 사용한 Out-of-plane XRD 측정에서는, 결정성을 나타내는 피크가 검출되지 않는다. 또한 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노빔 전자선 회절이라고도 함)을 수행하면, 다이렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자선 회절 패턴이 취득되는 경우가 있다.
- [0427] [a-like OS]
- [0428] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간적 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다. 또한, a-like OS는 nc-OS 및 CAAC-OS에 비하여 막 내의 수소 농도가 높다.
- [0429] <<산화물 반도체의 구성>>
- [0430] 다음으로, 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.
- [0431] [CAC-OS]
- [0432] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재한 재료의 한 구성이다. 또한 아래에서는, 금속 산화물에 하나 또는 복수의 금속 원소가 편재하고, 상기 금속 원소를 가지는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.
- [0433] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하 클라우드상이라고도 함)이다. 즉, CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.
- [0434] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비를 각각 [In], [Ga], 및 [Zn]이라고 표기한다. 예를 들어, In-Ga-Zn 산화물에서의 CAC-OS에서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]이 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크고, [Ga]이 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]이 제 1 영역에서의 [Ga]보다 크고, [In]이 제 1 영역에서의 [In]보다 작은 영

역이다.

- [0435] 구체적으로는, 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉, 상기 제 1 영역을 In을 주성분으로 하는 영역이라고 바꿔 말할 수 있다. 또한 상기 제 2 영역을 Ga을 주성분으로 하는 영역이라고 바꿔 말할 수 있다.
- [0436] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.
- [0437] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 맵핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과, Ga을 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.
- [0438] CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉, CAC-OS는 재료의 일부에서는 도전성 기능을 가지고 재료의 다른 일부에서는 절연성 기능을 가지며, 재료의 전체로서는 반도체로서의 기능을 가진다. 도전성의 기능과 절연성의 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류( $I_{on}$ ), 높은 전계 효과 이동도( $\mu$ ), 및 양호한 스위칭 동작을 실현할 수 있다.
- [0439] 산화물 반도체는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.
- [0440] <산화물 반도체를 가지는 트랜지스터>
- [0441] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.
- [0442] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한, 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0443] 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 캐리어 농도는  $1 \times 10^{17} \text{ cm}^{-3}$  이하, 바람직하게는  $1 \times 10^{15} \text{ cm}^{-3}$  이하, 더 바람직하게는  $1 \times 10^{13} \text{ cm}^{-3}$  이하, 더욱 바람직하게는  $1 \times 10^{11} \text{ cm}^{-3}$  이하, 더욱더 바람직하게는  $1 \times 10^{10} \text{ cm}^{-3}$  미만이고,  $1 \times 10^{-9} \text{ cm}^{-3}$  이상이다. 또한, 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 하는 경우가 있다.
- [0444] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0445] 또한, 산화물 반도체의 트랩 준위에 포획된 전하는, 소실되는 데 걸리는 시간이 길어, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0446] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한, 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는, 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0447] <불순물>
- [0448] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0449] 산화물 반도체에 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘이나 탄소의 농도와, 산화물 반도체와의 계면 근방의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry))에 의하여 얻어지는 농도)를  $2 \times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $2 \times 10^{17} \text{ atoms/cm}^3$  이하로 한다.
- [0450] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고 캐리어를 생성하는



경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로, SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $2 \times 10^{16} \text{ atoms/cm}^3$  이하로 한다.

[0451] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로, SIMS에 의하여 얻어지는 산화물 반도체 내의 질소 농도를  $5 \times 10^{19} \text{ atoms/cm}^3$  미만, 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 더욱 바람직하게는  $5 \times 10^{17} \text{ atoms/cm}^3$  이하로 한다.

[0452] 또한, 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를  $1 \times 10^{20} \text{ atoms/cm}^3$  미만, 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  미만, 더 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  미만, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  미만으로 한다.

[0453] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0454] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0455] (실시형태 11)

[0456] 본 실시형태에서는 실시형태 1 내지 실시형태 4에 기재된 반도체 장치(10, 10A, 10B, 10F)에서의 주변 회로(20)의 자세한 사항에 대하여 설명한다.

[0457] 도 42는 메모리 장치로서 기능하는 반도체 장치의 구성예를 나타낸 블록도이다. 반도체 장치(10E)는 주변 회로(20) 및 메모리 셀 어레이(30)를 가진다. 주변 회로(20)는 행 디코더(71), 워드선 드라이버 회로(72), 열 드라이버(22), 출력 회로(73), 컨트롤 로직 회로(74)를 가진다. 또한 행 디코더(71) 및 워드선 드라이버 회로(72)는 실시형태 1 등에서 설명한 행 드라이버에 적용할 수 있다.

[0458] 열 드라이버(22)는 열 디코더(81), 프리차지 회로(82), 증폭 회로(83), 및 기록 회로(84)를 가진다. 프리차지 회로(82)는 배선(BL) 등을 프리차지하는 기능을 가진다. 증폭 회로(83)는 배선(BL)으로부터 판독된 데이터 신호를 증폭하는 기능을 가진다. 증폭된 데이터 신호는 출력 회로(73)를 통하여 디지털 데이터 신호(RDATA)로서 기억 장치(10E)의 외부에 출력된다.

[0459] 반도체 장치(10E)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(20)용 고전원 전압(VDD), 메모리 셀 어레이(30)용 고전원 전압(VIL)이 공급된다.

[0460] 또한, 반도체 장치(10E)에는 제어 신호(CE, WE, RE), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더(71) 및 열 디코더(81)에 입력되고, WDATA는 기록 회로(84)에 입력된다.

[0461] 컨트롤 로직 회로(74)는 외부로부터의 입력 신호(CE, WE, RE)를 처리하여 행 디코더(71), 열 디코더(81)의 제어 신호를 생성한다. CE는 칩 인에이블 신호이고, WE는 기록 인에이블 신호이고, RE는 판독 인에이블 신호이다. 컨트롤 로직 회로(74)가 처리하는 신호는, 이에 한정되지 않고, 필요에 따라 다른 제어 신호를 입력하면 좋다. 예를 들어, 불량 비트를 판정하기 위한 제어 신호를 입력하고, 특정된 메모리 셀의 어드레스로부터 판독되는 데이터 신호를 불량 비트로서 특정하여도 좋다.

[0462] 또한 상술한 각 회로 또는 각 신호는 필요에 따라 적절히 취사할 수 있다.

[0463] 일반적으로 컴퓨터 등의 반도체 장치에서는 용도에 따라 다양한 기억 장치(메모리)가 사용된다. 도 43에 각종 기억 장치를 계층마다 도시하였다. 상층에 위치하는 기억 장치일수록 빠른 액세스 속도가 요구되고, 하층에 위치하는 기억 장치일수록 큰 기억 용량과 높은 기록 밀도가 요구된다. 도 43에서는 CPU 등의 연산 처리 장치에



레지스터로서 포함되는 메모리, SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 3D NAND 메모리를 위로부터 이 순서대로 나타내었다.

- [0464] CPU 등의 연산 처리 장치에 레지스터로서 포함되는 메모리는 연산 결과의 일시적인 저장 등에 사용되기 때문에, 연산 처리 장치로부터의 액세스 빈도가 높다. 따라서 빠른 동작 속도가 기억 용량보다 더 요구된다. 또한 레지스터는 연산 처리 장치의 설정 정보 등을 유지하는 기능도 가진다.
- [0465] SRAM은 예를 들어 캐시(cache)에 사용된다. 캐시는 메인 메모리에 유지되는 정보의 일부를 복제하여 유지하는 기능을 가진다. 사용 빈도가 높은 데이터를 캐시에 복제함으로써 데이터에 대한 액세스 속도를 빠르게 할 수 있다.
- [0466] DRAM은 예를 들어 메인 메모리에 사용된다. 메인 메모리는 스토리지에서 판독된 프로그램이나 데이터를 유지하는 기능을 가진다. DRAM의 기록 밀도는 약  $0.1\text{Gbit}/\text{mm}^2$  내지  $0.3\text{Gbit}/\text{mm}^2$ 이다.
- [0467] 3D NAND 메모리는 예를 들어 스토리지에 사용된다. 스토리지는 장기간 저장할 필요가 있는 데이터나 연산 처리 장치에서 사용되는 각종 프로그램 등을 유지하는 기능을 가진다. 따라서 스토리지에서는 큰 기억 용량과 높은 기록 밀도가 동작 속도보다 더 요구된다. 스토리지에 사용되는 기억 장치의 기록 밀도는 약  $0.6\text{Gbit}/\text{mm}^2$  내지  $6.0\text{Gbit}/\text{mm}^2$ 이다.
- [0468] 본 발명의 일 형태의 기억 장치로서 기능하는 반도체 장치는 동작 속도가 빠르고, 장기간에 걸친 데이터 유지가 가능하다. 본 발명의 일 형태의 반도체 장치는 캐시가 위치하는 계층과 메인 메모리가 위치하는 계층의 양쪽을 포함하는 경계 영역(901)에 위치하는 반도체 장치로서 적합하게 사용할 수 있다. 또한, 본 발명의 일 형태의 반도체 장치는 메인 메모리가 위치하는 계층과 스토리지가 위치하는 계층의 양쪽을 포함하는 경계 영역(902)에 위치하는 반도체 장치로서 적합하게 사용할 수 있다.
- [0469] (실시형태 12)
- [0470] 본 실시형태에서는 앞의 실시형태에 나타난 반도체 장치 등이 제공된 전자 부품 및 전자 기기의 소비 전력에 대하여 설명한다.
- [0471] 도 44의 (A), (B)에 DRAM 및 DOSRAM의 소비 전력을 설명하는 도면을 나타내었다. 도 44의 (A)는 DRAM, DOSRAM1, 및 DOSRAM2의 소비 전력을, 도 44의 (B)는 DRAM 및 DOSRAM2의 소비 전력을 각각 나타낸 것이다.
- [0472] 또한, 도 44의 (A), (B)는 다양한 사용 방법을 상정하여 추산한 결과이다. 또한, 도 44의 (A)에는 액티브 모드가 10%(전자 기기 등의 사용 상황에서 하루의 10%가 액티브 모드인 경우를 상정함), 스탠바이 모드가 90%인 경우를 상정하였을 때의 일반적인 DRAM 및 본 발명의 일 형태의 전자 기기(DOSRAM1, DOSRAM2)를 상정하여 추산한 결과를 나타내었다. 또한, 도 44의 (B)에는 액티브 모드가 1%(전자 기기 등의 사용 상황에서 하루의 1%가 액티브 모드인 경우를 상정함), 스탠바이 모드가 99%인 경우를 상정하였을 때의 일반적인 DRAM 및 본 발명의 일 형태의 전자 기기(DOSRAM2)를 상정하여 추산한 결과를 나타내었다.
- [0473] 또한 도 44의 (A), (B)에서 세로축은 소비 전력(Power consumption)을 임의 단위(A.U.)로 나타낸다. 또한, 도 44의 (A)에서 가로축은 DRAM, DOSRAM1, 및 DOSRAM2를 나타내고, 도 44의 (B)에서 가로축은 DRAM, DOSRAM2를 나타낸다.
- [0474] 또한 도 44의 (A), (B)에서 그래프의 아래 단은 Active 시의 소비 전력을 나타내고, 가운데 단은 Standby 시의 소비 전력을 나타내고, 위 단은 Refresh 시의 소비 전력을 나타낸다.
- [0475] 또한, DOSRAM2는 스탠바이 시에 DOSRAM1에 대하여 파워 게이팅을 실시하는 것을 상정한 것이다.
- [0476] 도 44의 (A)에 나타난 바와 같이 일반적인 DRAM에 비하여 본 발명의 일 형태의 전자 기기(DOSRAM1, DOSRAM2)는 소비 전력량이 낮다는 것을 알 수 있다. 특히, DOSRAM2는 일반적인 DRAM에 비하여 전력을 75% 삭감할 수 있는 효과를 가지는 것으로 추산된다.
- [0477] 또한, 도 44의 (B)에 나타난 바와 같이 액티브 모드가 1%인 경우에는, 본 발명의 일 형태의 전자 기기(DOSRAM2)는 일반적인 DRAM에 비하여 전력을 95% 삭감할 수 있는 효과를 가지는 것으로 추산된다.
- [0478] 상술한 바와 같이, 본 발명의 일 형태에 의하여 소비 전력량이 삭감된 반도체 장치 또는 전자 기기를 제공할 수 있다.

- [0479] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0480] (실시형태 13)
- [0481] 본 실시형태는 상기 실시형태에 나타난 반도체 장치 등이 제공된 전자 부품 및 전자 기기의 일례를 나타낸 것이다.
- [0482] <전자 부품>
- [0483] 우선, 반도체 장치(10) 등이 제공된 전자 부품의 예를 도 45의 (A) 및 (B)를 사용하여 설명한다.
- [0484] 도 45의 (A)에 전자 부품(700) 및 전자 부품(700)이 실장된 기관(실장 기관(704))의 사시도를 나타내었다. 도 45의 (A)에 나타난 전자 부품(700)은 실리콘 기관(11) 위에 소자층(34)이 적층된 반도체 장치(10)를 몰드(711) 내에 가진다. 도 45의 (A)에서는 전자 부품(700)의 내부를 나타내기 위하여 일부를 도면에 반영하지 않았다. 전자 부품(700)은 몰드(711)의 외측에 랜드(712)를 가진다. 랜드(712)는 전극 패드(713)에 전기적으로 접속되고, 전극 패드(713)는 반도체 장치(10)와 와이어(714)에 의하여 전기적으로 접속된다. 전자 부품(700)은 예를 들어 인쇄 기관(702)에 실장된다. 이러한 전자 부품이 복수로 조합되고 각각이 인쇄 기관(702) 위에서 전기적으로 접속됨으로써, 실장 기관(704)이 완성된다.
- [0485] 도 45의 (B)에 전자 부품(730)의 사시도를 나타내었다. 전자 부품(730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)은 패키지 기관(732)(인쇄 기관) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 기억 장치(100)가 제공되어 있다.
- [0486] 전자 부품(730)에서는 반도체 장치(10)를 광대역 메모리(HBM: High Bandwidth Memory)로서 사용하는 예를 나타내었다. 또한 반도체 장치(735)로서는 CPU, GPU, FPGA 등의 집적 회로(반도체 장치)를 사용할 수 있다.
- [0487] 패키지 기관(732)은 세라믹 기관, 플라스틱 기관, 또는 유리 에폭시 기관 등을 사용할 수 있다. 인터포저(731)는 실리콘 인터포저, 수지 인터포저 등을 사용할 수 있다.
- [0488] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기관(732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기관" 또는 "중간 기관"이라고 하는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기관(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.
- [0489] 인터포저(731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저에서는 능동 소자를 제공할 필요가 없기 때문에, 집적 회로보다 낮은 비용으로 제작할 수 있다. 한편, 실리콘 인터포저의 배선은 반도체 프로세스로 형성할 수 있으므로, 수지 인터포저에서는 어려운 미세 배선을 형성하기 쉽다.
- [0490] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저에는 실리콘 인터포저를 사용하는 것이 바람직하다.
- [0491] 또한 실리콘 인터포저를 사용한 SiP나 MCM 등에서는, 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성의 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높으므로 실리콘 인터포저 위에 제공되는 집적 회로와 실리콘 인터포저 사이의 접속 불량이 발생하기 어렵다. 특히, 인터포저 위에 복수의 집적 회로를 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.
- [0492] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에 나타난 전자 부품(730)에서는 반도체 장치(10)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.
- [0493] 전자 부품(730)을 다른 기관에 실장하기 위하여 패키지 기관(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 45의 (B)에서는 전극(733)을 뿔납 볼로 형성하는 예를 나타내었다. 패키지 기관(732)의 바닥부에 뿔납 볼을 매트릭스상으로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기관(732)의 바닥부에 도전성의 핀을 매트릭스상으로 제공함으로써, PGA(Pin Grid Array) 실장을 실현할 수 있다.

- [0494] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어, SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.
- [0495] <전자 기기>
- [0496] 다음으로 상기 전자 부품을 가진 전자 기기의 예에 대하여 도 46을 사용하여 설명한다.
- [0497] 로봇(7100)은 조도 센서, 마이크로폰, 카메라, 스피커, 디스플레이, 각종 센서(적외선 센서, 초음파 센서, 가속도 센서, 피에조 센서, 광 센서, 자이로 센서 등), 및 이동 기구 등을 가진다. 전자 부품(730)은 프로세서 등을 가지고, 이들 주변 기기를 제어하는 기능을 가진다. 예를 들어 전자 부품(700)은 센서로 취득된 데이터를 기억하는 기능을 가진다.
- [0498] 마이크로폰은 사용자의 음성 및 환경 소리 등의 음향 신호를 검지하는 기능을 가진다. 또한 스피커는 음성 및 경고음 등의 오디오 신호를 출력하는 기능을 가진다. 로봇(7100)은 마이크로폰을 통하여 입력된 오디오 신호를 해석하고, 필요한 오디오 신호를 스피커로부터 출력할 수 있다. 로봇(7100)에서는, 마이크로폰 및 스피커를 사용하여 사용자와 의사소통할 수 있다.
- [0499] 카메라는 로봇(7100)의 주위를 촬상하는 기능을 가진다. 또한 로봇(7100)은 이동 기구를 사용하여 이동하는 기능을 가진다. 로봇(7100)은 카메라를 사용하여 주위의 화상을 촬상하고, 화상을 해석하여 이동할 때의 장애물의 유무 등을 검지할 수 있다.
- [0500] 비행체(7120)는 프로펠러, 카메라, 및 배터리 등을 가지고, 자율적으로 비행하는 기능을 가진다. 전자 부품(730)은 이들 주변 기기를 제어하는 기능을 가진다.
- [0501] 예를 들어 카메라로 촬영된 화상 데이터는 전자 부품(700)에 저장된다. 전자 부품(730)은 화상 데이터를 해석하여, 이동할 때의 장애물의 유무 등을 검지할 수 있다. 또한 전자 부품(730)에 의하여 배터리의 충전 용량의 변화로부터 배터리 잔량을 추정할 수 있다.
- [0502] 로봇 청소기(7140)는 상면에 배치된 디스플레이, 측면에 배치된 복수의 카메라, 브러시, 조작 버튼, 각종 센서 등을 가진다. 도시하지 않았지만, 로봇 청소기(7300)에는 타이어, 흡입구 등이 구비되어 있다. 로봇 청소기(7300)는 자율적으로 주행하고, 먼지를 검지하고, 하면에 제공된 흡입구로부터 먼지를 흡인할 수 있다.
- [0503] 예를 들어 전자 부품(730)은 카메라가 촬영한 화상을 해석하여 벽, 가구, 또는 단차 등의 장애물의 유무를 판단할 수 있다. 또한 화상 해석에 의하여, 배선 등 브러시에 얽히기 쉬운 물체를 검지한 경우에는 브러시의 회전을 멈출 수 있다.
- [0504] 자동차(7160)는 엔진, 타이어, 브레이크, 조타 장치, 카메라 등을 가진다. 예를 들어 전자 부품(730)은 내비게이션 정보, 속도, 엔진의 상태, 기어의 선택 상태, 브레이크의 사용 빈도 등의 데이터에 의거하여, 자동차(7160)의 주행 상태를 최적화하기 위한 제어를 수행한다. 예를 들어 카메라로 촬영된 화상 데이터는 전자 부품(700)에 저장된다.
- [0505] 전자 부품(700) 및/또는 전자 부품(730)은 TV 장치(7200)(텔레비전 수상 장치), 스마트폰(7210), PC(퍼스널 컴퓨터)(7220, 7230), 게임기(7240), 게임기(7260) 등에 제공될 수 있다.
- [0506] 예를 들어 TV 장치(7200)에 내장된 전자 부품(730)은 화상 엔진으로서 기능시킬 수 있다. 예를 들어 전자 부품(730)은 노이즈 제거, 해상도 업컨버전 등의 화상 처리를 수행한다.
- [0507] 스마트폰(7210)은 휴대 정보 단말기의 일례이다. 스마트폰(7210)은 마이크로폰, 카메라, 스피커, 각종 센서, 및 표시부를 가진다. 전자 부품(730)에 의하여 이들 주변 기기가 제어된다.
- [0508] PC(7220), PC(7230)는 각각 노트북형 PC, 거치형 PC의 예이다. PC(7230)에는 키보드(7232) 및 모니터 장치(7233)를 무선 또는 유선으로 접속할 수 있다. 게임기(7240)는 휴대용 게임기의 예이다. 게임기(7260)는 거치형 게임기의 예이다. 게임기(7260)에는 무선 또는 유선으로 컨트롤러(7262)가 접속되어 있다. 컨트롤러(7262)에 전자 부품(700) 및/또는 전자 부품(730)을 제공할 수도 있다.
- [0509] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0510] (본 명세서 등의 기재에 관한 부기)

- [0511] 상술한 실시형태 및 실시형태에서의 각 구성의 설명에 대하여 이하에 부기한다.
- [0512] 각 실시형태에 기재된 구성은, 다른 실시형태 또는 실시예에 기재되는 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 제시되는 경우에는 구성예를 적절히 조합할 수 있다.
- [0513] 또한 어느 하나의 실시형태에 기재되는 내용(일부의 내용이어도 좋음)은 그 실시형태에 기재되는 다른 내용(일부의 내용이어도 좋음) 및/또는 하나 또는 복수의 다른 실시형태에 기재되는 내용(일부의 내용이어도 좋음)에 대하여 적용, 조합, 또는 치환 등을 행할 수 있다.
- [0514] 또한 실시형태에서 설명하는 내용이란, 각 실시형태에서 다양한 도면을 사용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.
- [0515] 또한 어느 하나의 실시형태에 기재되는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에 기재되는 다른 도면(일부이어도 좋음), 및/또는 하나 또는 복수의 다른 실시형태에 기재되는 도면(일부이어도 좋음)을 조합함으로써 더 많은 도면을 구성할 수 있다.
- [0516] 또한 본 명세서 등에서 블록도에서는 구성 요소를 기능마다 분류하고, 서로 독립적인 블록으로서 나타내었다. 그러나 실제의 회로 등에서는, 구성 요소를 기능마다 분류하기가 어려우므로, 하나의 회로에 복수의 기능이 관련되는 경우나, 복수의 회로에 하나의 기능이 관련되는 경우가 있을 수 있다. 따라서 블록도의 블록은, 명세서에서 설명한 구성 요소에 한정되지 않고, 상황에 따라 적절히 바뀌 말할 수 있다.
- [0517] 또한 도면에서, 크기, 층의 두께, 또는 영역은 설명의 편의상 임의의 크기로 나타낸 것이다. 따라서 반드시 그 스케일에 한정되지는 않는다. 또한 도면은 명확성을 위하여 모식적으로 도시된 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈로 인한 신호, 전압, 또는 전류의 편차, 또는 타이밍 차이로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0518] 또한 도면 등에 도시된 구성 요소의 위치 관계는 상대적이다. 따라서, 도면을 참조하여 구성 요소를 설명할 때, 위치 관계를 나타내는 "위에", "아래에" 등의 말은 편의상 사용되는 경우가 있다. 구성 요소의 위치 관계는 본 명세서의 기재 내용에 한정되지 않고, 상황에 따라 적절히 바뀌 말할 수 있다.
- [0519] 본 명세서 등에서 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(또는 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 이는, 트랜지스터의 소스와 드레인은 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문이다. 또한 트랜지스터의 소스와 드레인의 호칭에 대해서는 소스(드레인) 단자나 소스(드레인) 전극 등, 상황에 따라 적절히 바뀌 말할 수 있다.
- [0520] 또한 본 명세서 등에서 "전극"이나 "배선"이라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극"이나 "배선"이라는 용어는, 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0521] 또한 본 명세서 등에서 전압과 전위는 적절히 바뀌 말할 수 있다. 전압은 기준이 되는 전위로부터의 전위차를 말하고, 예를 들어 기준이 되는 전위가 그라운드 전압(접지 전압)인 경우, 전압을 전위로 바꿔 말할 수 있다. 그라운드 전위는 반드시 0V를 뜻하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위에 따라서는 배선 등에 공급되는 전위를 변화시키는 경우가 있다.
- [0522] 또한 본 명세서 등에서 노드는 회로 구성이나 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.
- [0523] 본 명세서 등에서 "A와 B가 접속되어 있다"란, A와 B가 전기적으로 접속되어 있는 것을 말한다. 여기서, "A와 B가 전기적으로 접속되어 있다"란 A와 B 사이에서 대상물(스위치, 트랜지스터 소자, 또는 다이오드 등의 소자, 혹은 상기 소자 및 배선을 포함하는 회로 등을 가리킴)이 존재하는 경우에 A와 B의 전기 신호의 전달이 가능한 접속을 말한다. 또한 A와 B가 전기적으로 접속되어 있는 경우에는 A와 B가 직접 접속되어 있는 경우가 포함된다. 여기서, "A와 B가 직접 접속되어 있다"란 상기 대상물을 통하지 않고, A와 B 사이의 배선(또는 전극) 등을 통하여 A와 B의 전기 신호의 전달이 가능한 접속을 말한다. 바꿔 말하면, 직접 접속이란 등가 회로로 나타내었을 때 같은 회로도 간주할 수 있는 접속을 말한다.
- [0524] 본 명세서 등에서 스위치란 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제



어하는 기능을 가지는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 가지는 것을 말한다.

[0525] 본 명세서 등에서 채널 길이란 예를 들어 트랜지스터의 상면도에서 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트가 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인 사이의 거리를 말한다.

[0526] 본 명세서 등에서 채널 폭이란 예를 들어 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인이 대향하는 부분의 길이를 말한다.

[0527] 또한 본 명세서 등에서 "막", "층" 등이라는 어구는, 경우에 따라 또는 상황에 따라 서로 교체할 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다.

## 부호의 설명

[0528] BL<sub>1</sub>: 비트선, DA<sub>1</sub>: 데이터, PCL<sub>1</sub>: 프리차지선, PCL<sub>2</sub>: 프리차지선, T<sub>1</sub>: 기간, T<sub>2</sub>: 기간, T<sub>3</sub>: 기간, T<sub>4</sub>: 기간, T<sub>11</sub>: 기간, T<sub>12</sub>: 기간, T<sub>13</sub>: 기간, T<sub>14</sub>: 기간, T<sub>15</sub>: 기간, T<sub>16</sub>: 기간, WL<sub>N</sub>: 워드선, WL<sub>1</sub>: 워드선, WL<sub>2</sub>: 워드선, 10: 반도체 장치, 10A: 반도체 장치, 10B: 반도체 장치, 10C: 반도체 장치, 10D: 반도체 장치, 10E: 반도체 장치, 10F: 반도체 장치, 11: 실리콘 기판, 20: 주변 회로, 21: 행 드라이버, 22: 열 드라이버, 22\_A: 프리차지 회로, 22\_B: 프리차지 회로, 22\_C: 감지 증폭기, 22\_D: 스위치 회로, 22\_E: 스위치 회로, 22\_1: 프리차지 회로, 22\_2: 감지 증폭기, 22\_3: 스위치 회로, 23\_A: 스위치, 23\_B: 스위치, 23\_C: 스위치, 23\_D: 스위치, 24\_1: 트랜지스터, 24\_3: 트랜지스터, 24\_4: 트랜지스터, 24\_6: 트랜지스터, 25: 회로, 25\_1: 트랜지스터, 25\_2: 트랜지스터, 25\_3: 트랜지스터, 25\_4: 트랜지스터, 26: 소자층, 27: 회로, 27\_M: 회로, 27\_1: 회로, 28: 트랜지스터, 28\_a: 트랜지스터, 28\_b: 트랜지스터, 28\_n: 트랜지스터, 28\_1: 트랜지스터, 29: 회로, 30: 메모리 셀 어레이, 30\_M: 유닛, 30\_1: 유닛, 31: 메모리 셀, 31\_M: 메모리 셀, 31\_N: 메모리 셀, 31\_N\_A: 메모리 셀, 31\_N\_B: 메모리 셀, 31\_1: 메모리 셀, 31\_1\_A: 메모리 셀, 31\_1\_B: 메모리 셀, 32: 트랜지스터, 32\_N: 트랜지스터, 32\_1: 트랜지스터, 32A: 트랜지스터, 32B: 트랜지스터, 33: 커패시터, 33\_N: 커패시터, 33\_1: 커패시터, 33A: 커패시터, 33B: 커패시터, 34: 소자층, 34\_i: 소자층, 34\_N: 소자층, 34\_1: 소자층, 40: 소자층, 40\_M: 소자층, 40\_1: 소자층, 40A: 소자층, 40B: 소자층, 40C: 소자층, 40D: 소자층, 41: 트랜지스터, 41\_a: 트랜지스터, 41\_b: 트랜지스터, 42: 트랜지스터, 42\_a: 트랜지스터, 42\_b: 트랜지스터, 43: 트랜지스터, 43\_a: 트랜지스터, 43\_b: 트랜지스터, 44: 트랜지스터, 44\_a: 트랜지스터, 44\_b: 트랜지스터, 49: 회로, 50: 유닛, 50\_M: 유닛, 50\_1: 유닛, 51: 메모리 셀, 54: 소자층, 55: 트랜지스터, 56: 트랜지스터, 57: 용량 소자, 70A: 밀봉층, 70B: 밀봉층, 71: 행 디코더, 72: 워드선 드라이버 회로, 73: 출력 회로, 74: 컨트롤 로직 회로, 81: 열 디코더, 82: 프리차지 회로, 83: 증폭 회로, 84: 회로, 98: 스위치 회로, 100: 기억 장치, 200: 트랜지스터, 200M: 트랜지스터, 200T: 트랜지스터, 205: 도전체, 205a: 도전체, 205b: 도전체, 211: 절연체, 212: 절연체, 214: 절연체, 216: 절연체, 222: 절연체, 224: 절연체, 230: 산화물, 230a: 산화물, 230b: 산화물, 230c: 산화물, 240: 도전체, 240a: 도전체, 240b: 도전체, 241: 절연체, 241a: 절연체, 241b: 절연체, 242: 도전체, 242a: 도전체, 242b: 도전체, 243: 산화물, 243a: 산화물, 243b: 산화물, 246: 도전체, 246a: 도전체, 246b: 도전체, 250: 절연체, 260: 도전체, 260a: 도전체, 260b: 도전체, 272: 절연체, 273: 절연체, 274: 절연체, 275: 절연체, 276: 도전체, 277: 절연체, 278: 도전체, 279: 절연체, 280: 절연체, 282: 절연체, 283: 절연체, 284: 절연체, 287: 절연체, 290: 도전체, 292: 용량 소자, 292A: 용량 소자, 292B: 용량 소자, 294: 도전체, 295: 절연체, 296: 절연체, 297: 도전체, 298: 절연체, 299: 도전체, 300: 트랜지스터, 311: 반도체 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 411: 소자층, 413: 트랜지스터층, 413\_m: 트랜지스터층, 413\_1: 트랜지스터층, 415: 메모리 디바이스층, 415\_n: 메모리 디바이스층, 415\_p: 메모리 디바이스층, 415\_p-1: 메모리 디바이스층, 415\_1: 메모리 디바이스층, 415\_3: 메모리 디바이스층, 415\_4: 메모리 디바이스층, 420: 메모리 디바이스, 420A: 메모리 디바이스, 420B: 메모리 디바이스, 422: 영역, 424: 도전체, 426: 도전체, 428: 도전체, 430: 도전체, 432: 메모리 셀, 433: 메모리 셀, 434: 메모리 셀, 435: 메모리 셀, 470: 메모리 유닛, 470\_m: 메모리 유닛, 470\_1: 메모리 유닛, 700: 전자 부품, 702: 인쇄 기판, 704: 실장 기판, 711: 몰드, 712: 랜드, 713: 전극 패드, 714: 와이어, 730: 전자 부품, 731: 인터포저, 732: 패키지 기판, 733: 전극, 735: 반도체 장치, 901: 경계 영역, 902: 경계 영역, 7100: 로봇, 7120: 비행체, 7140: 로봇 청소기, 7160: 자동차, 7200: TV 장치, 7210: 스마트폰, 7220: PC,

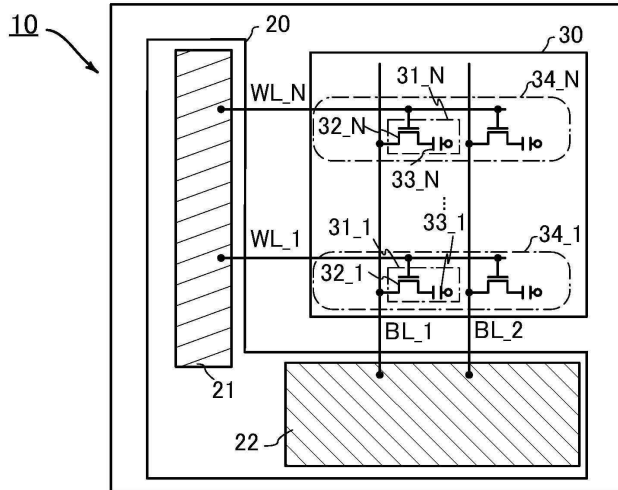


7230: PC, 7232: 키보드, 7233: 모니터 장치, 7240: 게임기, 7260: 게임기, 7262: 컨트롤러, 7300: 로봇 청소기

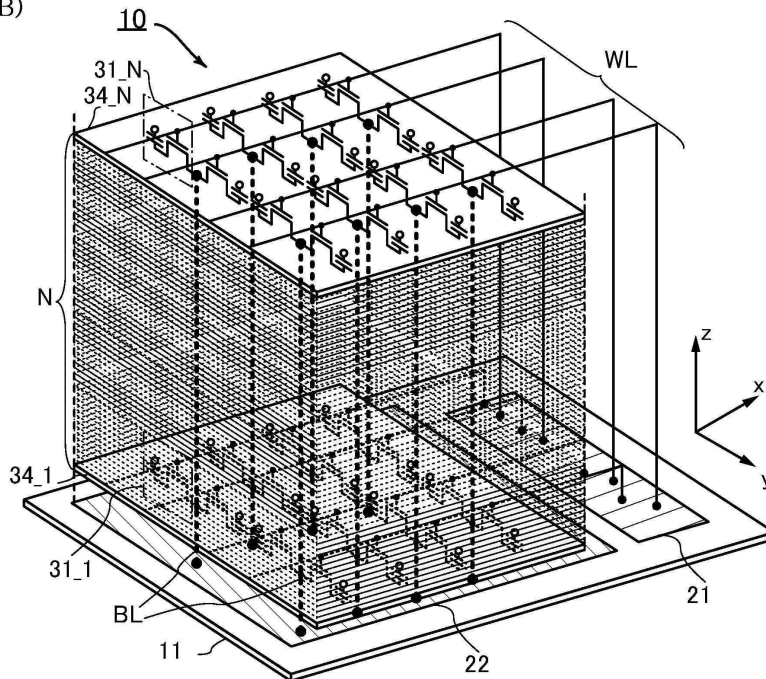
도면

도면1

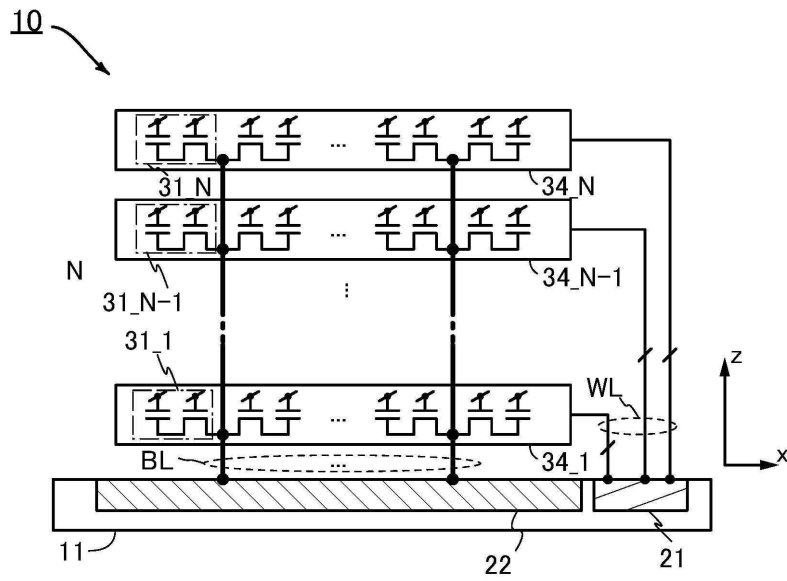
(A)



(B)

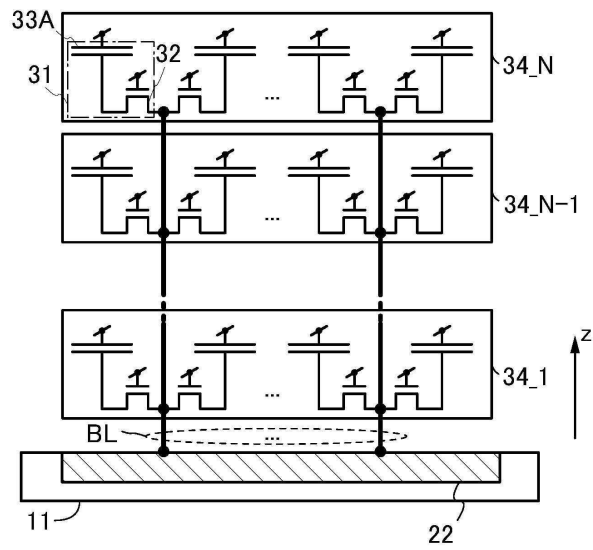


도면2

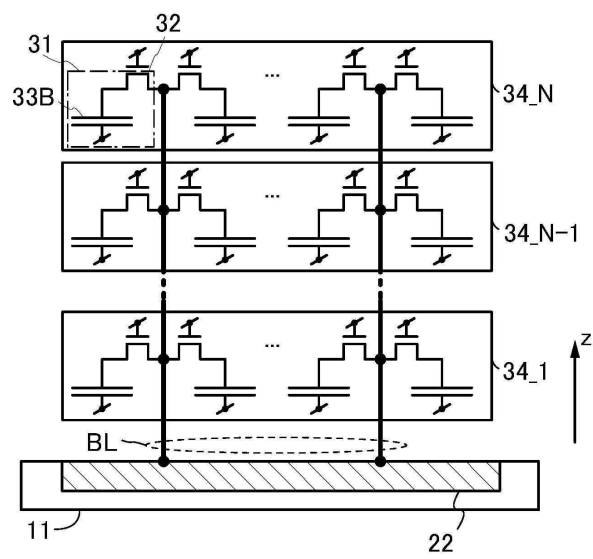


도면3

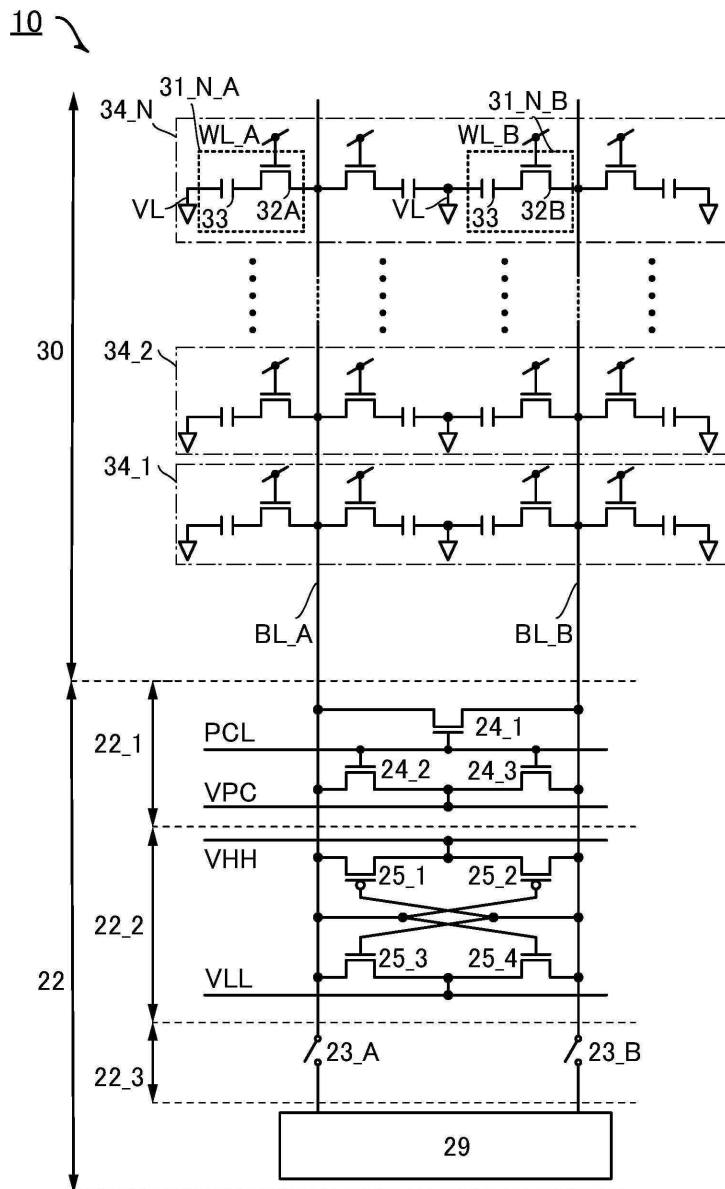
(A)



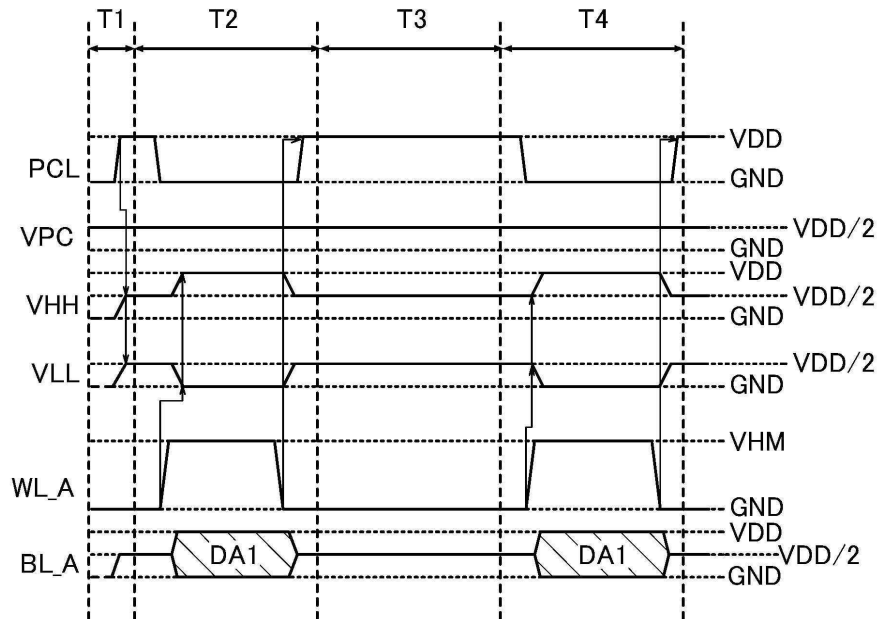
(B)



도면4



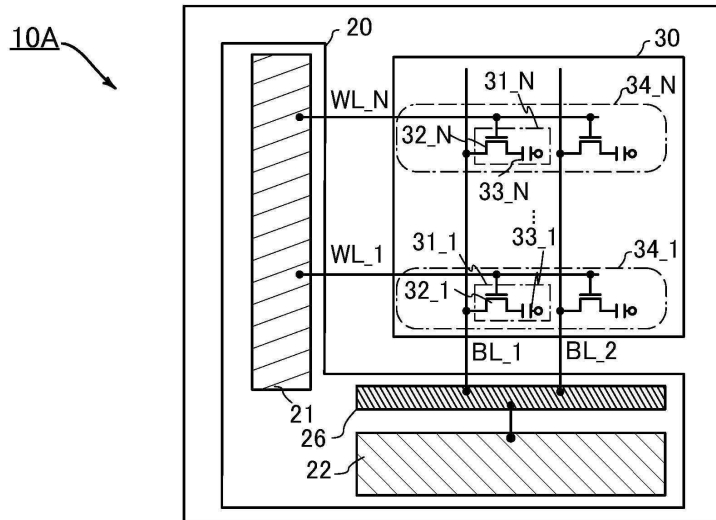
도면5



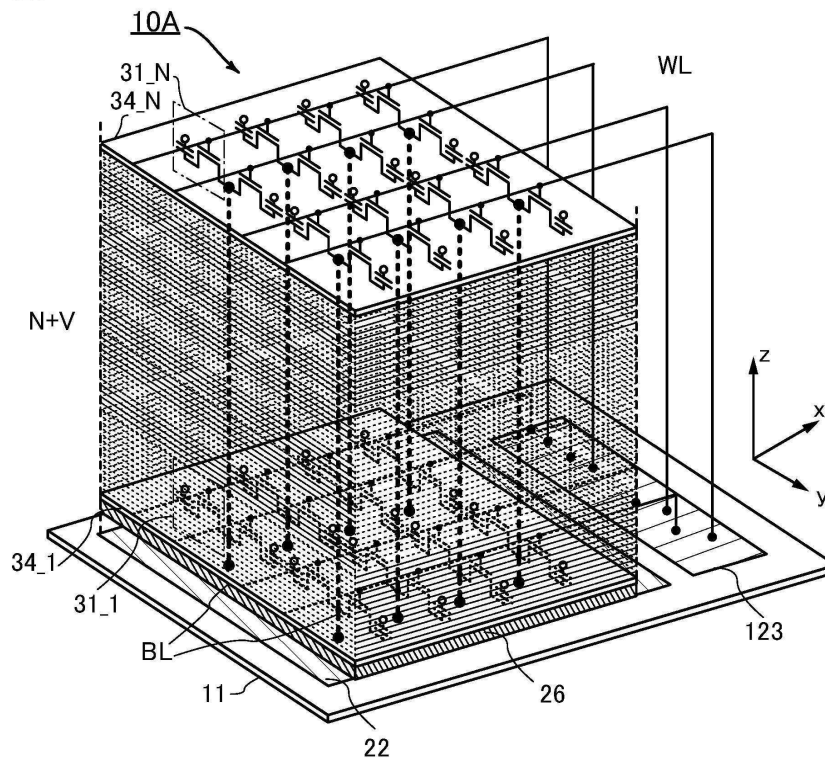


도면6

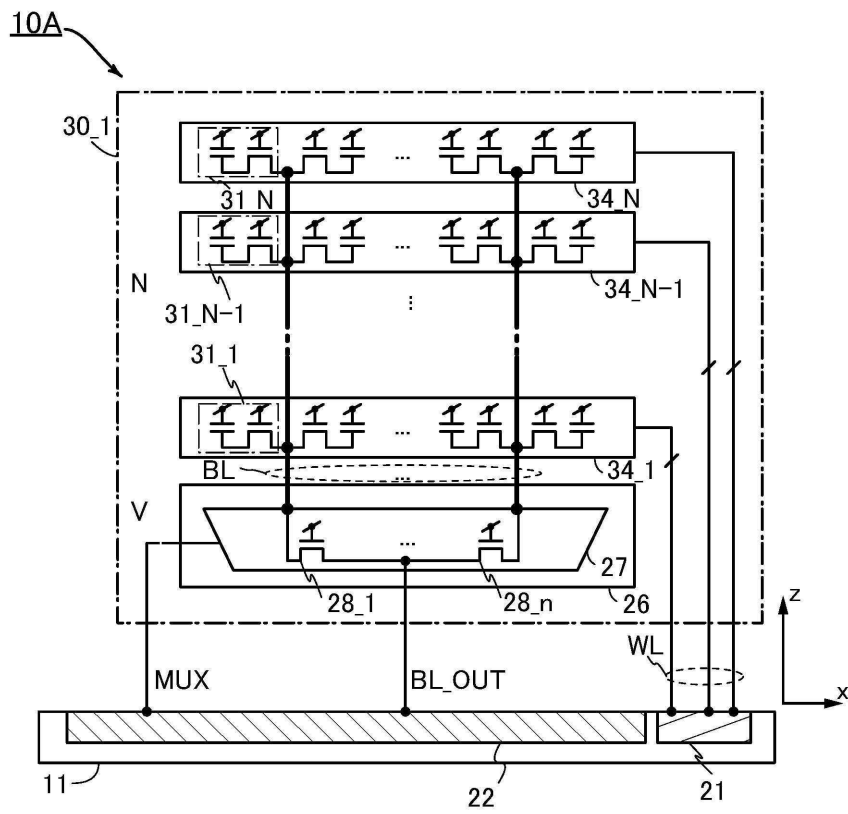
(A)



(B)

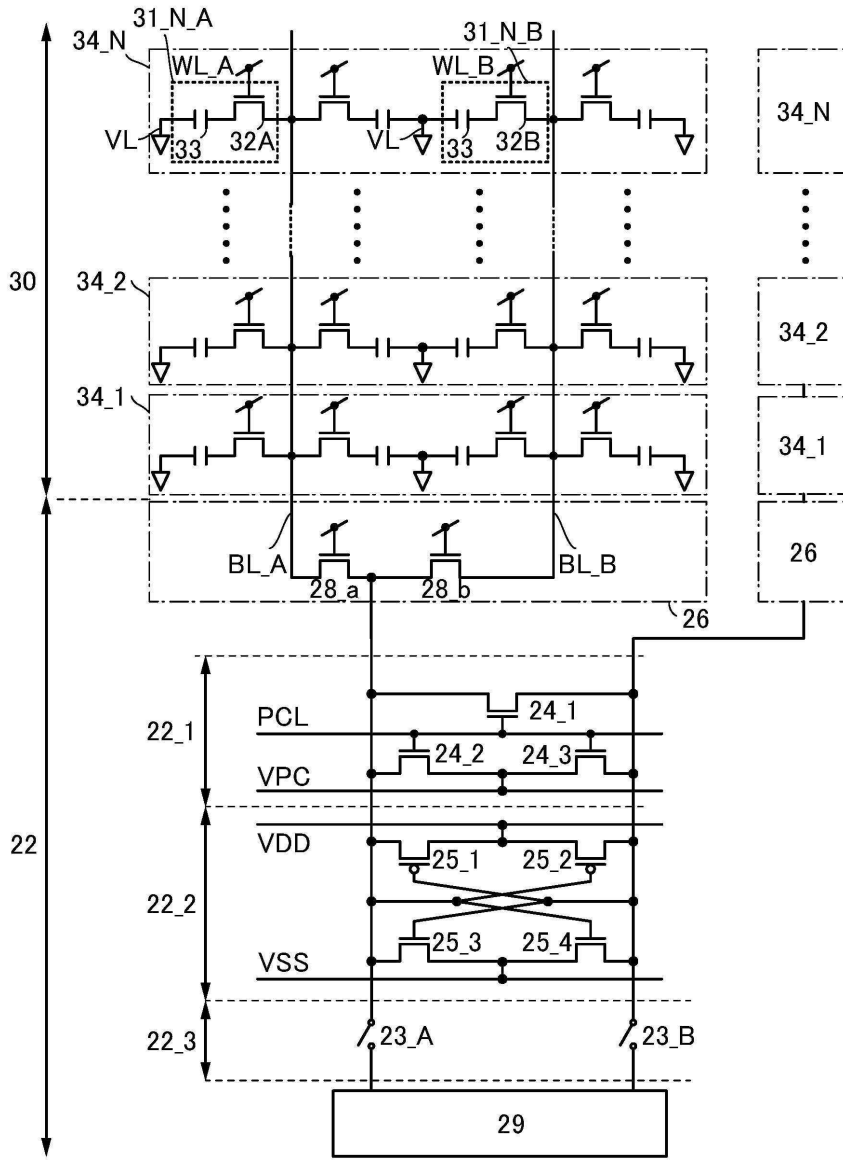


도면7

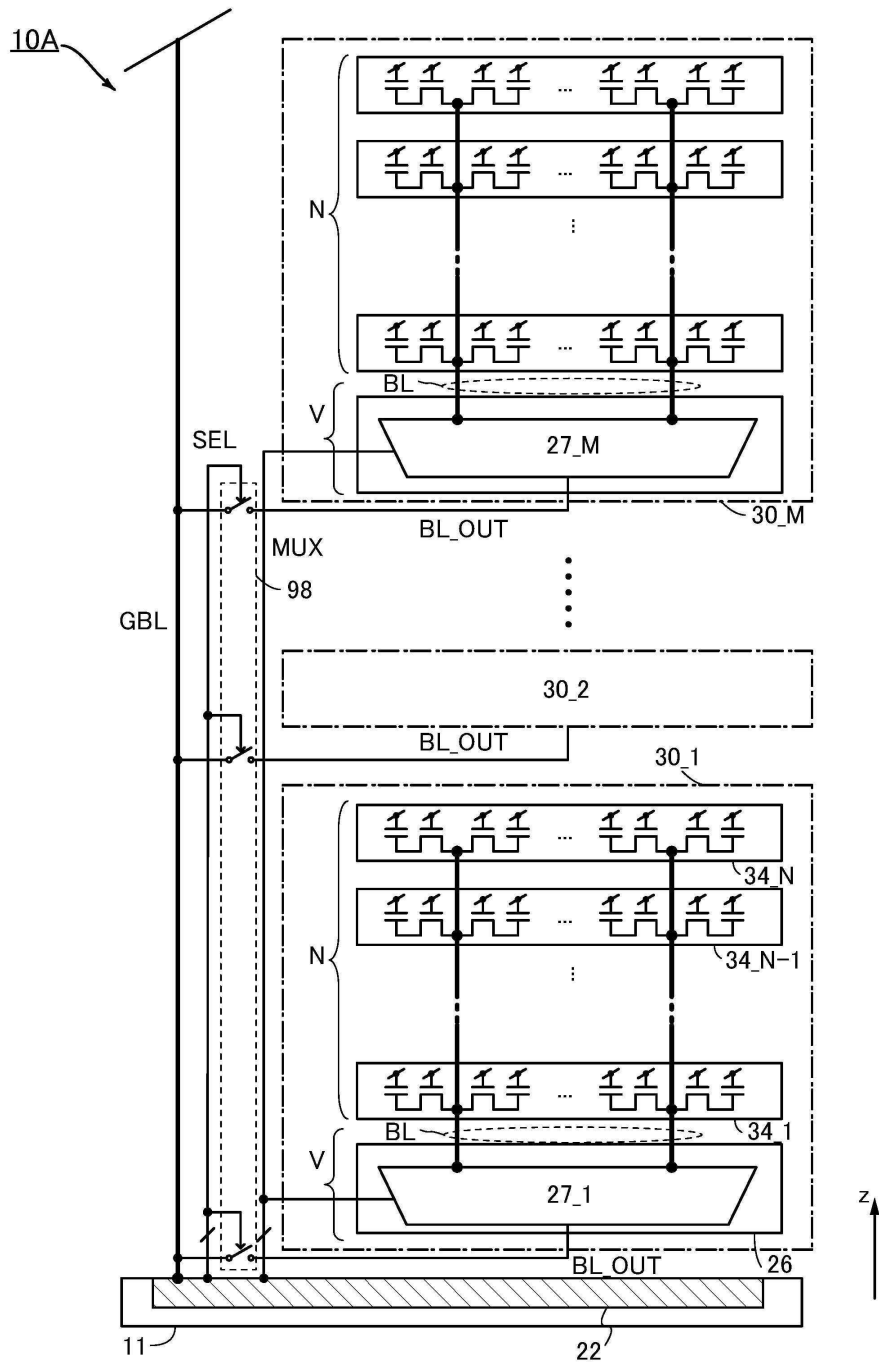


도면8

10A

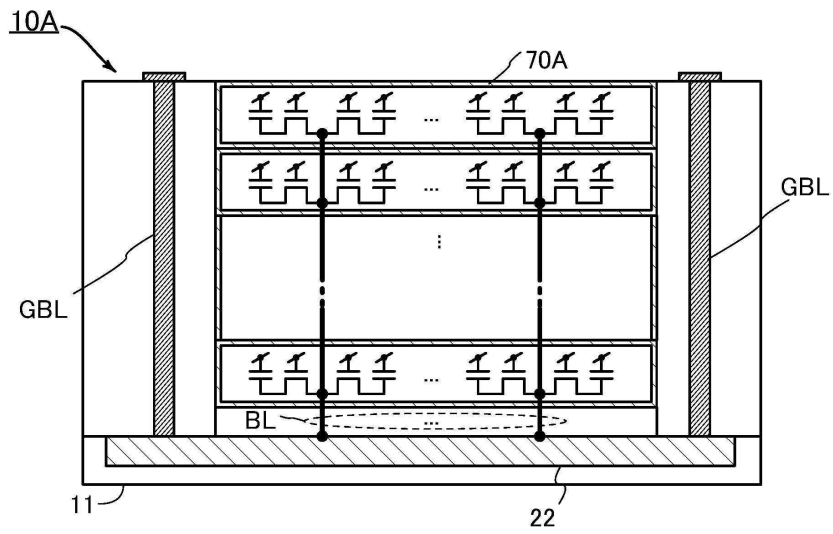


도면9

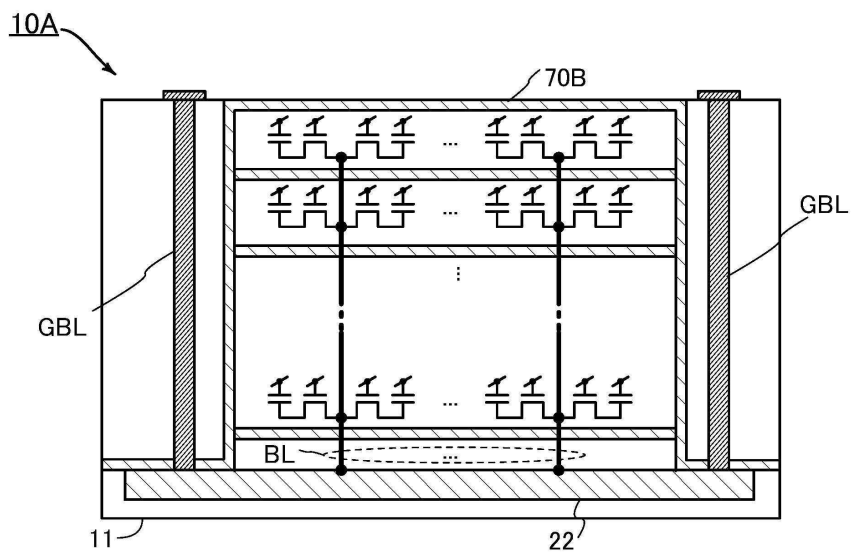


도면10

(A)



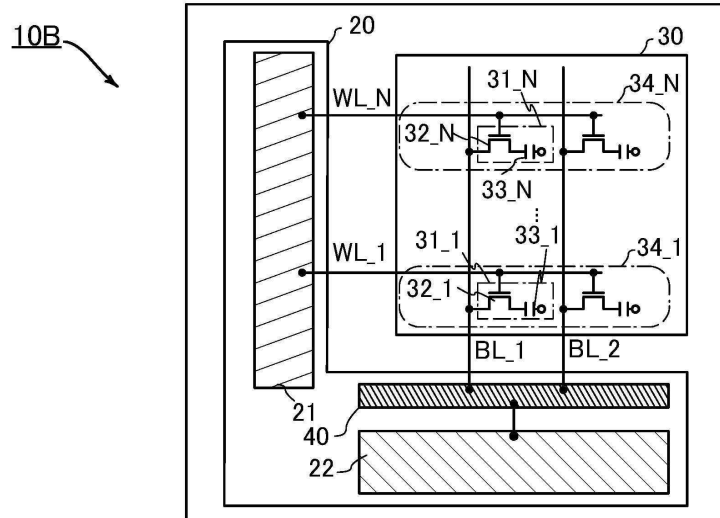
(B)



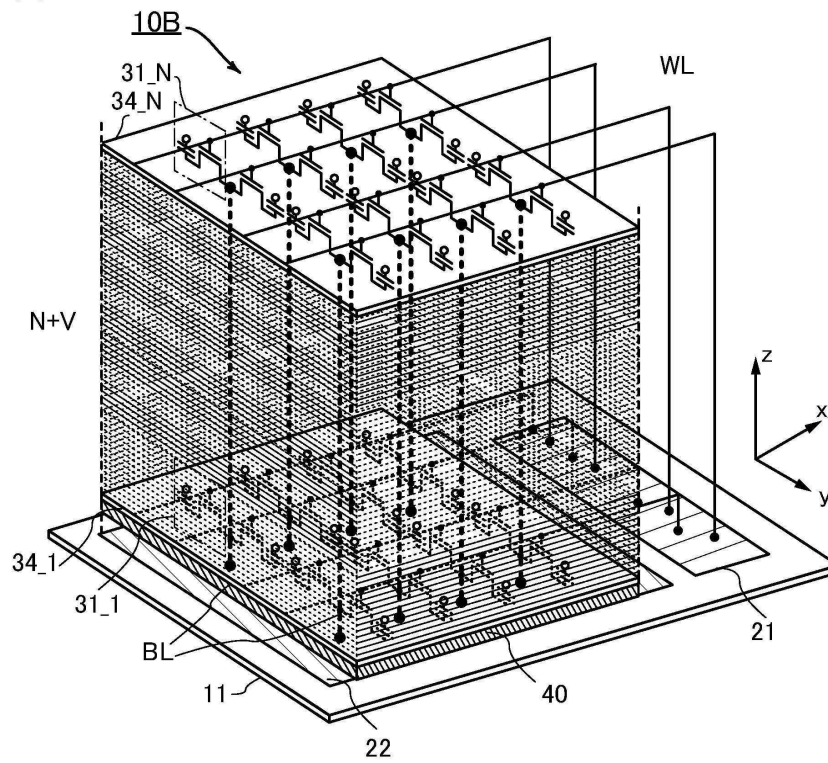


도면11

(A)



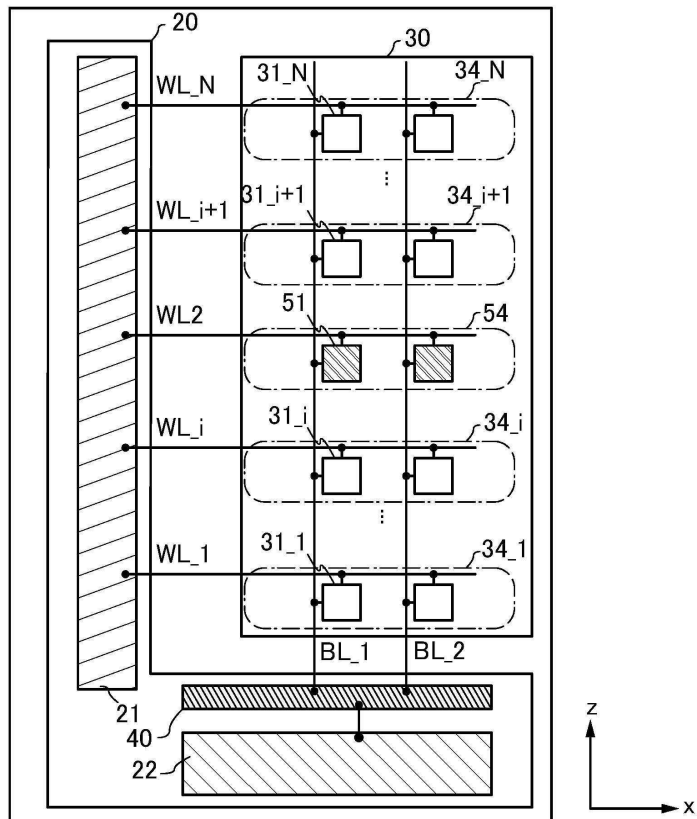
(B)



도면12

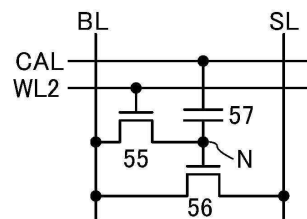
(A)

10C



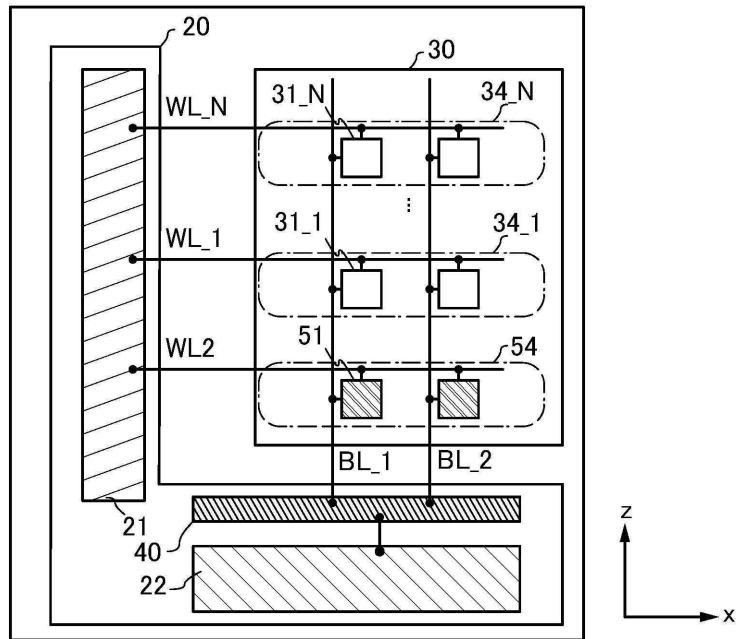
(B)

51

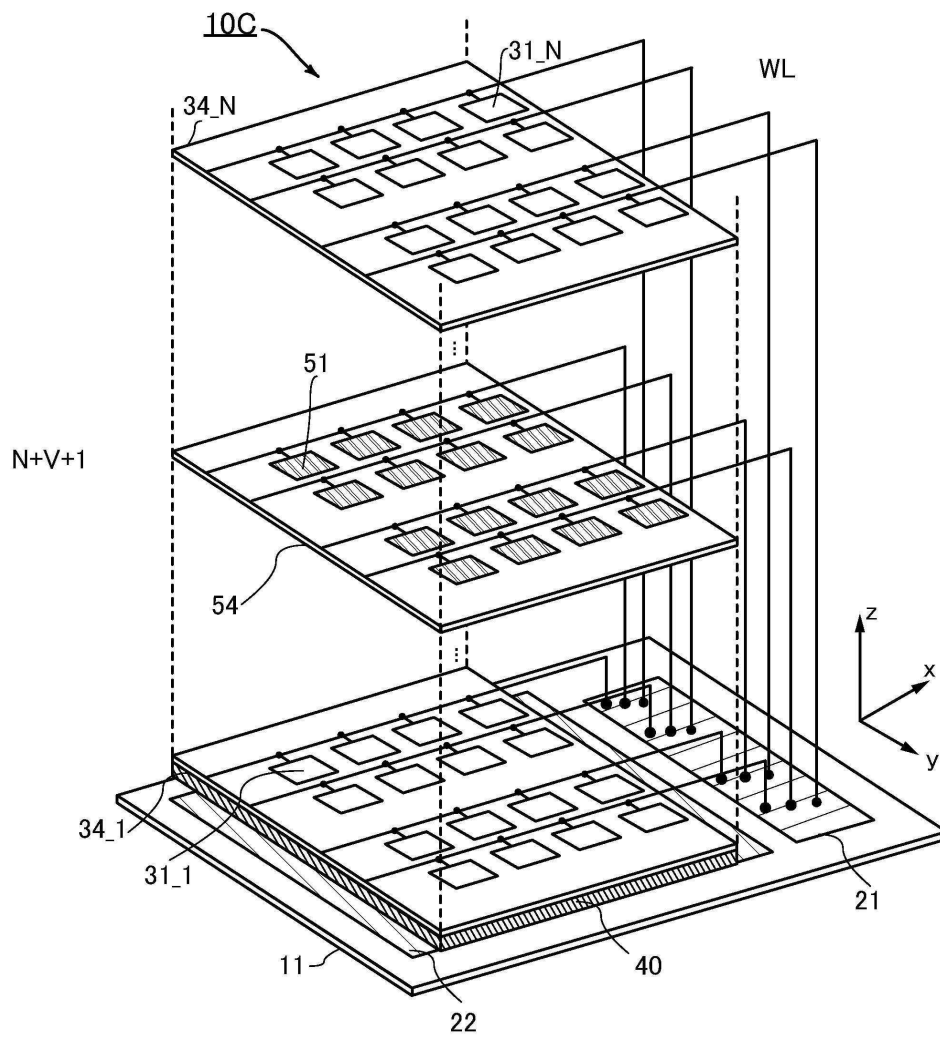


도면13

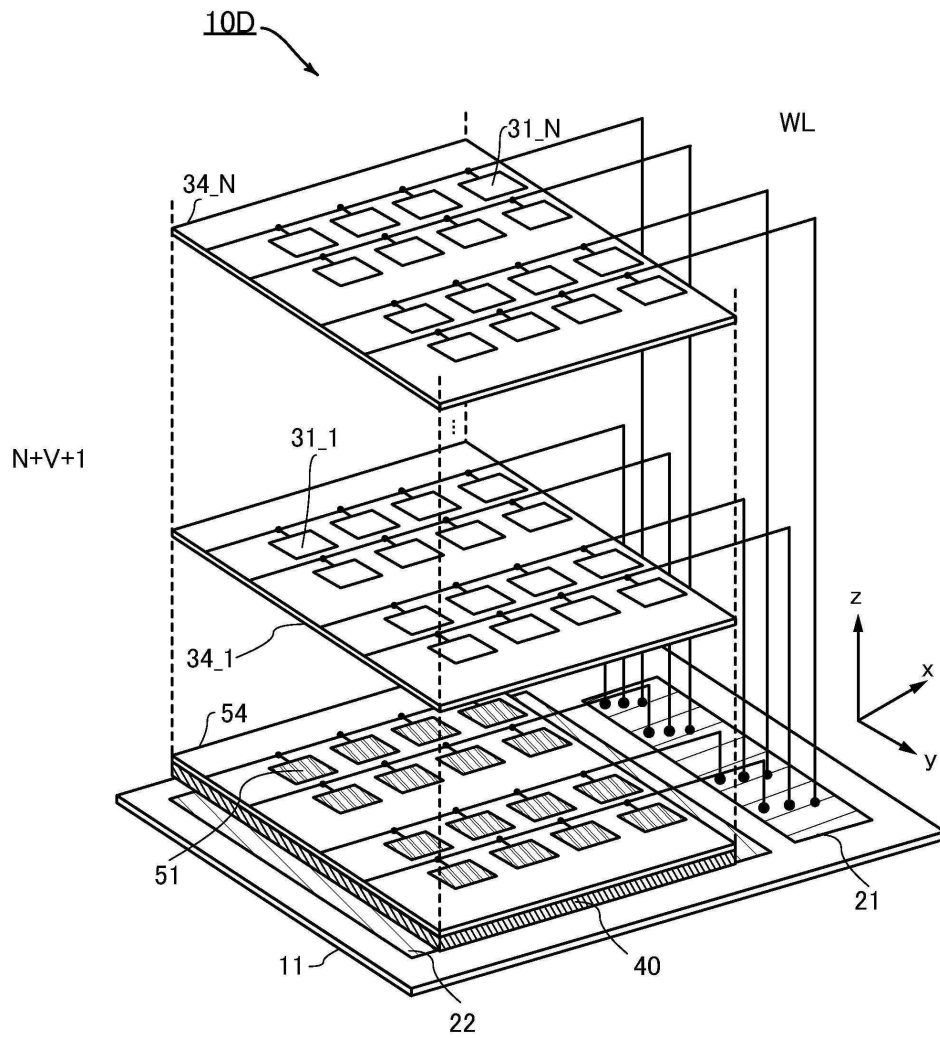
10D



도면14



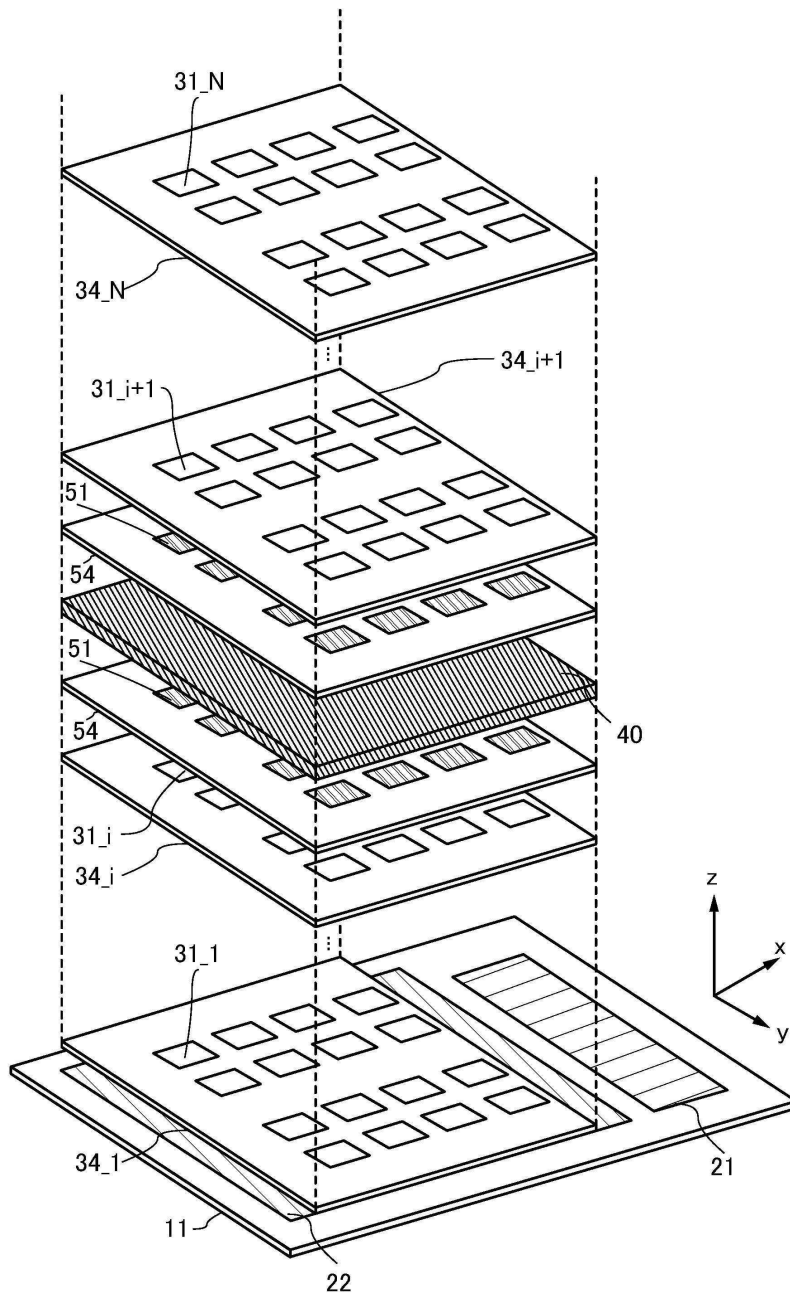
도면 15



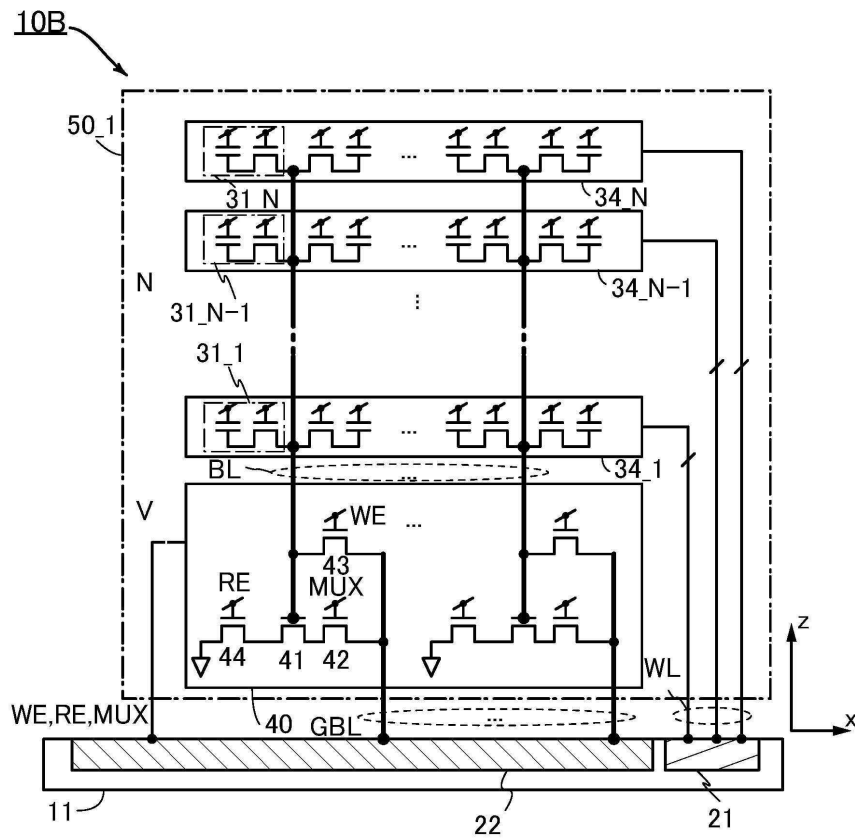


도면16

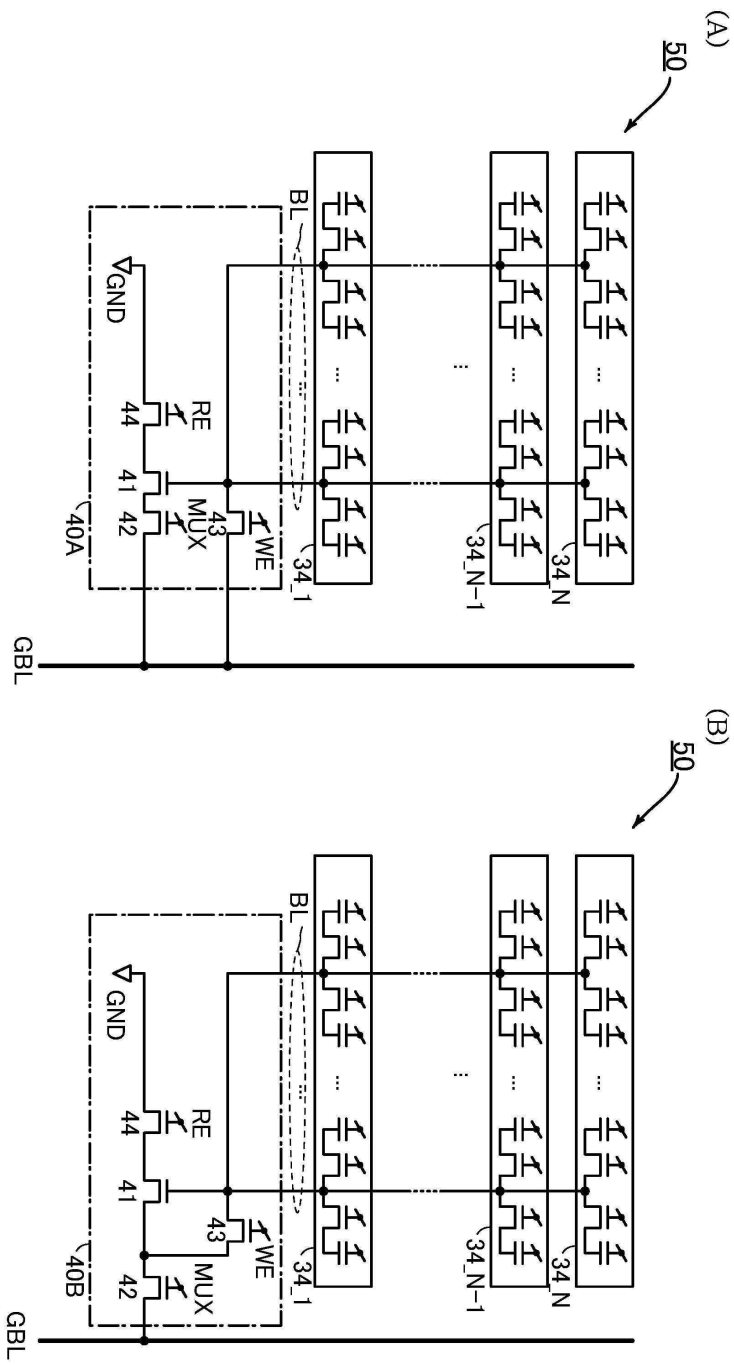
10E



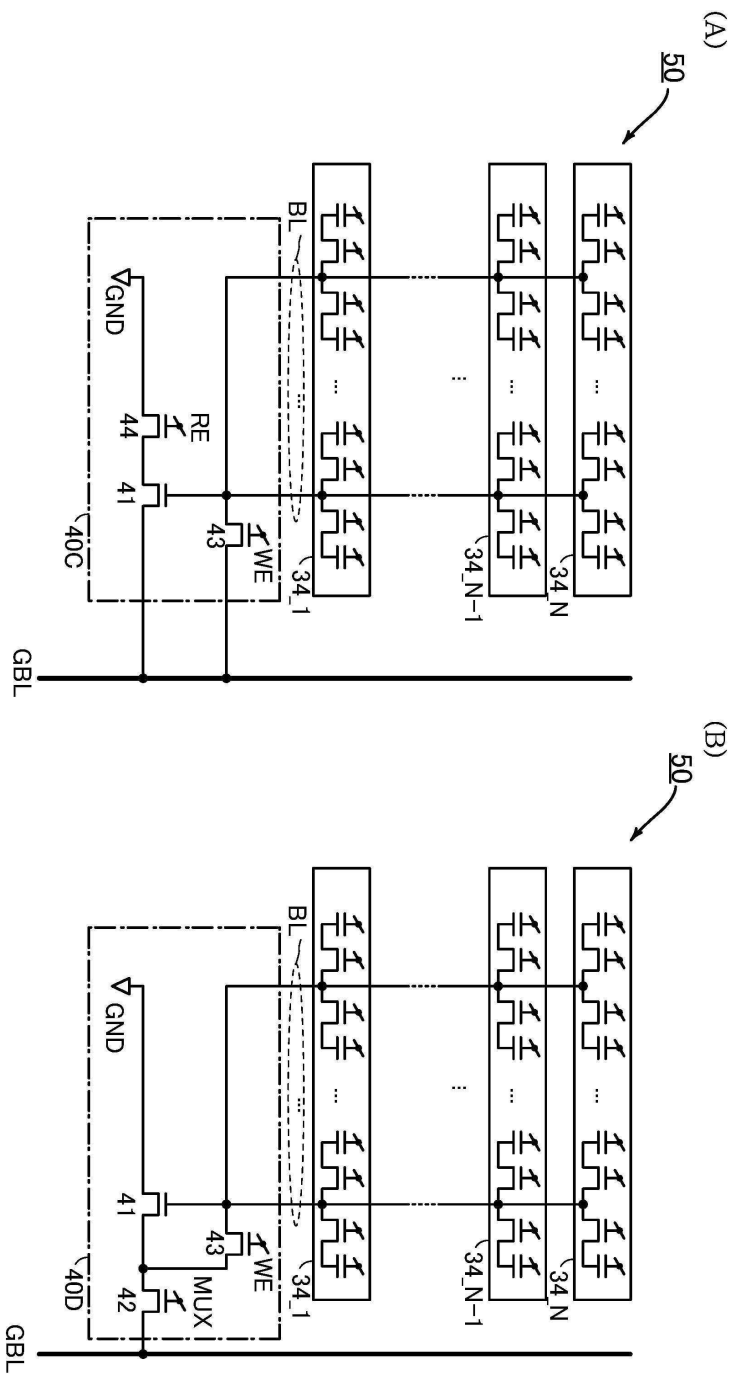
도면17



도면18

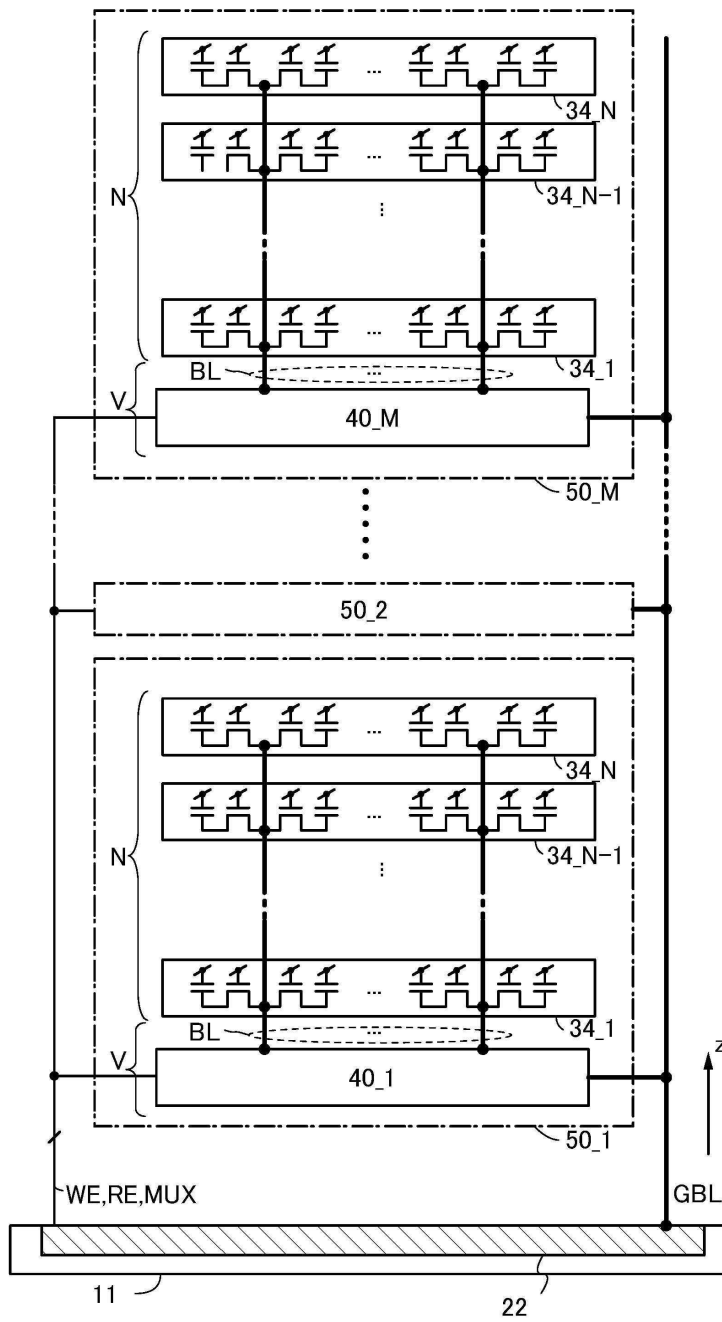


도면19



도면20

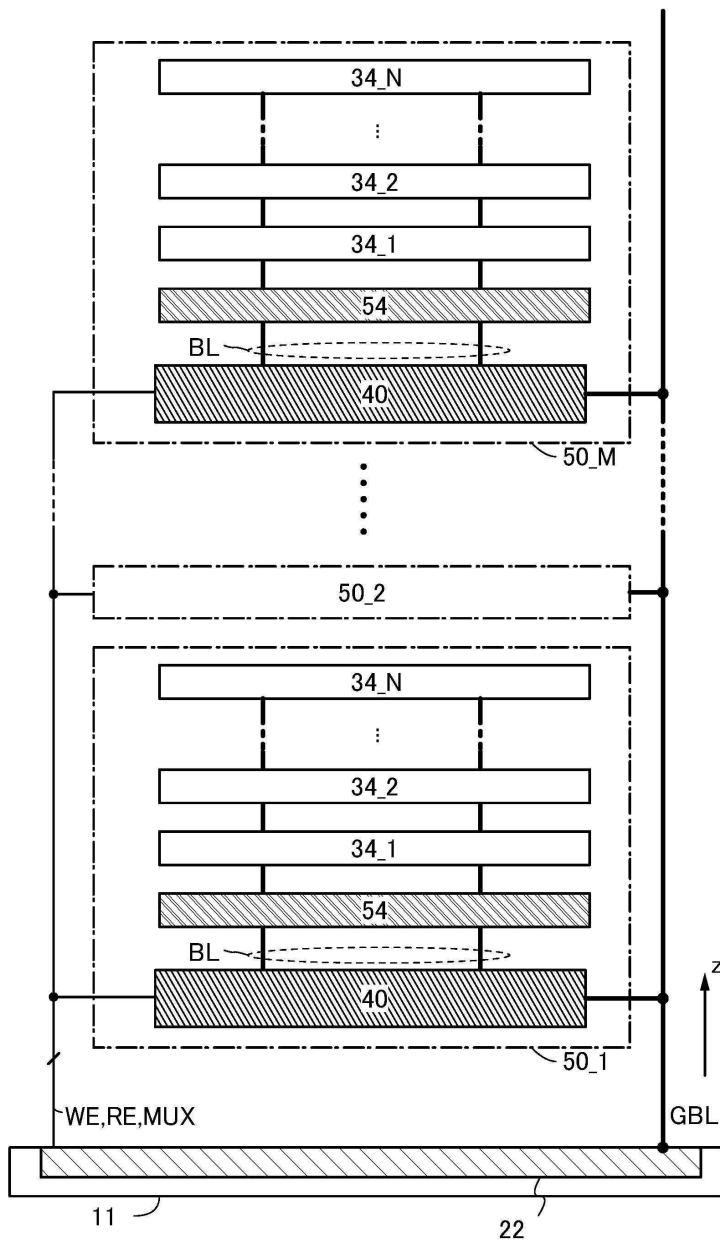
10B





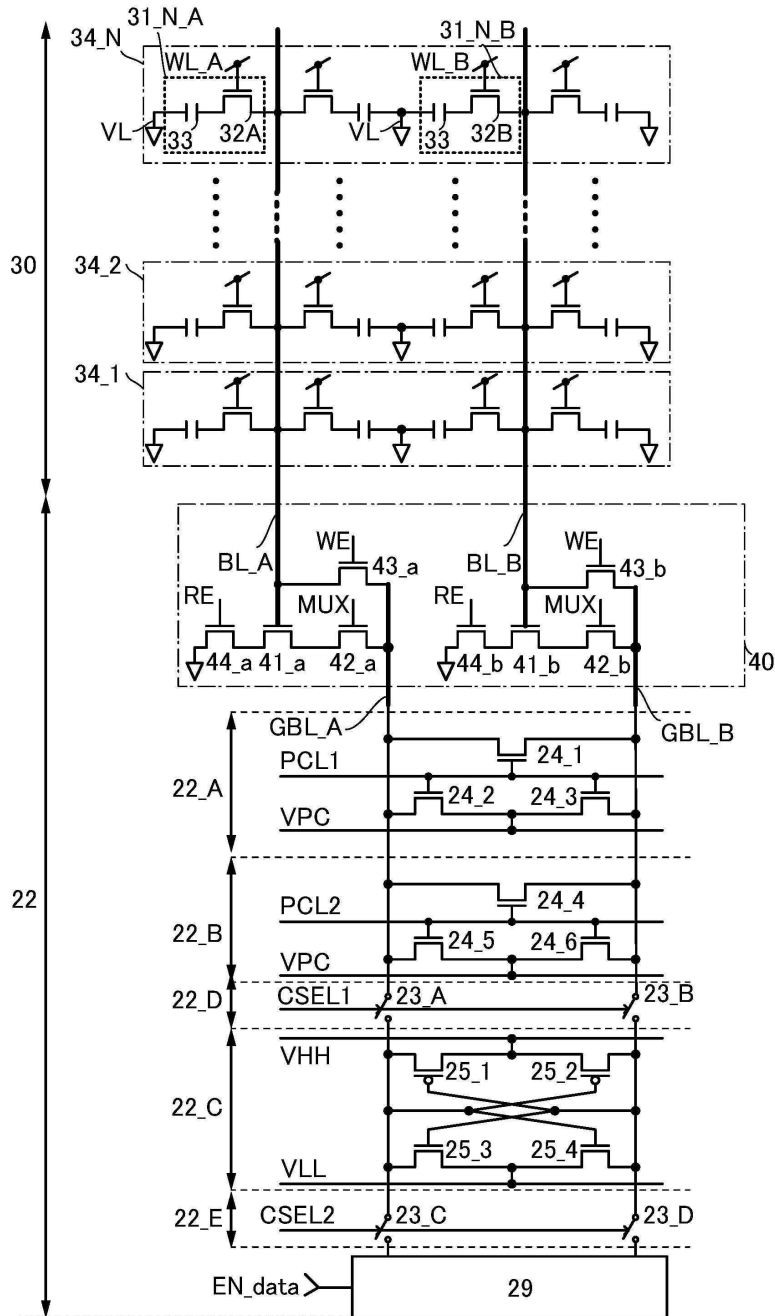
도면21

10D

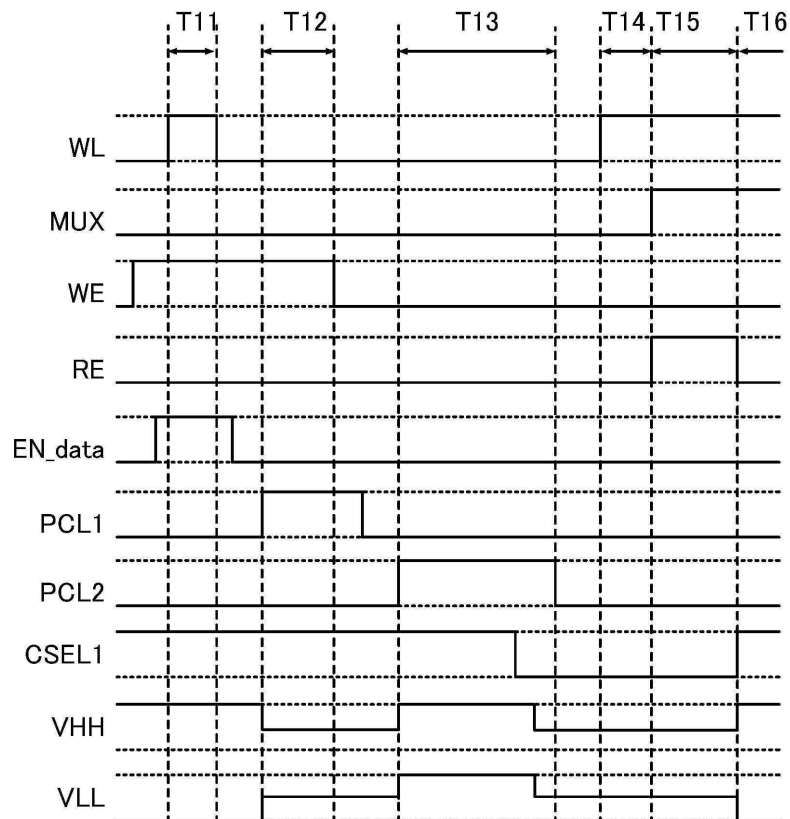


도면22

10B ↘

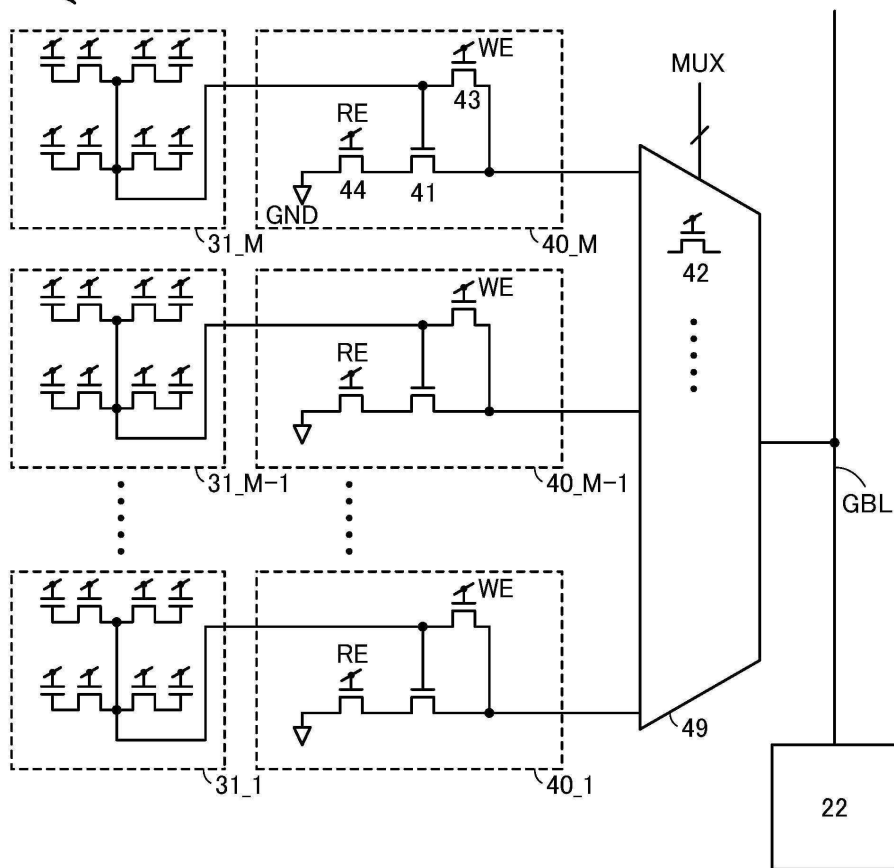


도면23



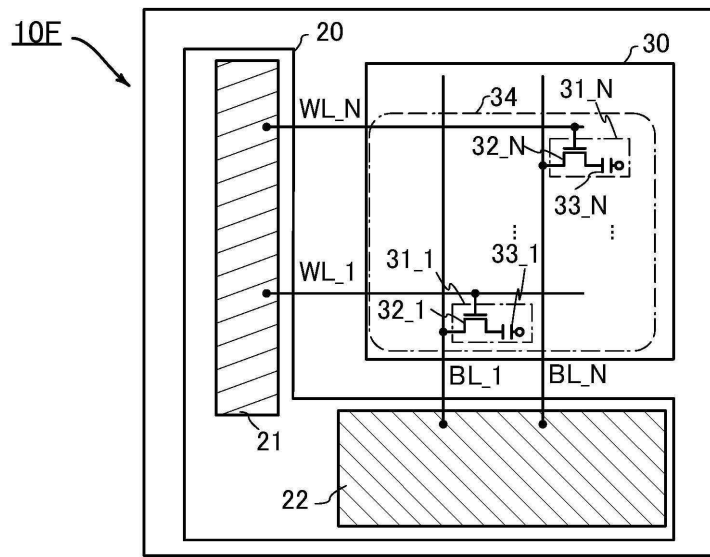
도면24

10B

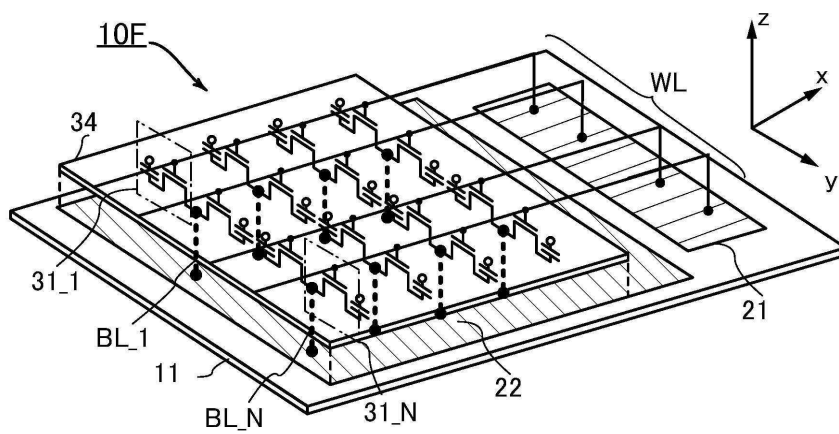


도면25

(A)

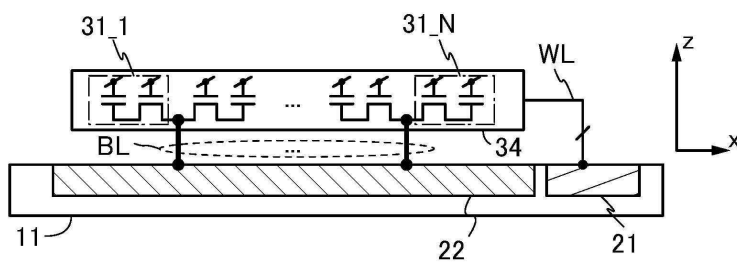


(B)



도면26

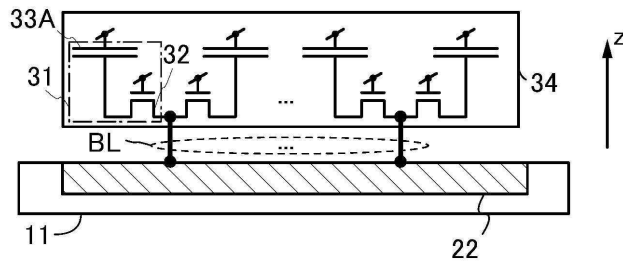
10F



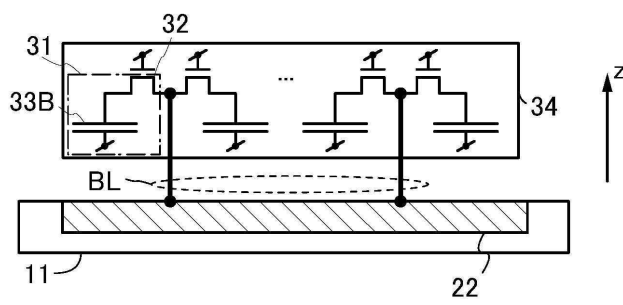


도면27

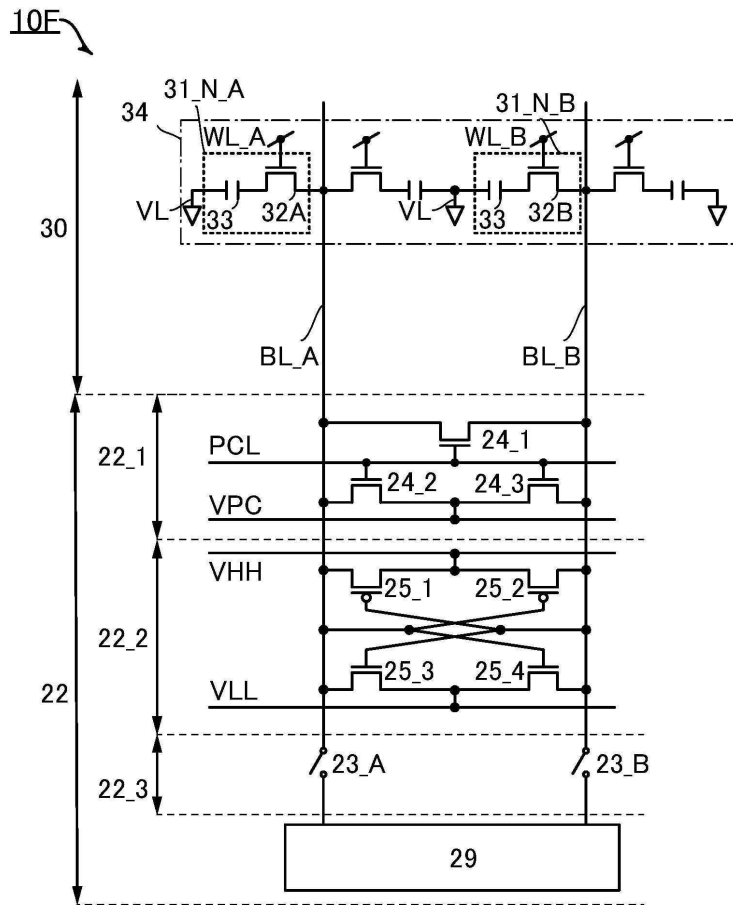
(A)



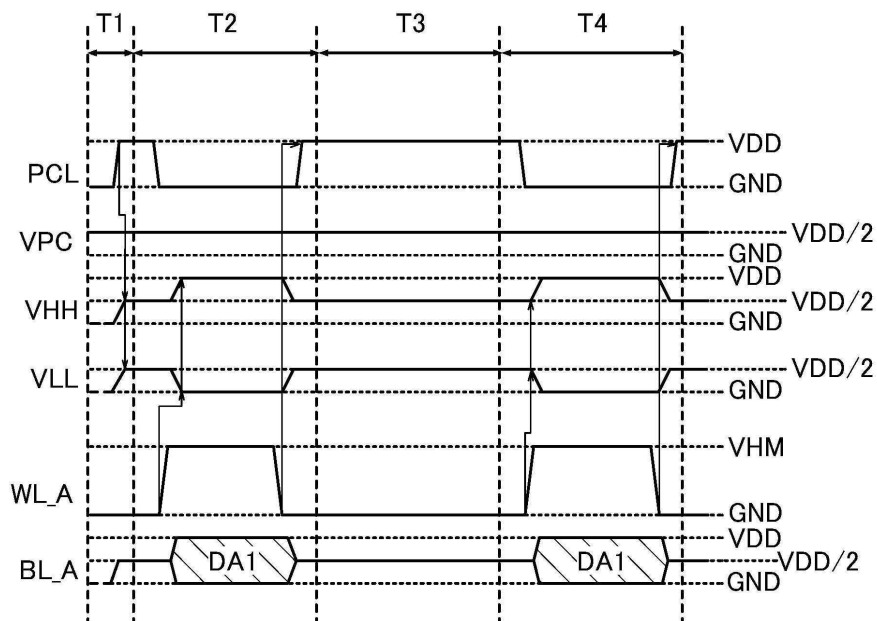
(B)



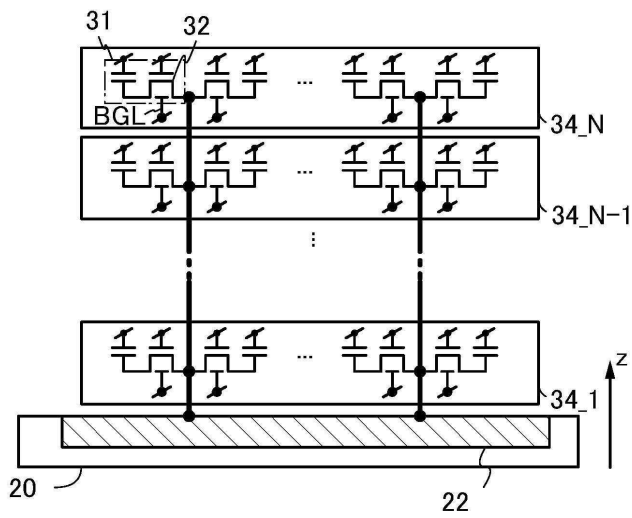
도면28



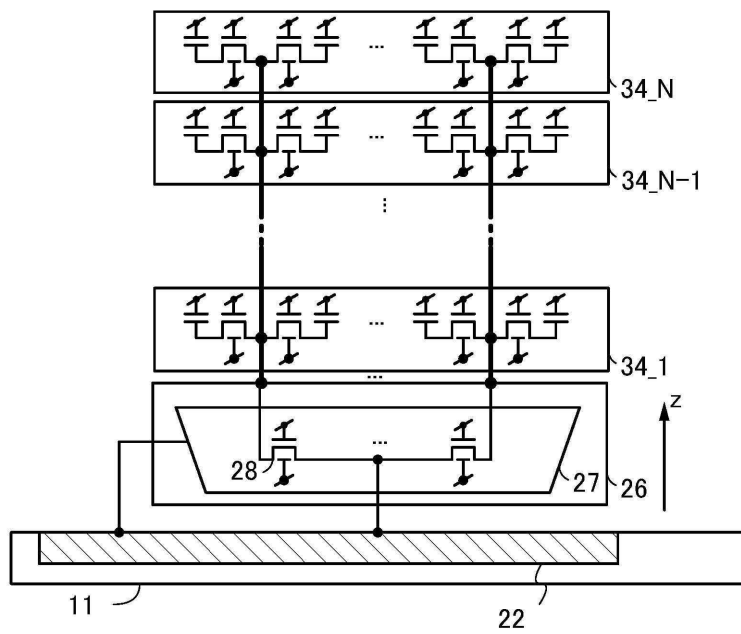
도면29



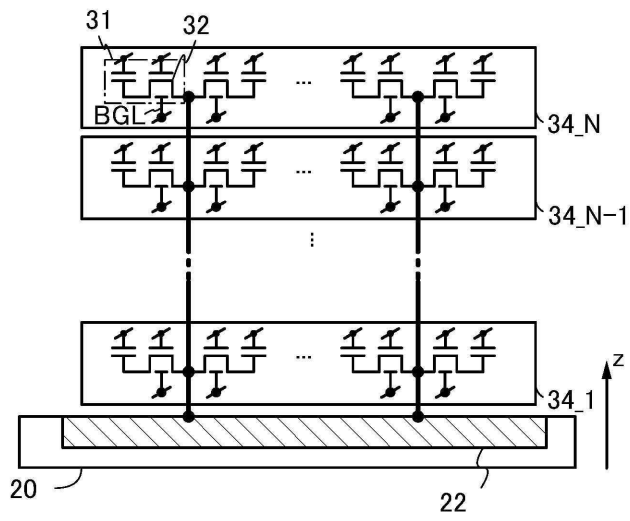
도면30



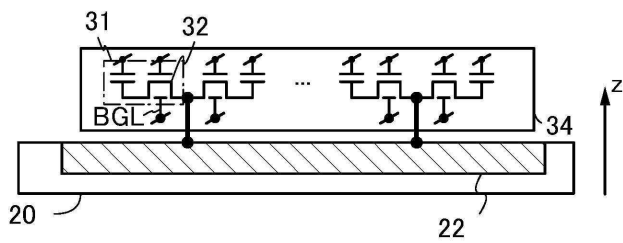
도면31



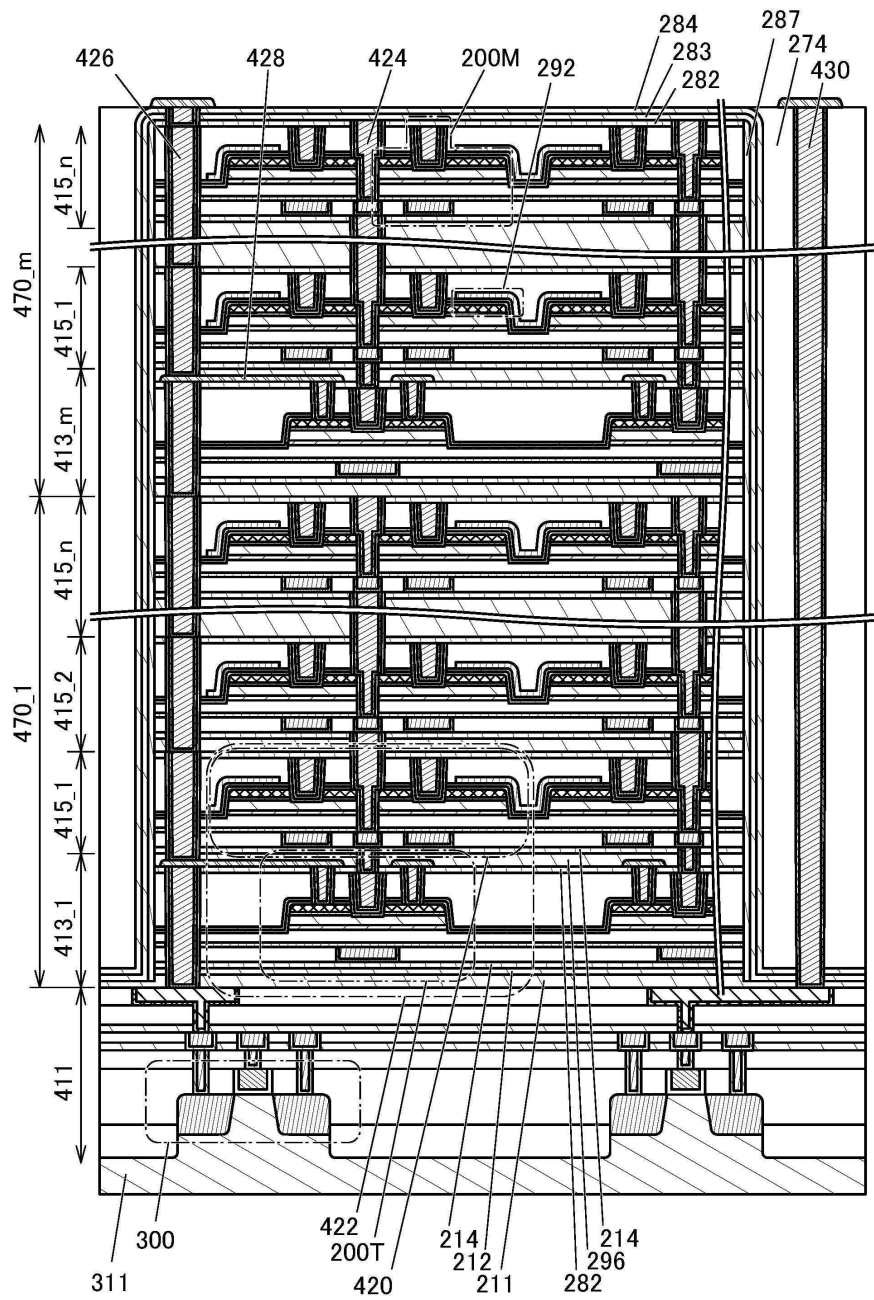
도면32



도면33

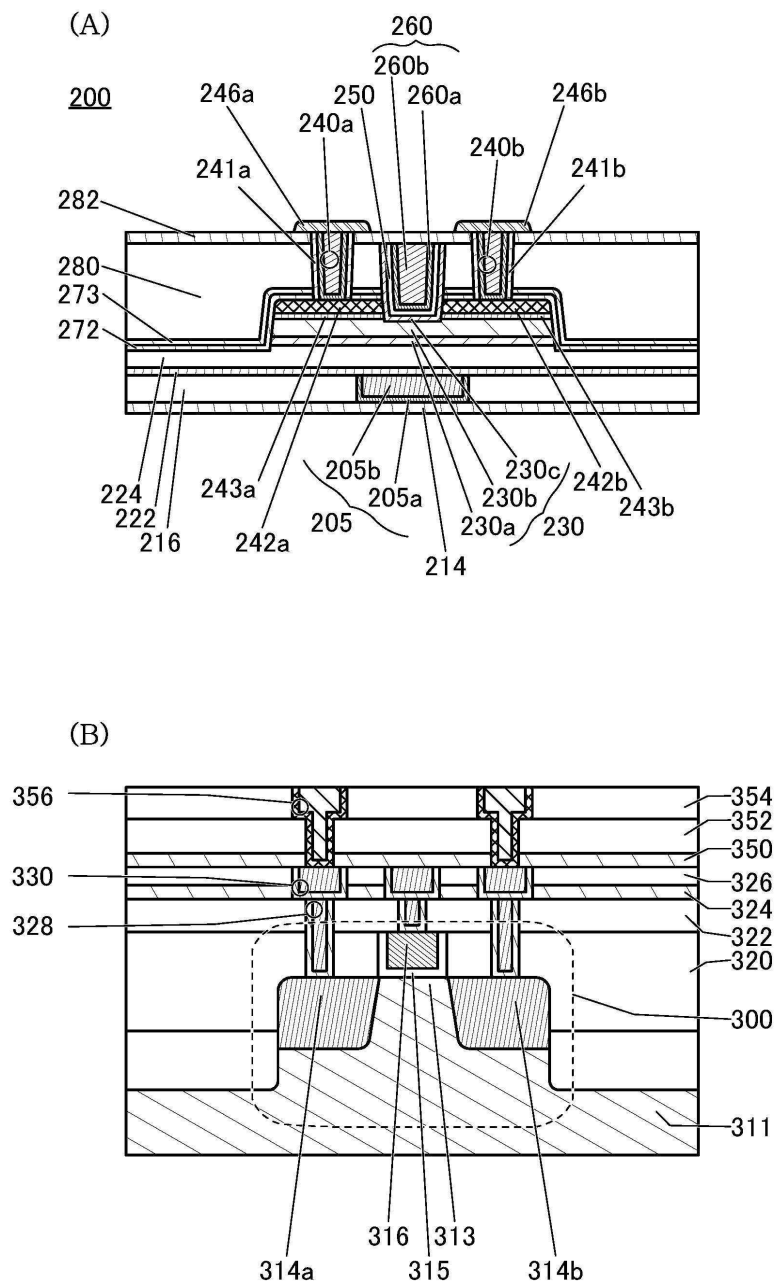


도면34

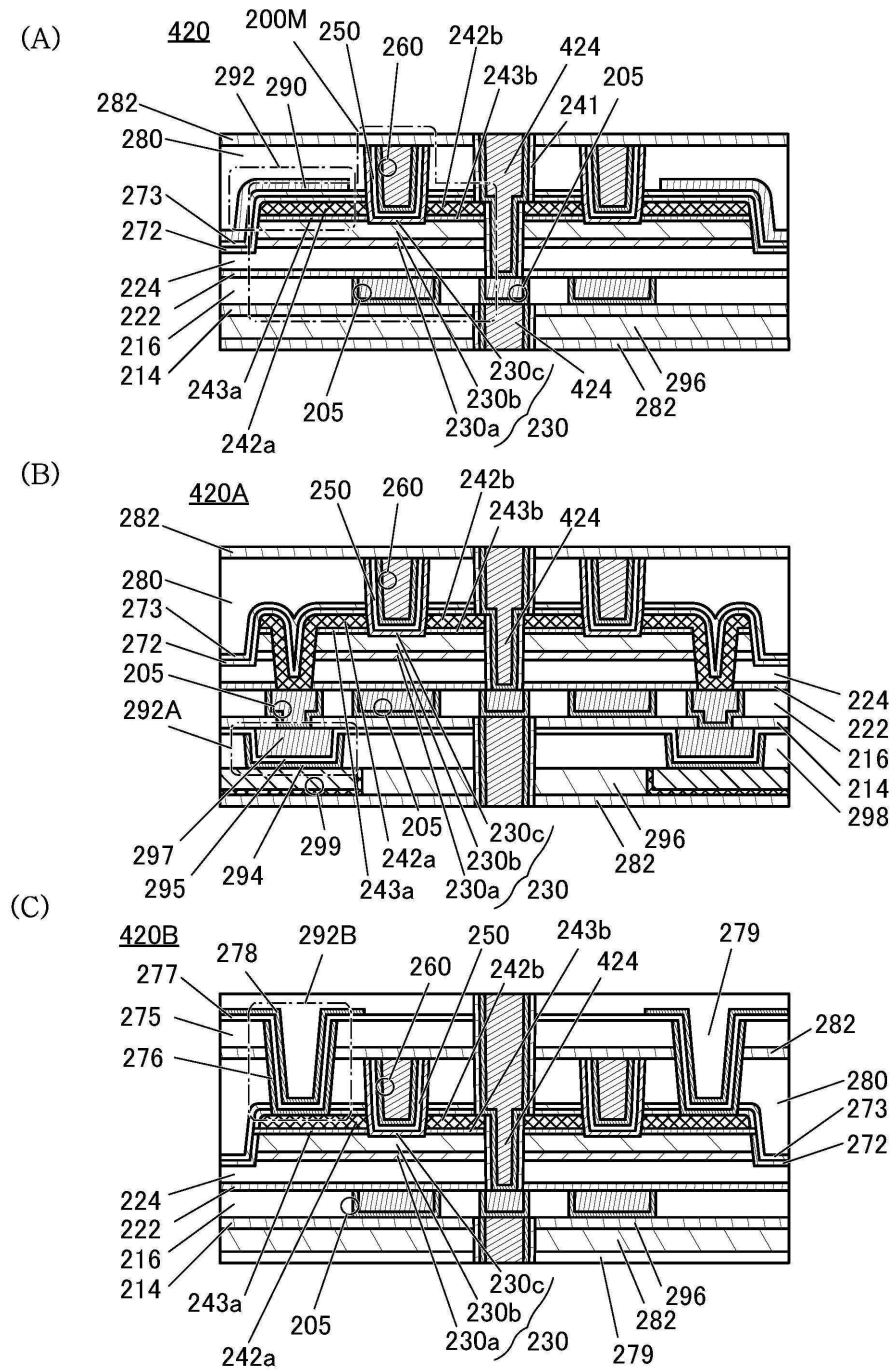




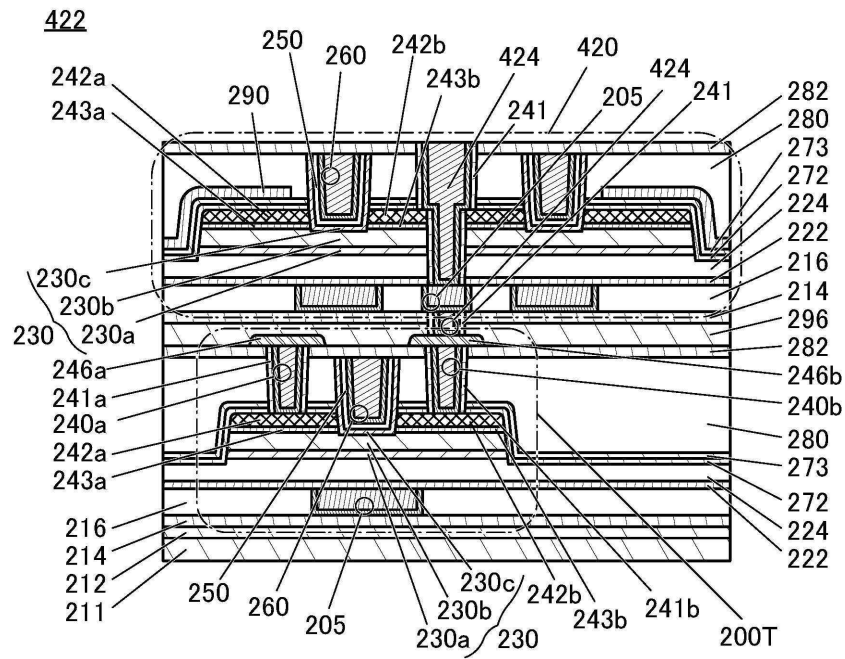
도면35



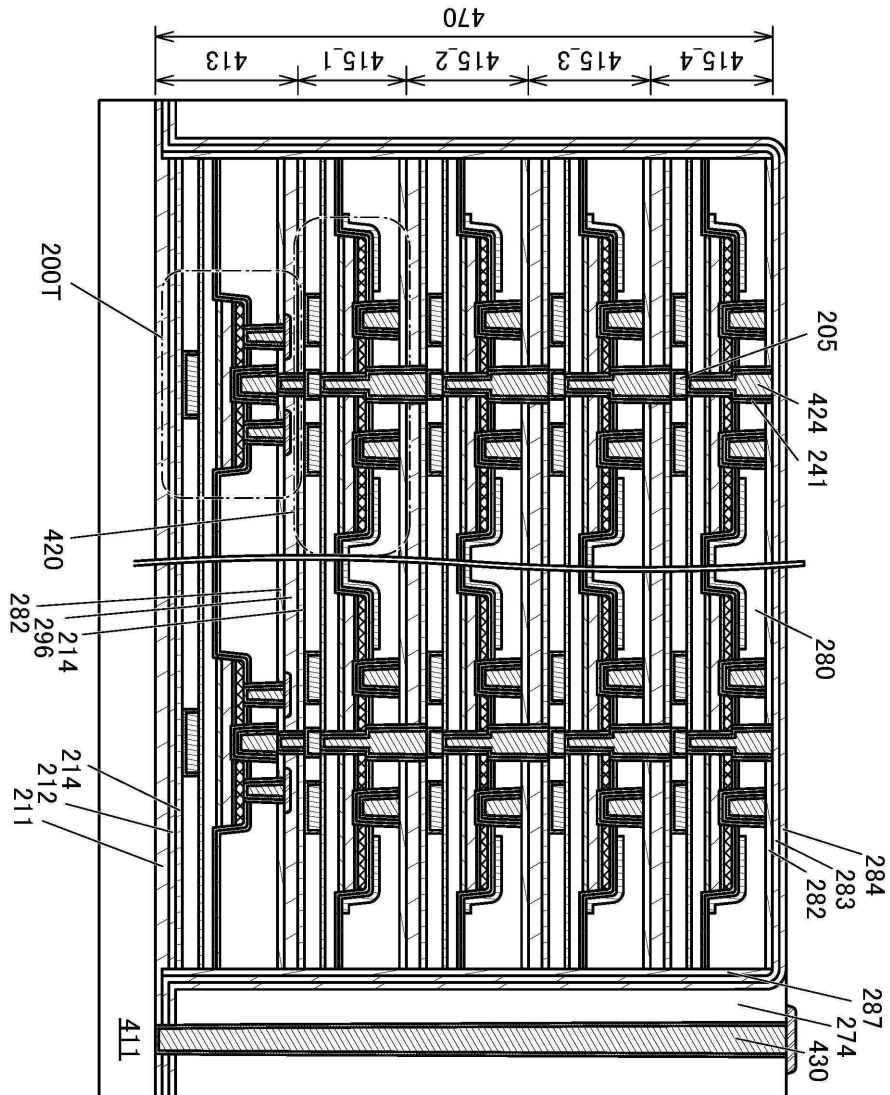
도면36



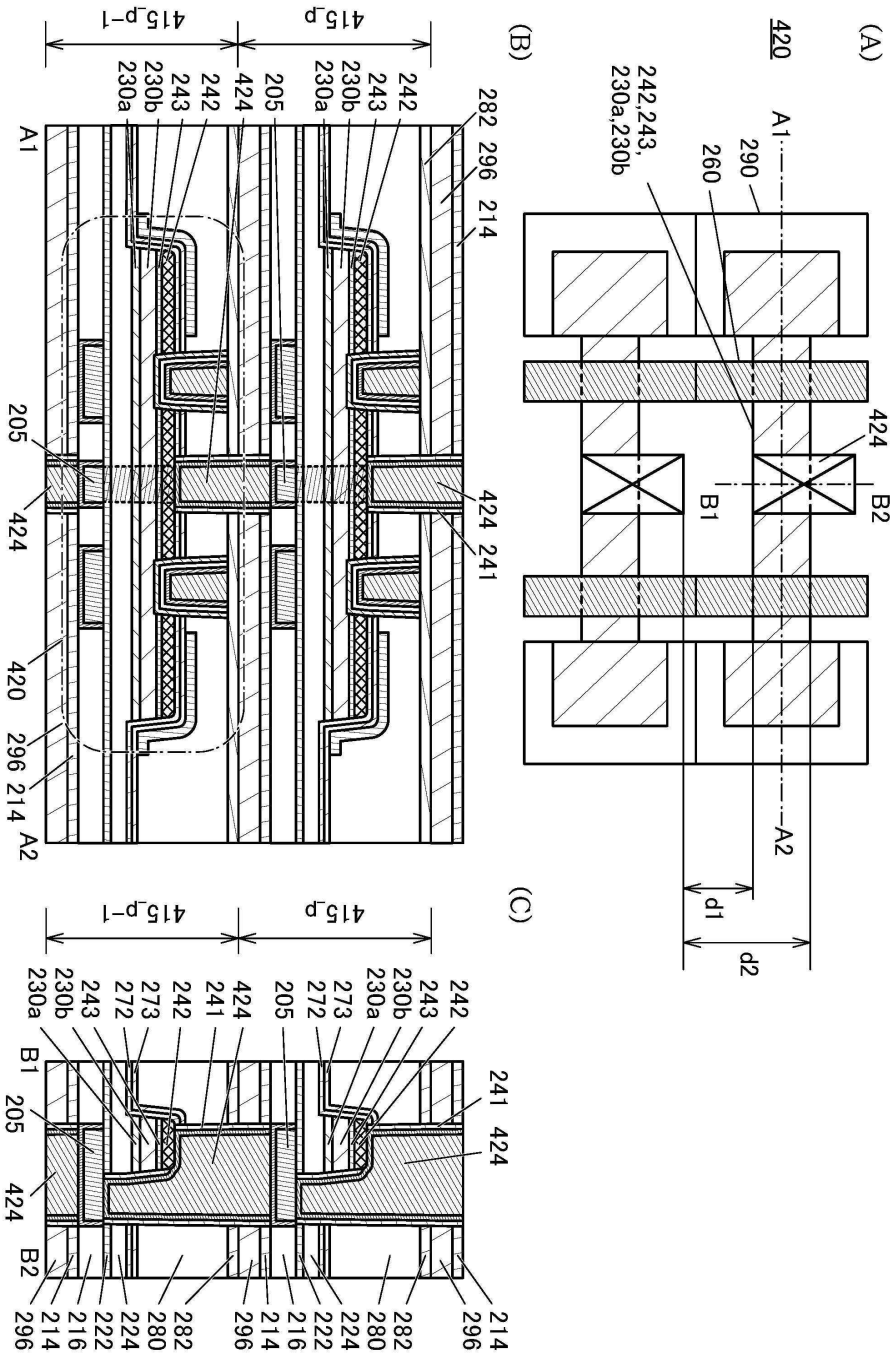
도면37



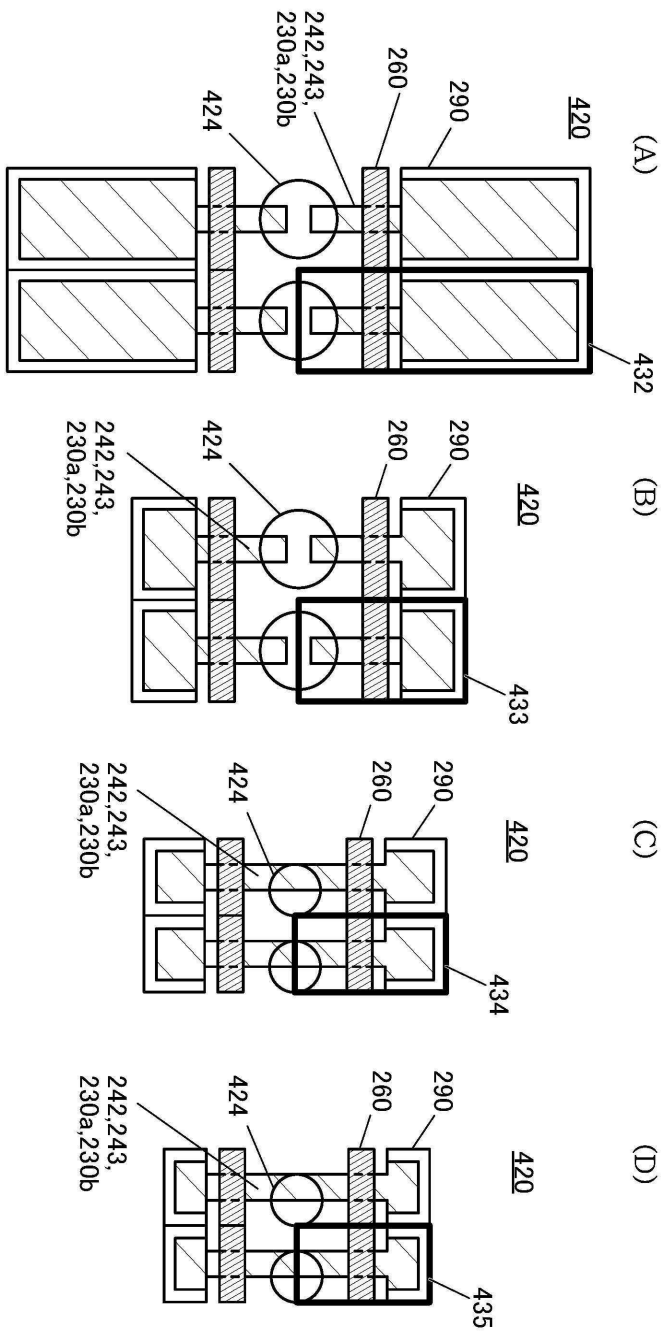
도면38



도면 39



도면40





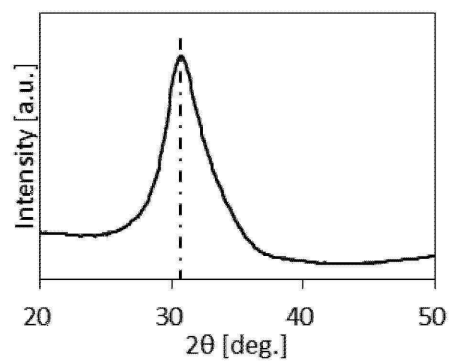
도면41

(A)

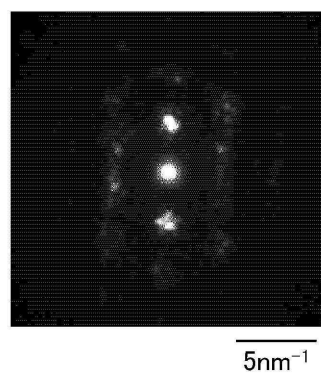
중간 상태  
새로운 경계 영역

Amorphous (무정형)	Crystalline (결정성)	Crystal (결정)
• completely amorphous	• CAAC • nc • CAC single crystal 및 poly crystal 을 제외함	• single crystal • poly crystal

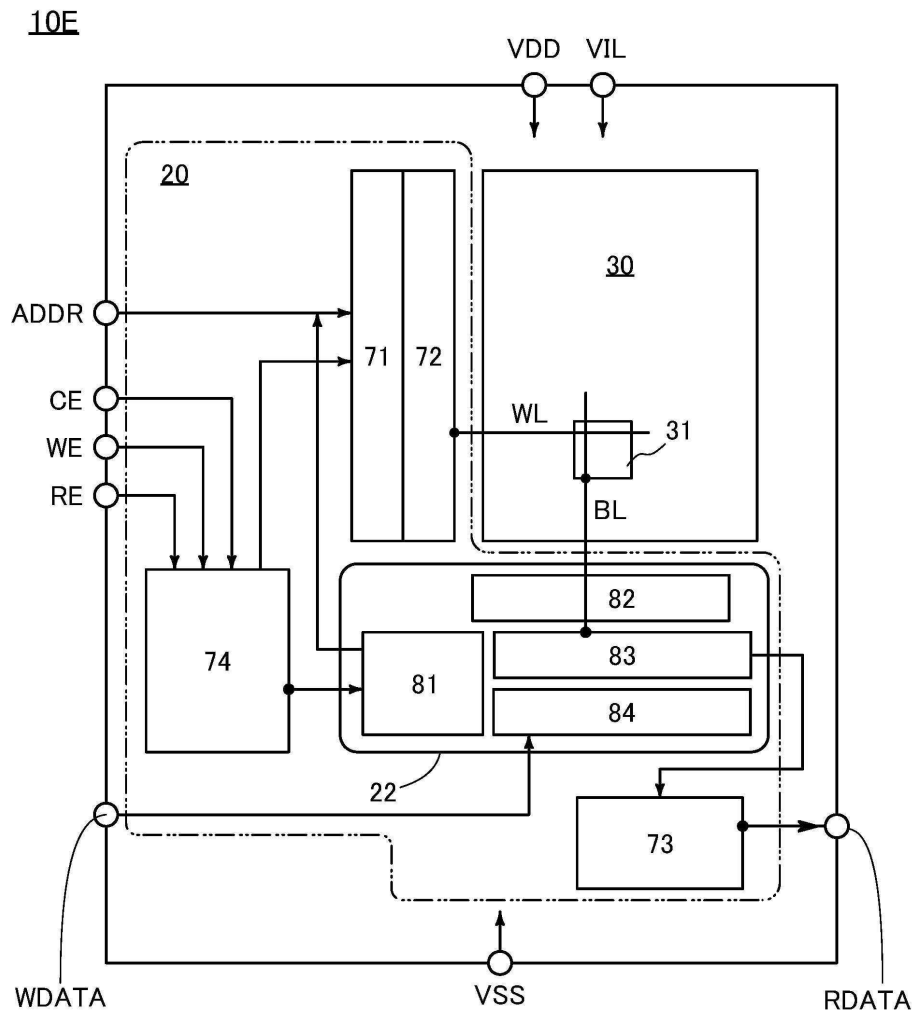
(B)



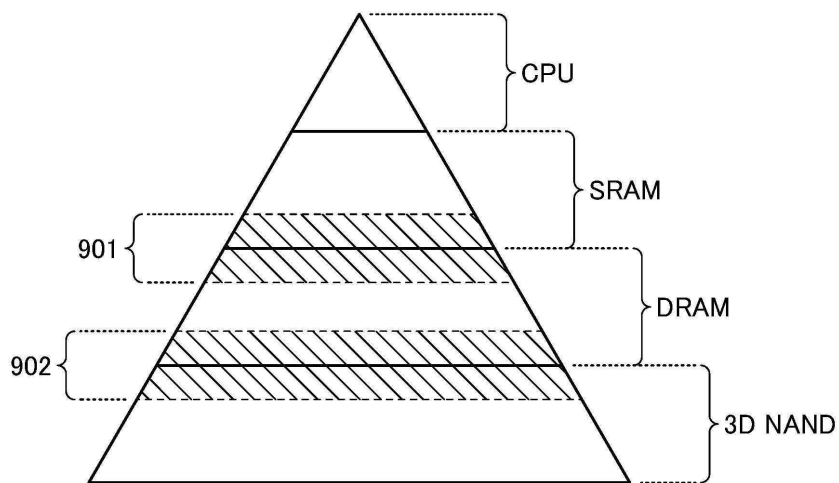
(C)



도면42

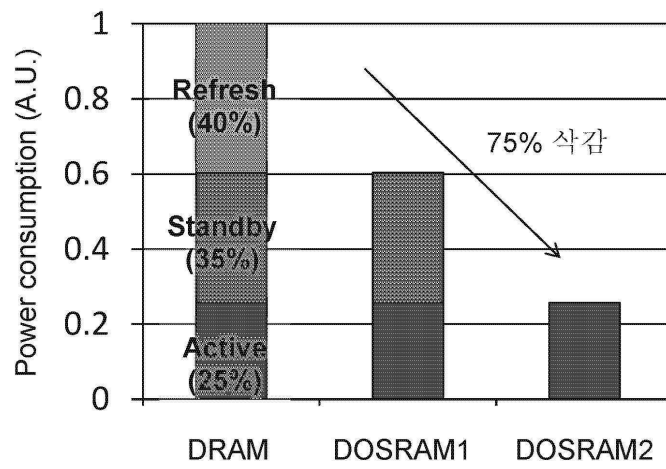


도면43

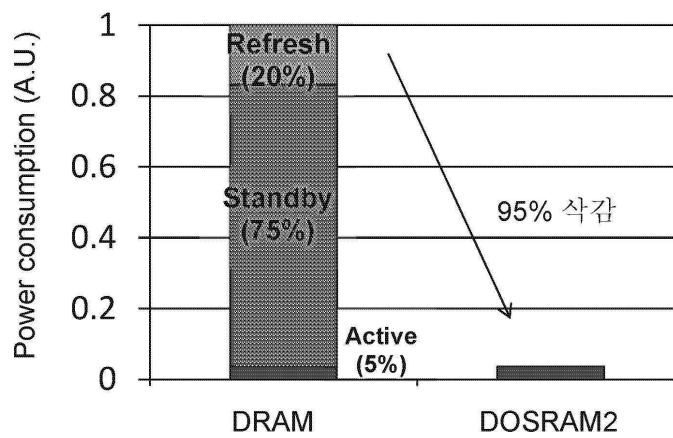


도면44

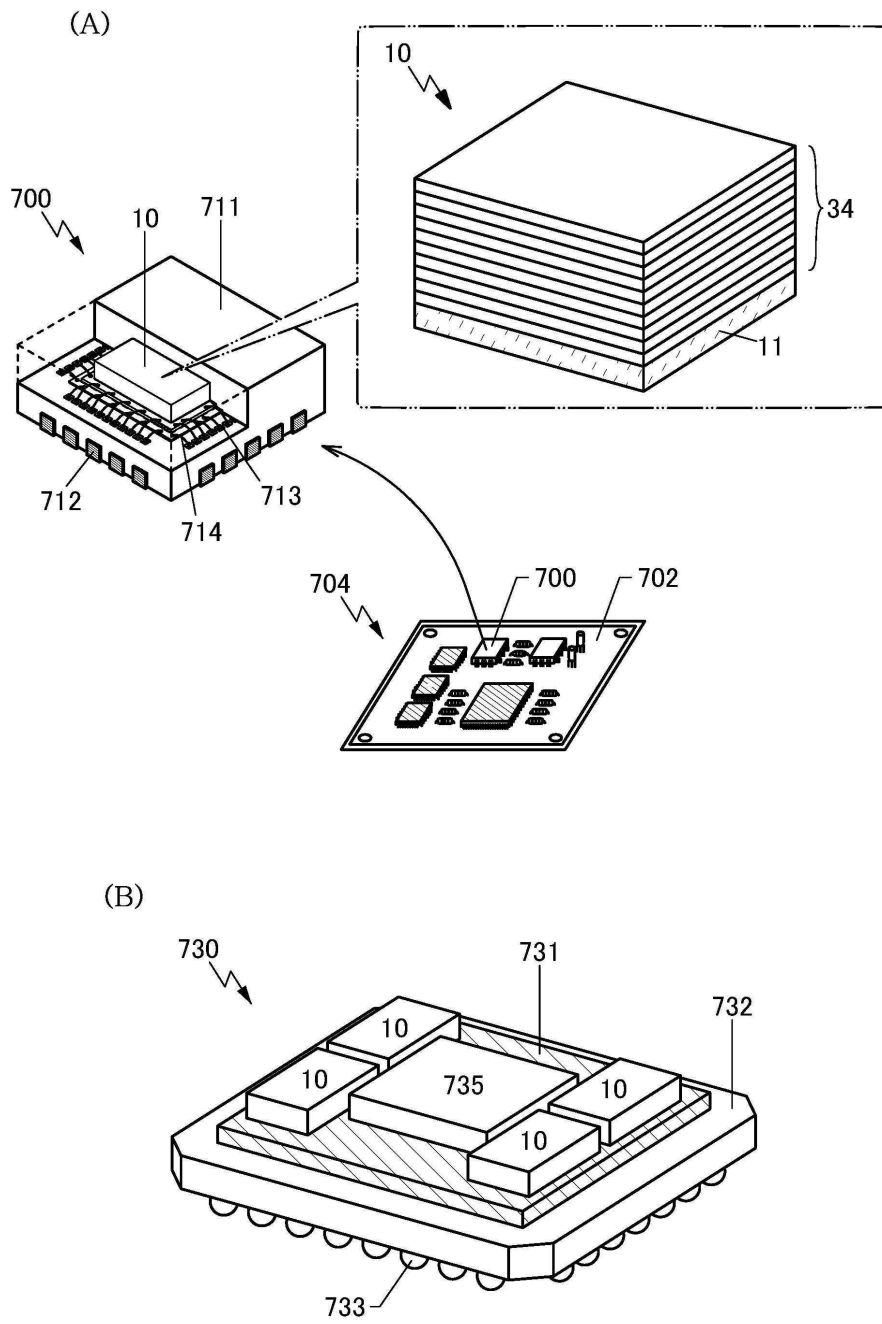
(A)



(B)



도면45



도면46

