

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7571127号
(P7571127)

(45)発行日 令和6年10月22日(2024.10.22)

(24)登録日 令和6年10月11日(2024.10.11)

(51)国際特許分類		F I	
G 0 6 G	7/60 (2006.01)	G 0 6 G	7/60
G 0 6 G	7/19 (2006.01)	G 0 6 G	7/19 6 4 2
G 0 6 F	17/10 (2006.01)	G 0 6 F	17/10 S
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/06 1 0 2 A
H 0 1 L	27/06 (2006.01)	H 0 1 L	27/088 3 3 1 E
請求項の数 6 (全141頁) 最終頁に続く			
(21)出願番号	特願2022-514869(P2022-514869)	(73)特許権者	000153878
(86)(22)出願日	令和3年4月5日(2021.4.5)		株式会社半導体エネルギー研究所
(86)国際出願番号	PCT/IB2021/052804		神奈川県厚木市長谷398番地
(87)国際公開番号	WO2021/209855	(72)発明者	黒川 義元
(87)国際公開日	令和3年10月21日(2021.10.21)		神奈川県厚木市長谷398番地 株式会
審査請求日	令和6年3月11日(2024.3.11)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2020-74001(P2020-74001)	(72)発明者	上妻 宗広
(32)優先日	令和2年4月17日(2020.4.17)		神奈川県厚木市長谷398番地 株式会
(33)優先権主張国・地域又は機関	日本国(JP)		社半導体エネルギー研究所内
		(72)発明者	青木 健
			神奈川県厚木市長谷398番地 株式会
			社半導体エネルギー研究所内
		(72)発明者	金村 卓郎
			神奈川県厚木市長谷398番地 株式会
			社半導体エネルギー研究所内
			最終頁に続く

(54)【発明の名称】 半導体装置、及び電子機器

(57)【特許請求の範囲】

【請求項1】

第1層と、前記第1層の上方に位置する第2層と、前記第2層の上方に位置する第3層と、を有し、

前記第1層は、第1セルと、第1回路と、第1配線と、前記第1配線に隣り合う第2配線と、を有し、

前記第2層は、第3配線と、前記第3配線に隣り合う第4配線と、を有し、

前記第3層は、電極と、センサと、を有し、

前記第1回路は、スイッチを有し、

前記センサは、前記電極及び第1プラグを介して、前記第3配線に電氣的に接続され、

前記スイッチの第1端子は、第2プラグを介して、前記第3配線に電氣的に接続され、

前記スイッチの第2端子は、前記第1配線を介して、前記第1セルに電氣的に接続され、

前記電極は、前記センサと重畳する領域と、前記第1プラグと重畳する領域と、を有し、前記第1配線と、前記第2配線と、前記第3配線と、前記第4配線と、のそれぞれは、互いに平行であり、

前記第3配線と前記第4配線との配線間の距離は、前記第1配線と前記第2配線の配線間の距離の0.9倍以上1.1倍以下である、

半導体装置。

【請求項2】

請求項1において、

前記第 1 層は、第 2 セルを有し、

前記第 1 セルは、第 1 トランジスタと、第 2 トランジスタと、第 1 容量と、を有し、

前記第 2 セルは、第 3 トランジスタと、第 4 トランジスタと、第 2 容量と、を有し、

前記第 1 トランジスタのゲートは、前記第 1 容量の第 1 端子と、前記第 2 トランジスタの第 1 端子と、に電氣的に接続され、

前記第 1 トランジスタの第 1 端子は、前記第 2 トランジスタの第 2 端子に電氣的に接続され、

前記第 1 容量の第 2 端子は、前記第 1 配線を介して、前記スイッチの第 2 端子に電氣的に接続され、

前記第 3 トランジスタのゲートは、前記第 2 容量の第 1 端子と、前記第 4 トランジスタの第 1 端子と、に電氣的に接続され、

前記第 3 トランジスタの第 1 端子は、前記第 4 トランジスタの第 2 端子と、前記第 1 配線と、に電氣的に接続され、

前記第 2 容量の第 2 端子は、前記第 1 配線を介して、前記スイッチの第 2 端子に電氣的に接続されている、

半導体装置。

【請求項 3】

請求項 2 において、

前記第 1 層は、第 1 電流源回路を有し、

前記第 1 電流源回路の出力端子は、前記第 1 トランジスタの第 1 端子に電氣的に接続され、

前記第 1 電流源回路は、前記第 1 電流源回路の出力端子から第 1 電流を流す機能を有し、前記センサは、

センシングによって得られた情報に応じた第 2 電流を流す機能と、

前記第 1 容量の第 2 端子及び前記第 2 容量の第 2 端子のそれぞれに、前記第 2 電流の量に応じた入力電位を与える機能と、を有し、

前記第 2 セルは、前記第 2 電流に応じた電位を前記第 3 トランジスタのゲートに保持することで、前記第 3 トランジスタの第 1 端子と第 2 端子との間に流れる電流量を前記第 2 電流の量に設定する機能を有し、

前記第 1 セルは、

前記第 1 電流に応じた電位を前記第 1 トランジスタのゲートに保持することで、前記第 1 トランジスタの第 1 端子と第 2 端子との間に流れる電流量を前記第 1 電流の量に設定する機能と、

前記センサが流す第 2 電流の量が変化したとき、前記第 1 トランジスタの第 1 端子と第 2 端子との間に流れる前記第 1 電流の量を、前記入力電位の変動量に応じた、第 3 電流の量に変化させる機能と、を有し、

前記第 1 電流の量、及び前記第 3 電流の量のそれぞれは、前記第 1 トランジスタがサブスレッショルド領域で動作するときに流れる電流の範囲であり、

前記第 2 電流の量は、前記第 2 トランジスタがサブスレッショルド領域で動作するときに流れる電流の範囲である、

半導体装置。

【請求項 4】

請求項 2、又は請求項 3 において、

前記第 1 トランジスタと、前記第 2 トランジスタと、前記第 3 トランジスタと、前記第 4 トランジスタと、のそれぞれは、チャネル形成領域に金属酸化物を有する、

半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記センサは、フォトダイオードを有する、

半導体装置。

10

20

30

40

50

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一の半導体装置と、筐体と、を有し、
前記半導体装置は、積和演算を行う機能を有する、
電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、及び電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、駆動方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、センサ、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げるができる。

【背景技術】

【0003】

現在、人間の脳の仕組みを模した集積回路の開発が盛んに進められている。当該集積回路は、脳の仕組みが電子回路として組み込まれており、人間の脳の「ニューロン」と「シナプス」に相当する回路を有する。そのため、そのような集積回路を、「ニューロモフィック」、「ブレインモフィック」、「ブレインインスパイア」などと呼ぶこともある。当該集積回路は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行えると期待されている。

【0004】

「ニューロン」と「シナプス」とを有する神経回路網を模した情報処理のモデルは、人工ニューラルネットワーク（ANN）と呼ばれる。人工ニューラルネットワークを用いることで、人間並み、もしくは、人間を超える精度での推論も可能である。人工ニューラルネットワークでは、ニューロン出力の重み付け和の演算、すなわち、積和演算が主要な演算である。

【0005】

非特許文献 1 には、不揮発性メモリ素子を用いた積和演算回路が提案されている。当該積和演算回路では、各メモリ素子において、チャネル形成領域にシリコンを有するトランジスタのサブスレッショルド領域での動作を利用して、各メモリ素子に格納した乗数に対応したデータと被乗数に対応した入力データとの乗算に対応した電流を出力する。また、各列のメモリ素子が出力する電流の和により、積和演算に対応したデータを取得する。当該積和演算回路は、内部にメモリ素子を有しているため、乗算、加算において外部のメモリからのデータ読み出し及び書き込みを行わなくすることができる。このため、読み出し及び書き込みなどに起因するデータ転送の回数を少なくすることができるため、消費電力を低くできると期待されている。

【先行技術文献】

【非特許文献】

【0006】

【文献】X. Guo et al., “Fast, Energy-Efficient, Robust, and Reproducible Mixed-Signal Neuro-morphic Classifier Based on Embedded NOR Flash Memory Technology” IEDM2017, pp. 151–154.

【発明の概要】

【発明が解決しようとする課題】

【0007】

チャンネル形成領域にシリコンを有するトランジスタは、温度変化によって、トランジスタ特性、電界効果移動度などが変化しやすい。特に、積和演算回路などを集積回路として形成した場合、駆動した際の発熱によって集積回路の温度が上がり、集積回路に含まれているトランジスタの特性が変化し、正しい演算を行うことができない恐れがある。

【0008】

また、積和演算をデジタル回路で実行する場合、乗数となるデジタルデータ（乗数データ）と被乗数となるデジタルデータ（被乗数データ）の乗算をデジタル乗算回路にて実行する。その後、当該乗算で得られたデジタルデータ（積データ）の加算をデジタル加算回路にて実行し、当積和演算の結果としてデジタルデータ（積和データ）を取得する。デジタル乗算回路、及びデジタル加算回路は、多ビットの演算を取り扱える仕様であることが好ましい。しかしながら、この場合、デジタル乗算回路、及びデジタル加算回路のそれぞれの回路規模を大きくする必要があるため、回路面積が増大し、また、消費電力も大きくなる恐れがある。

【0009】

また、ニューラルネットワークの演算を行う演算回路とセンサとを組み合わせることで、電子機器などに様々な情報を認識させることができる場合がある。例えば、センサとして光センサ（例えば、フォトダイオードなど）を当該演算回路と組み合わせることで、光センサによって得られた画像データから、顔認識、画像認識などのパターン認識を行うことができる。

【0010】

また、例えば、当該演算回路が構成された半導体チップの上方に当該センサを含むセンサアレイを配置する場合、当該センサアレイは、上面視において半導体チップの中心又は中心近傍に配置することが好ましい。センサアレイを上面視における半導体チップの中心又は中心近傍に配置することによって、センサアレイに含まれているセンサの駆動回路を当該センサアレイの周辺に配置することができる。また、センサアレイに含まれているセンサをフォトダイオードとして、当該センサアレイ上に凸レンズを設ける場合、当該凸レンズの位置を上面視における半導体チップの中心又は中心近傍とすることで、当該凸レンズを安定して配置することができる。この点からも、当該センサアレイは、上面視における半導体チップの中心又は中心近傍に配置することが好ましい。しかし、半導体チップに形成される演算回路、配線等のレイアウトは、半導体チップの上方の中心又は中心近傍に位置するセンサアレイに合わせて設計する必要があるため、当該レイアウトの自由度が低くなる恐れがある。

【0011】

本発明の一態様は、積和演算が可能な半導体装置を提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い半導体装置を提供することを課題の一とする。又は、本発明の一態様は、回路面積が低減された半導体装置を提供することを課題の一とする。又は、本発明の一態様は、熱による動作能力の低下を抑えた半導体装置を提供することを課題の一とする。

【0012】

又は、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、上記半導体装置を有する電子機器を提供することを課題の一とする。

【0013】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの

課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

【課題を解決するための手段】

【0014】

(1)

本発明の一態様は、第1層と、第1層の上方に位置する第2層と、第2層の上方に位置する第3層と、を有する半導体装置である。第1層は、第1セルと、第1回路と、第1配線と、第1配線に隣り合う第2配線と、を有し、第2層は、第3配線と、第3配線に隣り合う第4配線と、を有し、第3層は、電極と、センサと、を有する。また、第1回路は、スイッチを有する。センサは、電極及び第1プラグを介して、第3配線に電氣的に接続されている。また、スイッチの第1端子は、第2プラグを介して、第3配線に電氣的に接続され、スイッチの第2端子は、第1配線を介して、第1セルに電氣的に接続されている。なお、電極は、センサと重畳する領域と、第1プラグと重畳する領域と、を有する。また、第1配線と、第2配線と、第3配線と、第4配線と、のそれぞれは、互いに平行であり、第3配線と第4配線との配線間の距離は、第1配線と第2配線の配線間の距離の0.9倍以上1.1倍以下である。

【0015】

(2)

又は、本発明の一態様は、上記(1)において、第1層は、第2セルを有する構成としてもよい。また、第1セルは、第1トランジスタと、第2トランジスタと、第1容量と、を有し、第2セルは、第3トランジスタと、第4トランジスタと、第2容量と、を有する構成とすることが好ましい。具体的には、第1トランジスタのゲートは、第1容量の第1端子と、第2トランジスタの第1端子と、に電氣的に接続され、第1トランジスタの第1端子は、第2トランジスタの第2端子に電氣的に接続され、第1容量の第2端子は、第1配線を介して、スイッチの第2端子に電氣的に接続されていることが好ましい。また、第3トランジスタのゲートは、第2容量の第1端子と、第4トランジスタの第1端子と、に電氣的に接続され、第3トランジスタの第1端子は、第4トランジスタの第2端子と、第1配線と、に電氣的に接続され、第2容量の第2端子は、第1配線を介して、スイッチの第2端子に電氣的に接続されていることが好ましい。

【0016】

(3)

又は、本発明の一態様は、上記(2)において、第1層が第1電流源回路を有する構成としてもよい。また、第1電流源回路は、第1電流源回路の出力端子から第1電流を流す機能を有し、第1電流源回路の出力端子は、第1トランジスタの第1端子に電氣的に接続されていることが好ましい。また、センサは、センシングによって得られた情報に応じた第2電流を流す機能と、第1容量の第2端子及び第2容量の第2端子のそれぞれに、第2電流の量に応じた入力電位を与える機能と、を有することが好ましい。また、第2セルは、第2電流に応じた電位を第3トランジスタのゲートに保持することで、第3トランジスタの第1端子と第2端子との間に流れる電流量を第2電流の量に設定する機能を有することが好ましい。また、第1セルは、第1電流に応じた電位を第1トランジスタのゲートに保持することで、第1トランジスタの第1端子と第2端子との間に流れる電流量を第1電流の量に設定する機能と、センサが流す第2電流の量が変化したとき、第1トランジスタの第1端子と第2端子との間に流れる第1電流の量を、入力電位の変動量に応じた、第3電流の量に変化させる機能を有することが好ましい。なお、第1電流の量、及び第3電流の量のそれぞれは、第1トランジスタがサブスレッショルド領域で動作するときに流れる電流の範囲であり、第2電流の量は、第2トランジスタがサブスレッショルド領域で動作するときに流れる電流の範囲である。

【0017】

(4)

又は、本発明の一態様は、上記(2)、又は(3)において、第1トランジスタと、第

2トランジスタと、第3トランジスタと、第4トランジスタと、のそれぞれは、チャネル形成領域に金属酸化物を有する構成としてもよい。

【0018】

(5)

又は、本発明の一態様は、上記(1)乃至(4)のいずれかーにおいて、センサは、フォトダイオードを有する構成としてもよい。

【0019】

(6)

又は、本発明の一態様は、上記(1)乃至(5)のいずれかーの半導体装置と、筐体と、を有する電子機器である。また、半導体装置は、積和演算を行う機能を有することが好ましい。

10

【0020】

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子(トランジスタ、ダイオード、フォトダイオード等)を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージなどにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

【0021】

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層など)であるとする。

20

【0022】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など)が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態(オン状態)、又は、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。

30

【0023】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフタ回路など)、電圧源、電流源、切り替え回路、増幅回路(信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など)が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

40

【0024】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合(つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合)と、XとYとが直接接続されている場合(つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合)とを含むものとする。

【0025】

また、例えば、「XとYとトランジスタのソース(又は第1の端子など)とドレイン(

50

又は第2の端子など)とは、互いに電氣的に接続されており、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース(又は第1の端子など)は、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)はYと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

10

【0026】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

20

【0027】

また、本明細書等において、「抵抗素子」とは、例えば、 0Ω よりも高い抵抗値を有する回路素子、配線などとしてすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、「抵抗値を有する領域」などの用語に言い換えることができ、逆に「抵抗」、「負荷」、「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる。抵抗値としては、例えば、好ましくは $1m\Omega$ 以上 10Ω 以下、より好ましくは $5m\Omega$ 以上 5Ω 以下、更に好ましくは $10m\Omega$ 以上 1Ω 以下とすることができる。また、例えば、 1Ω 以上 $1 \times 10^9\Omega$ 以下としてもよい。

30

【0028】

また、本明細書等において、「容量素子」とは、例えば、 $0F$ よりも高い静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとしてすることができる。また、「容量素子」、「寄生容量」、「ゲート容量」などという用語は、「容量」などの用語に言い換えることができ、逆に、「容量」という用語は、「容量素子」、「寄生容量」、「ゲート容量」などの用語に言い換えることができる。また、「容量」の「一対の電極」という用語は、「一対の導電体」、「一対の導電領域」、「一対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、 $0.05fF$ 以上 $10pF$ 以下とすることができる。また、例えば、 $1pF$ 以上 $10\mu F$ 以下としてもよい。

40

【0029】

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型(nチャネル型、pチャネル型)及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース、及びドレインの用語は、互いに言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明

50

する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

【0030】

また、回路図上では、単一の回路素子が図示されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に1個の抵抗が記載されている場合は、2個以上の抵抗が直列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個の容量が記載されている場合は、2個以上の容量が並列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個のトランジスタが記載されている場合は、2個以上のトランジスタが直列に電氣的に接続され、かつそれぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。また、同様に、例えば、回路図上に1個のスイッチが記載されている場合は、当該スイッチが2個以上のトランジスタを有し、2個以上のトランジスタが直列に電氣的に接続され、それぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。

【0031】

また、本明細書等において、ノードは、回路構成、デバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0032】

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

【0033】

また、本明細書等において、「高レベル電位」、「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

【0034】

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等と言い換えることができるものとする。また、

10

20

30

40

50

「素子 A に電流が入力される」等の記載は「素子 A から電流が出力される」等に言い換えることができるものとする。

【0035】

また、本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成要素とすることもありうる。また、例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

10

【0036】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを 180 度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

【0037】

また、「上」、及び「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層 A 上の電極 B」の表現であれば、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

20

【0038】

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

30

【0039】

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」、及び「配線」の用語は、複数の「電極」、及び「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」、及び／又は「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

40

【0040】

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」

50

などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

【0041】

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、キャリア移動度が低下すること、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第15族元素など（但し、酸素、水素は含まない）がある。

10

【0042】

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

20

【0043】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

30

【0044】

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0045】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

40

【発明の効果】

【0046】

本発明の一態様によって、積和演算が可能な半導体装置を提供することができる。又は、本発明の一態様によって、消費電力が低い半導体装置を提供することができる。又は、本発明の一態様によって、回路面積が低減された半導体装置を提供することができる。又は、本発明の一態様によって、熱による動作能力の低下を抑えた半導体装置を提供するこ

50

とができる。

【0047】

又は、本発明の一態様によって、新規な半導体装置などを提供することができる。又は、本発明の一態様によって、上記半導体装置を有する電子機器を提供することができる。

【0048】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【0049】

図1は、半導体装置の構成例を示す斜視模式図である。

図2は、半導体装置の構成例を示す斜視模式図である。

図3は、半導体装置の構成例を示す斜視模式図である。

図4は、半導体装置に含まれている配線の引き回しの一例を示す上面図である。

図5A、及び図5Bは、半導体装置に含まれている配線の形状の一例を示す図である。

図6は、半導体装置の構成例を示す斜視模式図である。

図7は、半導体装置の構成例を示すブロック図である。

図8A乃至図8Cは、半導体装置に含まれている回路の構成例を示すブロック図である。

図9A乃至図9Dは、半導体装置に含まれている回路の構成例を示す回路図である。

図10A乃至図10Cは、半導体装置に含まれている回路の構成例を示す回路図である。

図11は、半導体装置の構成例を示すブロック図である。

図12は、半導体装置の動作例を示すタイミングチャートである。

図13は、半導体装置の動作例を示すタイミングチャートである。

図14は、半導体装置の構成例を示すブロック図である。

図15A乃至図15Cは、半導体装置に含まれている回路の構成例を示す回路図である。

図16は、半導体装置に含まれている回路の構成例を示すブロック図である。

図17Aは半導体装置に含まれている回路の構成例を示す回路図であり、図17Bは、半導体装置に含まれている回路の構成例を示すブロック図である。

図18A、及び図18Bは、半導体装置に含まれている回路の構成例を示すブロック図であり、図18C、及び図18Dは、半導体装置に含まれている回路の構成例を示す回路図である。

図19は、半導体装置に含まれている回路の構成例を示す回路図である。

図20は、半導体装置に含まれている回路の構成例を示す回路図である。

図21Aは、半導体装置の構成例を示すブロック図であり、図21B及び図21Cは、半導体装置に含まれる回路の一例を示す回路図である。

図22A、及び図22Bは、半導体装置に含まれている回路の構成例を示すブロック図である。

図23A、及び図23Bは、半導体装置の動作例を示すタイミングチャートである。

図24A、及び図24Bは、階層型のニューラルネットワークを説明する図である。

図25は、半導体装置の構成例を示すブロック図である。

図26は、半導体装置の構成例を示すブロック図である。

図27は、半導体装置の構成例を示す断面模式図である。

図28は、半導体装置の構成例を示す断面模式図である。

図29A乃至図29Cは、トランジスタの構成例を示す断面模式図である。

図30A、及び図30Bは、トランジスタの構成例を示す断面模式図である。

図31Aは容量素子の構成例を示す上面図であり、図31B、及び図31Cは容量素子の

10

20

30

40

50

構成例を示す断面斜視図である。

図32Aは容量素子の構成例を示す上面図であり、図32Bは容量の構成例を示す断面図であり、図32Cは容量素子の構成例を示す断面斜視図である。

図33は、半導体装置の構成例を示す断面模式図である。

図34AはIGZOの結晶構造の分類を説明する図であり、図34Bは結晶性IGZOのXRDスペクトルを説明する図であり、図34Cは結晶性IGZOの極微電子線回折パターンを説明する図である。

図35Aは半導体ウェハの一例を示す斜視図であり、図35Bはチップの一例を示す斜視図であり、図35C及び図35Dは電子部品の一例を示す斜視図である。

図36A乃至図36Fは、撮像装置を収めたパッケージ、モジュールの斜視図である。

図37は、電子機器の一例を示す斜視図である。

図38A乃至図38Cは、電子機器の一例を示す斜視図である。

図39A乃至図39Cは、電子機器の一例を示す模式図である。

【発明を実施するための形態】

【0050】

人工ニューラルネットワーク（以後、ニューラルネットワークと呼称する。）において、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼称する場合がある。

【0051】

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼称する場合がある。

【0052】

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する場合がある。

【0053】

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductor又は単にOSともいう）などに分類される。例えば、トランジスタのチャネル形成領域に金属酸化物が含まれている場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）と呼称することができる。また、OSトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

【0054】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

【0055】

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

【0056】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の

10

20

30

40

50

形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

【0057】

なお、実施の形態の中で述べる内容とは、各々の実施の形態（又は実施例）において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0058】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0059】

本明細書に記載の実施の形態については、図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

【0060】

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。

【0061】

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0062】

（実施の形態1）

本実施の形態では、本発明の一態様である、積和演算が可能な半導体装置の一例について説明する。

【0063】

<半導体装置の構成例>

図1は、複数の第1データと複数の第2データとの積和演算が可能な半導体装置の構成例を示している。図1に示す半導体装置SDVは、層PDLと、層ERLと、層CCLと、を有する。

【0064】

なお、図1に示す半導体装置SDVは、3次元構造で示しているため、図1には、x方向、y方向、z方向を示す矢印を付している。なお、ここでのx方向、y方向、及びz方向は、一例として、互いに直交する方向として示している。また、本明細書等では、x方向、y方向、またはz方向の1つを「第1方向」または「第1の方向」と呼ぶ場合がある。また、他の1つを「第2方向」または「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」または「第3の方向」と呼ぶ場合がある。

【0065】

層ERLは、層CCLの上方に位置し、層PDLは、層ERLの上方に位置している。つまり、層CCLと、層ERLと、層PDLと、は、z方向に順に積層されている。

【0066】

層PDLは、一例として、センサアレイSCAを有する。センサアレイSCAは、複数の電極と、複数のセンサと、を有し、図1では、一例として、複数の電極として電極DNK[1]乃至電極DNK[m]（ここでのmは1以上の整数である。）と、複数のセンサとしてセンサSNC[1]乃至センサSNC[m]と、を図示している。また、層PDLには、一例として、m個の電極DNKがマトリクス状に配置されており、それぞれの電極DNK[1]乃至電極DNK[m]上には、センサSNC[1]乃至センサSNC[m]が設けられている。

【0067】

なお、図1に示す層PDLでは、電極DNK[1]乃至電極DNK[m]のうち、電極DNK[1]と、電極DNK[i]（ここでのiは1以上m以下の整数である。）と、電極DNK[m]と、の符号を抜粋して示している。また、図1に示す層PDLでは、センサSNC[1]乃至センサSNC[m]のうち、センサSNC[1]と、センサSNC[i]と、センサSNC[m]と、の符号を抜粋して示している。

【0068】

センサSNC[1]乃至センサSNC[m]は、センシングした情報を電流量に変換して、当該電流量を出力する機能を有する。また、電極DNK[1]乃至電極DNK[m]のそれぞれは、センサSNC[1]乃至センサSNC[m]における、当該電流量を出力する端子として機能する。センサSNCとしては、例えば、光センサを適用することができる。センサSNC[1]乃至センサSNC[m]として光センサを適用することで、層PDLをイメージセンサの一部とすることができる。なお、その場合、光センサがセンシング可能な光の強度の範囲には、当該光センサを利用する環境で照射される光の強度が含まれていることが望ましい。なお、図2には、また、光センサとして、フォトダイオードPDを有するセンサSNCを適用した半導体装置SDVを示している。

【0069】

また、センサSNC[i]の回路構成としては、センサSNC[i]に含まれているフォトダイオードPDの入力端子、又は出力端子の一方は、電極DNK[i]を介して、配線EIL[i]に電氣的に接続されている構成としてもよい。また、センサSNC[i]の回路構成としては、センサSNC[i]を一時的に停止するために電源の供給を遮断するスイッチなどが設けられている構成としてもよい。このように、センサSNC[i]には、別の機能を有する回路、素子などが含まれていてもよい。

【0070】

また、センサSNC[1]乃至センサSNC[m]に適用できるセンサとしては、光センサ以外では、例えば、圧力センサ、ジャイロセンサ、加速度センサ、聴覚センサ、温度センサ、湿度センサなどとすることができる。

【0071】

センサSNC[1]乃至センサSNC[m]は、例えば、外界の情報のセンシングを行うため、当該外界に近い領域に設けられることが好ましい。つまり、層PDLは、図1の通り、例えば、層CCL及び層ERLの上方に設けられることが好ましい。

【0072】

層ERLは、配線EIL[1]乃至配線EIL[m]を有する。なお、図1に示す層ERLでは、配線EIL[1]乃至配線EIL[m]のうち、配線EIL[1]と、配線EIL[i]と、配線EIL[m]と、の符号を抜粋して示している。

【0073】

配線EIL[1]は、層PDLの電極DNK[1]に電氣的に接続されている。また、配線EIL[i]は、層PDLの電極DNK[i]に電氣的に接続されている。また、配線EIL[m]は、層PDLの電極DNK[m]に電氣的に接続されている。

【0074】

具体的には、例えば、半導体装置SDVの上面視（図1、図2に示すz軸の矢印の反対方向への視線）において、電極DNK[1]乃至電極DNK[m]のそれぞれが、配線E

10

20

30

40

50

ＩＬ〔１〕乃至配線ＥＩＬ〔ｍ〕と交差する箇所にプラグ（コンタクトホールなどと呼ぶ場合がある。）などを設けて、電極ＤＮＫ〔１〕乃至電極ＤＮＫ〔ｍ〕のそれぞれと、配線ＥＩＬ〔１〕乃至配線ＥＩＬ〔ｍ〕のそれぞれと、を電氣的に接続する。

【００７５】

なお、このとき、当該プラグと、電極ＤＮＫと、の電氣的な接続を容易にするため、電極ＤＮＫ〔１〕乃至電極ＤＮＫ〔ｍ〕のそれぞれの面積を大きくしてもよい。

【００７６】

このため、配線ＥＩＬ〔１〕乃至配線ＥＩＬ〔ｍ〕は、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕のそれぞれにおいて情報のセンシングが行われたときに、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕のそれぞれが出力する当該情報に応じた量の電流が流れる経路として機能する。

10

【００７７】

なお、層ＰＤＬは、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕のそれぞれが逐次的にセンシングを行って、電流を配線ＥＩＬ〔１〕乃至配線ＥＩＬ〔ｍ〕のそれぞれに順次流すことができる構成とすることが好ましい。この場合、例えば、層ＰＤＬを、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕を選択するための信号線を設けた構成として、信号線に順次信号などを送信してセンサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕を逐次的に動作するようにすればよい。

【００７８】

また、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕が、フォトダイオードなどによって構成されている光センサである場合、半導体装置ＳＤＶの層ＰＤＬは、例えば、電極ＤＮＫにフォトダイオードの出力端子（カソード）が電氣的に接続されている構成とすることができる。又は、別の半導体装置ＳＤＶの層ＰＤＬの構成例として、電極ＤＮＫにフォトダイオードの入力端子（アノード）が電氣的に接続されている構成としてもよい。

20

【００７９】

また、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕が、フォトダイオードなどによって構成されている光センサである場合、例えば、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕のうちのセンサＳＮＣのみに光が照射されるようなフィルタを用意することで、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕を逐次的に動作することができる。一のセンサＳＮＣのみに光が照射されるフィルタは、センサＳＮＣがｍ個であるため、ｍ種類となる。また、それらに加えて、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕のいずれにも光が照射されないフィルタを用意する場合、フィルタはｍ＋１種類となる。層ＰＤＬに光が照射されているとき、そのようなフィルタを順次切り替えることによって、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕が逐次的にセンシングを行うことができる。

30

【００８０】

また、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕が、フォトダイオードなどによって構成されている光センサである場合、例えば、半導体装置ＳＤＶはセンサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕のそれぞれに個別に光を照射する構成としてもよい。個別に光を照射する構成にすることで、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕のそれぞれに順次、光を照射して、センサＳＮＣ〔１〕乃至センサＳＮＣ〔ｍ〕が逐次的にセンシングを行うことができる。

40

【００８１】

層ＣＣＬは、演算回路を有する。また、当該演算回路は、一例として、セルアレイＣＡと、回路ＰＴＣと、回路ＸＣＳと、回路ＷＣＳと、回路ＷＳＤと、回路ＩＴＳと、回路ＳＷＳ１と、回路ＳＷＳ２と、を有する。

【００８２】

セルアレイＣＡは、複数のセルを有する。なお、詳しくは後述するが、セルアレイＣＡに含まれている複数のセルは、積和演算を行うための第１データを保持する機能、第１データと第２データとの乗算を行う機能などを有する。

【００８３】

50

また、セルアレイCAは、複数の配線と電氣的に接続されている。具体的には、例えば、図1では、セルアレイCAは、配線WCL[1]乃至配線WCL[n]（ここでのnは1以上の整数とする。）と、配線WSL[1]乃至配線WSL[m]と、配線XCL[1]乃至配線XCL[m]と、に電氣的に接続されている構成を示している。特に、配線WCL[1]乃至配線WCL[n]は、回路SWS1と回路SWS2との間を電氣的に接続する配線としている。つまり、回路SWS1は、配線WCL[1]乃至配線WCL[n]によって、セルアレイCAを介して、回路SWS2に電氣的に接続されているといふことができる。なお、図1において、配線WSL[1]乃至配線WSL[m]と、配線XCL[1]乃至配線XCL[m]と、は、x方向に延設されており、配線WCL[1]乃至配線WCL[n]は、y方向に延設されている。

10

【0084】

また、セルアレイCAの複数のセルの一は、配線WCL[1]乃至配線WCL[n]のいずれかと、配線WSL[1]乃至配線WSL[m]のいずれかと、配線XCL[1]乃至配線XCL[m]のいずれかと、のそれぞれに電氣的に接続されている。このため、セルアレイCAに含まれている複数のセルは、少なくともm行n列のマトリクス状に配置されている。

【0085】

回路WCSは、配線WCL[1]乃至配線WCL[n]に第1データに応じた量の電流を供給する機能を有する。そのため、回路WCSは、回路SWS1を介して、配線WCL[1]乃至配線WCL[n]のそれぞれに電氣的に接続されている。

20

【0086】

回路SWS1は、回路WCSと配線WCL[1]乃至配線WCL[n]それぞれとの間を導通状態又は非導通状態にする機能を有する。

【0087】

回路WSDは、配線WSL[1]乃至配線WSL[m]に電氣的に接続されている。回路WSDは、セルアレイCAに含まれているセルに第1データを書き込む際に、配線WSL[1]乃至配線WSL[m]に所定の信号を供給することで、第1データの書き込み先となるセルアレイCAの行を選択する機能を有する。つまり、配線WSL[1]乃至配線WSL[m]は、書き込みワード線として機能する。

【0088】

回路XCSは、配線XCL[1]乃至配線XCL[m]に電氣的に接続されている。回路XCSは、配線XCL[1]乃至配線XCL[m]に、後述する参照データに応じた量の電流、又は第2データに応じた量の電流を流す機能を有する。

30

【0089】

回路PTCは、回路PTR[1]乃至回路PTR[m]を有する。また、回路PTR[1]の第1端子は、配線XCL[1]に電氣的に接続され、回路PTR[i]の第1端子は、配線XCL[i]に電氣的に接続され、回路PTR[m]の第1端子は、配線XCL[m]に電氣的に接続されている。

【0090】

また、回路PTR[1]の第2端子は、層ERLの配線EIL[1]に電氣的に接続され、回路PTR[i]の第2端子は、層ERLの配線EIL[i]に電氣的に接続され、回路PTR[m]の第2端子は、層ERLの配線EIL[m]に電氣的に接続されている。

40

【0091】

具体的には、例えば、半導体装置SDVの上面視において、回路PTR[1]乃至回路PTR[m]のそれぞれの第2端子が、配線EIL[1]乃至配線EIL[m]のそれぞれと交差する箇所にプラグなどを設けて、回路PTR[1]乃至回路PTR[m]のそれぞれの第2端子と、配線EIL[1]乃至配線EIL[m]のそれぞれと、を電氣的に接続する。

【0092】

回路PTR[1]は、配線EIL[1]と配線XCL[1]との間を、導通状態又は非

50

導通状態にする機能を有する。同様に、回路PTR [i] は、配線EIL [i] と配線XCL [i] との間を、導通状態又は非導通状態にする機能を有し、回路PTR [m] は、配線EIL [m] と配線XCL [m] との間を、導通状態又は非導通状態にする機能を有する。つまり、回路PTR [1] 乃至回路PTR [m] のそれぞれはスイッチング素子としての機能を有する。

【0093】

回路ITSは、配線WCL [1] 乃至配線WCL [n] に流れる電流の量を取得して、その電流量に応じた結果を配線OL [1] 乃至配線OL [n] に出力する機能を有する。そのため、回路ITSは、回路SWS2を介して、配線WCL [1] 乃至配線WCL [n] のそれぞれに電氣的に接続されている。また、回路ITSは、配線OL [1] 乃至配線OL [n] のそれぞれに電氣的に接続されている。

10

【0094】

回路SWS2は、回路ITSと配線WCL [1] 乃至配線WCL [n] それぞれとの間を導通状態又は非導通状態にする機能を有する。

【0095】

なお、図1では、層CCLに、セルアレイCAの周辺回路として、回路PTCと、回路XCSと、回路WCSと、回路WSDと、回路ITSと、回路SWS1と、回路SWS2と、が設けられている構成を示したが、これらの周辺回路の全部、又は一部は、層CCL以外の層に設けられていてもよい。

【0096】

20

例えば、本発明の一態様の構成は、図3に示すとおり、層PDLと、層ERLと、層CCLと、層PHLと、有する半導体装置SDVとしてもよい。図3では、層PDLが層ERLの上方に位置し、層ERLが層CCLの上方に位置し、層CCLが層PHLの上方に位置している。図3の半導体装置SDVとは、層PHLを有する点と、セルアレイCAの周辺回路に相当する回路XCSと、回路WCSと、回路WSDと、回路ITSと、回路SWS1と、回路SWS2と、が層PHLに設けられている点と、で図1の半導体装置SDVと異なっている。セルアレイCAは、層CCLに設けられているため、回路XCSと、回路WCSと、回路WSDと、回路ITSと、回路SWS1と、回路SWS2と、はセルアレイCAの下方に位置する。本発明の一態様の構成は、図3に示すとおり、セルアレイCAがセルアレイCAの周辺回路に相当する回路XCSと、回路WCSと、回路WSDと、回路ITSと、回路SWS1と、回路SWS2と、の上方に位置する構成としてもよい。

30

【0097】

また、図3では、セルアレイCAの下方に層PHLが位置する構成を示したが、層PHLは、セルアレイCAの上方、かつ層ERLの下方に位置してもよい（図示しない）。

【0098】

ここで、本発明の一態様の半導体装置における、層ERLに含まれている配線EIL [1] 乃至配線EIL [m] の構成について説明する。

【0099】

図1乃至図3の層ERLにおいて、配線EIL [1] 乃至配線EIL [m] は、一例として、x方向に沿って延設されていることが好ましい。つまり、配線EIL [1] 乃至配線EIL [m] が延設される方向としては、例えば、y方向への視線において、配線XCL [1] 乃至配線XCL [m] と略平行となることが好ましく、平行であることがより好ましい。また、例えば、配線EIL [1] 乃至配線EIL [m] は、上面視において、層CCLに含まれる配線XCL [1] 乃至配線XCL [m] と略平行となることが好ましく、平行であることがより好ましい。つまり、配線EIL [1] 乃至配線EIL [m] は、上面視において、セルアレイCAの行方向（x方向）と略平行又は平行となるように、延設されていることが好ましい。なお、このとき、配線EIL [1] 乃至配線EIL [m] の配線の幅は、配線XCL [1] 乃至配線XCL [m] の配線の幅の0.7倍以上、0.8倍以上、又は0.9倍以上であることが好ましく、かつ1.1倍以下、1.2倍以下、1.3倍以下、1.5倍以下、又は2倍以下であることが好ましい。また、配線EIL [

40

50

1] 乃至配線 E I L [m] における隣り合う配線間の距離は、配線 X C L [1] 乃至配線 X C L [m] における隣り合う配線間の距離の 0.1 倍以上、0.5 倍以上、0.7 倍以上、0.8 倍以上、又は 0.9 倍以上であることが好ましく、かつ 1.1 倍以下、1.2 倍以下、1.3 倍以下、又は 1.5 倍以下であることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。

【0100】

また、配線 E I L [1] 乃至配線 E I L [m] と配線 X C L [1] 乃至配線 X C L [m] とのそれぞれが平行とする場合、配線 E I L [1] 乃至配線 E I L [m] を形成するプロセスは、配線 X C L [1] 乃至配線 X C L [m] を形成するプロセスと同様としてもよい。例えば、配線 E I L [1] 乃至配線 E I L [m] を形成するためのフォトマスクとしては、配線 X C L [1] 乃至配線 X C L [m] を形成するためのフォトマスクを適用してもよい。

【0101】

なお、上面視において、配線 X C L [1] 乃至配線 X C L [m] のそれぞれと、配線 E I L [1] 乃至配線 E I L [m] のそれぞれと、が平行でなくてもよい。例えば、図 4 は、半導体装置 S D V において、配線 X C L [1] 乃至配線 X C L [m] と配線 E I L [1] 乃至配線 E I L [m] との引き回しの一例を示した上面図（z 方向から見た図）であって、図 4 に示すとおり、上面視において、配線 X C L [1] 乃至配線 X C L [m] と、配線 E I L [1] 乃至配線 E I L [m] と、のなす角度が 0 度よりも大きいてもよい。つまり、配線 X C L [1] 乃至配線 X C L [m] と、配線 E I L [1] 乃至配線 E I L [m] と、のなす角度を 0 度以上にすることができると、配線 E I L [1] 乃至配線 E I L [m] のそれぞれと電氣的に接続されるセンサアレイ S C A の位置の自由度を高めることができる。なお、配線 E I L [1] 乃至配線 E I L [m] のそれぞれの配線の幅は有限の値をとるため、配線 X C L [1] 乃至配線 X C L [m] と、配線 E I L [1] 乃至配線 E I L [m] と、のなす角度を大きくすると、配線 E I L [1] 乃至配線 E I L [m] において隣り合う配線同士が接してしまうことがある。そのため、当該幅、当該角度は、配線 E I L [1] 乃至配線 E I L [m] において隣り合う配線同士が接しないように設定する必要がある。

【0102】

また、層 E R L は、配線 E I L [1] 乃至配線 E I L [m] の少なくとも 2 本の配線が平行となっている領域を有することが好ましく、配線 E I L [1] 乃至配線 E I L [m] のお互いの配線が平行となっている領域を有することがより好ましい。

【0103】

また、配線 E I L [1] 乃至配線 E I L [m] は、お互いの配線間で導通状態とならない（電流、信号などが流れない）設計であれば、配線 E I L [1] 乃至配線 E I L [m] の形状は特に限定されない。例えば、配線 E I L [1] 乃至配線 E I L [m] は、図 5 A に示すような、角度を有する配線、図 5 B に示すような曲線部分を有する配線などとしてもよい。また、配線 E I L [1] 乃至配線 E I L [m] は、図 5 A、及び図 5 B に示すような形状を組み合わせた配線としてもよい。また、配線 E I L [1] 乃至配線 E I L [m] は、お互いに平行でなくてもよい。また、配線 E I L [1] 乃至配線 E I L [m] の配線間隔は、例えば、配線 X C L [1] 乃至配線 X C L [m] と同じとすることが好ましい。

【0104】

配線 E I L [1] 乃至配線 E I L [m] を一方向に揃えることで、例えば、層 E R L の上方の層 P D L の形成する領域を当該一方向に沿って自由に決めることができる。具体的には、図 6 に示すとおり、層 P D L におけるセンサアレイ S C A は、層 E R L において配線 E I L [1] 乃至配線 E I L [m] が延設されている方向（図 6 において、黒矢印の方向）であれば、自由に配置を決めることができる。

【0105】

上述したとおり、図 1 乃至図 3 などに示した半導体装置 S D V を適用することによって、演算回路（層 C C L）を構成した半導体チップ上にセンサアレイ S C A の配置箇所をほ

10

20

30

40

50

ば自由に決めることができる。そのため、例えば、当該半導体チップの上面視における中心、又は中心近傍にセンサアレイ S C A を配置することができる。また、層 C C L に含まれている演算回路のレイアウトは、センサアレイ S C A の設置個所に依存しないため、当該演算回路、及びその周辺の配線等のレイアウトの自由度を高めることができる。

【0106】

＜演算回路の構成例＞

次に、図1に示した半導体装置 S D V において、層 C C L に含まれる各々の回路の具体的な構成例について説明する。

【0107】

図7は、正、又は“0”の第1データと、正、又は“0”の第2データと、の積和演算を行う演算回路の構成例を示しており、図1の層 C C L が有する演算回路とすることができる。図7に示す演算回路 M A C 1 は、各セルに保持した電位に応じた第1データと、入力された第2データと、の積和演算を行い、かつ当該積和演算の結果を用いて活性化関数の演算を行う回路である。なお、第1データ、及び第2データは、一例としては、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

【0108】

演算回路 M A C 1 は、図1の層 C C L と同様に、回路 W C S と、回路 X C S と、回路 W S D と、回路 P T C と、回路 S W S 1 と、回路 S W S 2 と、回路 I T S と、セルアレイ C A と、を有する。

【0109】

セルアレイ C A は、セル I M [1, 1] 乃至セル I M [m, n] と、セル I M r e f [1] 乃至セル I M r e f [m] と、を有する。セル I M [1, 1] 乃至セル I M [m, n] のそれぞれは、第1データに応じた電流量に相当する電位を保持する機能を有し、セル I M r e f [1] 乃至セル I M r e f [m] は、保持した電位と積和演算を行うために必要になる第2データに応じた電位を配線 X C L [1] 乃至配線 X C L [m] に供給する機能を有する。

【0110】

なお、図7のセルアレイ C A は、セルが m 行 n + 1 列のマトリクス状に配置されているが、セルアレイ C A は、セルが 1 行以上かつ 2 列以上、マトリクス状に配置されている構成であればよい。

【0111】

セル I M [1, 1] 乃至セル I M [m, n] のそれぞれは、一例として、トランジスタ F 1 と、トランジスタ F 2 と、容量 C 5 と、を有し、セル I M r e f [1] 乃至セル I M r e f [m] のそれぞれは、一例として、トランジスタ F 1 m と、トランジスタ F 2 m と、容量 C 5 m と、を有する。

【0112】

特に、セル I M [1, 1] 乃至セル I M [m, n] のそれぞれに含まれているトランジスタ F 1 のサイズ（例えば、チャネル長、チャネル幅、トランジスタの構成など）は互いに等しいことが好ましく、また、セル I M [1, 1] 乃至セル I M [m, n] のそれぞれに含まれているトランジスタ F 2 のサイズは互いに等しいことが好ましい。また、セル I M r e f [1] 乃至セル I M r e f [m] のそれぞれに含まれているトランジスタ F 1 m のサイズは互いに等しいことが好ましく、セル I M r e f [1] 乃至セル I M r e f [m] のそれぞれに含まれているトランジスタ F 2 m のサイズは互いに等しいことが好ましい。また、トランジスタ F 1 とトランジスタ F 1 m のサイズは互いに等しいことが好ましく、トランジスタ F 2 とトランジスタ F 2 m のサイズは互いに等しいことが好ましい。

【0113】

トランジスタのサイズを互いに等しくすることによって、それぞれのトランジスタの電気特性をほぼ等しくすることができる。そのため、セル I M [1, 1] 乃至セル I M [m, n] のそれぞれに含まれているトランジスタ F 1 のサイズを等しくし、セル I M [1, 1] 乃至セル I M [m, n] のそれぞれに含まれているトランジスタ F 2 のサイズを等し

くすることによって、セルIM [1, 1] 乃至セルIM [m, n] のそれぞれは、互いに同一の条件である場合において、ほぼ同じ動作を行うことができる。ここでの同一の条件とは、例えば、トランジスタF1のソース、ドレイン、ゲートなどの電位、トランジスタF2のソース、ドレイン、ゲートなどの電位、セルIM [1, 1] 乃至セルIM [m, n] のそれぞれに入力されている電圧などを指す。また、セルIMref [1] 乃至セルIMref [m] のそれぞれに含まれているトランジスタF1mのサイズを等しくし、セルIMref [1] 乃至セルIMref [m] のそれぞれに含まれているトランジスタF2mのサイズを等しくすることによって、例えば、セルIMref [1] 乃至セルIMref [m] は、動作、及び当該動作の結果をほぼ同一にすることができる。互いに同一の条件である場合において、ほぼ同じ動作を行うことができる。ここでの同一の条件とは、例えば、トランジスタF1mのソース、ドレイン、ゲートなどの電位、トランジスタF2mのソース、ドレイン、ゲートなどの電位、セルIMref [1] 乃至セルIMref [m] のそれぞれに入力されている電圧などを指す。

【0114】

なお、トランジスタF1及びトランジスタF1mは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタF1、トランジスタF1mは、オン状態のときは飽和領域で動作してもよく、また、線形領域で動作する場合と飽和領域で動作する場合とが混在してもよい。

【0115】

また、トランジスタF2及びトランジスタF2mは、特に断りの無い場合は、サブスレッショルド領域で動作する場合（つまり、トランジスタF2又はトランジスタF2mにおいて、ゲートソース間電圧がしきい値電圧よりも低い場合、より好ましくは、ドレイン電流がゲートソース間電圧に対して指数関数的に増大する場合）を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、サブスレッショルド領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。このため、トランジスタF2及びトランジスタF2mは、ソースドレイン間にオフ電流が流れるように動作する場合を含む。

【0116】

また、トランジスタF1、及び／又はトランジスタF1mは、一例として、OSトランジスタであることが好ましい。加えて、トランジスタF1、及び／又はトランジスタF1mのチャネル形成領域は、インジウム、ガリウム、亜鉛の少なくとも一を含む酸化物であることがより好ましい。また、当該酸化物の代わりとしては、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種などが挙げられる。）、亜鉛の少なくとも一を含む酸化物を用いてもよい。トランジスタF1、及び／又はトランジスタF1mは、特に実施の形態5に記載するトランジスタの構造であることが更に好ましい。

【0117】

トランジスタF1、及び／又はトランジスタF1mとして、OSトランジスタを用いることにより、トランジスタF1、及び／又はトランジスタF1mのリーク電流を抑えることができるため、演算回路の消費電力を低減することができる。具体的には、トランジスタF1、及び／又はトランジスタF1mが非導通状態である場合における、保持ノードから書き込みワード線へのリーク電流を非常に小さくすることができるため、保持ノードの電位のリフレッシュ動作を少なくすることができる。また、リフレッシュ動作を少なくすることによって、演算回路の消費電力を低減することができる。また、保持ノードから配線WCL、又は配線XCLへのリーク電流を非常に小さくすることによって、セルは保持

ノードの電位を長い時間保持できるため、演算回路の演算精度を高くすることができる。

【0118】

また、トランジスタF2、及び／又はトランジスタF2mに対しても、OSトランジスタを用いることにより、サブスレッショルド領域の広い電流範囲で動作させることができるため、消費電流を低減することができる。また、トランジスタF2、及び／又はトランジスタF2mに対しても、OSトランジスタを用いることで、トランジスタF1、トランジスタF1mと同時に作製することができるため、演算回路の作製工程を短縮することができる場合がある。また、トランジスタF2、及び／又はトランジスタF2mは、OSトランジスタ以外としては、チャンネル形成領域にシリコンを含むトランジスタ（以下、Siトランジスタと呼称する）とすることができる。シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンと呼称する場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることができる。

10

【0119】

ところで、半導体装置などをチップなどに高集積化した場合、当該チップには、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の変化、動作周波数の低下などが起こることがある。OSトランジスタは、Siトランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また動作周波数の低下も起こりにくい。さらに、OSトランジスタは、温度が高くなっても、ドレイン電流がゲートソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、OSトランジスタを用いることにより、高い温度環境下でも、演算、処理などを実施しやすい。そのため、駆動による発熱に強い半導体装置を構成する場合、トランジスタとしては、OSトランジスタを適用するのが好ましい。

20

【0120】

セルIM[1, 1]乃至セルIM[m, n]のそれぞれにおいて、トランジスタF1の第1端子は、トランジスタF2のゲートと電氣的に接続されている。トランジスタF2の第1端子は、配線VEと電氣的に接続されている。容量C5の第1端子は、トランジスタF2のゲートと電氣的に接続されている。

【0121】

また、セルIMref[1]乃至セルIMref[m]のそれぞれにおいて、トランジスタF1mの第1端子は、トランジスタF2mのゲートと電氣的に接続されている。トランジスタF2mの第1端子は、配線VEと電氣的に接続されている。容量C5mの第1端子は、トランジスタF2mのゲートと電氣的に接続されている。

30

【0122】

図7において、トランジスタF1、トランジスタF2、トランジスタF1m、及びトランジスタF2mには、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタF1のゲートとバックゲートとを電氣的に接続してもよいし、また、トランジスタF1mのゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、又は、そのトランジスタのオフ電流を小さくするために、そのトランジスタのバックゲートと外部回路などを電氣的に接続するための配線を設けて、当該外部回路などによってそのトランジスタのバックゲートに電位を与える構成としてもよい。

40

【0123】

また、図7に図示しているトランジスタF1、及びトランジスタF2は、バックゲートを有しているが、本発明の一態様の半導体装置は、これに限定されない。例えば、図7に図示しているトランジスタF1、及びトランジスタF2は、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のラン

50

ジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。

【0124】

また、図7に図示しているトランジスタF1、及びトランジスタF2は、nチャネル型トランジスタとしているが、本発明の一態様の半導体装置は、これに限定されない。例えば、トランジスタF1、及びトランジスタF2の一部、又は全部をpチャネル型トランジスタに置き換えてもよい。

【0125】

なお、上記のトランジスタの構造、極性に関する変更例は、トランジスタF1、及びトランジスタF2だけに限定されない。例えば、トランジスタF1m、トランジスタF2m、後述するトランジスタF3[1]乃至トランジスタF3[n]、トランジスタF4[1]乃至トランジスタF4[n]、更に、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

【0126】

配線VEは、セルIM[1, 1]、セルIM[m, 1]、セルIM[1, n]、及びセルIM[m, n]のそれぞれのトランジスタF2の第1端子ー第2端子間に電流を流すための配線であって、また、セルIMref[1]、及びセルIMref[m]のそれぞれのトランジスタF2の第1端子ー第2端子間に電流を流すための配線として機能する。一例としては、配線VEは、定電圧を供給する配線として機能する。当該定電圧としては、例えば、低レベル電位、接地電位などとすることができる。

【0127】

セルIM[1, 1]において、トランジスタF1の第2端子は、配線WCL[1]と電氣的に接続され、トランジスタF1のゲートは、配線WSL[1]と電氣的に接続されている。トランジスタF2の第2端子は、配線WCL[1]と電氣的に接続され、容量C5の第2端子は、配線XCL[1]と電氣的に接続されている。なお、図7では、セルIM[1, 1]において、トランジスタF1の第1端子と、トランジスタF2のゲートと、容量C5の第1端子と、の接続箇所をノードNN[1, 1]としている。

【0128】

セルIM[m, 1]において、トランジスタF1の第2端子は、配線WCL[1]と電氣的に接続され、トランジスタF1のゲートは、配線WSL[m]と電氣的に接続されている。トランジスタF2の第2端子は、配線WCL[1]と電氣的に接続され、容量C5の第2端子は、配線XCL[m]と電氣的に接続されている。なお、図7では、セルIM[m, 1]において、トランジスタF1の第1端子と、トランジスタF2のゲートと、容量C5の第1端子と、の接続箇所をノードNN[m, 1]としている。

【0129】

セルIM[1, n]において、トランジスタF1の第2端子は、配線WCL[n]と電氣的に接続され、トランジスタF1のゲートは、配線WSL[1]と電氣的に接続されている。トランジスタF2の第2端子は、配線WCL[n]と電氣的に接続され、容量C5の第2端子は、配線XCL[1]と電氣的に接続されている。なお、図7では、セルIM[1, n]において、トランジスタF1の第1端子と、トランジスタF2のゲートと、容量C5の第1端子と、の接続箇所をノードNN[1, n]としている。

【0130】

セルIM[m, n]において、トランジスタF1の第2端子は、配線WCL[n]と電氣的に接続され、トランジスタF1のゲートは、配線WSL[m]と電氣的に接続されている。トランジスタF2の第2端子は、配線WCL[n]と電氣的に接続され、容量C5の第2端子は、配線XCL[m]と電氣的に接続されている。なお、図7では、セルIM[m, n]において、トランジスタF1の第1端子と、トランジスタF2のゲートと、容量C5の第1端子と、の接続箇所をノードNN[m, n]としている。

【0131】

セルIMref[1]において、トランジスタF1mの第2端子は、配線XCL[1]

と電氣的に接続され、トランジスタF 1mのゲートは、配線WSL [1] と電氣的に接続されている。トランジスタF 2mの第2端子は、配線XCL [1] と電氣的に接続され、容量C 5の第2端子は、配線XCL [1] と電氣的に接続されている。なお、図7では、セルIMref [1] において、トランジスタF 1mの第1端子と、トランジスタF 2mのゲートと、容量C 5の第1端子と、の接続箇所をノードNNref [1] としている。

【0132】

セルIMref [m] において、トランジスタF 1mの第2端子は、配線XCL [m] と電氣的に接続され、トランジスタF 1mのゲートは、配線WSL [m] と電氣的に接続されている。トランジスタF 2mの第2端子は、配線XCL [m] と電氣的に接続され、容量C 5の第2端子は、配線XCL [m] と電氣的に接続されている。なお、図7では、セルIMref [m] において、トランジスタF 1mの第1端子と、トランジスタF 2mのゲートと、容量C 5の第1端子と、の接続箇所をノードNNref [m] としている。

【0133】

なお、ノードNN [1, 1] 乃至ノードNN [m, n]、及びノードNNref [1] 乃至ノードNNref [m] は、それぞれのセルの保持ノードとして機能する。

【0134】

セルIM [1, 1] 乃至セルIM [m, n] において、例えば、トランジスタF 1がオン状態となっているとき、トランジスタF 2はダイオード接続の構成となる。配線VEが与える定電圧を接地電位 (GND) として、トランジスタF 1がオン状態で、かつ配線WCLからトランジスタF 2の第2端子に電流量Iの電流が流れた時、トランジスタF 2のゲート (ノードNN) の電位は、電流量Iに応じて決まる。なお、トランジスタF 2の第2端子の電位は、トランジスタF 1がオン状態であるため、理想的には、トランジスタF 2のゲート (ノードNN) と等しくなる。ここで、トランジスタF 1をオフ状態にすることによって、トランジスタF 2のゲート (ノードNN) の電位は保持される。これにより、トランジスタF 2は、トランジスタF 2の第1端子の接地電位と、トランジスタF 2のゲート (ノードNN) の電位に応じた電流量Iの電流をトランジスタF 2のソースドレイン間に流すことができる。本明細書等では、このような動作を「セルIMのトランジスタF 2のソースドレイン間に流れる電流量をIに設定する (プログラミングする)」などと呼称する。

【0135】

回路PTCは、上述したとおり、回路PTR [1] 乃至回路PTR [m] を有する。更に、回路PTR [1] 乃至回路PTR [m] のそれぞれは、一例として、スイッチSA [1] 乃至スイッチSA [m] を有する。

【0136】

スイッチSA [1] 乃至スイッチSA [m] のそれぞれとしては、例えば、アナログスイッチ、トランジスタなどの電氣的なスイッチなどを適用することができる。なお、スイッチSA [1] 乃至スイッチSA [m] として、例えば、トランジスタを適用する場合、当該トランジスタは、トランジスタF 1、トランジスタF 2と同様の構造のトランジスタとすることができる。また、電氣的なスイッチ以外では、機械的なスイッチを適用してもよい。

【0137】

スイッチSA [1] の第1端子は、配線XCL [1] に電氣的に接続され、スイッチSA [1] の制御端子は、配線SWLAに電氣的に接続されている。また、図示していないが、スイッチSA [1] の第2端子は、一例として、図1の半導体装置SDVの層ERLの配線EIL [1] に電氣的に接続されている。同様に、スイッチSA [m] の第1端子は、配線XCL [m] に電氣的に接続され、スイッチSA [m] の制御端子は、配線SWLAに電氣的に接続されている。また、図示していないが、スイッチSA [m] の第2端子は、一例として、図1の半導体装置SDVの層ERLの配線EIL [m] に電氣的に接続されている。

【0138】

10

20

30

40

50

配線SWLAは、一例として、スイッチSA[1]乃至スイッチSA[m]のそれぞれのオン状態とオフ状態との切り替えを行うための配線として機能する。そのため、配線SWLAには、高レベル電位、又は低レベル電位が供給される。

【0139】

回路SWS1は、一例として、トランジスタF3[1]乃至トランジスタF3[n]を有する。トランジスタF3[1]の第1端子は、配線WCL[1]に電氣的に接続され、トランジスタF3[1]の第2端子は、回路WCSに電氣的に接続され、トランジスタF3[1]のゲートは、配線SWL1に電氣的に接続されている。トランジスタF3[n]の第1端子は、配線WCL[n]に電氣的に接続され、トランジスタF3[n]の第2端子は、回路WCSに電氣的に接続され、トランジスタF3[n]のゲートは、配線SWL1に電氣的に接続されている。

10

【0140】

配線SWL1は、一例として、トランジスタF3[1]乃至トランジスタF3[n]のそれぞれのオン状態とオフ状態との切り替えを行うための配線として機能する。そのため、配線SWL1には、高レベル電位、又は低レベル電位が供給される。

【0141】

トランジスタF3[1]乃至トランジスタF3[n]のそれぞれとしては、例えば、トランジスタF1、及び／又はトランジスタF2に適用できるトランジスタを用いることができる。特に、トランジスタF3[1]乃至トランジスタF3[n]のそれぞれとしては、OSトランジスタを用いることが好ましい。また、トランジスタF3[1]乃至トランジスタF3[n]のそれぞれの代わりとして、アナログスイッチなどの電氣的なスイッチ、機械的なスイッチなどを適用してもよい。

20

【0142】

上述したとおり、回路SWS1は、回路WCSと、配線WCL[1]乃至配線WCL[n]のそれぞれと、の間を、導通状態又は非導通状態にする回路として機能する。つまり、回路SWS1は、トランジスタF3[1]乃至トランジスタF3[n]をスイッチング素子として用いることで、回路WCSと配線WCL[1]乃至配線WCL[n]のそれぞれとの間の導通状態又は非導通状態の切り替えを行っている。

【0143】

回路SWS2は、一例として、トランジスタF4[1]乃至トランジスタF4[n]を有する。トランジスタF4[1]の第1端子は、配線WCL[1]に電氣的に接続され、トランジスタF4[1]の第2端子は、後述する変換回路ITRZ[1]の入力端子に電氣的に接続され、トランジスタF4[1]のゲートは、配線SWL2に電氣的に接続されている。トランジスタF4[n]の第1端子は、配線WCL[n]に電氣的に接続され、トランジスタF4[n]の第2端子は、後述する変換回路ITRZ[n]の入力端子に電氣的に接続され、トランジスタF4[n]のゲートは、配線SWL2に電氣的に接続されている。

30

【0144】

配線SWL2は、一例として、トランジスタF4[1]乃至トランジスタF4[n]のそれぞれのオン状態とオフ状態との切り替えを行うための配線として機能する。そのため、配線SWL2には、高レベル電位、又は低レベル電位が供給される。

40

【0145】

トランジスタF4[1]乃至トランジスタF4[n]のそれぞれとしては、例えば、トランジスタF1、及び／又はトランジスタF2に適用できるトランジスタを用いることができる。特に、トランジスタF4[1]乃至トランジスタF4[n]のそれぞれとしては、OSトランジスタを用いることが好ましい。また、トランジスタF4[1]乃至トランジスタF4[n]のそれぞれの代わりとして、アナログスイッチなどの電氣的なスイッチ、機械的なスイッチなどを適用してもよい。

【0146】

上述したとおり、回路SWS2は、配線WCL[1]乃至配線WCL[n]と回路IT

50

Sとの間を導通状態又は非導通状態にする機能を有する。つまり、回路SWS1は、トランジスタF4[1]乃至トランジスタF4[n]をスイッチング素子として用いることで、回路ITSと配線WCL[1]乃至配線WCL[n]のそれぞれとの間の導通状態又は非導通状態の切り替えを行っている。

【0147】

回路WCSは、上述したとおり、配線WCL[1]乃至配線WCL[n]に第1データに応じた量の電流を供給する機能を有する。つまり、回路WCSは、トランジスタF3[1]乃至トランジスタF3[n]がオン状態のときに、セルアレイCAが有するそれぞれのセルに格納するための第1データを供給する。

【0148】

回路XCSは、上述したとおり、配線XCL[1]乃至配線XCL[m]に後述する参照データに応じた量の電流、又は第2データに応じた量の電流を流す機能を有する。つまり、図7の演算回路MAC1において、回路XCSは、セルアレイCAが有するセルIMref[1]乃至セルIMref[m]のそれぞれに対して、当該参照データに応じた量の電流、又は第2データに応じた量の電流を流す。

【0149】

回路WSDは、上述したとおり、セルIM[1, 1]乃至セルIM[m, n]に第1データを書き込む際に、配線WSL[1]乃至配線WSL[m]に所定の信号を供給することによって、第1データを書き込み先となるセルアレイCAの行を選択する機能を有する。例えば、回路WSDが、配線WSL[1]に高レベル電位を供給し、配線WSL[2] (図示しない) 乃至配線WSL[m]に低レベル電位を供給することで、配線WSL[1]に電氣的に接続されているゲートを有するトランジスタF1をオン状態にし、配線WSL[2]乃至配線WSL[m]のそれぞれに電氣的に接続されているゲートを有するトランジスタF1をオフ状態にすることができる。

【0150】

また、図7の演算回路MAC1において、回路WSDは、一例として、配線SWL1と、配線SWL2と、に電氣的に接続されている。回路WSDは、配線SWL1に所定の信号を供給することによって、回路WCSとセルアレイCAとの間を導通状態又は非導通状態にする機能と、配線SWL2に所定の信号を供給することによって、後述する変換回路ITRZ[1]乃至変換回路ITRZ[n]とセルアレイCAとの間を導通状態又は非導通状態にする機能と、を有する。

【0151】

回路ITSは、変換回路ITRZ[1]乃至変換回路ITRZ[n]を有する。

【0152】

変換回路ITRZ[1]乃至変換回路ITRZ[n]のそれぞれは、一例として、入力端子と、出力端子と、を有する。例えば、変換回路ITRZ[1]の出力端子は、配線OL[1]に電氣的に接続され、変換回路ITRZ[n]の出力端子は、配線OL[n]に電氣的に接続されている。

【0153】

変換回路ITRZ[1]乃至変換回路ITRZ[n]のそれぞれは、入力端子に入力された電流量に応じた電圧に変換して、出力端子から出力する機能を有する。当該電圧としては、例えば、アナログ電圧、デジタル電圧などとすることができる。また、変換回路ITRZ[1]乃至変換回路ITRZ[n]のそれぞれは、関数系の演算回路を有してもよい。この場合、例えば、変換された電圧を用いて、当該演算回路によって関数の演算を行って、演算の結果を配線OL[1]乃至配線OL[n]に出力してもよい。

【0154】

特に、階層型のニューラルネットワークの演算を行う場合、上述した関数としては、例えば、シグモイド関数、tanh関数、ソフトマックス関数、ReLU関数、しきい値関数などを用いることができる。

【0155】

10

20

30

40

50

<<回路WCS、回路XCS>>

ここでは、回路WCS、及び回路XCSの具体例について説明する。

【0156】

初めに、回路WCSについて説明する。図8Aは、回路WCSの一例を示したブロック図である。なお、図8Aには、回路WCSの周辺の回路との電氣的な接続を示すため、回路SWS1、トランジスタF3、配線SWL1、配線WCLも図示している。

【0157】

回路WCSは、例えば、配線WCLの数だけ回路WCSaを有する。つまり、回路WCSは、回路WCSaをn個有する。

【0158】

また、回路SWS1も配線WCLの数だけトランジスタF3を有するものとする。つまり、回路SWS1もトランジスタF3をn個有する。

【0159】

このため、図8Aに示すトランジスタF3は、図7の演算回路MAC1に含まれているトランジスタF3[1]乃至トランジスタF3[n]のいずれかーとすることができる。また、同様に、配線WCLは、図7の演算回路MAC1に含まれている配線WCL[1]乃至配線WCL[n]のいずれかーとすることができる。

【0160】

したがって、配線WCL[1]乃至配線WCL[n]のそれぞれには、別々のトランジスタF3を介して、別々の回路WCSaが電氣的に接続されている。

【0161】

図8Aに示す回路WCSaは、一例として、スイッチSWWを有する。スイッチSWWの第1端子は、トランジスタF3の第2端子に電氣的に接続され、スイッチSWWの第2端子は、配線VINIL1に電氣的に接続されている。配線VINIL1は、配線WCLに初期化用の電位を与える配線として機能し、初期化用の電位としては、接地電位(GND)、低レベル電位、高レベル電位などとすることができる。なお、スイッチSWWは、配線WCLに初期化用の電位を与えるときのみオン状態となり、それ以外のときはオフ状態となるものとする。

【0162】

スイッチSWWとしては、例えば、アナログスイッチ、トランジスタなどの電氣的なスイッチなどを適用することができる。なお、スイッチSWWとして、例えば、トランジスタを適用する場合、当該トランジスタは、トランジスタF1、トランジスタF2と同様の構造のトランジスタとすることができる。また、電氣的なスイッチ以外では、機械的なスイッチを適用してもよい。

【0163】

また、図8Aの回路WCSaは、一例として、複数の電流源CSを有する。具体的には、回路WCSaはKビット(2^K 値)(Kは1以上の整数)の第1データを電流量として出力する機能を有し、この場合、回路WCSaは、 $2^K - 1$ 個の電流源CSを有する。なお、回路WCSaは、1ビット目の値に相当する情報を電流として出力する電流源CSを1個有し、2ビット目の値に相当する情報を電流として出力する電流源CSを2個有し、Kビット目の値に相当する情報を電流として出力する電流源CSを 2^{K-1} 個有している。

【0164】

図8Aにおいて、それぞれの電流源CSは、端子T1と、端子T2と、を有する。それぞれの電流源CSの端子T1は、回路SWS1が有するトランジスタF3の第2端子に電氣的に接続されている。また、1個の電流源CSの端子T2は配線DW[1]に電氣的に接続され、2個の電流源CSの端子T2のそれぞれは配線DW[2]に電氣的に接続され、 2^{K-1} 個の電流源CSの端子T2のそれぞれは配線DW[K]に電氣的に接続されている。

【0165】

回路WCSaが有する複数の電流源CSは、それぞれ同一の定電流 I_{Wut} を端子T1か

10

20

30

40

50

ら出力する機能を有する。なお、実際には、演算回路MAC1の作製段階において、それぞれの電流源CSに含まれているトランジスタの電気特性のバラツキによって誤差が現れることがある。そのため、複数の電流源CSの端子T1のそれぞれから出力される定電流 I_{Wut} の誤差は10%以内が好ましく、5%以内であることがより好ましく、1%以内であることがより好ましい。なお、本実施の形態では、回路WCsaに含まれている複数の電流源CSの端子T1から出力される定電流 I_{Wut} の誤差は無いものとして説明する。

【0166】

配線DW[1]乃至配線DW[K]は、電氣的に接続されている電流源CSから定電流 I_{Wut} を出力するための制御信号を送信する配線として機能する。具体的には、例えば、配線DW[1]に高レベル電位が与えられているとき、配線DW[1]に電氣的に接続されている電流源CSは、定電流として I_{Wut} をトランジスタF3の第2端子に流し、また、配線DW[1]に低レベル電位が与えられているとき、配線DW[1]に電氣的に接続されている電流源CSは、 I_{Wut} を出力しない。また、例えば、配線DW[2]に高レベル電位が与えられているとき、配線DW[2]に電氣的に接続されている2個の電流源CSは、合計 $2I_{Wut}$ の定電流をトランジスタF3の第2端子に流し、また、配線DW[2]に低レベル電位が与えられているとき、配線DW[2]に電氣的に接続されている電流源CSは、合計 $2I_{Wut}$ の定電流を出力しない。また、例えば、配線DW[K]に高レベル電位が与えられているとき、配線DW[K]に電氣的に接続されている 2^{K-1} 個の電流源CSは、合計 $2^{K-1}I_{Wut}$ の定電流をトランジスタF3の第2端子に流し、また、配線DW[K]に低レベル電位が与えられているとき、配線DW[K]に電氣的に接続されている電流源CSは、合計 $2^{K-1}I_{Wut}$ の定電流を出力しない。

【0167】

配線DW[1]に電氣的に接続されている1個の電流源CSが流す電流は、1ビット目の値に相当し、配線DW[2]に電氣的に接続されている2個の電流源CSが流す電流は、2ビット目の値に相当し、配線DW[K]に電氣的に接続されているK個の電流源CSが流す電流量は、Kビット目の値に相当する。ここで、Kを2とした場合の回路WCsaを考える。例えば、1ビット目の値が“1”、2ビット目の値が“0”とき、配線DW[1]には高レベル電位が与えられ、配線DW[2]には低レベル電位が与えられる。このとき、回路WCsaから、回路SWS1のトランジスタF3の第2端子に定電流として I_{Wut} が流れる。また、例えば、1ビット目の値が“0”、2ビット目の値が“1”のとき、配線DW[1]には低レベル電位が与えられ、配線DW[2]には高レベル電位が与えられる。このとき、回路WCsaから、回路SWS1のトランジスタF3の第2端子に定電流として $2I_{Wut}$ が流れる。また、例えば、1ビット目の値が“1”、2ビット目の値が“1”のとき、配線DW[1]及び配線DW[2]には高レベル電位が与えられる。このとき、回路WCsaから、回路SWS1のトランジスタF3の第2端子に定電流として $3I_{Wut}$ が流れる。また、例えば、1ビット目の値が“0”、2ビット目の値が“0”のとき、配線DW[1]及び配線DW[2]には低レベル電位が与えられる。このとき、回路WCsaから、回路SWS1のトランジスタF3の第2端子に定電流は流れない。

【0168】

なお、図8AではKが3以上の整数である場合の回路WCsaを図示しているが、Kが1である場合は、図8Aの回路WCsaを、配線DW[2]乃至配線DW[K]に電氣的に接続されている電流源CSを設けない構成にすればよい。また、Kが2である場合は、図8Aの回路WCsaを、配線DW[3]乃至配線DW[K]に電氣的に接続されている電流源CSを設けない構成にすればよい。

【0169】

次に、電流源CSの具体的な構成例について説明する。

【0170】

図9Aに示す電流源CS1は、図8Aの回路WCsaに含まれる電流源CSに適用できる回路であって、電流源CS1は、トランジスタTr1と、トランジスタTr2と、を有する。

【0171】

トランジスタ T_{r1} の第1端子は、配線 $VDDL$ に電氣的に接続され、トランジスタ T_{r1} の第2端子は、トランジスタ T_{r1} のゲートと、トランジスタ T_{r1} のバックゲートと、トランジスタ T_{r2} の第1端子と、に電氣的に接続されている。トランジスタ T_{r2} の第2端子は、端子 $T1$ に電氣的に接続され、トランジスタ T_{r2} のゲートは、端子 $T2$ に電氣的に接続されている。また、端子 $T2$ は、配線 DW に電氣的に接続されている。

【0172】

配線 DW は、図8Aの配線 $DW[1]$ 乃至配線 $DW[n]$ のいずれかである。

【0173】

配線 $VDDL$ は、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位とすることができる。

【0174】

配線 $VDDL$ が与える定電圧を高レベル電位としたとき、トランジスタ T_{r1} の第1端子には高レベル電位が入力される。また、トランジスタ T_{r1} の第2端子の電位は、当該高レベル電位よりも低い電位とする。このとき、トランジスタ T_{r1} の第1端子はドレインとして機能し、トランジスタ T_{r1} の第2端子はソースとして機能する。また、トランジスタ T_{r1} のゲートと、トランジスタ T_{r1} の第2端子と、は、電氣的に接続されているため、トランジスタ T_{r1} のゲートーソース間電圧は $0V$ となる。このため、トランジスタ T_{r1} のしきい値電圧が適切な範囲内である場合、トランジスタ T_{r1} の第1端子ー第2端子間には、サブスレッショルド領域の電流範囲の電流（ドレイン電流）が流れる。当該電流の量としては、トランジスタ T_{r1} が OS トランジスタである場合、例えば、 $1.0 \times 10^{-8} A$ 以下であることが好ましく、また、 $1.0 \times 10^{-12} A$ 以下であることがより好ましく、また、 $1.0 \times 10^{-15} A$ 以下であることがより好ましい。また、例えば、当該電流はゲートーソース間電圧に対して指数関数的に増大する範囲内であることがより好ましい。つまり、トランジスタ T_{r1} は、サブスレッショルド領域で動作するときの電流範囲の電流を流すための電流源として機能する。なお、当該電流は上述した I_{Wut} 、又は後述する I_{Xut} に相当する。

【0175】

トランジスタ T_{r2} は、スイッチング素子として機能する。ところで、トランジスタ T_{r2} の第1端子の電位がトランジスタ T_{r2} の第2端子の電位よりも高い場合、トランジスタ T_{r2} の第1端子はドレインとして機能し、トランジスタ T_{r2} の第2端子はソースとして機能する。また、トランジスタ T_{r2} のバックゲートと、トランジスタ T_{r2} の第2端子と、は、電氣的に接続されているため、バックゲートーソース間電圧は $0V$ となる。このため、トランジスタ T_{r2} のしきい値電圧が適切な範囲内である場合、トランジスタ T_{r2} のゲートに高レベル電位が入力されることで、トランジスタ T_{r2} はオン状態となるものとし、トランジスタ T_{r2} のゲートに低レベル電位が入力されることで、トランジスタ T_{r2} はオフ状態となるものとする。具体的には、トランジスタ T_{r2} がオン状態のとき、上述したサブスレッショルド領域の電流範囲の電流がトランジスタ T_{r1} の第2端子から端子 $T1$ に流れ、トランジスタ T_{r2} がオフ状態のとき、当該電流はトランジスタ T_{r1} の第2端子から端子 $T1$ に流れないものとする。

【0176】

なお、図8Aの回路 $WCsa$ に含まれる電流源 CS に適用できる回路は、図9Aの電流源 $CS1$ に限定されない。例えば、電流源 $CS1$ は、トランジスタ T_{r2} のバックゲートとトランジスタ T_{r2} の第2端子とが電氣的に接続されている構成となっているが、トランジスタ T_{r2} のバックゲートは別の配線に電氣的に接続されている構成としてもよい。このような構成例を図9Bに示す。図9Bに示す電流源 $CS2$ は、トランジスタ T_{r2} のバックゲートが配線 $VTHL$ に電氣的に接続されている構成となっている。電流源 $CS2$ は、配線 $VTHL$ が外部回路などと電氣的に接続されることで、当該外部回路などによって配線 $VTHL$ に所定の電位を与えて、トランジスタ T_{r2} のバックゲートに当該所定の電位を与えることができる。これにより、トランジスタ T_{r2} のしきい値電圧を変動させ

10

20

30

40

50

ることができる。特に、トランジスタ T_{r2} のしきい値電圧を高くすることによって、トランジスタ T_{r2} のオフ電流を小さくすることができる。

【0177】

また、例えば、電流源 C_{S1} は、トランジスタ T_{r1} のバックゲートとトランジスタ T_{r1} の第2端子とが電氣的に接続されている構成となっているが、トランジスタ T_{r2} のバックゲートと第2端子との間は容量によって電圧を保持する構成としてもよい。このような構成例を図9Cに示す。図9Cに示す電流源 C_{S3} は、トランジスタ T_{r1} 、及びトランジスタ T_{r2} に加えて、トランジスタ T_{r3} と、容量 C_6 と、を有する。電流源 C_{S3} は、トランジスタ T_{r1} の第2端子とトランジスタ T_{r1} のバックゲートとが容量 C_6 を介して電氣的に接続されている点と、トランジスタ T_{r1} のバックゲートとトランジスタ T_{r3} の第1端子とが電氣的に接続されている点で電流源 C_{S1} と異なる。また、電流源 C_{S3} は、トランジスタ T_{r3} の第2端子が配線 V_{TL} に電氣的に接続され、トランジスタ T_{r3} のゲートが配線 V_{WL} に電氣的に接続されている構成となっている。電流源 C_{S3} は、配線 V_{WL} に高レベル電位を与えて、トランジスタ T_{r3} をオン状態にすることによって、配線 V_{TL} とトランジスタ T_{r1} のバックゲートとの間を導通状態にすることができる。このとき、配線 V_{TL} からトランジスタ T_{r1} のバックゲートに所定の電位を入力することができる。そして、配線 V_{WL} に低レベル電位を与えて、トランジスタ T_{r3} をオフ状態にすることによって、容量 C_6 により、トランジスタ T_{r1} の第2端子とトランジスタ T_{r1} のバックゲートとの間の電圧を保持することができる。つまり、配線 V_{TL} がトランジスタ T_{r1} のバックゲートに与える電圧を定めることによって、トランジスタ T_{r1} のしきい値電圧を変動させることができ、かつトランジスタ T_{r3} と容量 C_6 とによって、トランジスタ T_{r1} のしきい値電圧を固定することができる。

【0178】

また、例えば、図8Aの回路 WC_{Sa} に含まれる電流源 C_S に適用できる回路としては、図9Dに示す電流源 C_{S4} としてもよい。電流源 C_{S4} は、図9Cの電流源 C_{S3} において、トランジスタ T_{r2} のバックゲートをトランジスタ T_{r2} の第2端子でなく、配線 V_{THL} に電氣的に接続した構成となっている。つまり、電流源 C_{S4} は、図9Bの電流源 C_{S2} と同様に、配線 V_{THL} が与える電位によって、トランジスタ T_{r2} のしきい値電圧を変動させることができる。

【0179】

電流源 C_{S4} において、トランジスタ T_{r1} の第1端子－第2端子間に大きな電流が流れる場合、端子 T_1 から電流源 C_{S4} の外部に当該電流を流すために、トランジスタ T_{r2} のオン電流を大きくする必要がある。この場合、電流源 C_{S4} は、配線 V_{THL} に高レベル電位を与えて、トランジスタ T_{r2} のしきい値電圧を低くして、トランジスタ T_{r2} のオン電流を高くすることによって、トランジスタ T_{r1} の第1端子－第2端子間に流れる大きな電流を、端子 T_1 から電流源 C_{S4} の外部に流すことができる。

【0180】

図8Aの回路 WC_{Sa} に含まれる電流源 C_S として、図9A乃至図9Dに示した電流源 C_{S1} 乃至電流源 C_{S4} を適用することによって、回路 WC_{Sa} は、 K ビットの第1データに応じた電流を出力することができる。また、当該電流の量は、例えば、トランジスタ F_1 がサブスレッショルド領域で動作する範囲内における第1端子－第2端子間に流れる電流量とすることができる。

【0181】

また、図8Aの回路 WC_{Sa} としては、図8Bに示す回路 WC_{Sa} を適用してもよい。図8Bの回路 WC_{Sa} は、配線 $DW[1]$ 乃至配線 $DW[K]$ のそれぞれに、図9Aの電流源 C_S が1つずつ接続された構成となっている。また、トランジスタ $T_{r1}[1]$ のチャネル幅を $w[1]$ 、トランジスタ $T_{r1}[2]$ のチャネル幅を $w[2]$ 、トランジスタ $T_{r1}[K]$ のチャネル幅を $w[K]$ としたとき、それぞれのチャネル幅の比は、 $w[1] : w[2] : w[K] = 1 : 2 : 2^{K-1}$ となっている。サブスレッショルド領域で動作するトランジスタのソースドレイン間に流れる電流は、チャネル幅に比例するため、図

8 Bに示す回路WCS aは、図8 Aの回路WCS aと同様に、Kビットの第1データに応じた電流を出力することができる。

【0182】

なお、トランジスタTr1（トランジスタTr1[1]乃至トランジスタTr1[K]を含む）、トランジスタTr2（トランジスタTr2[1]乃至トランジスタTr2[K]を含む）、及びトランジスタTr3は、例えば、トランジスタF1、及び／又はトランジスタF2に適用できるトランジスタを用いることができる。特に、トランジスタTr1（トランジスタTr1[1]乃至トランジスタTr1[K]を含む）、トランジスタTr2（トランジスタTr2[1]乃至トランジスタTr2[K]を含む）、及びトランジスタTr3としては、OSトランジスタを用いることが好ましい。

10

【0183】

次に、回路XCSの具体例について説明する。

【0184】

図8 Cは、回路XCSの一例を示したブロック図である。なお、図8 Cには、回路XCSの周辺の回路との電氣的な接続を示すため、配線XCLも図示している。

【0185】

回路XCSは、例えば、配線XCLの数だけ回路XCS aを有する。つまり、回路XCSは、回路XCS aをm個有する。

【0186】

このため、図8 Cに示す配線XCLは、図7の演算回路MAC1に含まれている配線XCL[1]乃至配線XCL[m]のいずれか一とすることができる。したがって、配線XCL[1]乃至配線XCL[m]のそれぞれには、別々の回路XCS aが電氣的に接続されている。

20

【0187】

図8 Cに示す回路XCS aは、一例として、スイッチSWXを有する。スイッチSWXの第1端子は、トランジスタF4の第2端子に電氣的に接続され、スイッチSWXの第2端子は、配線VINIL2に電氣的に接続されている。配線VINIL2は、配線XCLに初期化用の電位を与える配線として機能し、初期化用の電位としては、接地電位（GND）、低レベル電位、高レベル電位などとすることができる。また、配線VINIL2が与える初期化用の電位は、配線VINIL1が与える電位と等しくしてもよい。なお、スイッチSWXは、配線XCLに初期化用の電位を与えするときのみオン状態となり、それ以外のときはオフ状態となるものとする。

30

【0188】

スイッチSWXとしては、例えば、スイッチSWWに適用できるスイッチとすることができる。

【0189】

また、図8 Cの回路XCS aの回路構成は、図9 Aの回路WCS aとほぼ同様の構成にすることができる。具体的には、回路XCS aは、参照データを電流量として出力する機能と、Lビット（ 2^L 値）（Lは1以上の整数）の第2データを電流量として出力する機能と、を有し、この場合、回路XCS aは、 $2^L - 1$ 個の電流源CSを有する。なお、回路XCS aは、1ビット目の値に相当する情報を電流として出力する電流源CSを1個有し、2ビット目の値に相当する情報を電流として出力する電流源CSを2個有し、Lビット目の値に相当する情報を電流として出力する電流源CSを 2^{L-1} 個有している。

40

【0190】

ところで、回路XCS aが電流として出力する参照データとしては、例えば、1ビット目の値が“1”、2ビット目以降の値が“0”の情報とすることができる。

【0191】

図8 Cにおいて、1個の電流源CSの端子T2は配線DX[1]に電氣的に接続され、2個の電流源CSの端子T2のそれぞれは配線DX[2]に電氣的に接続され、 2^{L-1} 個の電流源CSの端子T2のそれぞれは配線DX[L]に電氣的に接続されている。

50

【0192】

回路XC Saが有する複数の電流源CSは、それぞれ同一の定電流として I_{xut} を端子T1から出力する機能を有する。また、配線DX[1]乃至配線DX[L]は、電氣的に接続されている電流源CSから I_{xut} を出力するための制御信号を送信する配線として機能する。つまり、回路XC Saは、配線DX[1]乃至配線DX[L]から送られるLビットの情報に応じた電流量を、配線XCLに流す機能を有する。

【0193】

具体的には、ここで、Lを2とした場合の回路XC Saを考える。例えば、1ビット目の値が“1”、2ビット目の値が“0”とき、配線DX[1]には高レベル電位が与えられ、配線DX[2]には低レベル電位が与えられる。このとき、回路XC Saから、配線XCLに定電流として I_{xut} が流れる。また、例えば、1ビット目の値が“0”、2ビット目の値が“1”のとき、配線DX[1]には低レベル電位が与えられ、配線DX[2]には高レベル電位が与えられる。このとき、回路XC Saから、配線XCLに定電流として $2I_{xut}$ が流れる。また、例えば、1ビット目の値が“1”、2ビット目の値が“1”のとき、配線DX[1]及び配線DX[2]には高レベル電位が与えられる。このとき、回路XC Saから、配線XCLに定電流として $3I_{xut}$ が流れる。また、例えば、1ビット目の値が“0”、2ビット目の値が“0”のとき、配線DX[1]及び配線DX[2]には低レベル電位が与えられる。このとき、回路XC Saから、配線XCLに定電流は流れない。なお、このとき、本明細書などにおいて、回路XC Saから配線XCLに電流量ゼロの電流が流れると言い換える場合がある。また、回路XC Saが出力する電流量ゼロ、 I_{xut} 、 $2I_{xut}$ 、 $3I_{xut}$ などは、回路XC Saが出力する第2データとすることができ、特に、回路XC Saが出力する電流量 I_{xut} は、回路XC Saが出力する参照データとすることができる。

【0194】

なお、回路XC Saが有する、それぞれの電流源CSに含まれているトランジスタの電気特性のバラツキによって誤差が生じている場合、複数の電流源CSの端子T1のそれぞれから出力される定電流 I_{xut} の誤差は10%以内が好ましく、5%以内であることがより好ましく、1%以内であることがより好ましい。なお、本実施の形態では、回路XC Saに含まれている複数の電流源CSの端子T1から出力される定電流 I_{xut} の誤差は無いものとして説明する。

【0195】

また、回路XC Saの電流源CSとしては、回路WC Saの電流源CSと同様に、図9A乃至図9Dの電流源CS1乃至電流源CS4のいずれかを適用することができる。この場合、図9A乃至図9Cに図示している配線DWを配線DXに置き換えればよい。これにより、回路XC Saは、参照データ、又はLビットの第2データとして、サブスレッショルド領域の電流範囲の電流を配線XCLに流すことができる。

【0196】

また、図8Cの回路XC Saとしては、図8Bに示す回路WC Saと同様の回路構成を適用することができる。この場合、図8Bに示す回路WC Saを回路XC Saに置き換え、配線DW[1]を配線DX[1]に置き換え、配線DW[2]を配線DX[2]に置き換え、配線DW[K]を配線DX[L]に置き換え、スイッチSWWをスイッチSWXに置き換え、配線VINIL1を配線VINIL2に置き換えて考えればよい。

【0197】

<<変換回路ITRZ[1]乃至変換回路ITRZ[n]>>

ここでは、図7に示す回路ITSに含まれる変換回路ITRZ[1]乃至変換回路ITRZ[n]に適用できる回路の具体例について説明する。

【0198】

図10Aに示す変換回路ITRZ1は、図7の変換回路ITRZ[1]乃至変換回路ITRZ[n]に適用できる回路の一例である。なお、図10Aには、変換回路ITRZ1の周辺の回路との電氣的な接続を示すため、回路SWS2、配線WCL、配線SWL2、

トランジスタ F 4 も図示している。また、配線 W C L は、図 7 の演算回路 M A C 1 に含まれている配線 W C L [1] 乃至配線 W C L [n] のいずれかであり、トランジスタ F 4 は、図 7 の演算回路 M A C 1 に含まれているトランジスタ F 4 [1] 乃至トランジスタ F 4 [n] のいずれかである。

【 0 1 9 9 】

図 1 0 A の変換回路 I T R Z 1 は、トランジスタ F 4 を介して配線 W C L に電氣的に接続されている。また、変換回路 I T R Z 1 は、配線 O L に電氣的に接続されている。変換回路 I T R Z 1 は、変換回路 I T R Z 1 から配線 W C L に流れる電流量、又は配線 W C L から変換回路 I T R Z 1 に流れる電流量をアナログ電圧に変換して、配線 O L に当該アナログ電圧を出力する機能を有する。つまり、変換回路 I T R Z 1 は、電流電圧変換回路を有する。

10

【 0 2 0 0 】

図 1 0 A の変換回路 I T R Z 1 は、一例として、抵抗 R 5 と、オペアンプ O P 1 と、を有する。

【 0 2 0 1 】

オペアンプ O P 1 の反転入力端子は、抵抗 R 5 の第 1 端子と、トランジスタ F 4 の第 2 端子と、に電氣的に接続されている。オペアンプ O P 1 の非反転入力端子は、配線 V R L に電氣的に接続されている。オペアンプ O P 1 の出力端子は、抵抗 R 5 の第 2 端子と、配線 O L に電氣的に接続されている。

【 0 2 0 2 】

配線 V R L は、定電圧を与える配線として機能する。当該定電圧としては、例えば、接地電位 (G N D) 、低レベル電位などとすることができる。

20

【 0 2 0 3 】

変換回路 I T R Z 1 は、図 1 0 A の構成にすることによって、配線 W C L から、トランジスタ F 4 を介して、変換回路 I T R Z 1 に流れる電流量、又は、変換回路 I T R Z 1 から、トランジスタ F 4 を介して、配線 W C L に流れる電流量を、アナログ電圧に変換して配線 O L に出力することができる。

【 0 2 0 4 】

特に、配線 V R L が与える定電圧を接地電位 (G N D) とすることによって、オペアンプ O P 1 の反転入力端子は仮想接地となるため、配線 O L に出力されるアナログ電圧は接地電位 (G N D) を基準とした電圧とすることができる。

30

【 0 2 0 5 】

また、図 1 0 A の変換回路 I T R Z 1 は、アナログ電圧を出力する構成となっているが、図 7 の変換回路 I T R Z [1] 乃至変換回路 I T R Z [n] に適用できる回路構成は、これに限定されない。例えば、変換回路 I T R Z 1 は、図 1 0 B に示すとおり、アナログデジタル変換回路 A D C を有する構成としてもよい。具体的には、図 1 0 B の変換回路 I T R Z 2 は、アナログデジタル変換回路 A D C の入力端子がオペアンプ O P 1 の出力端子と、抵抗 R 5 の第 2 端子と、に電氣的に接続され、アナログデジタル変換回路 A D C の出力端子が配線 O L に電氣的に接続されている構成となっている。このような構成にすることによって、図 1 0 B の変換回路 I T R Z 2 は、配線 O L にデジタル信号を出力することができる。

40

【 0 2 0 6 】

また、変換回路 I T R Z 2 において、配線 O L に出力されるデジタル信号を 1 ビット (2 値) とする場合、変換回路 I T R Z 2 は、図 1 0 C に示す変換回路 I T R Z 3 に置き換えてもよい。図 1 0 C の変換回路 I T R Z 3 は、図 1 0 A の変換回路 I T R Z 1 にコンパレータ C M P 1 を設けた構成となっている。具体的には、変換回路 I T R Z 3 は、コンパレータ C M P 1 の第 1 入力端子がオペアンプ O P 1 の出力端子と、抵抗 R 5 の第 2 端子と、に電氣的に接続され、コンパレータ C M P 1 の第 2 入力端子が配線 V R L 2 に電氣的に接続され、コンパレータ C M P 1 の出力端子が配線 O L に電氣的に接続されている構成となっている。配線 V R L 2 は、コンパレータ C M P 1 の第 1 端子の電位と比較するための

50

電位を与える配線として機能する。このような構成にすることによって、図10Cの変換回路ITRZ3は、電流電圧変換回路によってトランジスタF4のソースドレイン間に流れる電流量から変換された電圧と、配線VRL2が与える電圧と、との大小に応じて、配線OLに低レベル電位又は高レベル電位（2値のデジタル信号）を出力することができる。

【0207】

また、図7の演算回路MAC1に適用できる変換回路ITRZ[1]乃至変換回路ITRZ[n]は、変換回路ITRZ1乃至変換回路ITRZ3に限定されない。例えば、階層型のニューラルネットワークの演算として、演算回路MAC1を用いる場合、変換回路ITRZ1乃至変換回路ITRZ3には、関数系の演算回路を有することが好ましい。また、関数系の演算回路としては、シグモイド関数、tanh関数、ソフトマックス関数、ReLU関数、しきい値関数などの演算回路とすることができる。

10

【0208】

なお、本発明の一態様は、本実施の形態で述べた演算回路MAC1の回路構成に限定されない。演算回路MAC1は、状況に応じて、回路構成を変更することができる。例えば、演算回路MAC1は、図11に示す演算回路MAC1Aの通り、回路SWS1を設けない構成に変更してもよい。演算回路MAC1の場合、回路SWS1によって、回路WCSから配線WCL[1]乃至配線WCL[n]に流れる電流を停止することができるが、演算回路MAC1Aの場合、回路WCSによって、回路WCSから配線WCL[1]乃至配線WCL[n]に流れる電流を停止すればよい。具体的には、例えば、演算回路MAC1Aの回路WCSに含まれる回路WCSaとして図8Aの回路WCSaを適用し、電流源CSとして図9Aの電流源CS1を適用したとき、配線DW[1]乃至配線DW[K]のそれぞれに低レベル電位を入力し、かつスイッチSWWをオフ状態にすればよい。回路WCSaをこのように動作を行うことで、回路WCSから配線WCL[1]乃至配線WCL[n]に流れる電流を停止することができる。このように、回路WCSから配線WCL[1]乃至配線WCL[n]に流れる電流を停止することにより、演算回路MAC1の代わりに演算回路MAC1Aを用いて演算を行うことができる。

20

【0209】

<演算回路の動作例1>

次に、演算回路MAC1の動作例について説明する。

30

【0210】

図12に演算回路MAC1の動作例のタイミングチャートを示す。図12のタイミングチャートは、時刻T11から時刻T23までの間、及びそれらの近傍における、配線SWL1、配線SWL2、配線SWLA、配線WSL[i]（iは1以上m-1以下の整数とする。）、配線WSL[i+1]、配線XCL[i]、配線XCL[i+1]、ノードNN[i, j]（jは1以上n-1以下の整数とする。）、ノードNN[i+1, j]、ノードNNref[i]、及びノードNNref[i+1]の電位の変動を示している。更に、図12のタイミングチャートには、セルIM[i, j]に含まれているトランジスタF2の第1端子-第2端子間に流れる電流量IF2[i, j]と、セルIMref[i]に含まれているトランジスタF2mの第1端子-第2端子間に流れる電流量IF2m[i]と、セルIM[i+1, j]に含まれているトランジスタF2の第1端子-第2端子間に流れる電流量IF2[i+1, j]と、セルIMref[i+1]に含まれているトランジスタF2mの第1端子-第2端子間に流れる電流量IF2m[i+1]と、のそれぞれの変動についても示している。

40

【0211】

なお、演算回路MAC1の回路WCSとしては、図8Aの回路WCSを適用し、演算回路MAC1の回路XCSとしては、図8Cの回路XCSを適用するものとする。

【0212】

なお、本動作例において、配線VEの電位は接地電位GNDとする。また、時刻T11より前では、初期設定として、ノードNN[i, j]、ノードNN[i+1, j]、ノード

50

ドNNref[i]、及びノードNNref[i+1]のそれぞれの電位を、接地電位GNDにしているものとする。具体的には、例えば、図8Aの配線VINIL1の初期化用の電位を接地電位GNDとし、スイッチSWW、トランジスタF3、及びセルIM[i, j]、セルIM[i+1, j]に含まれているそれぞれのトランジスタF1をオン状態にすることによって、ノードNN[i, j]、ノードNN[i+1, j]の電位を接地電位GNDにすることができる。また、例えば、図8Cの配線VINIL2の初期化用の電位を接地電位GNDとし、スイッチSWX、及びセルIMref[i, j]、セルIMref[i+1, j]に含まれているそれぞれのトランジスタF1mをオン状態にすることによって、ノードNNref[i, j]、ノードNNref[i+1, j]の電位を接地電位GNDにすることができる。

10

【0213】

また、本動作例において、スイッチSA[1]乃至スイッチSA[m]のそれぞれは、制御端子に高レベル電位が入力されたときオン状態となり、制御端子に低レベル電位が入力されたときオフ状態となるものとする。また、配線SWLAが与える電位は、常に低レベル電位（図12ではLowと表記している。）とする。そのため、本動作例では、スイッチSA[1]乃至スイッチSA[m]は、常にオフ状態となる。

【0214】

<時刻T11から時刻T12まで>

時刻T11から時刻T12までの間において、配線SWL1に高レベル電位（図12ではHighと表記している。）が印加され、配線SWL2に低レベル電位（図12ではLowと表記している。）が印加されている。これにより、トランジスタF3[1]乃至トランジスタF3[n]のそれぞれのゲートに高レベル電位が印加されて、トランジスタF3[1]乃至トランジスタF3[n]のそれぞれがオン状態となり、トランジスタF4[1]乃至トランジスタF4[n]のそれぞれのゲートに低レベル電位が印加されて、トランジスタF4[1]乃至トランジスタF4[n]のそれぞれがオフ状態となる。

20

【0215】

また、時刻T11から時刻T12の間では、配線WSL[i]、配線WSL[i+1]には低レベル電位が印加されている。これにより、セルアレイCAのi行目のセルIM[i, 1]乃至セルIM[i, n]に含まれているトランジスタF1のゲートと、セルIMref[i]に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。また、セルアレイCAのi+1行目のセルIM[i+1, 1]乃至セルIM[i+1, n]に含まれているトランジスタF1のゲートと、セルIMref[i+1]に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。

30

【0216】

また、時刻T11から時刻T12の間では、配線XCL[i]、及び配線XCL[i+1]には接地電位GNDが印加されている。具体的には、例えば、図8Cに記載の配線XCLが配線XCL[i]、配線XCL[i+1]のそれぞれである場合において、配線VINIL2の初期化用の電位を接地電位GNDとし、スイッチSWXをオン状態にすることにより、配線XCL[i]、及び配線XCL[i+1]の電位を接地電位GNDにすることができる。

40

【0217】

また、時刻T11から時刻T12の間では、別々のトランジスタF3を介して、配線WCL[1]乃至配線WCL[n]に電氣的に接続されている、それぞれの図8Aの回路WCSaにおいて、配線DW[1]乃至配線DW[K]には第1データが入力されていない。この場合、図8Aの回路WCSaにおいて、配線DW[1]乃至配線DW[K]のそれぞれには低レベル電位が入力されているものとする。また、時刻T11から時刻T12の間では、配線XCL[1]乃至配線XCL[m]に電氣的に接続されている、それぞれの図8Cの回路XCSaにおいて、配線DX[1]乃至配線DX[L]には第2デ

50

ータが入力されていない。この場合、図8Cの回路XC Saにおいて、配線DX [1]乃至配線DX [L]のそれぞれには低レベル電位が入力されているものとする。

【0218】

また、時刻T11から時刻T12までの間では、配線WCL [j]、配線XCL [i]、配線XCL [i+1]には電流が流れない。そのため、 $I_{F2}[i, j]$ 、 $I_{F2m}[i]$ 、 $I_{F2}[i+1, j]$ 、 $I_{F2m}[i+1]$ は0となる。

【0219】

<<時刻T12から時刻T13まで>>

時刻T12から時刻T13までの間において、配線WSL [i]に高レベル電位が印加される。これにより、セルアレイCAのi行目のセルIM [i, 1]乃至セルIM [i, n]に含まれているトランジスタF1のゲートと、セルIMref [i]に含まれているトランジスタF1mのゲートと、に高レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオン状態になる。また、時刻T12から時刻T13までの間において、配線WSL [i]以外の配線WSL [1]乃至配線WSL [m]には低レベル電位が印加されており、セルアレイCAのi行目以外のセルIM [1, 1]乃至セルIM [m, n]に含まれているトランジスタF1と、i行目以外のセルIMref [1]乃至セルIMref [m]に含まれているトランジスタF1mは、オフ状態になっているものとする。

10

【0220】

更に、配線XCL [1]乃至配線XCL [m]には時刻T12以前から引き続き接地電位GNDが印加されている。

20

【0221】

<<時刻T13から時刻T14まで>>

時刻T13から時刻T14までの間において、回路WCSから、トランジスタF3 [j]を介してセルアレイCAに第1データとして電流量 $I_0[i, j]$ の電流が流れる。具体的には、図8Aに記載の配線WCLが配線WCL [j]である場合において、配線DW [1]乃至配線DW [K]のそれぞれに第1データに応じた信号が入力されることによって、回路WCSaからトランジスタF3 [j]の第2端子に電流 $I_0[i, j]$ が流れる。つまり、第1データとして入力されたKビットの信号の値を $\alpha[i, j]$ ($\alpha[i, j]$ を0以上 $2^K - 1$ 以下の整数とする)としたとき、 $I_0[i, j] = \alpha[i, j] \times I_{Wut}$ となる。

30

【0222】

なお、 $\alpha[i, j]$ が0のとき、 $I_0[i, j] = 0$ となるので、厳密には、回路WCSaから、トランジスタF3 [j]を介してセルアレイCAに電流は流れないが、本明細書などでは、「 $I_0[i, j] = 0$ の電流が流れる」などと記載する場合がある。

【0223】

時刻T13から時刻T14までの間において、セルアレイCAのi行目のセルIM [i, j]に含まれているトランジスタF1の第1端子と配線WCL [j]との間が導通状態となっており、かつセルアレイCAのi行目以外のセルIM [1, j]乃至セルIM [m, j]に含まれているトランジスタF1の第1端子と配線WCL [j]との間が非導通状態となっているので、配線WCL [j]からセルIM [i, j]に電流量 $I_0[i, j]$ の電流が流れる。

40

【0224】

ところで、セルIM [i, j]に含まれているトランジスタF1がオン状態になることによって、セルIM [i, j]に含まれているトランジスタF2はダイオード接続の構成となる。そのため、配線WCL [j]からセルIM [i, j]に電流が流れるとき、トランジスタF2のゲートと、トランジスタF2の第2端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線WCL [j]からセルIM [i, j]に流れる電流量とトランジスタF2の第1端子の電位（ここではGND）などによって定められる。本動作例では、配線WCL [j]からセルIM [i, j]に電流量 $I_0[i, j]$ の電流が流れること

50

によって、トランジスタF2のゲート（ノードNN[i, j]）の電位は、 $V_g[i, j]$ になるものとする。つまり、トランジスタF2において、ゲートソース間電圧が $V_g[i, j] - GND$ となり、トランジスタF2の第1端子－第2端子間に流れる電流として、電流量 $I_0[i, j]$ が設定される。

【0225】

ここで、トランジスタF2のしきい値電圧を $V_{th}[i, j]$ としたとき、トランジスタF2がサブスレッショルド領域で動作する場合の電流量 $I_0[i, j]$ は次の式の通りに記述できる。

【0226】

【数1】

$$I_0[i, j] = I_a \exp\{J(V_g[i, j] - V_{th}[i, j])\} \quad \dots(1.1)$$

【0227】

なお、 I_a は $V_g[i, j]$ が $V_{th}[i, j]$ であるときのドレイン電流であって、 J は温度、デバイス構造などによって定められる補正係数である。

【0228】

また、時刻T13から時刻T14までの間において、回路XCSから、配線XCL[i]に、参照データとして電流量 I_{ref0} の電流が流れる。具体的には、図8Cに記載の配線XCLが配線XCL[i]である場合において、配線DX[1]に高レベル電位、配線DX[2]乃至配線DX[K]のそれぞれに低レベル電位が入力されて、回路XCsaから配線XCL[i]に電流 I_{ref0} が流れる。つまり、 $I_{ref0} = I_{xut}$ となる。

【0229】

時刻T13から時刻T14までの間において、セルIMref[i]に含まれているトランジスタF1mの第1端子と配線XCL[i]との間が導通状態となつてので、配線XCL[i]からセルIMref[i]に電流量 I_{ref0} の電流が流れる。

【0230】

セルIM[i, j]と同様に、セルIMref[i]に含まれているトランジスタF1mがオン状態になることによって、セルIMref[i]に含まれているトランジスタF2mはダイオード接続の構成となる。そのため、配線XCL[i]からセルIMref[i]に電流が流れるとき、トランジスタF2mのゲートと、トランジスタF2mの第2端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線XCL[i]からセルIMref[i]に流れる電流量とトランジスタF2mの第1端子の電位（ここではGND）などによって定められる。本動作例では、配線XCL[i]からセルIMref[i]に電流量 I_{ref0} の電流が流れることによって、トランジスタF2のゲート（ノードNNref[i]）は $V_{gm}[i]$ になるものとし、また、このときの配線XCL[i]の電位も $V_{gm}[i]$ とする。つまり、トランジスタF2mにおいて、ゲートソース間電圧が $V_{gm}[i] - GND$ となり、トランジスタF2mの第1端子－第2端子間に流れる電流として、電流量 I_{ref0} が設定される。

【0231】

ここで、トランジスタF2mのしきい値電圧を $V_{thm}[i]$ としたとき、トランジスタF2mがサブスレッショルド領域で動作する場合の電流量 I_{ref0} は次の式の通りに記述できる。なお、補正係数 J は、セルIM[i, j]に含まれているトランジスタF2と同一とする。例えば、トランジスタのデバイス構造、サイズ（チャネル長、チャネル幅）を同一とする。また、製造上のばらつきにより、各トランジスタの補正係数 J はばらつくが、後述の議論が実用上十分な精度で成り立つ程度にばらつきが抑えられているものとする。

【0232】

【数2】

10

20

30

40

50

$$I_{\text{ref0}} = I_a \exp\{J(V_{\text{gm}}[i] - V_{\text{thm}}[i])\} \quad \dots(1.2)$$

【0233】

ここで、第1データである重み係数 $w[i, j]$ を次の通りに定義する。

【0234】

【数3】

$$w[i, j] = \exp\{J(V_g[i, j] - V_{\text{th}}[i, j] - V_{\text{gm}}[i] + V_{\text{thm}}[i])\} \quad \dots(1.3)$$

10

【0235】

したがって、式(1.1)は、次の式に書き換えることができる。

【0236】

【数4】

$$I_0[i, j] = w[i, j] I_{\text{ref0}} \quad \dots(1.4)$$

$$\leftrightarrow \alpha[i, j] I_{\text{Wut}} = w[i, j] I_{\text{Xut}}$$

20

【0237】

なお、図8Aの回路WCSaの電流源CSが出力する電流 I_{Wut} と、図8Cの回路XC Saの電流源CSが出力する電流 I_{Xut} と、が等しい場合、 $w[i, j] = \alpha[i, j]$ となる。つまり、 I_{Wut} と、 I_{Xut} と、が等しい場合、 $\alpha[i, j]$ は、第1データの値に相当するため、 I_{Wut} と、 I_{Xut} と、は互いに等しいことが好ましい。

【0238】

<<時刻T14から時刻T15まで>>

時刻T14から時刻T15までの間において、配線WSL[i]に低レベル電位が印加される。これにより、セルアレイCAのi行目のセルIM[i, 1]乃至セルIM[i, n]に含まれているトランジスタF1のゲートと、セルIMref[i]に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。

30

【0239】

セルIM[i, j]に含まれているトランジスタF1がオフ状態になることによって、容量C5には、トランジスタF2のゲート(ノードNN[i, j])の電位と、配線XCL[i]の電位と、の差である $V_g[i, j] - V_{\text{gm}}[i]$ が保持される。また、セルIMref[i]に含まれているトランジスタF1がオフ状態になることによって、容量C5mには、トランジスタF2mのゲート(ノードNNref[i])の電位と、配線XCL[i]の電位と、の差である0が保持される。なお、容量C5mが保持する電圧は、時刻T13から時刻T14までの動作においてトランジスタF1m、及び／又はトランジスタF2mのトランジスタ特性などに応じて0ではない電圧(ここでは、例えば、 V_{ds} とする)となる場合もある。この場合、ノードNNref[i]の電位は、配線XCL[i]の電位に V_{ds} を加えた電位として考えればよい。

40

【0240】

<<時刻T15から時刻T16まで>>

時刻T15から時刻T16までの間において、配線XCL[i]にGNDが印加される。具体的には、例えば、図8Cに記載の配線XCLが配線XCL[i]である場合において、配線VINIL2の初期化用の電位を接地電位GNDとし、スイッチSWXをオン状

50

態にすることにより、配線 $XCL[i]$ の電位を接地電位 GND にすることができる。

【0241】

このため、 i 行目のセル $IM[i, 1]$ 乃至セル $IM[i, n]$ のそれぞれに含まれている容量 $C5$ による容量結合によってノード $NN[i, 1]$ 乃至ノード $NN[i, n]$ の電位が変化し、セル $IMref[i]$ に含まれている容量 $C5m$ による容量結合によってノード $NNref[i]$ の電位が変化する。

【0242】

ノード $NN[i, 1]$ 乃至ノード $NN[i, n]$ の電位の変化量は、配線 $XCL[i]$ の電位の変化量に、セルアレイ CA に含まれているそれぞれのセル $IM[i, 1]$ 乃至セル $IM[i, n]$ の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量 $C5$ の容量、トランジスタ $F2$ のゲート容量、寄生容量などによって算出される。セル $IM[i, 1]$ 乃至セル $IM[i, n]$ のそれぞれにおいて、容量 $C5$ による容量結合係数を p としたとき、セル $IM[i, j]$ のノード $NN[i, j]$ の電位は、時刻 $T14$ から時刻 $T15$ までの間の時点における電位から、 $p(V_{gm}[i] - GND)$ 低下する。

【0243】

同様に、配線 $XCL[i]$ の電位が変化することによって、セル $IMref[i]$ に含まれている容量 $C5m$ による容量結合によって、ノード $NNref[i]$ の電位も変化する。容量 $C5m$ による容量結合係数を、容量 $C5$ と同様に p としたとき、セル $IMref[i]$ のノード $NNref[i]$ の電位は、時刻 $T14$ から時刻 $T15$ までの間における電位から、 $p(V_{gm}[i] - GND)$ 低下する。

【0244】

なお、図12のタイミングチャートでは、一例として、 $p=1$ としている。このため、時刻 $T15$ から時刻 $T16$ までの間におけるノード $NNref[i]$ の電位は、 GND となる。

【0245】

これによって、セル $IM[i, j]$ のノード $NN[i, j]$ の電位が低下するため、トランジスタ $F2$ はオフ状態となり、同様に、セル $IMref[i]$ のノード $NNref[i]$ の電位が低下するため、トランジスタ $F2m$ もオフ状態となる。そのため、時刻 $T15$ から時刻 $T16$ までの間において、 $IF2[i, j]$ 、 $IF2m[i]$ のそれぞれは0となる。

【0246】

<<時刻 $T16$ から時刻 $T17$ まで>>

時刻 $T16$ から時刻 $T17$ までの間において、配線 $WSL[i+1]$ に高レベル電位が印加される。これにより、セルアレイ CA の $i+1$ 行目のセル $IM[i+1, 1]$ 乃至セル $IM[i+1, n]$ に含まれているトランジスタ $F1$ のゲートと、セル $IMref[i+1]$ に含まれているトランジスタ $F1m$ のゲートと、に高レベル電位が印加されて、それぞれのトランジスタ $F1$ とトランジスタ $F1m$ とがオン状態となる。また、時刻 $T16$ から時刻 $T17$ までの間において、配線 $WSL[i+1]$ 以外の配線 $WSL[1]$ 乃至配線 $WSL[m]$ には低レベル電位が印加されており、セルアレイ CA の $i+1$ 行目以外のセル $IM[1, 1]$ 乃至セル $IM[m, n]$ に含まれているトランジスタ $F1$ と、 $i+1$ 行目以外のセル $IMref[1]$ 乃至セル $IMref[m]$ に含まれているトランジスタ $F1m$ は、オフ状態になっているものとする。

【0247】

更に、配線 $XCL[1]$ 乃至配線 $XCL[m]$ には時刻 $T16$ 以前から引き続き接地電位 GND が印加されている。

【0248】

<<時刻 $T17$ から時刻 $T18$ まで>>

時刻 $T17$ から時刻 $T18$ までの間において、回路 WCS から、トランジスタ $F3[j]$ を介してセルアレイ CA に第1データとして電流量 $I_0[i+1, j]$ の電流が流れる

。具体的には、図 8 A に記載の配線 WCL が配線 WCL [j + 1] である場合において、配線 DW [1] 乃至配線 DW [K] のそれぞれに第 1 データに応じた信号が入力されることによって、回路 WCSa からトランジスタ F3 [j] の第 2 端子に電流 $I_0 [i + 1, j]$ が流れる。つまり、第 1 データとして入力された K ビットの信号の値を $\alpha [i + 1, j]$ ($\alpha [i + 1, j]$ は 0 以上 $2^K - 1$ 以下の整数とする。) としたとき、 $I_0 [i + 1, j] = \alpha [i + 1, j] \times I_{Wut}$ となる。

【0249】

なお、 $\alpha [i + 1, j]$ が 0 のとき、 $I_0 [i + 1, j] = 0$ となるので、厳密には、回路 WCSa から、トランジスタ F3 [j] を介してセルアレイ CA に電流は流れないが、本明細書などでは、 $I_0 [i, j] = 0$ の場合と同様に、「 $I_0 [i + 1, j] = 0$ の電流が流れる」などと記載する場合がある。

10

【0250】

このとき、セルアレイ CA の i + 1 行目のセル IM [i + 1, j] に含まれているトランジスタ F1 の第 1 端子と配線 WCL [j] との間が導通状態となっており、かつセルアレイ CA の i + 1 行目以外のセル IM [1, j] 乃至セル IM [m, j] に含まれているトランジスタ F1 の第 1 端子と配線 WCL [j] との間が非導通状態となっているので、配線 WCL [j] からセル IM [i + 1, j] に電流量 $I_0 [i + 1, j]$ の電流が流れる。

【0251】

ところで、セル IM [i + 1, j] に含まれているトランジスタ F1 がオン状態になることによって、セル IM [i + 1, j] に含まれているトランジスタ F2 はダイオード接続の構成となる。そのため、配線 WCL [j] からセル IM [i + 1, j] に電流が流れるとき、トランジスタ F2 のゲートと、トランジスタ F2 の第 2 端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線 WCL [j] からセル IM [i + 1, j] に流れる電流量とトランジスタ F2 の第 1 端子の電位（ここでは GND）などによって定められる。本動作例では、配線 WCL [j] からセル IM [i + 1, j] に電流量 $I_0 [i + 1, j]$ の電流が流れることによって、トランジスタ F2 のゲート（ノード NN [i + 1, j]）の電位は、 $V_g [i + 1, j]$ になるものとする。つまり、トランジスタ F2 において、ゲートソース間電圧が $V_g [i + 1, j] - GND$ となり、トランジスタ F2 の第 1 端子－第 2 端子間に流れる電流として、電流量 $I_0 [i + 1, j]$ が設定される。

20

30

【0252】

ここで、トランジスタ F2 のしきい値電圧を $V_{th} [i + 1, j]$ としたとき、トランジスタ F2 がサブスレッショルド領域で動作する場合の電流量 $I_0 [i + 1, j]$ は次の式の通りに記述できる。なお、補正係数は、セル IM [i, j] に含まれているトランジスタ F2、セル IMref [i] に含まれているトランジスタ F2m と同様の J としている。

【0253】

【数 5】

$$I_0 [i + 1, j] = I_a \exp \{ J (V_g [i + 1, j] - V_{th} [i + 1, j]) \} \quad \cdots (1.5)$$

40

【0254】

また、時刻 T17 から時刻 T18 までの間において、回路 XCS から、配線 XCL [i + 1] に参照データとして電流量 I_{ref0} の電流が流れる。具体的には、時刻 T13 から時刻 T14 までの間と同様に、図 8 C に記載の配線 XCL が配線 XCL [i + 1] である場合において、配線 DX [1] に高レベル電位、配線 DX [2] 乃至配線 DX [K] のそれぞれに低レベル電位が入力されて、回路 XCSa から配線 XCL [i + 1] に電流 $I_{ref0} = I_{Xut}$ が流れる。

【0255】

50

時刻 T 1 7 から時刻 T 1 8 までの間において、セル I M r e f [i + 1] に含まれているトランジスタ F 1 m の第 1 端子と配線 X C L [i + 1] との間が導通状態となるので、配線 X C L [i + 1] からセル I M r e f [i + 1] に電流量 I r e f 0 の電流が流れる。
【 0 2 5 6 】

セル I M [i + 1 , j] と同様に、セル I M r e f [i + 1] に含まれているトランジスタ F 1 m がオン状態になることによって、セル I M r e f [i + 1 , j] に含まれているトランジスタ F 2 m はダイオード接続の構成となる。そのため、配線 X C L [i + 1] からセル I M r e f [i + 1] に電流が流れるとき、トランジスタ F 2 m のゲートと、トランジスタ F 2 m の第 2 端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線 X C L [i + 1] からセル I M r e f [i + 1] に流れる電流量とトランジスタ F 2 m の第 1 端子の電位（ここでは G N D）などによって定められる。本動作例では、配線 X C L [i + 1] からセル I M r e f [i + 1] に電流量 I r e f 0 の電流が流れることによって、トランジスタ F 2 のゲート（ノード N N r e f [i + 1]）は $V_{gm}[i+1]$ になるものとし、また、このときの配線 X C L [i + 1] の電位も $V_{gm}[i+1]$ とする。つまり、トランジスタ F 2 m において、ゲート－ソース間電圧が $V_{gm}[i+1] - GND$ となり、トランジスタ F 2 m の第 1 端子－第 2 端子間に流れる電流として、電流量 I r e f 0 が設定される。

10

【 0 2 5 7 】

ここで、トランジスタ F 2 m のしきい値電圧を $V_{thm}[i+1, j]$ としたとき、トランジスタ F 2 m がサブスレッショルド領域で動作する場合の電流量 I r e f 0 は次の式の通りに記述できる。なお、補正係数 J は、セル I M [i + 1 , j] に含まれているトランジスタ F 2 と同一とする。

20

【 0 2 5 8 】

【数 6】

$$I_{ref0} = I_a \exp\{J(V_{gm}[i+1] - V_{thm}[i+1])\} \quad \dots(1.6)$$

【 0 2 5 9 】

ここで、第 1 データである重み係数 $w[i+1, j]$ を次の通りに定義する。

30

【 0 2 6 0 】

【数 7】

$$w[i+1, j] = \exp\{J(V_g[i+1, j] - V_{th}[i+1, j] - V_{gm}[i+1] + V_{thm}[i+1])\} \quad \dots(1.7)$$

【 0 2 6 1 】

したがって、式 (1 . 5) は、次の式に書き換えることができる。

40

【 0 2 6 2 】

【数 8】

$$\begin{aligned} I_0[i+1, j] &= w[i+1, j] I_{ref0} \\ \Leftrightarrow \alpha[i+1, j] I_{Wut} &= w[i+1, j] I_{Xut} \end{aligned} \quad \dots(1.8)$$

【 0 2 6 3 】

50

なお、図 8 A の回路 W C S a の電流源 C S が出力する電流 I_{Wut} と、図 8 C の回路 X C S a の電流源 C S が出力する電流 I_{Xut} と、が等しい場合、 $w[i+1, j] = \alpha[i+1, j]$ となる。つまり、 I_{Wut} と、 I_{Xut} と、が等しい場合、 $\alpha[i+1, j]$ は、第 1 データの値に相当するため、 I_{Wut} と、 I_{Xut} と、は互いに等しいことが好ましい。

【0264】

<<時刻 T 18 から時刻 T 19 まで>>

時刻 T 18 から時刻 T 19 までの間において、配線 W S L [i+1] に低レベル電位が印加される。これにより、セルアレイ C A の i+1 行目のセル I M [i+1, 1] 乃至セル I M [i+1, n] に含まれているトランジスタ F 1 のゲートと、セル I M r e f [i+1] に含まれているトランジスタ F 1 m のゲートと、に低レベル電位が印加されて、それぞれのトランジスタ F 1 とトランジスタ F 1 m とがオフ状態となる。

10

【0265】

セル I M [i+1, j] に含まれているトランジスタ F 1 がオフ状態になることによって、容量 C 5 には、トランジスタ F 2 のゲート（ノード N N [i+1, j]）の電位と、配線 X C L [i+1] の電位と、の差である $V_g[i+1, j] - V_{gm}[i+1]$ が保持される。また、セル I M r e f [i+1] に含まれているトランジスタ F 1 がオフ状態になることによって、容量 C 5 m には、トランジスタ F 2 m のゲート（ノード N N r e f [i+1]）の電位と、配線 X C L [i+1] の電位と、の差である 0 が保持される。なお、容量 C 5 m が保持する電圧は、時刻 T 18 から時刻 T 19 までの間の動作においてトランジスタ F 1 m、及び／又はトランジスタ F 2 m のトランジスタ特性などに応じて 0 ではない電圧（ここでは、例えば、 V_{ds} とする）となる場合もある。この場合、ノード N N r e f [i+1] の電位は、配線 X C L [i+1] の電位に V_{ds} を加えた電位として考えればよい。

20

【0266】

<<時刻 T 19 から時刻 T 20 まで>>

時刻 T 19 から時刻 T 20 までの間において、配線 X C L [i+1] に接地電位 G N D が印加される。具体的には、例えば、図 8 C に記載の配線 X C L が配線 X C L [i+1] である場合において、配線 V I N I L 2 の初期化用の電位を接地電位 G N D とし、スイッチ S W X をオン状態にすることにより、配線 X C L [i+1] の電位を接地電位 G N D にすることができる。

30

【0267】

このため、i+1 行目のセル I M [i+1, 1] 乃至セル I M [i+1, n] のそれぞれに含まれている容量 C 5 による容量結合によってノード N N [i, 1] 乃至ノード N N [i+1, n] の電位が変化し、セル I M r e f [i+1] に含まれている容量 C 5 m による容量結合によってノード N N r e f [i+1] の電位が変化する。

【0268】

ノード N N [i+1, 1] 乃至ノード N N [i+1, n] の電位の変化量は、配線 X C L [i+1] の電位の変化量に、セルアレイ C A に含まれているそれぞれのセル I M [i+1, 1] 乃至セル I M [i+1, n] の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量 C 5 の容量、トランジスタ F 2 のゲート容量、寄生容量などによって算出される。セル I M [i+1, 1] 乃至セル I M [i+1, n] のそれぞれにおいて、容量 C 5 による容量結合係数を、セル I M [i, 1] 乃至セル I M [i, n] のそれぞれにおける容量 C 5 による容量結合係数と同様の、p としたとき、セル I M [i+1, j] のノード N N [i+1, j] の電位は、時刻 T 18 から時刻 T 19 までの間の時点における電位から、p ($V_{gm}[i+1] - GND$) 低下する。

40

【0269】

同様に、配線 X C L [i+1] の電位が変化することによって、セル I M r e f [i+1] に含まれている容量 C 5 m による容量結合によって、ノード N N r e f [i+1] の電位も変化する。容量 C 5 m による容量結合係数を、容量 C 5 と同様に p としたとき、セ

50

セル $IM_{ref}[i+1]$ のノード $NN_{ref}[i+1]$ の電位は、時刻 T_{18} から時刻 T_{19} までの間の時点における電位から、 $p(V_{gm}[i+1] - GND)$ 低下する。

【0270】

なお、図12のタイミングチャートでは、一例として、 $p=1$ としている。このため、時刻 T_{20} から時刻 T_{21} までの間におけるノード $NN_{ref}[i+1]$ の電位は、 GND となる。

【0271】

これによって、セル $IM[i+1, j]$ のノード $NN[i+1, j]$ の電位が低下するため、トランジスタ F_2 はオフ状態となり、同様に、セル $IM_{ref}[i+1]$ のノード $NN_{ref}[i+1]$ の電位が低下するため、トランジスタ F_{2m} もオフ状態となる。そのため、時刻 T_{19} から時刻 T_{20} までの間において、 $I_{F_2}[i+1, j]$ 、 $I_{F_{2m}}[i+1]$ のそれぞれは0となる。

10

【0272】

<<時刻 T_{20} から時刻 T_{21} まで>>

時刻 T_{20} から時刻 T_{21} までの間において、配線 SWL_1 に低レベル電位が印加されている。これにより、トランジスタ $F_3[1]$ 乃至トランジスタ $F_3[n]$ のそれぞれのゲートに低レベル電位が印加されて、トランジスタ $F_3[1]$ 乃至トランジスタ $F_3[n]$ のそれぞれがオフ状態となる。

【0273】

<<時刻 T_{21} から時刻 T_{22} まで>>

20

時刻 T_{21} から時刻 T_{22} までの間において、配線 SWL_2 に高レベル電位が印加されている。これにより、トランジスタ $F_4[1]$ 乃至トランジスタ $F_4[n]$ のそれぞれのゲートに高レベル電位が印加されて、トランジスタ $F_4[1]$ 乃至トランジスタ $F_4[n]$ のそれぞれがオン状態となる。

【0274】

<<時刻 T_{22} から時刻 T_{23} まで>>

時刻 T_{22} から時刻 T_{23} までの間において、回路 XCS から、配線 $XCL[i]$ に第2データとして電流量 I_{ref0} の $x[i]$ 倍である $x[i] I_{ref0}$ の電流が流れる。具体的には、例えば、図8Cに記載の配線 XCL が配線 $XCL[i]$ である場合において、配線 $DX[1]$ 乃至配線 $DX[K]$ のそれぞれに、 $x[i]$ の値に応じて、高レベル電位又は低レベル電位が入力されて、回路 $XCSa$ から配線 $XCL[i]$ に電流量として $x[i] I_{ref0} = x[i] I_{xut}$ が流れる。なお、本動作例では、 $x[i]$ は、第2データの値に相当する。このとき、配線 $XCL[i]$ の電位は、0から $V_{gm}[i] + \Delta V[i]$ に変化するものとする。

30

【0275】

配線 $XCL[i]$ の電位が変化することによって、セルアレイ CA の i 行目のセル $IM[i, 1]$ 乃至セル $IM[i, n]$ のそれぞれに含まれている容量 C_5 による容量結合によって、ノード $NN[i, 1]$ 乃至ノード $NN[i, n]$ の電位も変化する。そのため、セル $IM[i, j]$ のノード $NN[i, j]$ の電位は、 $V_g[i, j] + p\Delta V[i]$ となる。

40

【0276】

同様に、配線 $XCL[i]$ の電位が変化することによって、セル $IM_{ref}[i]$ に含まれている容量 C_{5m} による容量結合によって、ノード $NN_{ref}[i]$ の電位も変化する。そのため、セル $IM_{ref}[i]$ のノード $NN_{ref}[i]$ の電位は、 $V_{gm}[i] + p\Delta V[i]$ となる。

【0277】

これによって、時刻 T_{22} から時刻 T_{23} までの間において、トランジスタ F_2 の第1端子－第2端子間に流れる電流量 $I_1[i, j]$ 、トランジスタ F_{2m} の第1端子－第2端子間に流れる電流量 $I_{ref1}[i, j]$ は、次の通りに記述できる。

【0278】

50

【数 9】

$$\begin{aligned}
 I_1[i, j] &= I_a \exp\{J(V_g[i, j] + p\Delta V[i] - V_{th}[i, j])\} \\
 &= I_0[i, j] \exp(Jp\Delta V[i]) \quad \dots(1.9)
 \end{aligned}$$

【0279】

【数10】

10

$$\begin{aligned}
 I_{ref1}[i] &= I_a \exp\{J(V_{gm}[i] + p\Delta V[i] - V_{thm}[i])\} \\
 &= x[i] I_{ref0} \quad \dots(1.10)
 \end{aligned}$$

【0280】

なお、 $x[i]$ は次の式のとおりとしている。

【0281】

20

【数11】

$$x[i] = \exp(Jp\Delta V[i]) \quad \dots(1.11)$$

【0282】

そのため、式(1.9)は、式(1.4)、及び式(1.11)を用いて、次の式に書き換えることができる。

【0283】

【数12】

30

$$I_1[i, j] = x[i] w[i, j] I_{ref0} \quad \dots(1.12)$$

【0284】

つまり、セルIM[i, j]に含まれているトランジスタF2の第1端子-第2端子間に流れる電流量は、第1データ $w[i, j]$ と、第2データ $x[i]$ と、の積に比例する。

【0285】

また、時刻T22から時刻T23までの間において、回路XCSから、配線XCL[i+1]に第2データとして電流量 I_{ref0} の $x[i+1]$ 倍である $x[i+1] I_{ref0}$ の電流が流れる。具体的には、例えば、図8Cに記載の配線XCLが配線XCL[i+1]である場合において、配線DX[1]乃至配線DX[K]のそれぞれに、 $x[i+1]$ の値に応じて、高レベル電位又は低レベル電位が入力されて、回路XCSaから配線XCL[i+1]に電流量として $x[i+1] I_{ref0} = x[i+1] I_{xut}$ が流れる。なお、本動作例では、 $x[i+1]$ は、第2データの値に相当する。このとき、配線XCL[i+1]の電位は、0から $V_{gm}[i+1] + \Delta V[i+1]$ に変化するものとする。

40

【0286】

配線XCL[i+1]の電位が変化することによって、セルアレイCAのi+1行目のセルIM[i+1, 1]乃至セルIM[i+1, n]のそれぞれに含まれている容量C5による容量結合によって、ノードNN[i+1, 1]乃至ノードNN[i+1, n]の電

50

位も変化する。そのため、セルIM [i + 1, j] のノードNN [i + 1, j] の電位は、 $V_g [i + 1, j] + p \Delta V [i + 1]$ となる。

【0287】

同様に、配線XCL [i + 1] の電位が変化することによって、セルIMref [i + 1] に含まれている容量C5mによる容量結合によって、ノードNNref [i + 1] の電位も変化する。そのため、セルIMref [i + 1] のノードNNref [i + 1] の電位は、 $V_{gm} [i + 1] + p \Delta V [i + 1]$ となる。

【0288】

これによって、時刻T22から時刻T23までの間において、トランジスタF2の第1端子－第2端子間に流れる電流量 $I_1 [i + 1, j]$ 、トランジスタF2mの第1端子－第2端子間に流れる電流量 $I_{ref1} [i + 1, j]$ は、次の通りに記述できる。

【0289】

【数13】

$$\begin{aligned} & I_1[i+1, j] \\ &= I_a \exp\{J(V_g[i+1, j] + p\Delta V[i+1] - V_{th}[i+1, j])\} \\ &= I_0[i+1, j] \exp(Jp\Delta V[i+1]) \end{aligned} \quad \dots(1.13)$$

【0290】

【数14】

$$\begin{aligned} & I_{ref1}[i+1] \\ &= I_a \exp\{J(V_{gm}[i+1] + p\Delta V[i+1] - V_{thm}[i+1])\} \\ &= x[i+1] I_{ref0} \end{aligned} \quad \dots(1.14)$$

【0291】

なお、 $x [i + 1]$ は次の式のとおりとしている。

【0292】

【数15】

$$x[i+1] = \exp(Jp\Delta V[i+1]) \quad \dots(1.15)$$

【0293】

そのため、式(1.13)は、式(1.8)、及び式(1.15)を用いて、次の式に書き換えることができる。

【0294】

【数16】

$$I_1[i+1, j] = x[i+1] w[i+1, j] I_{ref0} \quad \dots(1.16)$$

10

20

30

40

50

【0295】

つまり、セルIM[i+1, j]に含まれているトランジスタF2の第1端子－第2端子間に流れる電流量は、第1データであるw[i+1, j]と、第2データであるx[i+1]と、の積に比例する。

【0296】

ここで、変換回路ITRZ[j]から、トランジスタF4[j]と配線WCL[j]とを介して、セルIM[i, j]及びセルIM[i+1, j]に流れる電流量の総和を考える。当該電流量の総和をIs[j]とすると、Is[j]は、式(1.12)と式(1.16)より、次の式で表すことができる。

【0297】

【数17】

$$\begin{aligned} I_S[j] &= I_1[i, j] + I_1[i+1, j] \\ &= I_{\text{ref0}}(x[i]w[i, j] + x[i+1]w[i+1, j]) \end{aligned} \quad \dots(1.17)$$

【0298】

したがって、変換回路ITRZ[j]から出力される電流量は、第1データである重み係数w[i, j]及びw[i+1, j]と、第2データであるニューロンの信号の値x[i]及びx[i+1]と、の積和に比例した電流量となる。

【0299】

なお、上述の動作例では、セルIM[i, j]、及びセルIM[i+1, j]に流れる電流量の総和について扱ったが、複数のセルとして、セルIM[1, j]乃至セルIM[m, j]のそれぞれに流れる電流量の総和についても扱ってもよい。この場合、式(1.17)は、次の式に書き直すことができる。

【0300】

【数18】

$$I_S[j] = I_{\text{ref0}} \sum_{i=1}^m x[i]w[i, j] \quad \dots(1.18)$$

【0301】

このため、3行以上且つ2列以上のセルアレイCAを有する演算回路MAC1の場合でも、上記の通り、積和演算を行うことができる。この場合の演算回路MAC1は、複数列のうち1列を、電流量としてIref0、及びxIref0を保持するセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。

【0302】

<演算回路の動作例2>

次に、上記の動作例とは異なる演算回路MAC1の動作例について説明する。

【0303】

図13に演算回路MAC1の動作例のタイミングチャートを示す。図13のタイミングチャートは、図12のタイミングチャートと同様に、時刻T11から時刻T23までの間、及びそれらの近傍における、配線SWL1、配線SWL2、配線SWLA、配線WSL[i]（iは1以上m-1以下の整数とする。）、配線WSL[i+1]、配線XCL[i]、配線XCL[i+1]、ノードNN[i, j]（jは1以上n-1以下の整数とす

10

20

30

40

50

る。)、ノード $NN[i+1, j]$ 、ノード $NNref[i]$ 、及びノード $NNref[i+1]$ の電位の変動と、電流量 $I_{F2}[i, j]$ 、電流量 $I_{F2m}[i]$ 、電流量 $I_{F2}[i+1, j]$ 、及び電流量 $I_{F2m}[i+1]$ と、の変動量を示している。

【0304】

なお、図13のタイミングチャートの動作例は、所定のタイミングで配線 $SWLA$ に高レベル電位を入力している点で、図12のタイミングチャートと異なっている。つまり、図13のタイミングチャートの動作例は、センサ $SNC[1]$ 乃至センサ $SNC[m]$ を利用している点で、図12のタイミングチャートと異なっている。そのため、図13のタイミングチャートの動作例の説明では、図12のタイミングチャートの動作例の内容を参酌し、図12のタイミングチャートの動作例と異なっている部分を主に説明する。

10

【0305】

図13のタイミングチャートにおいて、時刻 $T11$ よりも前、及び時刻 $T11$ から時刻 $T13$ までの間では、図12のタイミングチャートと同様に動作する。

【0306】

時刻 $T13$ から時刻 $T15$ までの間において、配線 $SWLA$ に高レベル電位が入力される場合を考える。なお、図13のタイミングチャートの時刻 $T13$ から時刻 $T15$ までの間において、この場合の配線 $SWLA$ の電位の変動を実線で示している。

【0307】

配線 $SWLA$ に高レベル電位が入力されることによって、配線 $SWLA$ に電氣的に接続されている制御端子を有するスイッチ $SA[1]$ 乃至スイッチ $SA[m]$ のそれぞれがオン状態になる。

20

【0308】

スイッチ $SA[1]$ 乃至スイッチ $SA[m]$ のそれぞれがオン状態になることで、図1配線 $XCL[1]$ 乃至配線 $XCL[m]$ のそれぞれと、配線 $EIL[1]$ 乃至配線 $EIL[m]$ のそれぞれとの間は導通状態となる。また、配線 $EIL[1]$ 乃至配線 $EIL[m]$ のそれぞれは、センサ $SNC[1]$ 乃至センサ $SNC[m]$ に電氣的に接続されているため、配線 $XCL[1]$ 乃至配線 $XCL[m]$ のそれぞれと、センサ $SNC[1]$ 乃至センサ $SNC[m]$ のそれぞれとの間は導通状態となる。

【0309】

なお、時刻 $T13$ から時刻 $T15$ までの間において、配線 $SWLA$ に高レベル電位が入力される場合では、回路 XCS から配線 $XCL[1]$ 乃至配線 $XCL[m]$ に定電流は流れないものとする。つまり、時刻 $T13$ から時刻 $T15$ までの間において、回路 $XCSa$ に電氣的に接続されている配線 $DX[1]$ 乃至配線 $DX[L]$ の全てには低レベル電位が入力されているものとする。

30

【0310】

図13のタイミングチャートの時刻 $T13$ から時刻 $T15$ までの間において、層 PDL のセンサ $SNC[i]$ から配線 $EIL[i]$ を介して配線 $XCL[i]$ に電流量として I_{ref0} が流れる。 I_{ref0} は、例えば、図1のセンサ $SNC[i]$ が基準となる第1情報をセンシングして、出力する電流（基準電流という場合がある。）の量とすることができる。また、回路 XCS において、 i 行目の回路 $XCSa$ のスイッチ SWX をオフ状態にすることにより、配線 $XCL[i]$ の電位は、例えば、 $V_{gm}[i]$ となるものとする。

40

【0311】

また、図13のタイミングチャートの時刻 $T13$ から時刻 $T15$ までにおいて、センサ $SNC[i]$ 以外のセンサ $SNC[1]$ 乃至センサ $SNC[m]$ は、センシングを行ってもよいし、行わなくてもよい。また、このとき、回路 XCS において、 i 行目以外の回路 $XCSa$ に含まれているスイッチ SWX を全てオン状態にして、配線 $XCL[i]$ 以外の配線 $XCL[1]$ 乃至配線 $XCL[m]$ のそれぞれの電位を接地電位にすることが好ましい。

【0312】

図13のタイミングチャートにおいて、時刻 $T15$ から時刻 $T17$ までの間では、図1

50

2のタイミングチャートと同様に動作する。

【0313】

図13のタイミングチャートの時刻T17から時刻T19までにおいて、層PDLのセンサSNC[i+1]から配線XCL[i+1]に電流として I_{ref0} が流れる。 I_{ref0} は、例えば、図1のセンサSNC[i]が基準となる第1情報をセンシングして、出力する基準電流とすることができる。なお、第1情報は、図13のタイミングチャートの時刻T13から時刻T15までの間において、センサSNC[i]がセンシングした第1情報と同じものであってもよいし、異なるものであってもよい。また、回路XCSにおいて、i+1行目の回路XCsaのスイッチSWXをオフ状態にすることにより、配線XCL[i+1]の電位は、例えば、 $V_{gm}[i+1]$ となるものとする。

10

【0314】

また、図13のタイミングチャートの時刻T17から時刻T19までにおいて、センサSNC[i+1]以外のセンサSNC[1]乃至センサSNC[m]は、センシングを行ってもよいし、行わなくてもよい。また、このとき、回路XCSにおいて、i行目以外の回路XCsaに含まれているスイッチSWXを全てオン状態にして、配線XCL[i]以外の配線XCL[1]乃至配線XCL[m]のそれぞれの電位を接地電位にすることが好ましい。

【0315】

図13のタイミングチャートにおいて、時刻T19から時刻T22までの間では、図12のタイミングチャートと同様に動作する。

20

【0316】

図13のタイミングチャートの時刻T22から時刻T23までにおいて、層PDLのセンサSNC[i]から配線XCL[i]に I_{ref0} の $x[i]$ 倍である $x[i] I_{ref0}$ の電流量が流れる。電流 $x[i] I_{ref0}$ は、例えば、図1のセンサSNC[i]が第2情報をセンシングして出力する電流とすることができる。つまり、センサSNC[i]において、第2情報に応じた出力電流は、第1情報に応じた出力電流の $x[i]$ 倍に相当するものとしている。また、回路XCSにおいて、i行目の回路XCsaのスイッチSWXをオフ状態にすることにより、配線XCL[i]の電位は、例えば、 $V_{gm}[i] + \Delta V[i]$ に変化するものとする。

【0317】

30

また、図13のタイミングチャートの時刻T22から時刻T23までにおいて、層PDLのセンサSNC[i+1]から配線XCL[i+1]に I_{ref0} の $x[i+1]$ 倍である $x[i+1] I_{ref0}$ の電流量が流れる。電流 $x[i+1] I_{ref0}$ は、例えば、図1のセンサSNC[i+1]が第2情報をセンシングして出力する電流とすることができる。つまり、センサSNC[i+1]において、第2情報に応じた出力電流は、第1情報に応じた出力電流の $x[i+1]$ 倍に相当するものとしている。また、回路XCSにおいて、i+1行目の回路XCsaのスイッチSWXをオフ状態にすることにより、配線XCL[i+1]の電位は、例えば、 $V_{gm}[i+1] + \Delta V[i+1]$ に変化するものとする。

【0318】

40

その後、図12のタイミングチャートの説明と同様に、変換回路ITRZ[j]と配線WCL[j]との間に流れる電流量は、セルIM[i, j]のトランジスタF2の第1端子-第2端子間に流れる電流量 $I_1[i, j]$ と、セルIM[i+1, j]のトランジスタF2の第1端子-第2端子間に流れる電流量 $I_1[i+1, j]$ と、の総和(式(1.17)に相当する。)となる。このため、変換回路ITRZ[j]から配線WCL[j]に出力される電流量は、第1データである重み係数 $w[i, j]$ 及び $w[i+1, j]$ と、第2データであるニューロンの信号の値 $x[i]$ 及び $x[i+1]$ と、の積和の値、つまり、 $x[i] w[i, j] + x[i+1] w[i+1, j]$ に比例した電流量となる。

【0319】

図1に示す半導体装置SDVは、例えば、階層型のニューラルネットワークの1層目(

50

入力層) から 2 層目 (中間層) までの演算を行うことができる。つまり、センサ S N C [1] 乃至センサ S N C [m] がセンシングして得られた情報 (値) は、当該 1 層目のニューロンから当該 2 層目のニューロンに送信される信号に相当する。また、当該 1 層目のニューロンと当該 2 層目のニューロンとの間の重み係数をセル I M [1 , j] 乃至セル I M [m , j] に保持することで、演算回路 M A C 1 は、当該情報 (値) と当該重み係数との積和を計算することができる。

【 0 3 2 0 】

なお、階層型のニューラルネットワークについては、実施の形態 4 で詳述する。

【 0 3 2 1 】

なお、上述した半導体装置 S D V の動作例は、正の第 1 データと正の第 2 データとの積和を演算する場合に好適である。なお、正又は負の第 1 データと、正の第 2 データとの積和を演算する動作例、また、正又は負の第 1 データと、正又は負の第 2 データと、の積和を演算する動作例については、実施の形態 2 で説明する。

【 0 3 2 2 】

また、本実施の形態では、半導体装置 S D V に含まれているトランジスタを O S トランジスタ、又は S i トランジスタとした場合について説明したが、本発明の一態様は、これに限定されない。半導体装置 S D V に含まれているトランジスタは、例えば、G e などがチャネル形成領域に含まれているトランジスタ、Z n S e、C d S、G a A s、I n P、G a N、S i G e などの化合物半導体がチャネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャネル形成領域に含まれているトランジスタ、有機半導体がチャネル形成領域に含まれているトランジスタ等を用いることができる。

【 0 3 2 3 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 3 2 4 】

(実施の形態 2)

実施の形態 1 では、正又は“ 0 ”の第 1 データと正又は“ 0 ”の第 2 データとの積和を行う演算回路、及びその動作例について説明したが、本実施の形態では、正、負、又は“ 0 ”の第 1 データと、正、又は“ 0 ”の第 2 データと、の積和演算、及び、正、又は“ 0 ”の第 1 データと、“ 1 ”又は“ 0 ” (2 値、1 ビットのデジタル値) の第 2 データと、の積和演算が可能な演算回路について説明する。

【 0 3 2 5 】

< 演算回路の構成例 1 >

図 1 4 は、正、負、又は“ 0 ”の第 1 データと、正、又は“ 0 ”の第 2 データとの積和を行う演算回路の構成例を示している。図 1 4 に示す演算回路 M A C 2 は、図 7 の演算回路 M A C 1 を変更した構成となっている。そのため、演算回路 M A C 2 において、演算回路 M A C 1 の説明と重複する部分については説明を省略する。

【 0 3 2 6 】

図 1 4 に示すセルアレイ C A は、回路 C E S [1 , j] 乃至回路 C E S [m , j] を有し、回路 C E S [1 , j] は、セル I M [1 , j] と、セル I M r [1 , j] と、を有し、回路 C E S [m , j] は、セル I M [m , j] と、セル I M r [m , j] と、を有する。なお、図 1 4 では、回路 C E S [1 , j] と回路 C E S [m , j] とを図示しており、それ以外の回路 C E S については省略する。また、本明細書等では、回路 C E S [1 , j] 乃至回路 C E S [m , j] 、セル I M [1 , j] 、セル I M r [1 , j] 、セル I M [m , j] 、セル I M r [m , j] などを説明する際、それぞれの符号に付記している [m , n] などを省略する場合がある。

【 0 3 2 7 】

セル I M は、図 7 の演算回路 M A C 1 のセルアレイ C A に含まれているセル I M [1 , 1] 乃至セル I M [m , n] と同様の構成とすることができる。

【 0 3 2 8 】

また、セルIMrは、セルIMと同様の構成とすることができる。図14のセルIMrは、一例として、セルIMと同様の構成として図示している。また、セルIMとセルIMrとのそれぞれに含まれているトランジスタ、容量などを互いに区別できるように、セルIMrに含まれているトランジスタ、容量を示す符号には「r」を付している。

【0329】

具体的には、セルIMrは、トランジスタF1rと、トランジスタF2rと、容量C5rと、を有する。なお、トランジスタF1rはセルIMのトランジスタF1に相当し、トランジスタF2rはセルIMのトランジスタF2に相当し、容量C5rはセルIMの容量C5に相当する。そのため、トランジスタF1rと、トランジスタF2rと、容量C5rと、のそれぞれの電氣的な接続構成については、実施の形態1のIM[1, 1]乃至セルIM[m, n]の説明を参酌する。

【0330】

また、セルIMrにおいて、トランジスタF1rの第1端子と、トランジスタF2rのゲートと、容量C5rの第1端子と、の接続箇所をノードNNrとしている。

【0331】

回路CES[1, j]において、容量C5の第2端子は、配線XCL[1]に電氣的に接続され、トランジスタF1のゲートは、配線WSL[1]に電氣的に接続され、トランジスタF1の第2端子とトランジスタF2の第2端子とは、配線WCL[j]に電氣的に接続されている。また、容量C5rの第2端子は、配線XCL[1]に電氣的に接続され、トランジスタF1rのゲートは、配線WSL[1]に電氣的に接続され、トランジスタF1rの第2端子とトランジスタF2rの第2端子とは、配線WCLr[j]に電氣的に接続されている。

【0332】

同様に、回路CES[m, j]において、容量C5の第2端子は、配線XCL[m]に電氣的に接続され、トランジスタF1のゲートは、配線WSL[m]に電氣的に接続され、トランジスタF1の第2端子とトランジスタF2の第2端子とは、配線WCL[j]に電氣的に接続されている。また、容量C5rの第2端子は、配線XCL[m]に電氣的に接続され、トランジスタF1rのゲートは、配線WSL[m]に電氣的に接続され、トランジスタF1rの第2端子とトランジスタF2rの第2端子とは、配線WCLr[j]に電氣的に接続されている。

【0333】

配線WCL[j]及び配線WCLr[j]のそれぞれは、実施の形態1で説明した配線WCL[1]乃至配線WCL[n]と同様に、一例として、回路WCSから回路CESに含まれているセルIMとセルIMrに電流を流す配線として機能する。また、一例として、変換回路ITRZD[j]から回路CESに含まれているセルIMとセルIMrに電流を流す配線として機能する。

【0334】

また、図14の演算回路MAC2において、回路SWS1は、トランジスタF3[j]と、トランジスタF3r[j]と、を有する。トランジスタF3[j]の第1端子は、配線WCL[j]に電氣的に接続され、トランジスタF3[j]の第2端子は、回路WCSに電氣的に接続され、トランジスタF3[j]のゲートは、配線SWL1に電氣的に接続されている。また、トランジスタF3r[j]の第1端子は、配線WCLr[j]に電氣的に接続され、トランジスタF3r[j]の第2端子は、回路WCSに電氣的に接続され、トランジスタF3r[j]のゲートは、配線SWL1に電氣的に接続されている。

【0335】

また、図14の演算回路MAC2において、回路SWS2は、トランジスタF4[j]と、トランジスタF4r[j]と、を有する。トランジスタF4[j]の第1端子は、配線WCL[j]に電氣的に接続され、トランジスタF4[j]の第2端子は、変換回路ITRZD[j]に電氣的に接続され、トランジスタF4[j]のゲートは、配線SWL2に電氣的に接続されている。また、トランジスタF4r[j]の第1端子は、配線WCL

10

20

30

40

50

$r[j]$ に電氣的に接続され、トランジスタ $F4r[j]$ の第 2 端子は、変換回路 $ITRZD[j]$ に電氣的に接続され、トランジスタ $F4r[j]$ のゲートは、配線 $SWL2$ に電氣的に接続されている。

【0336】

また、図 14 の演算回路 $MAC2$ において、回路 ITS は、変換回路 $ITRZD[j]$ を有する。変換回路 $ITRZD[j]$ は、演算回路 $MAC1$ における変換回路 $ITRZ[j]$ に相当する回路であって、例えば、変換回路 $ITRZD[j]$ から配線 $WCL[j]$ に流れる電流の量と、変換回路 $ITRZD[j]$ から配線 $WCLr[j]$ に流れる電流の量と、の差分に応じた電圧を生成して、配線 $OL[j]$ に出力する機能を有する。

【0337】

変換回路 $ITRZD[j]$ の具体的な構成例を図 15A に示す。図 15A に示す変換回路 $ITRZD1$ は、図 14 の変換回路 $ITRZD[j]$ に適用できる回路の一例である。なお、図 15A には、変換回路 $ITRZD1$ の周辺の回路との電氣的な接続を示すため、回路 $SWS2$ 、配線 WCL 、配線 $WCLr$ 、配線 $SWL2$ 、トランジスタ $F4$ 、トランジスタ $F4r$ も図示している。また、配線 WCL 及び配線 $WCLr$ のそれぞれは、一例として、図 14 の演算回路 $MAC2$ に含まれている配線 $WCL[j]$ 及び配線 $WCLr[j]$ とし、トランジスタ $F4$ 及びトランジスタ $F4r$ は、一例として、図 14 の演算回路 $MAC2$ に含まれているトランジスタ $F4[j]$ 及びトランジスタ $F4r[j]$ とすることができる。

【0338】

図 15A の変換回路 $ITRZD1$ は、トランジスタ $F4$ を介して配線 WCL に電氣的に接続されている。また、変換回路 $ITRZD1$ は、トランジスタ $F4r$ を介して配線 $WCLr$ に電氣的に接続されている。また、変換回路 $ITRZD1$ は、配線 OL に電氣的に接続されている。変換回路 $ITRZD1$ は、変換回路 $ITRZD1$ から配線 WCL に流れる電流量、又は配線 WCL から変換回路 $ITRZD1$ に流れる電流量を第 1 の電圧に変換する機能と、変換回路 $ITRZD1$ から配線 $WCLr$ に流れる電流量、又は配線 $WCLr$ から変換回路 $ITRZD1$ に流れる電流量を第 2 の電圧に変換する機能と、第 1 の電圧と第 2 の電圧との差に応じたアナログ電圧を配線 OL に出力する機能と、を有する。

【0339】

図 15A の変換回路 $ITRZD1$ は、一例として、抵抗 RP と、抵抗 RM と、オペアンプ OPP と、オペアンプ OPM と、オペアンプ $OP2$ と、を有する。

【0340】

オペアンプ OPP の反転入力端子は、抵抗 RP の第 1 端子と、トランジスタ $F4$ の第 2 端子と、に電氣的に接続されている。オペアンプ OPP の非反転入力端子は、配線 $VRPL$ に電氣的に接続されている。オペアンプ OPP の出力端子は、抵抗 RP の第 2 端子と、オペアンプ $OP2$ の非反転入力端子に電氣的に接続されている。また、オペアンプ OPM の反転入力端子は、抵抗 RM の第 1 端子と、トランジスタ $F4r$ の第 2 端子と、に電氣的に接続されている。オペアンプ OPM の非反転入力端子は、配線 $VRML$ に電氣的に接続されている。オペアンプ OPM の出力端子は、抵抗 RM の第 2 端子と、オペアンプ $OP2$ の反転入力端子に電氣的に接続されている。オペアンプ $OP2$ の出力端子は、配線 OL に電氣的に接続されている。

【0341】

配線 $VRPL$ は、定電圧を与える配線として機能する。当該定電圧としては、例えば、接地電位 (GND)、低レベル電位などとすることができる。また、配線 $VRML$ は、定電圧を与える配線として機能する。当該定電圧としては、例えば、接地電位 (GND)、低レベル電位などとすることができる。また、配線 $VRPL$ 及び配線 $VRML$ のそれぞれが与える定電圧は、互いに等しくてもよいし、互いに異なってもよい。特に、配線 $VRPL$ 及び配線 $VRML$ のそれぞれが与える定電圧を接地電位 (GND) にすることによって、オペアンプ OPP の反転入力端子、及びオペアンプ OPM の反転入力端子のそれぞれを仮想接地にすることができる。

10

20

30

40

50

【0342】

変換回路ITRZD1は、図15Aの構成にすることによって、配線WCLから、トランジスタF4を介して、変換回路ITRZD1に流れる電流量、又は、変換回路ITRZD1から、トランジスタF4を介して、配線WCLに流れる電流量を、第1の電圧に変換することができる。また、配線WCLrから、トランジスタF4rを介して、変換回路ITRZD1に流れる電流量、又は、変換回路ITRZD1から、トランジスタF4rを介して、配線WCLrに流れる電流量を、第2の電圧に変換することができる。そして、第1の電圧と第2の電圧との差に応じたアナログ電圧を配線OLに出力することができる。

【0343】

また、図15Aの変換回路ITRZD1は、アナログ電圧を出力する構成となっているが、図14の変換回路ITRZD[j]に適用できる回路構成は、これに限定されない。例えば、変換回路ITRZD1は、図10Bと同様に、図15Bに示すとおり、アナログデジタル変換回路ADCを有する構成としてもよい。具体的には、図15Bの変換回路ITRZD2は、アナログデジタル変換回路ADCの入力端子がオペアンプOP2の出力端子に電氣的に接続され、アナログデジタル変換回路ADCの出力端子が配線OLに電氣的に接続されている構成となっている。このような構成にすることによって、図15Bの変換回路ITRZD2は、配線OLにデジタル信号を出力することができる。

【0344】

また、変換回路ITRZD2において、配線OLに出力されるデジタル信号を1ビット（2値）とする場合、変換回路ITRZD2は、図15Cに示す変換回路ITRZD3に置き換えてもよい。図15Cの変換回路ITRZD3は、図10Cと同様に、図15Aの変換回路ITRZD1にコンパレータCMP2を設けた構成となっている。具体的には、変換回路ITRZD3は、コンパレータCMP2の第1入力端子がオペアンプOP2の出力端子に電氣的に接続され、コンパレータCMP2の第2入力端子が配線VRL3に電氣的に接続され、コンパレータCMP2の出力端子が配線OLに電氣的に接続されている構成となっている。配線VRL3は、コンパレータCMP2の第1端子の電位と比較するための電位を与える配線として機能する。このような構成にすることによって、図15Cの変換回路ITRZD3は、トランジスタF4のソースドレイン間に流れる電流量から変換された第1の電圧とトランジスタF4rのソースドレイン間に流れる電流量から変換された第2の電圧との差と、配線VRL3が与える電圧と、との大小に応じて、配線OLに低レベル電位又は高レベル電位（2値のデジタル信号）を出力することができる。

【0345】

<<第1データの保持の例>>

次に、図14の演算回路MAC2において、正、負、又は“0”の第1データと、正、又は“0”の第2データとの積和演算を行うための、第1データを回路CESに保持する一例について説明する。

【0346】

回路CESは、セルIMと、セルIMrと、を有するため、回路CESは、第1データの保持として、セルIMと、セルIMrと、の2つの回路を用いることができる。つまり、回路CESは、2つの電流量を設定して、それぞれの電流量に応じた電位をセルIMと、セルIMrと、に保持することができる。このため、第1データを、セルIMで設定される電流量と、セルIMrで設定される電流量と、で表すことができる。ここで、回路CESに保持される、正の第1データ、負の第1データ、又は“0”の第1データを次の通りに定義する。

【0347】

回路CES[1, j]に正の第1データを保持する場合、セルIM[1, j]には、一例として、セルIM[1, j]のトランジスタF2の第1端子ー第2端子間に正の第1データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタF2のゲート（ノードNN[1, j]）に当該電流量に応じた電位を保持する。一方、セルIMr[1, j]には、一例として、セルIMr[1, j]のトランジスタF2rの第1

10

20

30

40

50

端子－第2端子間に電流が流れないように設定する。具体的には、トランジスタF2rのゲート（ノードNNr[1, j]）には、配線VEが与える電位、図8Aの回路WC Saの配線VINIL1が与える初期化用の電位などが保持されればよい。

【0348】

また、回路CES[1, j]に負の第1データを保持する場合、セルIMr[1, j]には、一例として、セルIMr[1, j]のトランジスタF2rには負の第1データの値の絶対値に応じた電流量が流れるように設定する。具体的には、トランジスタF2rのゲート（ノードNNr[1, j]）に当該電流量に応じた電位を保持する。一方、セルIM[1, j]は、一例として、セルIM[1, j]のトランジスタF2には電流が流れないように設定する。具体的には、トランジスタF2のゲート（ノードNN[1, j]）には、配線VEが与える電位、図8Aの回路WC Saの配線VINIL1が与える初期化用の電位などが保持されればよい。

10

【0349】

また、回路CES[1, j]に“0”の第1データを保持する場合、一例として、セルIM[1, j]のトランジスタF2、及びセルIMr[1, j]のトランジスタF2rのそれぞれには電流が流れないように設定する。具体的には、トランジスタF2のゲート（ノードNN[1, j]）とトランジスタF2rのゲート（ノードNNr[1, j]）には、配線VEが与える電位、図8Aの回路WC Saの配線VINIL1が与える初期化用の電位などが保持されればよい。

20

【0350】

なお、他の回路CESについても、正の第1データ、又は負の第1データを保持するとき、上述した回路CES[1, j]と同様に、セルIMと配線WCLとの間、セルIMrと配線WCLrとの間、の一方には第1データに応じた電流量が流れるように設定し、セルIMと配線WCLとの間、セルIMrと配線WCLrとの間、の他方には電流が流れないように設定すればよい。また、他の回路CESに、“0”の第1データを保持するとき、上述した回路CES[1, j]と同様に、セルIMと配線WCLとの間、及びセルIMrと配線WCLrとの間には電流が流れないように設定すればよい。

【0351】

一例として、第1データが“+3”、“+2”、“+1”、“0”、“-1”、“-2”、“-3”であるそれぞれの場合において当該第1データを回路CESに保持するとき、配線WCLからセルIMに流れる電流量の設定、及び配線WCLrからセルIMrに流れる電流量の設定を上記のとおりに従うことで、第1データ“+3”、“+2”、“+1”、“0”、“-1”、“-2”、“-3”のそれぞれは、例えば、次表のとおりに定義することができる。

30

【0352】

【表1】

第1データ	配線WCLから セルIMに流れる電流	配線WCLrから セルIMrに流れる電流
+3	$3 I_{Wut}$	0
+2	$2 I_{Wut}$	0
+1	I_{Wut}	0
0	0	0
-1	0	I_{Wut}
-2	0	$2 I_{Wut}$
-3	0	$3 I_{Wut}$

40

50

【0353】

ここで、図14の演算回路MAC2において、回路CES[1, j]乃至回路CES[m, j]のそれぞれに第1データが保持され、配線XCL[1]乃至配線XCL[m]のそれぞれに第2データが入力された場合を考える。このとき、配線SWL1に低レベル電位を与えてトランジスタF3[j]、及びトランジスタF3r[j]をオフ状態にし、このとき、配線SWL2に高レベル電位を与えてトランジスタF4[j]、及びトランジスタF4r[j]をオン状態にする。これにより、変換回路ITRZD[j]と配線WCL[j]との間が導通状態となるので、変換回路ITRZD[j]から配線WCL[j]に電流が流れる場合がある。また、変換回路ITRZD[j]と配線WCLr[j]との間が導通状態となるので、変換回路ITRZD[j]から配線WCLr[j]に電流が流れる場合がある。変換回路ITRZD[j]から配線WCL[j]に流れる電流量の総和をIs[j]とし、及び変換回路ITRZD[j]から配線WCLr[j]に流れる電流量の総和をIsr[j]として、実施の形態1で説明した演算回路MAC1の動作例を参酌すると、Is[j]及びIsr[j]は、次の式で表すことができる。

【0354】

【数19】

$$I_s[j] = I_{ref0} \sum_{i=1}^m x[i]w[i, j] \quad \dots(2.1)$$

$$I_{sr}[j] = I_{ref0} \sum_{i=1}^m x[i]w_r[i, j] \quad \dots(2.2)$$

【0355】

なお、式(2.1)に示すw[i, j]は、セルIM[i, j]に書き込まれる第1データの値であり、式(2.2)に示すwr[i, j]は、セルIMr[i, j]に書き込まれる第1データの値である。なお、w[i, j]、又はwr[i, j]の一方が“0”でない値であるとき、w[i, j]、又はwr[i, j]の他方は“0”の値とすることによって、回路CES[i, j]に保持される第1データは、例えば、表1に示した定義などに従うことができる。

【0356】

変換回路ITRZD[j]は、例えば、配線WCLに流れる電流量の総和Is[j]を第1の電圧に変換し、配線WCLrに流れる電流量の総和Isr[j]を第2の電圧に変換する。そして、変換回路ITRZD[j]は、第1の電圧と第2の電圧との差に応じた電圧を配線OLに出力することができる。

【0357】

ところで、図15A乃至図15Cのそれぞれに示した変換回路ITRZD1乃至変換回路ITRZD3は、配線OLに電圧を出力する回路構成としたが、本発明の一態様は、これに限定されない。例えば、図14の演算回路MAC2に含まれている変換回路ITRZD[j]は、電流を出力する回路構成としてもよい。

【0358】

図16に示す変換回路ITRZD4は、図14の演算回路MAC2に含まれている変換回路ITRZD[j]に適用することができる回路であり、積和演算及び活性化関数の演算の結果を電流量として出力する回路構成となっている。

【0359】

なお、図16には、変換回路ITRZD4の周辺の回路との電気的な接続を示すため、回路SWS2、配線WCL、配線WCLr、配線OL、トランジスタF4、トランジスタF4rも図示している。また、配線WCL及び配線WCLrのそれぞれは、一例として、

図 1 4 の演算回路 M A C 2 に含まれている配線 W C L [j] 及び配線 W C L r [j] とし、トランジスタ F 4 及びトランジスタ F 4 r は、一例として、図 1 4 の演算回路 M A C 2 に含まれているトランジスタ F 4 [j] 及びトランジスタ F 4 r [j] とすることができる。

【 0 3 6 0 】

図 1 6 の変換回路 I T R Z D 4 は、トランジスタ F 4 を介して配線 W C L に電氣的に接続されている。また、変換回路 I T R Z D 4 は、トランジスタ F 4 r を介して配線 W C L r に電氣的に接続されている。また、変換回路 I T R Z D 4 は、配線 O L に電氣的に接続されている。変換回路 I T R Z D 4 は、変換回路 I T R Z D 4 から配線 W C L に流れる電流量、又は配線 W C L から変換回路 I T R Z D 4 に流れる電流量の一方と、変換回路 I T R Z D 4 から配線 W C L r に流れる電流量、又は配線 W C L r から変換回路 I T R Z D 4 に流れる電流量の一方と、の差分電流を取得する機能を有する。また、当該差分電流を、変換回路 I T R Z D 4 と配線 O L との間に流す機能を有する。

10

【 0 3 6 1 】

図 1 6 の変換回路 I T R Z D 4 は、一例として、トランジスタ F 5 と、電流源 C I と、電流源 C I r と、カレントミラー回路 C M 1 と、を有する。

【 0 3 6 2 】

トランジスタ F 4 の第 2 端子は、カレントミラー回路 C M 1 の第 1 端子と、電流源 C I の出力端子と、に電氣的に接続され、トランジスタ F 4 r の第 2 端子は、カレントミラー回路 C M 1 の第 2 端子と、電流源 C I r の出力端子と、トランジスタ F 5 の第 1 端子と、に電氣的に接続されている。また、電流源 C I の入力端子は、配線 V H E に電氣的に接続され、電流源 C I r の入力端子は、配線 V H E に電氣的に接続されている。また、カレントミラー回路 C M 1 の第 3 端子は、配線 V S E に電氣的に接続され、カレントミラー回路 C M 1 の第 4 端子は、配線 V S E に電氣的に接続されている。

20

【 0 3 6 3 】

トランジスタ F 5 の第 2 端子は、配線 O L に電氣的に接続され、トランジスタ F 5 のゲートは、配線 O E L に電氣的に接続されている。

【 0 3 6 4 】

カレントミラー回路 C M 1 は、一例として、カレントミラー回路 C M 1 の第 1 端子の電位に応じた電流量を、カレントミラー回路 C M 1 の第 1 端子と第 3 端子との間と、カレントミラー回路 C M 1 の第 2 端子と第 4 端子との間と、に流す機能を有する。

30

【 0 3 6 5 】

配線 V H E は、例えば、定電圧を与える配線として機能する。具体的には、例えば、当該定電圧としては、高レベル電位などとすることができる。

【 0 3 6 6 】

配線 V S E は、例えば、定電圧を与える配線として機能する。具体的には、例えば、当該定電圧としては、低レベル電位、接地電位などとすることができる。

【 0 3 6 7 】

配線 O E L は、例えば、トランジスタ F 5 のオン状態、又はオフ状態に切り替えるための信号を送信するための配線として機能する。具体的には、例えば、配線 O E L には、高レベル電位、又は低レベル電位を入力すればよい。

40

【 0 3 6 8 】

電流源 C I は、電流源 C I の入力端子と出力端子との間に定電流を流す機能を有する。また、電流源 C I r は、電流源 C I r の入力端子と出力端子との間に定電流を流す機能を有する。なお、図 1 6 の変換回路 I T R Z D 4 において、電流源 C I が流す電流の大きさと、電流源 C I r が流す電流の大きさと、は等しいことが好ましい。

【 0 3 6 9 】

ここで、図 1 6 の変換回路 I T R Z D 4 の動作例について、説明する。

【 0 3 7 0 】

初めに、変換回路 I T R Z D 4 からトランジスタ F 4 を介して配線 W C L に流れる電流

50

の量を I_s とし、変換回路 $ITRZD4$ からトランジスタ $F4r$ を介して配線 $WCLr$ に流れる電流量の量を I_{sr} とする。また、電流源 CI 及び電流源 CIr のそれぞれが流す電流量の量を I_0 とする。

【0371】

I_s は、図14の演算回路 $MAC2$ において、例えば、 j 列目に位置するセル $IM[1, j]$ 乃至セル $IM[m, j]$ に流れる電流量の総和とする。また、 I_{sr} は、図14の演算回路 $MAC2$ において、例えば、 j 列目に位置するセル $IMr[1, j]$ 乃至セル $IMr[m, j]$ に流れる電流量の総和とする。

【0372】

配線 $SWL2$ に高レベル電位が入力されることによって、トランジスタ $F4$ 、及びトランジスタ $F4r$ はオン状態となる。このため、カレントミラー回路 $CM1$ の第1端子から第3端子に流れる電流量は、 $I_0 - I_s$ となる。また、カレントミラー回路 $CM1$ によって、カレントミラー回路 $CM1$ の第2端子から第2端子に $I_0 - I_s$ の電流量が流れる。

【0373】

次に、配線 OEL に高レベル電位が入力されて、トランジスタ $F5$ がオン状態となる。このとき、配線 OL に流れる電流量を I_{out} とすると、 $I_{out} = I_0 - (I_0 - I_s) - I_{sr} = I_s - I_{sr}$ となる。

【0374】

ここで、図14の演算回路 $MAC2$ において、正、負、又は“0”の第1データと、正、又は“0”の第2データとの積和演算を行うための、第1データの回路 CES への保持については、上記の第1データの保持の例を参酌する。

【0375】

つまり、回路 $CES[i, j]$ に正の第1データを保持する場合、セル $IM[i, j]$ には、セル $IM[i, j]$ のトランジスタ $F2$ の第1端子－第2端子間に正の第1データの値の絶対値に応じた電流量が流れるように設定し、セル $IMr[i, j]$ には、セル $IMr[i, j]$ のトランジスタ $F2r$ の第1端子－第2端子間に電流が流れないように設定する。また、回路 $CES[i, j]$ に負の第1データを保持する場合、セル $IM[i, j]$ には、セル $IM[i, j]$ のトランジスタ $F2$ の第1端子－第2端子間に電流が流れないように設定し、セル $IMr[i, j]$ には、セル $IMr[i, j]$ のトランジスタ $F2r$ の第1端子－第2端子間に負の第1データの値の絶対値に応じた電流量が流れるように設定する。また、回路 $CES[i, j]$ に“0”の第1データを保持する場合、セル $IM[i, j]$ には、セル $IM[i, j]$ のトランジスタ $F2$ の第1端子－第2端子間に電流が流れないように設定し、セル $IMr[i, j]$ には、セル $IMr[i, j]$ のトランジスタ $F2r$ の第1端子－第2端子間に電流が流れないように設定する。

【0376】

ここで、図14の演算回路 $MAC2$ の配線 $XCL[1]$ 乃至配線 $XCL[m]$ のそれぞれに第2データが入力された場合、セル $IM[i, j]$ のトランジスタ $F2$ の第1端子－第2端子間に流れる電流量、及びセル $IMr[i, j]$ のトランジスタ $F2$ の第1端子－第2端子間に流れる電流量のそれぞれは、第2データに比例する。

【0377】

I_s は j 列目に位置するセル $IM[1, j]$ 乃至セル $IM[m, j]$ に流れる電流量の総和である。そのため、 I_s は、回路 $CES[1, j]$ 乃至回路 $CES[m, j]$ のうち、正の第1データが保持された回路 CES に含まれている、セル IM に流れる電流量の総和となり、例えば、式(2.1)と同様に表すことができる。つまり、 I_s は、正の第1データの絶対値と第2データとの積和演算の結果に対応する。また、 I_{sr} は j 列目に位置するセル $IMr[1, j]$ 乃至セル $IMr[m, j]$ に流れる電流量の総和である。そのため、 I_{sr} は、回路 $CES[1, j]$ 乃至回路 $CES[m, j]$ のうち、負の第1データが保持された回路 CES に含まれている、セル IMr に流れる電流量の総和となり、例えば、式(2.2)と同様に表すことができる。つまり、 I_{sr} は、負の第1データの絶対値と第2データとの積和演算の結果に対応する。

【0378】

このため、配線OLに流れる電流量 $I_{out} = I_s - I_{sr}$ は、正の第1データの絶対値と第2データとの積和演算の結果と、負の第1データの絶対値と第2データとの積和演算の結果と、の差に対応する。つまり、 $I_{out} = I_s - I_{sr}$ は、回路CES[1, j]乃至回路CES[m, j]に保持されている、負、“0”、又は正の第1データと、配線XCL[1]乃至配線XCL[m]のそれぞれに入力される第2データとの積和演算の結果に対応する。

【0379】

ところで、セルIM[1, j]乃至セルIM[m, j]に流れる電流量の総和が、セルIMr[1, j]乃至セルIMr[m, j]に流れる電流量の総和よりも大きいとき、すなわち I_s が I_{sr} よりも大きいとき、 I_{out} は0よりも大きい電流量となり、変換回路ITRZD4から配線OLに流れる。一方、セルIM[1, j]乃至セルIM[m, j]に流れる電流量の総和が、セルIMr[1, j]乃至セルIMr[m, j]に流れる電流量の総和よりも小さいとき、すなわち I_s が I_{sr} よりも小さいとき、配線OLから変換回路ITRZD4に電流が流れない場合がある。つまり、 I_s が I_{sr} よりも小さいとき、 I_{out} は概ね0とすることができる。このため、変換回路ITRZD4は、例えば、ReLU関数として作用するとみなすことができる。

【0380】

当該ReLU関数は、例えば、ニューラルネットワークの活性化関数に利用することができる。ニューラルネットワークの演算では、前層のニューロンのそれぞれの信号の値（例えば、第2データとすることができる）と、対応する重み係数（例えば、第1データとすることができる）と、の積和を算出する必要がある。また、積和の結果に応じて活性化関数の値を計算する必要がある。このため、ニューラルネットワークの活性化関数をReLU関数とした場合、当該ニューラルネットワークの演算は、変換回路ITRZD4を含む演算回路MAC2を用いることによって行うことができる。

【0381】

なお、階層型のニューラルネットワークについては、実施の形態4で後述する。

【0382】

次に、図16の変換回路ITRZD4の具体的な回路構成の例について説明する。

【0383】

図17Aに示す変換回路ITRZD4は、図16の変換回路ITRZD4の一例である。具体的には、図17Aでは、カレントミラー回路CM1、電流源CI、及び電流源CIrのそれぞれの構成の例を示している。

【0384】

図17Aの変換回路ITRZD4において、カレントミラー回路CM1は、一例として、トランジスタF6と、トランジスタF6rと、を有し、電流源CIは、一例として、トランジスタF7を有し、電流源CIrは、一例として、トランジスタF7rを有する。なお、トランジスタF6、トランジスタF6r、トランジスタF7、及びトランジスタF7rは、nチャネル型トランジスタとしている。

【0385】

例えば、カレントミラー回路CM1の第1端子は、トランジスタF6の第1端子と、トランジスタF6のゲートと、トランジスタF6rのゲートと、に電氣的に接続され、カレントミラー回路CM1の第3端子は、トランジスタF6の第2端子に電氣的に接続されている。また、カレントミラー回路CM1の第2端子は、トランジスタF6rの第1端子に電氣的に接続され、カレントミラー回路CM1の第4端子は、トランジスタF6rの第2端子に電氣的に接続されている。

【0386】

また、例えば、電流源CIの出力端子は、トランジスタF7の第1端子と、トランジスタF7のゲートと、に電氣的に接続され、電流源CIの入力端子は、トランジスタF7の第2端子に電氣的に接続されている。

【0387】

また、例えば、電流源 $C I r$ の出力端子は、トランジスタ $F 7 r$ の第1端子と、トランジスタ $F 7 r$ のゲートと、に電氣的に接続され、電流源 $C I r$ の入力端子は、トランジスタ $F 7 r$ の第2端子に電氣的に接続されている。

【0388】

トランジスタ $F 7$ 、及びトランジスタ $F 7 r$ のそれぞれは、ゲートと第1端子とが電氣的に接続されており、かつ第2端子と配線 $V H E$ とが電氣的に接続されている。したがって、トランジスタ $F 7$ 、及びトランジスタ $F 7 r$ のそれぞれのゲートソース間電圧は $0 V$ となり、トランジスタ $F 7$ 、及びトランジスタ $F 7 r$ のそれぞれのしきい値電圧が適切な範囲内である場合、トランジスタ $F 7$ 、及びトランジスタ $F 7 r$ のそれぞれの第1端子ー第2端子間には定電流が流れる。つまり、トランジスタ $F 7$ 、及びトランジスタ $F 7 r$ のそれぞれは電流源として機能する。

【0389】

なお、図16の変換回路 $I T R Z D 4$ に含まれる電流源 $C I$ 、及び電流源 $C I r$ の構成は、図17Aに示した電流源 $C I$ 、及び電流源 $C I r$ に限定されない。変換回路 $I T R Z D 4$ に含まれる電流源 $C I$ 、及び電流源 $C I r$ のそれぞれの構成は、状況に応じて、変更を行ってもよい。

【0390】

例えば、図16の変換回路 $I T R Z D 4$ に含まれる電流源 $C I$ 、及び電流源 $C I r$ のそれぞれは、図17Bに示す電流源 $C I$ (電流源 $C I r$) としてもよい。

【0391】

図17Bの電流源 $C I$ (電流源 $C I r$) は、一例として、複数の電流源 $C S A$ を有する。また、複数の電流源 $C S A$ のそれぞれは、トランジスタ $F 7$ と、トランジスタ $F 7 s$ と、端子 $U 1$ と、端子 $U 2$ と、端子 $U 3$ と、を有する。

【0392】

電流源 $C S A$ は、一例として、端子 $U 2$ と端子 $U 1$ との間に電流量として $I_{C S A}$ を流す機能を有する。また、電流源 $C I$ (電流源 $C I r$) は、例えば、 $2^P - 1$ 個 (P は1以上の整数である) の電流源 $C S A$ を有するものとしたとき、電流源 $C I$ (電流源 $C I r$) は、出力端子に電流量として $s \times I_{C S A}$ (s は0以上 $2^P - 1$ 以下の整数である) を流すことができる。

【0393】

なお、実際には、電流源 $C I$ (電流源 $C I r$) の作製段階において、それぞれの電流源 $C S A$ に含まれているトランジスタの電気特性のバラツキによって誤差が現れることがある。そのため、複数の電流源 $C S A$ の端子 $U 1$ のそれぞれから出力される定電流 $I_{C S A}$ の誤差は10%以内が好ましく、5%以内であることがより好ましく、1%以内であることがより好ましい。なお、本実施の形態では、電流源 $C I$ (電流源 $C I r$) に含まれている複数の電流源 $C S A$ の端子 $U 1$ から出力される定電流 $I_{C S A}$ の誤差は無いものとして説明する。

【0394】

複数の電流源 $C S A$ の一において、トランジスタ $F 7 s$ の第1端子は、端子 $U 1$ に電氣的に接続され、トランジスタ $F 7 s$ のゲートは、端子 $U 3$ に電氣的に接続されている。トランジスタ $F 7$ の第1端子は、トランジスタ $F 7$ のゲートと、トランジスタ $F 7 s$ の第2端子と、に電氣的に接続されている。トランジスタ $F 7$ の第2端子は、端子 $U 2$ に電氣的に接続されている。

【0395】

複数の電流源 $C S A$ のそれぞれの端子 $U 1$ は、電流源 $C I$ (電流源 $C I r$) の出力端子に電氣的に接続されている。また、複数の電流源 $C S A$ のそれぞれの端子 $U 2$ は、電流源 $C I$ (電流源 $C I r$) の入力端子に電氣的に接続されている。つまり、複数の電流源 $C S A$ のそれぞれの端子 $U 2$ と、配線 $V H E$ と、の間は導通となっている。

【0396】

また、1個の電流源 $C S A$ の端子 $U 3$ は配線 $C L [1]$ に電氣的に接続され、2個の電流源 $C S A$ の端子 $U 3$ のそれぞれは配線 $C L [2]$ に電氣的に接続され、 2^{P-1} 個の電流源 $C S$ の端子 $U 3$ のそれぞれは配線 $C L [P]$ に電氣的に接続されている。

【0397】

配線 $C L [1]$ 乃至配線 $C L [P]$ は、電氣的に接続されている電流源 $C S A$ から定電流 $I_{C S A}$ を出力するための制御信号を送信する配線として機能する。具体的には、例えば、配線 $C L [1]$ に高レベル電位が与えられているとき、配線 $C L [1]$ に電氣的に接続されている電流源 $C S A$ は、定電流として $I_{C S A}$ を端子 $U 1$ に流し、また、配線 $C L [1]$ に低レベル電位が与えられているとき、配線 $C L [1]$ に電氣的に接続されている電流源 $C S A$ は、 $I_{C S A}$ を出力しない。また、例えば、配線 $C L [2]$ に高レベル電位が与えられているとき、配線 $C L [2]$ に電氣的に接続されている2個の電流源 $C S A$ は、合計 $2 I_{C S A}$ を定電流として端子 $U 1$ に流し、また、配線 $C L [2]$ に低レベル電位が与えられているとき、配線 $C L [2]$ に電氣的に接続されている電流源 $C S A$ は、合計 $2 I_{C S A}$ の定電流を出力しない。また、例えば、配線 $C L [P]$ に高レベル電位が与えられているとき、配線 $C L [P]$ に電氣的に接続されている 2^{P-1} 個の電流源 $C S A$ は、合計 $2^{P-1} I_{C S A}$ を定電流として端子 $U 1$ に流し、また、配線 $C L [P]$ に低レベル電位が与えられているとき、配線 $C L [P]$ に電氣的に接続されている電流源 $C S A$ は、合計 $2^{P-1} I_{C S A}$ の定電流を出力しない。

【0398】

このため、電流源 $C I$ （電流源 $C I r$ ）は、配線 $C L [1]$ 乃至配線 $C L [P]$ から選ばれた一本以上の配線に高レベル電位を与えることによって、電流源 $C I$ （電流源 $C I r$ ）の出力端子に電流を流すことができる。また、当該電流の量は、高レベル電位を入力する、配線 $C L [1]$ 乃至配線 $C L [P]$ から選ばれた一本以上の配線の組み合わせによって定めることができる。例えば、配線 $C L [1]$ 及び配線 $C L [2]$ に高レベル電位が与えられ、配線 $C L [3]$ 乃至配線 $C L [P]$ に低レベル電位が与えられているとき、電流源 $C I$ （電流源 $C I r$ ）は、電流源 $C I$ （電流源 $C I r$ ）の出力端子に合計 $3 I_{C S A}$ の電流を流すことができる。

【0399】

上記の通り、図17Bの電流源 $C I$ （電流源 $C I r$ ）を用いることによって、状況に応じて、電流源 $C I$ （電流源 $C I r$ ）が出力端子に流す電流量を変化させることができる。

【0400】

また、図16の変換回路 $I T R Z D 4$ として、図17Aの変換回路 $I T R Z D 4$ を適用することによって、変換回路 $I T R Z D 4$ に含まれるすべてのトランジスタを $O S$ トランジスタとすることができる。また、演算回路 $M A C 2$ のセルアレイ $C A$ 、回路 $W C S$ 、回路 $X C S$ などは、 $O S$ トランジスタのみで構成することができるため、変換回路 $I T R Z D 4$ は、セルアレイ $C A$ 、回路 $W C S$ 、回路 $X C S$ などと同時に作製することができる。そのため、演算回路 $M A C 2$ の作製工程を短縮することができる場合がある。なお、これは、図17Aの変換回路 $I T R Z D 4$ の電流源 $C I$ 及び電流源 $C I r$ に図17Bの電流源 $C I$ （電流源 $C I r$ ）を適用した場合についても同様である。

【0401】

例えば、図16の変換回路 $I T R Z D 4$ に含まれる電流源 $C I$ 、及び電流源 $C I r$ のそれぞれは、互いに同じ電流を流す必要があるため、電流源 $C I$ 、及び電流源 $C I r$ のそれぞれをカレントミラー回路に置き換えてもよい。

【0402】

図18Aに示す変換回路 $I T R Z D 4$ は、図16の変換回路 $I T R Z D 4$ に含まれる電流源 $C I$ 、及び電流源 $C I r$ のそれぞれをカレントミラー回路 $C M 2$ に置き換えた構成となっている。カレントミラー回路 $C M 2$ は、一例として、トランジスタ $F 8$ と、トランジスタ $F 8 r$ と、を有する。なお、トランジスタ $F 8$ 、及びトランジスタ $F 8 r$ は、 p チャネル型トランジスタとしている。

【0403】

10

20

30

40

50

トランジスタ F 8 の第 1 端子は、トランジスタ F 8 のゲートと、トランジスタ F 8 r のゲートと、トランジスタ F 4 の第 2 端子と、カレントミラー回路 C M 1 の第 1 端子と、に電氣的に接続されている。トランジスタ F 8 の第 2 端子は、配線 V H E に電氣的に接続されている。トランジスタ F 8 r の第 1 端子は、トランジスタ F 4 r の第 2 端子と、カレントミラー回路 C M 1 の第 2 端子と、に電氣的に接続されている。トランジスタ F 8 r の第 2 端子は、配線 V H E に電氣的に接続されている。

【 0 4 0 4 】

図 1 8 A の変換回路 I T R Z D 4 のとおり、図 1 6 の変換回路 I T R Z D 4 に含まれる電流源 C I 、及び電流源 C I r のそれぞれをカレントミラー回路 C M 2 に置き換えることによって、トランジスタ F 4 の第 2 端子とカレントミラー回路 C M 1 の第 1 端子との接続点、及びトランジスタ F 4 r の第 2 端子とカレントミラー回路 C M 1 の第 2 端子とトランジスタ F 5 の第 1 端子との接続点のそれぞれに互いにほぼ等しい電流量を流すことができる。

【 0 4 0 5 】

なお、図 1 8 A では、カレントミラー回路 C M 2 をトランジスタ F 8 と、トランジスタ F 8 r と、からなる構成として図示したが、カレントミラー回路 C M 2 の回路構成は、これに限定されない。例えば、カレントミラー回路 C M 2 は、後述する図 1 8 C と同様に、カレントミラー回路 C M 2 に含まれるトランジスタをカスコード接続した構成としてもよい。このように、図 1 8 A のカレントミラー回路 C M 2 の回路構成は、状況に応じて変更を行ってもよい。

【 0 4 0 6 】

なお、図 1 8 A の変換回路 I T R Z D 4 は、図 1 8 B に示す変換回路 I T R Z D 4 に構成のとおり、カレントミラー回路 C M 1 を設けない構成としてもよい。図 1 8 B に示す変換回路 I T R Z D 4 は、カレントミラー回路 C M 2 の第 1 端子からトランジスタ F 4 の第 2 端子に流れる電流量と、カレントミラー回路 C M 2 の第 2 端子からトランジスタ F 4 r の第 2 端子と配線 V S E とトランジスタ F 5 の第 1 端子との接続点に流れる電流量と、を互いにほぼ等しくすることができる。そのため、 I_S が I_{S_r} よりも大きい場合に、図 1 8 B の配線 O L に流れる電流量 I_{out} は、図 1 6 の変換回路 I T R Z D 4 と同様に $I_S - I_{S_r}$ とすることができる。

【 0 4 0 7 】

図 1 8 B の変換回路 I T R Z D 4 は、カレントミラー回路 C M 1 を設けない構成となっているため、図 1 8 A の変換回路 I T R Z D 4 よりも回路面積を低減することができる。また、カレントミラー回路 C M 2 からカレントミラー回路 C M 1 に流れる定常電流が無くなるため、図 1 8 B の変換回路 I T R Z D 4 は、図 1 8 A の変換回路 I T R Z D 4 よりも消費電力を低減することができる。

【 0 4 0 8 】

なお、図 1 8 B では、トランジスタ F 8 、及びトランジスタ F 8 r を図示せず、カレントミラー回路 C M 2 をブロック図として図示している。そのため、図 1 8 B のカレントミラー回路 C M 2 は、図 1 8 A のカレントミラー回路 C M 2 と同様に、状況に応じて、構成を決めることができる。

【 0 4 0 9 】

例えば、図 1 8 B の変換回路 I T R Z D 4 に含まれているカレントミラー回路 C M 2 は、図 1 8 C に示すカレントミラー回路 C M 2 としてもよい。図 1 8 C に示すカレントミラー回路 C M 2 は、図 1 8 B に示すカレントミラー回路 C M 2 に更に p チャネル型トランジスタであるトランジスタ F 8 s 及びトランジスタ F 8 s r を設けて、トランジスタ F 8 とトランジスタ F 8 s とでカスコード接続し、トランジスタ F 8 r とトランジスタ F 8 s r とでカスコード接続した構成となっている。図 1 8 C のとおり、カレントミラー回路に含まれるトランジスタをカスコード接続することによって、当該カレントミラー回路の動作をより安定させることができる。

【 0 4 1 0 】

また、図16の変換回路ITRZD4に含まれるカレントミラー回路CM1は、図17Aに示したカレントミラー回路CM1に限定されない。図17Aの変換回路ITRZD4に含まれるカレントミラー回路CM1の構成は、状況に応じて、変更を行ってもよい。

【0411】

例えば、図16の変換回路ITRZD4に含まれるカレントミラー回路CM1は、図18Dに示すカレントミラー回路CM1としてもよい。図18Dに示すカレントミラー回路CM1は、図17Aに示すカレントミラー回路CM1に更にnチャンネル型トランジスタであるトランジスタF6s及びトランジスタF6srを設けて、トランジスタF6とトランジスタF6sとでカスコード接続し、トランジスタF6rとトランジスタF6srとでカスコード接続した構成となっている。図18Dのとおり、カレントミラー回路に含まれるトランジスタをカスコード接続することによって、当該カレントミラー回路の動作をより安定させることができる。

10

【0412】

なお、本発明の一態様は、本実施の形態で述べた演算回路MAC2の回路構成に限定されない。演算回路MAC2は、状況に応じて、回路構成を変更することができる。例えば、演算回路MAC2に含まれている、容量C5、容量C5rは、トランジスタのゲート容量とすることができる（図示しない）。また、演算回路MAC2において、ノードNN、ノードNNr、及びノードNNrefと周辺の配線との寄生容量が大きい場合は、容量C5、容量C5r、及び容量C5mのそれぞれは、必ずしも設けなくてもよい。

【0413】

20

以上のとおり、演算回路MAC2を用いることによって、正、負、又は“0”の第1データと、正、又は“0”の第2データとの積和演算を行うことができる。

【0414】

<演算回路の構成例2>

図19は、正、又は“0”の第1データと、“1”又は“0”（2値、1ビットのデジタル値）の第2データと、の積和を行う演算回路MAC3Aの構成例を示している。図19の演算回路MAC3Aは、セルアレイCAにおいて、セルIMがトランジスタF1と、トランジスタF2と、トランジスタF9と、容量C5と、を有する点、容量C5の第2端子が配線VE2に電氣的に接続している点などで、図7の演算回路MAC1と異なる。また、図19のセルアレイCAには、図7に示すセルアレイCAに含まれているセルIMrefが設けられていなくてもよい。

30

【0415】

なお、トランジスタF9は、例えば、トランジスタF1に適用できるトランジスタを用いることができる。

【0416】

図19のセルアレイCAは、 $m \times n$ 個のセルIMを有し、セルIMは、 $m \times n$ のマトリクス状に配置されている。なお、図19では、セルIMを区別するため、 i 行 j 列のセルIMをセルIM $[i, j]$ と表記している。

【0417】

セルIMにおいて、トランジスタF2のゲートは、容量C5の第1端子と、トランジスタF1の第1端子と、に電氣的に接続されている。トランジスタF1の第2端子は、配線WCLに電氣的に接続され、トランジスタF1のゲートは、配線WSLに電氣的に接続されている。容量C5の第2端子は、配線VE2に電氣的に接続されている。トランジスタF2の第1端子は、配線VE1に電氣的に接続され、トランジスタF2の第2端子は、トランジスタF9の第1端子に電氣的に接続されている。トランジスタF9の第2端子は、配線WCLに電氣的に接続され、トランジスタF9のゲートは配線XCLに電氣的に接続されている。

40

【0418】

配線VE1は、図7に示す配線VEと同様に、トランジスタF2の第1端子－第2端子間に電流を流すための配線であって、定電圧を供給する配線として機能する。なお、当該

50

定電圧としては、例えば、低レベル電位、接地電位などとすることができる。また、配線 V E 2 は、定電圧を供給する配線として機能する。なお、当該定電圧としては、例えば、高レベル電位、低レベル電位、接地電位などとすることができる。

【0419】

セル I M のトランジスタ F 2 に電流量を設定するとき、トランジスタ F 1 とトランジスタ F 9 とをオン状態にして、トランジスタ F 2 のゲートに当該電流量に応じた電位を書き込み、その後にトランジスタ F 1 をオフ状態にすることによって、トランジスタ F 2 のゲートの電位を容量 C 5 の第 1 端子に保持する。これにより、セル I M に、配線 W C L から送られる第 1 データを保持することができる。

【0420】

次に、セル I M に第 2 データを入力する場合を考える。第 2 データとして“ 1 ”をセル I M に入力する場合、配線 X C L に高レベル電位を与えることとし、第 2 データとして“ 0 ”をセル I M に入力する場合、配線 X C L に低レベル電位を与えることとする。第 2 データが“ 1 ”のとき、トランジスタ F 9 がオン状態となるため、トランジスタ F 2 の第 2 端子から配線 W C L にトランジスタ F 2 のドレイン電流を流すことができる。一方、第 2 データが“ 0 ”のとき、トランジスタ F 9 がオフ状態となるため、トランジスタ F 2 の第 2 端子から配線 W C L にトランジスタ F 2 のドレイン電流が流れない。言い換えると、トランジスタ F 2 の第 2 端子から配線 W C L に電流量ゼロの電流が流れる。以上より、第 1 データと第 2 データの積に応じた量（ゼロを含む）の電流を、トランジスタ F 2 の第 2 端子から配線 W C L に流すことができる。

【0421】

トランジスタ F 1 のオン状態とオフ状態との切り替えは、図 7 に示す回路 W S D と同様の動作によって行うことができる。そのため、図 19 に示す回路 W S D は、図 7 に示す回路 W S D と同様のものを用いることが好ましい。ここで、図 19 の配線 W S L [1] 乃至配線 W S L [m] は、図 19 に示す回路 W S D に電氣的に接続されていることが好ましい。

【0422】

また、配線 X C L [1] 乃至配線 X C L [m] は、第 2 データを入力するための配線だけでなく、セル I M を選択するための配線としての機能を有する。そのため、配線 X C L [1] 乃至配線 X C L [m] に電氣的に接続される回路は、配線 X C L [1] 乃至配線 X C L [m] のそれぞれに第 2 データを入力する機能に加え、第 1 データを書き込むセル I M を選択するための選択信号を入力する機能を有する。

【0423】

また、センサ S N C から図 19 のセル I M に第 2 データを入力する場合、センサ S N C が出力した電流を、電流電圧変換回路等によって電圧に変換して、更にアナログデジタル変換回路、コンパレータ回路などによって当該電圧を 2 値化して、配線 X C L [1] 乃至配線 X C L [m] に入力する構成とすることが好ましい。また、そのための電流電圧変換回路、アナログデジタル変換回路などは、層 C C L に含まれる構成としてもよい。具体的には、例えば、図 19 に示す回路 A C [1] 乃至回路 A C [m] は、一例として、図 7 に示した回路 P T R と、上述した電流電圧変換回路、アナログデジタル変換回路などを有する構成とすることができる。図 19 において、回路 A C [1] の第 1 端子は、配線 X C L [1] に電氣的に接続され、回路 A C [1] の第 2 端子は、配線 E I L [1] に電氣的に接続されている。また、図 19 において、回路 A C [m] の第 1 端子は、配線 X C L [m] に電氣的に接続され、回路 A C [m] の第 2 端子は、配線 E I L [m] に電氣的に接続されている。

【0424】

なお、本発明の一態様は、本実施の形態で述べた図 19 に示した演算回路 M A C 3 A の回路構成に限定されない。図 19 の演算回路 M A C 3 A は、状況に応じて、回路構成を変更することができる。例えば、本発明の一態様は、図 20 に示す演算回路 M A C 3 B の回路構成としてもよい。図 20 に示す演算回路 M A C 3 B は、セル I M のそれぞれに含まれているトランジスタ F 9 の第 2 端子が配線 W C L でなく配線 R C L に電氣的に接続されて

10

20

30

40

50

いる点、回路 S W S 1 及び回路 S W S 2 が設けられていなく、回路 S W S 3 が設けられている点などで図 1 9 の演算回路 M A C 3 A と異なっている。

【 0 4 2 5 】

図 2 0 において、回路 S W S 3 は、スイッチ S B [1] 乃至スイッチ S B [n] を有する。なお、スイッチ S B [1] 乃至スイッチ S B [n] としては、例えば、スイッチ S A [1] 乃至スイッチ S A [m] に適用できるスイッチを用いることができる。

【 0 4 2 6 】

スイッチ S B の第 1 端子は、配線 W C L [1] に電氣的に接続され、スイッチ S B の第 2 端子は、配線 R C L [1] に電氣的に接続されている。また、スイッチ S B の制御端子は、配線 S W L B に電氣的に接続されている。

10

【 0 4 2 7 】

配線 S W L B は、一例として、スイッチ S B [1] 乃至スイッチ S B [n] のそれぞれのオン状態とオフ状態との切り替えを行うための配線として機能する。そのため、配線 S W L B には、高レベル電位、又は低レベル電位が供給される。

【 0 4 2 8 】

また、配線 R C L [1] 乃至配線 R C L [n] は、回路 I T S に電氣的に接続されている。

【 0 4 2 9 】

セル I M のトランジスタ F 2 に電流量を設定するとき、トランジスタ F 1 とトランジスタ F 9 とをオン状態にし、スイッチ S B をオン状態にして、トランジスタ F 2 のゲートに当該電流量に応じた電位を書き込み、その後にトランジスタ F 1 をオフ状態にし、スイッチ S B をオフ状態にすることによって、トランジスタ F 2 のゲートの電位を容量 C 5 の第 1 端子に保持する。これにより、セル I M に、配線 W C L から送られる第 1 データを保持することができる。

20

【 0 4 3 0 】

セル I M に第 2 データを入力するとき、あらかじめスイッチ S B をオフ状態とする。その後に、配線 X C L に第 2 データとして“ 1 ”（高レベル電位）又は“ 0 ”（低レベル電位）を入力することで、第 1 データと第 2 データの積に応じた量（ゼロを含む）の電流を、トランジスタ F 2 の第 2 端子から配線 R C L に流すことができる。

【 0 4 3 1 】

また、セル I M に第 2 データを入力して、セル I M から配線 R C L に電流を流す際、配線 R C L にはトランジスタ F 2 がサブスレッショルド領域で動作する範囲の電圧が入力される。図 2 0 に示すセル I M では、トランジスタ F 9 の第 2 端子を配線 W C L でなく配線 R C L に電氣的に接続されているため、トランジスタ F 1 の第 2 端子に当該電圧は入力されない。このため、セル I M から配線 R C L を介して回路 I T S に電流を流すとき、トランジスタ F 1 のソースドレイン間にかかる電氣的な負荷を軽減することができる。また、トランジスタ F 2 の第 2 端子と、配線 R C L と、の間には、トランジスタ F 9 を介しているため、トランジスタ F 2 の第 2 端子にはトランジスタ F 9 によって低下した当該電圧が入力される。つまり、トランジスタ F 9 を設けることにより、トランジスタ F 2 の第 2 端子への過電圧の入力を抑制する効果も得られる。

30

【 0 4 3 2 】

以上のとおり、図 1 9 の演算回路 M A C 3 A 、又は図 2 0 に示す演算回路 M A C 3 B を用いることによって、正、又は“ 0 ”の第 1 データと、“ 1 ”又は“ 0 ”の第 2 データとの積和演算を行うことができる。

【 0 4 3 3 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 4 3 4 】

（実施の形態 3）

本実施の形態では、上記実施の形態で説明した演算回路 M A C 1 、又は演算回路 M A C

40

50

2に含まれている回路XCSに第2データを送信するための回路構成について説明する。

【0435】

図21Aに示す回路構成の例には、回路XCSに第2データに応じた信号を送信するための回路LGC、及び回路LSを示している。なお、回路LGC、及び回路LSとの接続構成を示すため、図21Aには、回路XCSと、層CCLに含まれている回路PTC及びセルアレイCAと、層PDLに含まれているセンサSNC[1]乃至センサSNC[m]と、も図示している。また、図21Aでは、回路LGC、及び回路LSは、一例として、層CCLに含まれているものとする。図21Aに示す回路を構成することによって、配線XCL[1]乃至配線XCL[m]からセルアレイCAに入力される電流の自由度を高めることができる。電流の自由度を高めることによって、例えば、実施の形態1で説明した参照データ、又は第2データに応じた電流を状況に応じて設定することができる。

10

【0436】

回路LGCは、配線LXS[1]乃至配線LXS[m]によって、回路LSに電氣的に接続されている。また、回路LSは、配線DXS[1]乃至配線DXS[m]によって、回路XCSに電氣的に接続されている。

【0437】

回路XCSは、実施の形態1で説明したとおり、配線XCL[1]乃至配線XCL[m]のそれぞれに対して、参照データに応じた電流量、又は第2データに応じた電流量を流す機能を有する。回路XCSは、一例として、図8Cに示した回路XCSの構成を適用することができる。

20

【0438】

特に、回路XCSとして、図8Cに示した回路XCSを適用した場合、配線XCL[1]乃至配線XCL[m]の一に流れる電流量は、その配線に電氣的に接続されている回路XCSaの配線DX[1]乃至配線DX[L]に入力されている電位の組み合わせに応じて定められる。ここで、図21Aにおいて、配線DXS[1]は、配線XCL[1]に電氣的に接続されている回路XCSaの配線DX[1]乃至配線DX[L]とし、配線DXS[m]は、配線XCL[m]に電氣的に接続されている回路XCSaの配線DX[1]乃至配線DX[L]とする。つまり、配線DXS[1]乃至配線DXS[m]の一は、デジタル信号を送信するバス配線とすることができる。

【0439】

回路LSは、一例として、入力された電位を所望の電位にレベルシフトを行う機能を有する。具体的には、回路LSは、配線LXS[1]から入力された電位を所望の電位にレベルシフトして、配線DXS[1]にレベルシフトした電位を出力する。そのため、配線LXS[1]の配線数は、配線DXS[1]と同数とすることができる。また、同様に、回路LSは、配線LXS[m]から入力された電位を所望の電位にレベルシフトして、配線DXS[m]にレベルシフトした電位を出力する。そのため、配線LXS[m]の配線数は、配線DXS[m]と同数とすることができる。また、配線LXS[1]乃至配線LXS[m]の一は、デジタル信号を送信するバス配線とすることができる。

30

【0440】

回路LGCは、一例として、回路LGCに入力されるデータDTを順次保持し、所望のタイミングで配線LXS[1]乃至配線LXS[m]に平行に同時に、又は逐次的にデータDTを出力する機能を有する。ここでのデータDTとしては、例えば、配線XCL[1]乃至配線XCL[m]に入力される参照データ、又は第2データとすることができる。つまり、回路LGCは、図21Aに示す配線XCL[1]乃至配線XCL[m]に参照データに応じた電流量、又は第2データに応じた電流量を流すために、回路LGCの外部から受け取った当該参照データ、又は当該第2データを保持し、当該参照データ、又は当該第2データを所定のタイミングで配線LXS[1]乃至配線LXS[m]のそれぞれに出力する。なお、回路LGCの具体的な回路の構成例については、後述する。

40

【0441】

なお、回路LGCから出力された電圧をレベルシフトする必要がない場合は、図21A

50

に示す回路構成において、回路LSを設けず、配線LXS[1]乃至配線LXS[m]のそれぞれと、配線DXS[1]乃至配線DXS[m]のそれぞれと、を電氣的に接続すればよい。

【0442】

次に、一例として、センサSNC[1]乃至センサSNC[m]を、フォトダイオードPDを含む光センサの構成として、配線XCL[1]乃至配線XCL[m]からセルアレイCAに流れる電流の入力方法について説明する。具体的には、層PDLに含まれているセンサSNCの構成は、図21Bに示すとおり、フォトダイオードPDの入力端子は、配線VANLに電氣的に接続され、フォトダイオードPDの出力端子は、配線EILに電氣的に接続されているものとする。なお、配線VANLは、定電圧を与える配線として機能し、当該定電圧としては、低レベル電位、接地電位、負電位などとすることができる。このため、フォトダイオードPDに光が照射されると、フォトダイオードPDの出力端子から、入力端子を介して配線VANLに電流が流れる。

10

【0443】

センサSNC[1]乃至センサSNC[m]を図21Bの構成とした図21Aの回路構成における配線XCL[i]からセルアレイCAへの電流の入力方法の1つとしては、例えば、スイッチSA[1]乃至スイッチSA[m]をオフ状態にするモードがある。スイッチSA[1]乃至スイッチSA[m]をオフ状態にすることによって、フォトダイオードPDで発生した電流が配線XCL[i]に流れなくなる。このため、配線XCL[i]からセルアレイCAに流れる電流を、回路XCSによって生成された参照データ、又は第2データに応じた電流とすることができる。

20

【0444】

また、例えば、センサSNC[1]乃至センサSNC[m]を図21Bの構成とした図21Aの回路構成における配線XCL[i]からセルアレイCAへの電流の入力のモードの1つとしては、スイッチSA[1]乃至スイッチSA[m]をオン状態にするモードがある。スイッチSA[1]乃至スイッチSA[m]をオン状態にすることによって、配線XCL[i]からセルアレイCAに流れる電流を、回路XCSによって生成された所望の電流と、フォトダイオードPDで発生した電流と、の差分電流とすることができる。

【0445】

ところで、センサSNC[1]乃至センサSNC[m]の回路構成としては、図21BのフォトダイオードPDの入力端子と出力端子とを入れ替えてもよい。具体的には、図21Cに示すとおり、センサSNCは、フォトダイオードPDの入力端子が配線EILに電氣的に接続され、フォトダイオードPDの出力端子が配線VANLに電氣的に接続されている構成となっている。なお、このとき、配線VANLが与える定電圧としては、高レベル電位などとする。このため、フォトダイオードPDに光が照射されると、フォトダイオードPDの出力端子から入力端子に電流が流れる。このため、フォトダイオードPDに光が照射されると、配線VANLから、フォトダイオードPDの出力端子を介して、入力端子に電流が流れる。

30

【0446】

センサSNC[1]乃至センサSNC[m]を図21Cの構成とした図21Aの回路構成における配線XCL[i]からセルアレイCAへの電流の入力のモードの1つとしては、例えば、スイッチSA[1]乃至スイッチSA[m]をオフ状態にするモードがある。このモードで動作することによって、センサSNC[1]乃至センサSNC[m]を図21Bの構成とした図21Aの回路構成でスイッチSA[1]乃至スイッチSA[m]をオフ状態にすることと同様に、フォトダイオードPDで発生した電流が配線XCL[i]に流れなくすることができ、配線XCL[i]からセルアレイCAに流れる電流を、回路XCSによって生成された参照データ、又は第2データに応じた電流とすることができる。

40

【0447】

また、例えば、センサSNC[1]乃至センサSNC[m]を図21Cの構成とした図21Aの回路構成における配線XCL[i]からセルアレイCAへの電流の入力のモード

50

の1つとしては、例えば、スイッチSA [1] 乃至スイッチSA [m] をオン状態にするモードがある。このモードで動作することによって、スイッチSA [1] 乃至スイッチSA [m] をオン状態にすることによって、配線XCL [i] からセルアレイCAに流れる電流を、回路XCSによって生成された所望の電流と、フォトダイオードPDで発生した電流と、の総和とすることができる。

【0448】

また、このとき、回路XCSから配線XCL [i] に流れる電流量を0にする、つまり、回路XCSから配線XCL [i] への電流の供給を行わないようにすることで、配線XCL [i] からセルアレイCAに流れる電流は、フォトダイオードPDで発生した電流のみとすることができる。

【0449】

上述したとおり、図21Aの回路構成を図1、又は図3の半導体装置SDVなどに適用することによって、配線XCL [1] 乃至配線XCL [m] からセルアレイCAに入力される電流の自由度を高めることができ、実施の形態1で説明した参照データ、又は第2データに応じた電流を状況に応じて設定することができる。

【0450】

例えば、セルアレイCAに参照データ、又は第2データを入力するとき、センサSNCによって生成された電流を用いない場合は、回路PTCのスイッチSA [1] 乃至スイッチSA [m] をオフ状態にして、回路XCSによって、参照データ、又は第2データに応じた電流を生成して、当該電流を配線XCL [1] 乃至配線XCL [m] に流せばよい。

【0451】

また、例えば、セルアレイCAに参照データ、又は第2データを入力するとき、センサSNCによって生成された電流を用いる場合は、回路PTCのスイッチSA [1] 乃至スイッチSA [m] をオン状態にして、センサSNCによって生成された電流を配線XCL [1] 乃至配線XCL [m] に流せばよい。なお、場合によっては、回路XCSから配線XCL [1] 乃至配線XCL [m] に流れる電流量は、所望の量としてもよいし、0としてもよい。

【0452】

特に、図21Aの回路構成を適用した半導体装置SDVにおいて、図12のタイミングチャートの動作例を行う場合、例えば、時刻T13から時刻T14までの間、及び時刻T17から時刻T19までの間では、回路PTCに含まれているスイッチSA [1] 乃至スイッチSA [m] をオフ状態にして、回路XCSから参照データに応じた電流を配線XCL [1] 乃至配線XCL [m] に流せばよい。また、例えば、時刻T22から時刻T23までの間では、回路XCSから配線XCL [1] 乃至配線XCL [m] に流れる電流量を0とし、回路PTCに含まれているスイッチSA [1] 乃至スイッチSA [m] をオン状態にして、センサSNCによって生成された電流を配線XCL [1] 乃至配線XCL [m] に流せばよい。

【0453】

また、例えば、図21Aの回路構成を適用した半導体装置SDVにおいて、セルアレイCAに参照データ、又は第2データを入力するとき、回路XCSによって生成された電流と、センサSNCによって生成された電流と、の総和の電流（又は差分電流）を、参照データ、又は第2データとして、配線XCL [1] 乃至配線XCL [m] に流してもよい。ここで、センサSNCを図21B、又は図21Cに示すフォトダイオードPDを含む構成としたとき、配線XCL [1] 乃至配線XCL [m] に流れる電流は、フォトダイオードPDによって撮像されたデータに応じたものとなる。このとき、撮像されたデータに対する補正データを回路XCSから配線XCL [1] 乃至配線XCL [m] に流れる電流として生成することによって、配線XCL [1] 乃至配線XCL [m] からセルアレイCAに、補正が行われた撮像データに応じた電流を流すことができる。当該補正としては、例えば、特定の色に対して強弱をつける色調補正などが挙げられる。

【0454】

10

20

30

40

50

〔回路 L G C の構成例〕

次に、回路 L G C の具体的な回路の構成例について説明する。配線 L X S [1] 乃至配線 L X S [m] の一はデジタル信号を送信するバス配線としたとき、回路 L G C に入力されるデータ D T (参照データ、及び当該第 2 データ) はデジタル信号として入力されることが好ましい。データ D T をデジタル信号として扱うことによって、回路 L G C は論理回路として構成することができる。

〔0455〕

回路 L G C を論理回路として構成する場合、回路 L G C は、一例として、図 22 A に示す回路構成とすることができる。図 22 A に示す回路 L G C は、シフトレジスタ S R と、ラッチ回路 L T A [1] 乃至ラッチ回路 L T A [m] と、ラッチ回路 L T B [1] 乃至ラッチ回路 L T B [m] と、スイッチ S W [1] 乃至スイッチ S W [m] を有する。

10

〔0456〕

シフトレジスタ S R は、配線 S P L と、配線 S C L と、配線 S E L [1] 乃至配線 S E L [m] と、に電氣的に接続されている。

〔0457〕

ラッチ回路 L T A [1] 乃至ラッチ回路 L T A [m] のそれぞれの制御端子 (クロック入力端子、イネーブル信号入力端子などと呼ばれる場合がある) には、配線 S E L [1] 乃至配線 S E L [m] が電氣的に接続され、ラッチ回路 L T B [1] 乃至ラッチ回路 L T B [m] のそれぞれの制御端子には配線 L A T が電氣的に接続されている。また、ラッチ回路 L T A [1] 乃至ラッチ回路 L T A [m] のそれぞれの入力端子 D は、配線 D A T に電氣的に接続され、ラッチ回路 L T A [1] 乃至ラッチ回路 L T A [m] のそれぞれの出力端子 Q は、配線 D L [1] 乃至配線 D L [m] のそれぞれに電氣的に接続されている。ラッチ回路 L T B [1] 乃至ラッチ回路 L T B [m] のそれぞれの入力端子 D は、配線 D L [1] 乃至配線 D L [m] に電氣的に接続され、ラッチ回路 L T B [1] 乃至ラッチ回路 L T B [m] のそれぞれの出力端子 Q は、スイッチ S W [1] 乃至スイッチ S W [m] のそれぞれの第 1 端子に電氣的に接続されている。スイッチ S W [1] 乃至スイッチ S W [m] のそれぞれの第 2 端子は、配線 L X S [1] 乃至配線 L X S [m] のそれぞれに電氣的に接続され、スイッチ S W [1] 乃至スイッチ S W [m] のそれぞれの制御端子は、配線 S W L [1] 乃至配線 S W L [m] のそれぞれに電氣的に接続されている。

20

〔0458〕

スイッチ S W [1] 乃至スイッチ S W [m] としては、例えば、アナログスイッチ、トランジスタなどの電氣的なスイッチを適用することができる。また、スイッチ S W [1] 乃至スイッチ S W [m] としては、例えば、機械的なスイッチを適用してもよい。なお、スイッチ S W [1] 乃至スイッチ S W [m] にトランジスタを適用する場合、当該トランジスタは、O S トランジスタ、または S i トランジスタとすることができる。

30

〔0459〕

また、図 22 A に示すスイッチ S W [1] 乃至スイッチ S W [m] のそれぞれは、制御端子に高レベル電位が入力された時にオン状態となり、また、制御端子に低レベル電位が入力された時にオフ状態となる。

〔0460〕

配線 S W L [1] 乃至配線 S W L [m] は、一例として、スイッチ S W [1] 乃至スイッチ S W [m] の導通状態と非導通状態とを切り替えを行うための配線として機能する。

40

〔0461〕

配線 S P L は、一例として、シフトレジスタ S R にスタートパルス信号を送信する配線として機能する。

〔0462〕

また、配線 S C L は、一例として、シフトレジスタ S R にクロック信号を送信する配線として機能する。

〔0463〕

また、配線 D A T は、一例として、回路 L G C にデータ D T を送信する配線として機能

50

する。

【0464】

配線SEL[1]乃至配線SEL[m]、配線DL[1]乃至配線DL[m]、及び配線DATのそれぞれは、デジタル信号を送信する配線とすることができる。そのため、配線SEL[1]乃至配線SEL[m]、配線DL[1]乃至配線DL[m]、及び配線DATのそれぞれは、バス配線とすることができる。また、配線SWLもバス配線とすることができる。

【0465】

シフトレジスタSRは、一例として、配線SPL及び配線SCLに入力される電位の変化に従って、逐次的に配線SEL[1]乃至配線SEL[m]に高レベル電位を出力する機能を有する。なお、シフトレジスタSRは、配線SEL[1]乃至配線SEL[m]のうち2本以上に高レベル電位を出力することはできず、配線SEL[1]乃至配線SEL[m]のいずれかが高レベル電位を出力しているとき、配線SEL[1]乃至配線SEL[m]の残りの配線は低レベル電位を出力するものとする。

【0466】

例えば、配線SPLにスタートパルス信号として高レベル電位が入力されている状態で、配線SCLからのクロック信号で、電位が低レベル電位から高レベル電位に立ち上がったとき、配線SEL[1]は高レベル電位を出力する。続いて、配線SPLに低レベル電位が入力されている状態で、配線SCLからのクロック信号で、再び、電位が低レベル電位から高レベル電位に立ち上がったとき、配線SEL[1]は低レベル電位を出力し、配線SEL[2]は高レベル電位を出力する。更に、その後、配線SPLに低レベル電位が入力されている状態で、配線SCLからのクロック信号で、例えば、3回目の電位の立ち上がりが発生したとき、配線SEL[1]、及び配線SEL[2]は低レベル電位を出力し、配線SEL[3]は高レベル電位を出力する。

【0467】

このように、配線SCLからのクロック信号で、電位の立ち上がりが起こるたびに、シフトレジスタSRは、逐次的に配線SEL[1]乃至配線SEL[m]の一に高レベル電位を出力し、それ以外の配線に低レベル電位を出力することができる。

【0468】

ラッチ回路LTA[1]乃至ラッチ回路LTA[m]、及びラッチ回路LTB[1]乃至ラッチ回路LTB[m]のそれぞれは、例えば、制御端子に高レベル電位が入力された時にイネーブル状態となって、入力端子Dに入力されているデータを保持し、かつ当該データを出力端子Qに出力する機能を有する。なお、ラッチ回路LTA[1]乃至ラッチ回路LTA[m]、及びラッチ回路LTB[1]乃至ラッチ回路LTB[m]のそれぞれは、例えば、制御端子に低レベル電位が入力されているときにディセーブル状態となり、入力端子Dに入力されているデータを保持せず、当該データを出力端子Qにも出力しない。

【0469】

ここで、回路LGCの動作例について説明する。

【0470】

図23Aは、回路LGCの動作例を示すタイミングチャートである。当該タイミングチャートは、配線SPL、配線SCL、配線SEL[1]、配線SEL[2]、配線SEL[m-1]、配線SEL[m]、配線SWL[1]乃至配線SWL[m]、及び配線LATにおける電位の変化を示し、かつ配線DAT、配線LXS[1]、配線LXS[2]、配線LXS[3]、配線LXS[m-1]、及び配線LXS[m]に入力されているデータを示している。なお、配線SPL、配線SCL、配線SEL[1]、配線SEL[2]、配線SEL[m-1]、配線SEL[m]配線SWL[1]乃至配線SWL[m]、及び配線LATにおいて、高レベル電位についてはHighと記載し、低レベル電位についてはLowと記載している。

【0471】

また、図23Aのタイミングチャートは、時刻T31から時刻T40までの間とその近

10

20

30

40

50

傍の時刻において、回路 L G C が、配線 L X S [1] 乃至配線 L X S [m] のそれぞれに同時にデータ D T を出力する動作例を示している。この動作例としては、例えば、図 1 2 のタイミングチャートの時刻 T 2 1 から時刻 T 2 3 までの間に行われるものとする。

【0472】

また、時刻 T 3 1 より前の時刻において、配線 L A T には低レベル電位が入力され、配線 S W L [1] 乃至配線 S W L [m] のそれぞれには低レベル電位が入力されているものとする。また、シフトレジスタ S R は、配線 S E L [1] 乃至配線 S E L [m] のそれぞれに低レベル電位を出力しているものとする。

【0473】

時刻 T 3 1 から時刻 T 3 2 までの間において、配線 S P L にはスタートパルス信号として高レベル電位が入力される。また、配線 S C L には、クロック信号として、パルス電圧が入力される。シフトレジスタ S R は、クロック信号のパルス電圧の立ち上がりが入力されることで、配線 S P L に入力されるスタートパルス信号である高レベル電位を取得する。

10

【0474】

時刻 T 3 2 から時刻 T 3 3 までの間において、配線 D A T には、データ D T [1] が入力される。また、配線 S C L には、クロック信号として、2 回目のパルス電圧が入力される。シフトレジスタ S R は、クロック信号の 2 回目のパルス電圧の立ち上がりが入力されることで、配線 S E L [1] に高レベル電位を出力する。

【0475】

このとき、ラッチ回路 L T A [1] はイネーブル状態となるので、入力端子 D に入力されているデータ D T [1] を保持し、出力端子 Q にデータ D T [1] を出力する。データ D T [1] は、ラッチ回路 L T B [1] の入力端子 D に入力される。なお、このとき、ラッチ回路 L T B [1] の制御端子には低レベル電位が入力されているため、ラッチ回路 L T B [1] は、ラッチ回路 L T B [1] の入力端子 D に入力されるデータ D T [1] を保持せず、かつラッチ回路 L T B [1] の出力端子 Q に入力されるデータ D T [1] を出力しない。

20

【0476】

時刻 T 3 3 から時刻 T 3 4 までの間において、配線 D A T には、データ D T [2] が入力される。また、配線 S C L には、クロック信号として、3 回目のパルス電圧が入力される。シフトレジスタ S R は、クロック信号の 3 回目のパルス電圧の立ち上がりが入力されることで、配線 S E L [1] に低レベル電位を出力し、配線 S E L [2] に高レベル電位を出力する。

30

【0477】

このとき、ラッチ回路 L T A [1] はディセーブル状態となるので、ラッチ回路 L T A [1] の入力端子 D に入力されるデータ D T [2] を保持しない。また、ラッチ回路 L T A [1] は、時刻 T 3 3 以前から引き続き、データ D T [1] を保持し続け、出力端子 Q からデータ D T [1] を出力する。

【0478】

また、ラッチ回路 L T A [2] はイネーブル状態となるので、入力端子 D に入力されているデータ D T [2] を保持し、出力端子 Q にデータ D T [2] を出力する。データ D T [2] は、ラッチ回路 L T B [2] の入力端子 D に入力される。なお、このとき、ラッチ回路 L T B [2] の制御端子には低レベル電位が入力されているため、ラッチ回路 L T B [2] は、ラッチ回路 L T B [2] の入力端子 D に入力されるデータ D T [2] を保持せず、かつラッチ回路 L T B [2] の出力端子 Q に入力されるデータ D T [2] を出力しない。

40

【0479】

時刻 T 3 4 から時刻 T 3 5 までの間では、配線 D A T にデータ D T [3] 乃至 D T [m-2] が逐次的に入力され、かつシフトレジスタ S R によって配線 S E L [3] 乃至配線 S E L [m-2] に逐次的に高レベル電位が入力される。これにより、ラッチ L T A [3] 乃至ラッチ回路 L T A [m-2] のそれぞれにデータ D T [3] 乃至データ D T [m-

50

2] が保持される。また、ラッチ L T A [3] 乃至ラッチ回路 L T A [m-2] のそれぞれの出力端子 Q からデータ D T [3] 乃至データ D T [m-2] を出力する。

【0480】

時刻 T 35 から時刻 T 36 までの間において、配線 D A T には、データ D T [m-1] が入力される。また、配線 S C L には、クロック信号として、m 回目のパルス電圧が入力される。シフトレジスタ S R は、クロック信号の m 回目のパルス電圧の立ち上がりが入力されることで、配線 S E L [m-2] に低レベル電位を出力し、配線 S E L [m-1] に高レベル電位を出力する。

【0481】

このとき、ラッチ回路 L T A [m-2] はディセーブル状態となるので、ラッチ回路 L T A [m-2] の入力端子 D に入力されるデータ D T [m-1] を保持しない。また、ラッチ回路 L T A [m-2] は、時刻 T 35 以前から引き続き、データ D T [m-2] を保持し続け、出力端子 Q からデータ D T [m-2] を出力する。

10

【0482】

また、ラッチ回路 L T A [m-1] はイネーブル状態となるので、入力端子 D に入力されているデータ D T [m-1] を保持し、出力端子 Q にデータ D T [m-1] を出力する。データ D T [m-1] は、ラッチ回路 L T B [m-1] の入力端子 D に入力される。なお、このとき、ラッチ回路 L T B [m-1] の制御端子には低レベル電位が入力されているため、ラッチ回路 L T B [m-1] は、ラッチ回路 L T B [m-1] の入力端子 D に入力されるデータ D T [m-1] を保持せず、かつラッチ回路 L T B [m-1] の出力端子 Q に入力されるデータ D T [m-1] を出力しない。

20

【0483】

時刻 T 36 から時刻 T 37 までの間において、配線 D A T には、データ D T [m] が入力される。また、配線 S C L には、クロック信号として、m+1 回目のパルス電圧が入力される。シフトレジスタ S R は、クロック信号の m+1 回目のパルス電圧の立ち上がりが入力されることで、配線 S E L [m-1] に低レベル電位を出力し、配線 S E L [m] に高レベル電位を出力する。

【0484】

このとき、ラッチ回路 L T A [m-1] はディセーブル状態となるので、ラッチ回路 L T A [m-1] の入力端子 D に入力されるデータ D T [m] を保持しない。また、ラッチ回路 L T A [m-1] は、時刻 T 36 以前から引き続き、データ D T [m-1] を保持し続け、出力端子 Q からデータ D T [m-1] を出力する。

30

【0485】

また、ラッチ回路 L T A [m] はイネーブル状態となるので、入力端子 D に入力されているデータ D T [m] を保持し、出力端子 Q にデータ D T [m] を出力する。データ D T [m] は、ラッチ回路 L T B [m] の入力端子 D に入力される。なお、このとき、ラッチ回路 L T B [m] の制御端子には低レベル電位が入力されているため、ラッチ回路 L T B [m] は、ラッチ回路 L T B [m] の入力端子 D に入力されるデータ D T [m] を保持せず、かつラッチ回路 L T B [m] の出力端子 Q に入力されるデータ D T [m] を出力しない。

40

【0486】

時刻 T 38 から時刻 T 39 までの間において、配線 L A T には高レベル電位が入力される。これにより、ラッチ回路 L T B [1] 乃至ラッチ回路 L T B [m] のそれぞれの制御端子に高レベル電位が入力されるため、ラッチ回路 L T B [1] 乃至ラッチ回路 L T B [m] のそれぞれの、イネーブル状態となる。このため、ラッチ回路 L T B [1] 乃至ラッチ回路 L T B [m] は、それぞれの入力端子 D に入力されているデータ D T [1] 乃至データ D T [m] を保持して、それぞれの出力端子 Q からデータ D T [1] 乃至データ D T [m] を出力する。

【0487】

時刻 T 39 から時刻 T 40 までの間において、配線 S W L [1] 乃至配線 S W L [m]

50

には高レベル電位が入力される。これにより、スイッチSW [1] 乃至スイッチSW [m] がオン状態となり、ラッチ回路LTB [1] 乃至ラッチ回路LTB [m] のそれぞれの出力端子Qと配線LXS [1] 乃至配線LXS [m] との間が導通状態となる。このため、回路LGCは、配線LXS [1] 乃至配線LXS [m] のそれぞれからデータDT [1] 乃至データDT [m] を同時に出力することができる。

【0488】

回路LGCは、図23Aに示したタイミングチャートの動作を行うことによって、回路LGCに逐次的に入力されたデータDT [1] 乃至データDT [m] を同時に平行に配線LXS [1] 乃至配線LXS [m] に出力することができる。これにより、例えば、図12のタイミングチャートの時刻T21から時刻T23までの間において、図21に示した演算回路の配線XCL [1] 乃至配線XCL [m] に同時に所望の電流を供給することができる。

10

【0489】

ところで、図23Aのタイミングチャートでは、回路LGCが配線LXS [1] 乃至配線LXS [m] のそれぞれに同時にデータDTを出力する動作例を示したが、回路LGCは、配線LXS [1] 乃至配線LXS [m] のそれぞれに逐次的にデータDTを出力してもよい。図23Bのタイミングチャートでは、回路LGCが配線LXS [1] 乃至配線LXS [m] のそれぞれに逐次的にデータDTを出力する動作例を示したものである。なお、図23Bのタイミングチャートにおける時刻T39より前の動作については、図23Aのタイミングチャートにおける時刻T31より前から時刻T39までの動作例が行われたものとする。

20

【0490】

図23Bのタイミングチャートは、配線SWL [1]、配線SWL [2]、配線SWL [m-1]、及び配線SWL [m] における電位の変化を示し、かつ配線LXS [1]、配線LXS [2]、配線LXS [m-1]、及び配線LXS [m] に入力されているデータを示している。なお、配線SWL [1]、配線SWL [2]、配線SWL [m-1]、及び配線SWL [m] において、高レベル電位についてはHighと記載し、低レベル電位についてはLowと記載している。

【0491】

時刻T39から時刻T40までの間において、配線SWL [1] には高レベル電位が入力される。これにより、スイッチSW [1] がオン状態となり、ラッチ回路LTB [1] の出力端子Qと配線LXS [1] との間が導通状態となるため、配線LXS [1] にラッチ回路LTBの出力端子Qから出力されたデータDT [1] が送信される。

30

【0492】

時刻T40から時刻T41までの間において、配線SWL [1] には低レベル電位が入力され、配線SWL [2] には高レベル電位が入力される。これにより、スイッチSW [1] がオフ状態となり、スイッチSW [2] がオン状態となる。ラッチ回路LTB [1] の出力端子Qと配線LXS [1] との間が非導通状態となるため、配線LXS [1] にラッチ回路LTBの出力端子Qから出力されたデータDT [1] は送信されない。また、ラッチ回路LTB [2] の出力端子Qと配線LXS [2] との間が導通状態となるため、配線LXS [2] にラッチ回路LTBの出力端子Qから出力されたデータDT [2] が送信される。

40

【0493】

時刻T41から時刻T42までの間では、配線SWL [3] 乃至配線SWL [m-2] のそれぞれに高レベル電位が逐次的に入力されて、スイッチSW [3] 乃至スイッチSW [m-2] が順次オン状態となる。これにより、ラッチ回路LTB [3] 乃至ラッチ回路LTB [m-2] のそれぞれの出力端子Qに出力されているデータDT [3] 乃至データDT [m-2] が、それぞれ配線LXS [3] 乃至配線LXS [m-2] から順次出力される。

【0494】

50

時刻 T 4 2 から時刻 T 4 3 までの間において、配線 SW L [m-2] には低レベル電位が入力され、配線 SW L [m-1] には高レベル電位が入力される。これにより、スイッチ SW [m-2] がオフ状態となり、スイッチ SW [m-1] がオン状態となる。ラッチ回路 L T B [m-2] の出力端子 Q と配線 L X S [m-2] との間が非導通状態となるため、配線 L X S [m-2] にラッチ回路 L T B の出力端子 Q から出力されたデータ D T [m-2] は送信されない。また、ラッチ回路 L T B [m-1] の出力端子 Q と配線 L X S [m-1] との間が導通状態となるため、配線 L X S [m-1] にラッチ回路 L T B の出力端子 Q から出力されたデータ D T [m-1] が送信される。

【0495】

時刻 T 4 3 から時刻 T 4 4 までの間において、配線 SW L [m-1] には低レベル電位が入力され、配線 SW L [m] には高レベル電位が入力される。これにより、スイッチ SW [m-1] がオフ状態となり、スイッチ SW [m] がオン状態となる。ラッチ回路 L T B [m-1] の出力端子 Q と配線 L X S [m-1] との間が非導通状態となるため、配線 L X S [m-1] にラッチ回路 L T B の出力端子 Q から出力されたデータ D T [m-1] は送信されない。また、ラッチ回路 L T B [m] の出力端子 Q と配線 L X S [m] との間が導通状態となるため、配線 L X S [m] にラッチ回路 L T B の出力端子 Q から出力されたデータ D T [m] が送信される。

【0496】

回路 L G C は、図 2 3 A に示したタイミングチャートにおいて時刻 T 3 9 まで動作を行った後に、図 2 3 B に示したタイミングチャートの動作を行うことによって、回路 L G C に逐次的に入力されたデータ D T [1] 乃至データ D T [m] を配線 L X S [1] 乃至配線 L X S [m] に順次出力することができる。

【0497】

なお、図 2 3 B に示したタイミングチャートの動作例では、スイッチ SW L [1] 乃至スイッチ SW L [m] のそれぞれを順次オン状態にして、データ D T [1] 乃至データ D T [m] を配線 L X S [1] 乃至配線 L X S [m] に順次出力する例を示したが、スイッチ SW L [1] 乃至スイッチ SW L [m] からオン状態にするスイッチを選択して、配線 L X S [1] 乃至配線 L X S [m] から選ばれた配線にデータ D T を出力する動作としてもよい。

【0498】

上述した動作例によって、例えば、図 1 2 のタイミングチャートの時刻 T 1 3 から時刻 T 1 5 までの間、又は時刻 T 1 7 から時刻 T 1 9 までの間において、図 7 の演算回路 M A C 1 の配線 X C L [1] 乃至配線 X C L [m] のいずれかに所望の電流を供給することができる。

【0499】

また、本発明の一態様の半導体装置に備えられる図 2 1 A の回路 L G C は、図 2 2 A に示す回路 L G C でなく、状況に応じて、図 2 2 A の回路 L G C の回路構成を変更したものとしてもよい。例えば、図 2 2 A の回路 L G C は、図 2 2 A に示すスイッチ SW [1] 乃至スイッチ SW [m] のそれぞれと、配線 L X S [1] 乃至配線 L X S [m] のそれぞれとの間には、バッファ回路を設けた構成としてもよい。図 2 2 B に示す回路 L G C は、スイッチ SW [1] 乃至スイッチ SW [m] のそれぞれと、配線 L X S [1] 乃至配線 L X S [m] のそれぞれとの間にバッファ回路 B F [1] 乃至バッファ回路 B F [m] を設けた構成となっている。図 2 2 B に示すとおり、回路 L G C にバッファ回路 B F [1] 乃至バッファ回路 B F [m] を設けることによって、回路 L G C から配線 L X S [1] 乃至配線 L X S [m] に出力された電気信号（電位）を安定させることができる。

【0500】

図 1 8 A に示す演算回路を用いることによって、参照データ、又は第 2 データに応じた電流として、回路 X C S で生成された電流、及び／又はセンサ S N C で生成された電流をセルアレイ C A に入力することができる。

【0501】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0502】

(実施の形態4)

本実施の形態では、階層型のニューラルネットワークについて説明する。なお、階層型のニューラルネットワークの演算は、上記の実施の形態で説明した半導体装置を用いることによって行うことができる。

【0503】

<階層型のニューラルネットワーク>

階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合計3以上の層によって構成されている。図24Aに示す階層型のニューラルネットワーク100はその一例を示しており、ニューラルネットワーク100は、第1層乃至第R層（ここでのRは4以上の整数とすることができる。）を有している。特に、第1層は入力層に相当し、第R層は出力層に相当し、それら以外の層は中間層に相当する。なお、図24Aには、中間層として第(k-1)層、第k層（ここでのkは3以上R-1以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

【0504】

ニューラルネットワーク100の各層は、一又は複数のニューロンを有する。図24Aにおいて、第1層はニューロン $N_1^{(1)}$ 乃至ニューロン $N_p^{(1)}$ （ここでのpは1以上の整数である。）を有し、第(k-1)層はニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ （ここでのmは1以上の整数である。）を有し、第k層はニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ （ここでのnは1以上の整数である。）を有し、第R層はニューロン $N_1^{(R)}$ 乃至ニューロン $N_q^{(R)}$ （ここでのqは1以上の整数である。）を有する。

【0505】

なお、図24Aには、ニューロン $N_1^{(1)}$ 、ニューロン $N_p^{(1)}$ 、ニューロン $N_1^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ 、ニューロン $N_1^{(k)}$ 、ニューロン $N_n^{(k)}$ 、ニューロン $N_1^{(R)}$ 、ニューロン $N_q^{(R)}$ に加えて、第(k-1)層のニューロン $N_i^{(k-1)}$ （ここでのiは1以上m以下の整数である。）、第k層のニューロン $N_j^{(k)}$ （ここでのjは1以上n以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

【0506】

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第k層のニューロン $N_j^{(k)}$ に着目する。

【0507】

図24Bには、第k層のニューロン $N_j^{(k)}$ と、ニューロン $N_j^{(k)}$ に入力される信号と、ニューロン $N_j^{(k)}$ から出力される信号と、を示している。

【0508】

具体的には、第(k-1)層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれの出力信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が、ニューロン $N_j^{(k)}$ に向けて出力されている。そして、ニューロン $N_j^{(k)}$ は、 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて $z_j^{(k)}$ を生成して、 $z_j^{(k)}$ を出力信号として第(k+1)層（図示しない。）の各ニューロンに向けて出力する。

【0509】

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼称する。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク100では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。iを1以上m以下の整数として、第(k-1)層のニューロン $N_i^{(k-1)}$ と第k層のニューロン N_j

(k) との間のシナプスの重み係数を $w_{ij}^{(k-1)}$ として、第 k 層のニューロン $N_j^{(k)}$ に入力される信号は、式 (4.1) で表すことができる。

【0510】

【数20】

$$w_{ij}^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(4.1)$$

【0511】

つまり、第 ($k-1$) 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれから第 k 層のニューロン $N_j^{(k)}$ に信号が伝達するとき、当該信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ には、それぞれの信号に対応する重み係数 ($w_{1j}^{(k-1)}$ 乃至 $w_{mj}^{(k-1)}$) が乗じられる。そして、第 k 層のニューロン $N_j^{(k)}$ には、 $w_{1j}^{(k-1)} \cdot z_1^{(k-1)}$ 乃至 $w_{mj}^{(k-1)} \cdot z_m^{(k-1)}$ が入力される。このとき、第 k 層のニューロン $N_j^{(k)}$ に入力される信号の総和 $u_j^{(k)}$ は、式 (4.2) となる。

【0512】

【数21】

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(4.2)$$

【0513】

また、重み係数 $w_{1j}^{(k-1)}$ 乃至 $w_{mj}^{(k-1)}$ と、ニューロンの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスを b としたとき、式 (4.2) は、次の式に書き直すことができる。

【0514】

【数22】

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)} \cdot z_i^{(k-1)} + b \quad \dots(4.3)$$

【0515】

ニューロン $N_j^{(k)}$ は、 $u_j^{(k)}$ に応じて、出力信号 $z_j^{(k)}$ を生成する。ここで、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式で定義する。

【0516】

【数23】

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots(4.4)$$

【0517】

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、シグモイド関数などを用いることができる。なお、活性

10

20

30

40

50

化関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なってもよい。

【0518】

ところで、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b は、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、2値としてもよいし、3値としてもよい。さらに大きなビット数の値でもよい。一例として、アナログ値の場合、活性化関数として、例えば、線形ランプ関数、シグモイド関数などを用いればよい。デジタル値の2値の場合、例えば、出力を -1 若しくは 1 、又は、 0 若しくは 1 、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は3値以上としてもよく、この場合、活性化関数は3値、例えば出力は -1 、 0 、若しくは 1 とするステップ関数、又は、 0 、 1 、若しくは 2 とするステップ関数などを用いればよい。また、例えば、5値を出力する活性化関数として、 -2 、 -1 、 0 、 1 、若しくは 2 とするステップ関数などを用いてもよい。各層のニューロンが出力する信号、重み係数 w 、または、バイアス b について、少なくとも一つについて、デジタル値を用いることにより、回路規模を小さくすること、消費電力を低減すること、または、演算スピードを速くすること、などが出来る。また、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b について、少なくとも一つについて、アナログ値を用いることにより、演算の精度を向上させることが出来る。

10

【0519】

ニューラルネットワーク100は、第1層（入力層）に入力信号が入力されることによって、第1層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式（4.1）、式（4.2）（又は式（4.3））、式（4.4）を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク100によって計算された結果に相当する。

20

【0520】

実施の形態1で述べた演算回路MAC1を、上述した隠れ層として適用する場合、重み係数 $w_{s[k-1]}^{(k-1)}$ $s[k]^{(k)}$ ($s[k-1]$ は1以上 m 以下の整数とし、 $s[k]$ は1以上 n 以下の整数とする)を第1データとして、第1データに応じた電流量を同じ列の各セルIMに順次記憶させて、第 $(k-1)$ 層のニューロン $N_{s[k-1]}^{(k-1)}$ からの出力信号 $z_{s[k-1]}^{(k-1)}$ を第2データとして、第2データに応じた電流量を回路XCSから各行の配線XCLに対して流すことで、変換回路ITRZに入力される電流量 I_s から第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第 k 層のニューロン $N_{s[k]}^{(k)}$ の出力信号 $z_{s[k]}^{(k)}$ とすることができる。

30

【0521】

また、実施の形態1で述べた演算回路MAC1を、上述した出力層として適用する場合、重み係数 $w_{s[R-1]}^{(R-1)}$ $s[R]^{(R)}$ ($s[R-1]$ は1以上の整数とし、 $s[R]$ は1以上 q 以下の整数とする)を第1データとして、第1データに応じた電流量を同じ列の各セルIMに順次記憶させて、第 $(R-1)$ 層のニューロン $N_{s[R-1]}^{(R-1)}$ からの出力信号 $z_{s[R-1]}^{(R-1)}$ を第2データとして、第2データに応じた電流量を回路XCSから各行の配線XCLに対して流すことで、変換回路ITRZに入力される電流量 I_s から、第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第 R 層のニューロン $N_{s[R]}^{(R)}$ の出力信号 $z_{s[R]}^{(R)}$ とすることができる。

40

【0522】

なお、本実施の形態で述べた入力層は、入力信号を第2層に出力するバッファ回路として機能してもよい。

【0523】

また、実施の形態2で述べた、変換回路ITRZD[j]を図16の変換回路ITRZ

50

D4とした演算回路MAC2を、上述した隠れ層として適用する場合、重み係数 $w_{s[k-1]}^{(k-1)} s[k]^{(k)}$ を第1データとして、第1データに応じた電流量を同じ列の各回路CESのセルIMとセルIMrに順次記憶させて、第 $(k-1)$ 層のニューロン $N_{s[k-1]}^{(k-1)}$ からの出力信号 $z_{s[k-1]}^{(k-1)}$ を第2データとして、第2データに応じた電流量を回路XCSから各行の配線XCLに対して流すことで、変換回路ITRZD4に入力される電流量 I_s 、及び I_{sr} から第1データと第2データとの積和に応じた活性化関数の値を算出することができる。つまり、当該値を信号として第 k 層のニューロン $N_{s[k]}^{(k)}$ の出力信号 $z_{s[k]}^{(k)}$ とすることができる。また、変換回路ITRZD4は、当該値に応じた電流量を出力する構成となっているため、例えば、第 $(k+1)$ 層の複数のニューロンに入力される、第 k 層のニューロン $N_{s[k]}^{(k)}$ の出力信号 $z_{s[k]}^{(k)}$ は、電流とすることができる。つまり、第 $(k+1)$ 層の隠れ層として演算回路MAC2を適用する場合、演算回路MAC2の配線XCLに入力される第 k 層のニューロン $N_{s[k]}^{(k)}$ の出力信号 $z_{s[k]}^{(k)}$ は、回路XCSで生成せず、第 k 層の隠れ層の演算回路MAC2の変換回路ITRZD4から出力された電流とすることができる。

10

【0524】

具体的には、図25に示す演算回路を用いることによって、上述した階層型のニューラルネットワークの演算を行うことができる。図25の演算回路は、一例として、図14の演算回路MAC2と同様の構成の演算回路MAC2-1と、図14の演算回路MAC2において回路XCSと、回路PTCと、を設けていない構成の演算回路MAC2-2と、を有する。なお、演算回路MAC2-1のセルアレイCAには、 $m \times n$ 個の回路CESがマトリクス状に配置され、演算回路MAC2-2のセルアレイCAには、 $n \times t$ 個（ t は1以上の整数とする。）の回路CESがマトリクス状に配置されている。また、演算回路MAC2-1の配線OL[1]乃至配線OL[n]のそれぞれは、演算回路MAC2-2の配線XCL[1]乃至配線XCL[n]に電氣的に接続されている。

20

【0525】

例えば、図25の演算回路MAC2-1で、第 $(k-1)$ 層のニューロンと第 k 層のニューロンとの間の重み係数を第1データとして、セルアレイCAの回路CES[1, 1]乃至回路CES[m, n]に保持し、第 $(k-1)$ 層のニューロン $N_{s[k-1]}^{(k-1)}$ からの出力信号 $z_{s[k-1]}^{(k-1)}$ を第2データとして、第2データに応じた電流量を回路XCSから各行の配線XCLに対して流すことで、配線OL[1]乃至配線OL[n]のそれぞれから第 k 層のニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ の出力信号 $z_1^{(k)}$ 乃至 $z_n^{(k)}$ を出力することができる。なお、出力信号 $z_1^{(k)}$ 乃至 $z_n^{(k)}$ のそれぞれの値は、変換回路ITRZD4[1]乃至変換回路ITRZD4[n]から出力される電流の量として表すことができる。

30

【0526】

ここで、図25の演算回路MAC2-2で、第 k 層のニューロンと第 $(k+1)$ 層のニューロンとの間の重み係数を第1データとして、セルアレイCAの回路CES[1, 1]乃至回路CES[n, t]に保持し、各行の配線XCLに流れる電流量、すなわち第 k 層のニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ の出力信号 $z_1^{(k)}$ 乃至 $z_n^{(k)}$ を第2データとすることで、配線OL[s[k+1]]（ここでのs[k+1]は1以上t以下の整数とする）から第 $(k+1)$ 層のニューロン $N_{s[k+1]}^{(k+1)}$ の出力信号 $z_{s[k+1]}^{(k+1)}$ を出力することができる。

40

【0527】

ところで、実施の形態2で説明したとおり、図25の演算回路MAC2-1の変換回路ITRZD4[1]乃至変換回路ITRZD4[n]に、図16、図17A、図18A乃至図18Cのいずれかの変換回路ITRZD4を適用することで、変換回路ITRZD4[1]乃至変換回路ITRZD4[n]はReLU関数として作用する。そのため、例えば、回路CES[1, j]乃至回路CES[m, j]における積和演算の結果が“負”であるとき、変換回路ITRZD4から配線OL[j]に流れる電流量は、理想的には0と

50

なることが好ましい。しかし、実際には、変換回路 $ITRZD4$ から配線 $OL[j]$ に微小の電流量が流れる、又は配線 $OL[j]$ から変換回路 $ITRZD4$ に微小の電流量が流れる場合がある。

【0528】

そのため、階層型のニューラルネットワークの次層以降の演算を適切に行うための演算回路 $MAC2-2$ の構成例を図26に示す。図26に示す演算回路 $MAC2-2$ は、図14の演算回路 $MAC2$ においてセルアレイ CA に配置されている回路 CES を、 $m \times n$ のマトリクス状から $n \times t$ のマトリクス状に変更し、かつ回路 XCS を設けていない構成となっている。また、演算回路 $MAC2-2$ のセルアレイ CA の回路 CES は、 $n \times t$ のマトリクス状に配置されているため、図26に記載している配線、回路などの符号に付与している [] 内に記載している座標などの値も変更している。

10

【0529】

さらに、図26の演算回路 $MAC2-2$ では、一例として、演算回路 $MAC2-2$ に配線 $TM[1]$ 、配線 $TM[n]$ 、配線 $TH[1, h]$ (h は1以上 t 以下の整数である。)、配線 $TH[n, h]$ 、配線 $THr[1, h]$ 、配線 $THr[n, h]$ を設けた回路構成の例を示している。図26の演算回路 $MAC2-2$ において、セル $IMref[1]$ のトランジスタ $F2m$ のバックゲートには配線 $TM[1]$ が電氣的に接続され、セル $IMref[n]$ のトランジスタ $F2m$ のバックゲートには配線 $TM[n]$ が電氣的に接続され、セル $IM[1, h]$ のトランジスタ $F2$ のバックゲートには配線 $TH[1, h]$ が電氣的に接続され、セル $IMr[1, h]$ のトランジスタ $F2r$ のバックゲートには配線 $THr[1, h]$ が電氣的に接続され、セル $IM[n, h]$ のトランジスタ $F2$ のバックゲートには配線 $TH[n, h]$ が電氣的に接続され、セル $IMr[n, h]$ のトランジスタ $F2r$ のバックゲートには配線 $THr[n, h]$ が電氣的に接続されている。

20

【0530】

配線 $TM[1]$ 、配線 $TM[n]$ 、配線 $TH[1, h]$ 、配線 $TH[n, h]$ 、配線 $THr[1, h]$ 、配線 $THr[n, h]$ のそれぞれに低レベル電位を与えることによって、それぞれの配線に電氣的に接続されているバックゲートを有するトランジスタのしきい値電圧を高くすることができる。これにより、演算回路 $MAC2-1$ の配線 OL に流れる微小の電流量が、演算回路 $MAC2-2$ のセル $IMref$ を介して、配線 VE に流れることを防ぐことができる。つまり、変換回路 $ITRZD4[1]$ 乃至変換回路 $ITRZD4[n]$ における出力特性を、 $ReLU$ 関数に近づけることができる。そのため、階層型のニューラルネットワークの次層の演算を適切に行うことができる。

30

【0531】

また、例えば、図26の演算回路 $MAC2-2$ の構成を、図25の演算回路 $MAC2-1$ に適用してもよい。このような構成にすることによって、演算回路 $MAC2-2$ と同様に、演算回路 $MAC2-1$ に含まれているトランジスタ $F2$ とトランジスタ $F2r$ とトランジスタ $F2m$ とのそれぞれのしきい値電圧も変動させることができる。

【0532】

なお、図26では、配線 $TM[1]$ 、配線 $TM[n]$ 、配線 $TH[1, h]$ 、配線 $TH[n, h]$ 、配線 $THr[1, h]$ 、配線 $THr[n, h]$ を図示しているが、図26の演算回路 $MAC2-2$ は、例えば、配線 $TM[1]$ と配線 $TH[1, h]$ と配線 $THr[1, h]$ とを1本の配線としてまとめ、かつ配線 $TM[n]$ と配線 $TH[n, h]$ と配線 $THr[n, h]$ とを1本の配線としてまとめた構成としてもよい。

40

【0533】

上述した通り、階層型のニューラルネットワークの演算を、図25に示す演算回路を構成することにより、演算回路 $MAC2-1$ で出力したニューロンの出力信号の値（電流量）をそのまま演算回路 $MAC2-2$ に入力することができるため、階層型のニューラルネットワークの演算を、一例として、第1層から連続して行うことができる。また、演算回路 $MAC2-1$ の配線 $OL[1]$ 乃至配線 $OL[n]$ から出力された出力信号を、外部回路等によって一時的に記憶する必要が無い場合、一時記憶に必要な記憶装置を別途設けな

50

くてもよい。つまり、図 25 の演算回路を構成することによって、回路面積を低減することができ、また、一時記憶のためのデータ送信に必要な電力を低減することができる。

【0534】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0535】

(実施の形態 5)

本実施の形態では、上記実施の形態で説明した半導体装置の構成例、及び上記の実施の形態で説明した半導体装置に適用できるトランジスタの構成例について説明する。

【0536】

<半導体装置の構成例>

図 27 は、一例として、実施の形態 1 で説明した半導体装置 SDV であって、センサ SNC にフォトダイオードとして光電変換素子を適用した構成を示している。具体的には、図 27 に示す半導体装置は、層 LY1、層 LY2、及び層 LY3 を有し、層 LY1 には、トランジスタ 300 と、トランジスタ 500 と、容量素子 600 と、が含まれ、層 LY3 には、光電変換素子 700 が含まれている。また、図 29A にはトランジスタ 500 のチャネル長方向の断面図、図 29B にはトランジスタ 500 のチャネル幅方向の断面図を示しており、図 29C にはトランジスタ 300 のチャネル幅方向の断面図を示している。

【0537】

トランジスタ 500 は、チャネル形成領域に金属酸化物を有するトランジスタ（OS トランジスタ）である。トランジスタ 500 は、オフ電流が小さく、また、高温でも電界効果移動度が変化しにくい特性を有する。トランジスタ 500 を、半導体装置、例えば、上記実施の形態で説明した演算回路 MAC1、演算回路 MAC1A、演算回路 MAC2、演算回路 MAC3A、演算回路 MAC3B などに含まれるトランジスタに適用することにより、高温でも動作能力が低下しにくい半導体装置を実現できる。特に、オフ電流が小さい特性を利用して、トランジスタ 500 を、トランジスタ F1、トランジスタ F1m に適用することにより、セル IM、セル IMref など書き込んだ電位を長時間保持することができる。

【0538】

初めに、層 LY1 について説明する。層 LY1 には、例えば、図 1 の半導体装置 SDV における層 CCL に含まれている回路を形成することができる。また、層 LY1 には、例えば、図 3 の半導体装置における層 CCL 及び層 PHL に含まれている回路を形成することができる。

【0539】

なお、本明細書等において、層 LY1 は、例えば、回路層、構造体と用語を言い換える場合がある。

【0540】

トランジスタ 500 は、例えば、トランジスタ 300 の上方に設けられ、容量素子 600 は、例えば、トランジスタ 300、及びトランジスタ 500 の上方に設けられている。光電変換素子 700 は、例えば、容量素子 600 の上方に設けられている。なお、容量素子 600 は、上記実施の形態で説明した演算回路 MAC1、演算回路 MAC1A、演算回路 MAC2、演算回路 MAC3A、演算回路 MAC3B などに含まれる容量などとすることができる。なお、回路構成によっては、図 27 に示す容量素子 600 は必ずしも設けなくともよい。

【0541】

トランジスタ 300 は、基板 310 上に設けられ、素子分離層 312、導電体 316、絶縁体 315、基板 310 の一部からなる半導体領域 313、ソース領域又はドレイン領域として機能する低抵抗領域 314a、及び低抵抗領域 314b を有する。なお、トランジスタ 300 は、例えば、上記実施の形態で説明した演算回路 MAC1、演算回路 MAC1A、演算回路 MAC2、演算回路 MAC3A、演算回路 MAC3B などに含まれるトラ

10

20

30

40

50

ンジスタなどに適用することができる。具体的には、例えば、図10A、及び図10Bの変換回路ITRZ1乃至変換回路ITRZ3が有するオペアンプOP1などに含まれているトランジスタとすることができる。なお、図27では、トランジスタ300のゲートが、容量素子600の一对の電極を介して、トランジスタ500のソース又はドレインの一方に電氣的に接続されている構成を示しているが、演算回路MAC1、演算回路MAC1A、演算回路MAC2、演算回路MAC3A、演算回路MAC3Bなどの構成によっては、トランジスタ300のソース又はドレインの一方が、容量素子600の一对の電極を介して、トランジスタ500のソース又はドレインの一方に電氣的に接続されている構成としてもよく、また、トランジスタ300のソース又はドレインの一方が、容量素子600の一对の電極を介して、トランジスタ500のゲートに電氣的に接続されている構成としてもよく、また、トランジスタ300の各端子は、トランジスタ500の各端子、容量素子600の各端子のそれぞれに電氣的に接続されない構成としてもよい。

10

【0542】

また、基板310としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

【0543】

トランジスタ300は、図29Cに示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

20

【0544】

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0545】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）、GaN（窒化ガリウム）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

30

【0546】

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

【0547】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

40

【0548】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

【0549】

素子分離層312は、基板310上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS（Local Oxida

50

tion of Silicon) 法、STI (Shallow Trench Isolation) 法、メサ分離法などを用いて形成することができる。

【0550】

なお、図27に示すトランジスタ300は一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。例えば、トランジスタ300は、図29Cに示すFIN型ではなく、プレーナ型の構造としてもよい。また、例えば、半導体装置をOSTランジスタのみの単極性回路とする場合、図28に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

【0551】

なお、図28において、トランジスタ300は、基板310A上に設けられているが、この場合、基板310Aとしては、図27の半導体装置の基板310と同様に半導体基板を用いてもよい。また、基板310Aとしては、例えば、SOI基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどを用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルホン (PES)、ポリテトラフルオロエチレン (PTFE) に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。

【0552】

図27に示すトランジスタ300には、絶縁体320、絶縁体322、絶縁体324、絶縁体326が、基板310側から順に積層して設けられている。

【0553】

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0554】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0555】

絶縁体322は、絶縁体320及び絶縁体322に覆われているトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨 (CMP: Chemical Mechanical Polishing) 法などを用いた平坦化処理により平坦化されている。

【0556】

また、絶縁体324には、基板310、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。

【0557】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリ

10

20

30

40

50

コンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0558】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

10

【0559】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0560】

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

20

【0561】

各プラグ、及び配線(導電体328、導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

30

【0562】

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図27において、絶縁体350、絶縁体352、及び絶縁体354が、絶縁体326、及び導電体330の上方に、順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0563】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素、水などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体352、及び絶縁体354としては、絶縁体326と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、導電体356は、水素、水などの不純物に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

40

【0564】

50

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

【0565】

また、絶縁体354、及び導電体356上には、絶縁体360と、絶縁体362と、絶縁体364が順に積層されている。

【0566】

絶縁体360は、絶縁体324などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体360としては、例えば、絶縁体324などに適用できる材料を用いることができる。

【0567】

絶縁体362、及び絶縁体364は、層間絶縁膜、及び平坦化膜としての機能を有する。また、絶縁体362、及び絶縁体364は、絶縁体324と同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。このため、絶縁体362、及び／又は絶縁体364としては、絶縁体324に適用できる材料を用いることができる。

【0568】

また、絶縁体360、絶縁体362、及び絶縁体364のそれぞれの、一部の導電体356と重畳する領域に開口部が形成されて、当該開口部を埋めるように導電体366が設けられている。また、導電体366は、絶縁体362上の一部にも形成されていてもよい。導電体366は、一例として、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお、導電体366は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0569】

絶縁体364、及び導電体366上には絶縁体510、絶縁体512、絶縁体513、絶縁体514、及び絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体513、絶縁体514、及び絶縁体516のいずれかは、酸素、水素などに対してバリア性のある物質を用いることが好ましい。

【0570】

例えば、絶縁体510、及び絶縁体514には、例えば、基板310、又はトランジスタ300を設ける領域などから、トランジスタ500が設けられている領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

【0571】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0572】

また、水素に対するバリア性を有する膜として、例えば、絶縁体510、及び絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0573】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不

10

20

30

40

50

純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

【0574】

また、例えば、絶縁体513としては、絶縁体510、及び絶縁体514と同様に、水、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。特に、図27では、絶縁体513は、後述する絶縁体576と共に、トランジスタ500を封止する膜として機能している。このため、絶縁体513は、絶縁体576に適用できる材料を用いることが好ましい。また、絶縁体513は、絶縁体510、又は絶縁体514に適用できる材料を用いてもよい。

10

【0575】

また、例えば、絶縁体512、及び絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、及び絶縁体516として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

【0576】

また、絶縁体510、絶縁体512、絶縁体513、絶縁体514、及び絶縁体516には、導電体518、及びトランジスタ500を構成する導電体（例えば、図29A、及び図29Bに示す導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

20

【0577】

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0578】

絶縁体516の上方には、トランジスタ500が設けられている。

30

【0579】

図29A、及び図29Bに示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。なお、本明細書等では、導電体542aと導電体542bとをまとめて、導電体542と記載する。

40

【0580】

また、図29A、及び図29Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図29A、及び図29Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図29A、及び図29Bに示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

【0581】

50

なお、以下において、酸化物 530 a、酸化物 530 b、及び酸化物 530 c をまとめて酸化物 530 という場合がある。

【0582】

なお、トランジスタ 500 では、チャネルが形成される領域と、その近傍において、酸化物 530 a、酸化物 530 b、及び酸化物 530 c の 3 層を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、酸化物 530 b の単層、酸化物 530 b と酸化物 530 a の 2 層構造、酸化物 530 b と酸化物 530 c の 2 層構造、又は 4 層以上の積層構造を設ける構成にしてもよい。また、トランジスタ 500 では、導電体 560 を 2 層の積層構造として示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体 560 が、単層構造であってもよいし、3 層以上の積層構造であってもよい。また、図 27、図 29 A、及び図 29 B に示すトランジスタ 500 は一例であり、その構造に限定されず、回路構成、駆動方法に応じて適切なトランジスタを用いればよい。

【0583】

ここで、導電体 560 は、トランジスタのゲート電極として機能し、導電体 542 a 及び導電体 542 b は、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体 560 は、絶縁体 580 の開口、及び導電体 542 a と導電体 542 b に挟まれた領域に埋め込まれるように形成される。導電体 560、導電体 542 a 及び導電体 542 b の配置は、絶縁体 580 の開口に対して、自己整合的に選択される。つまり、トランジスタ 500 において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 560 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 500 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

【0584】

さらに、導電体 560 が、導電体 542 a と導電体 542 b の間の領域に自己整合的に形成されるので、導電体 560 は、導電体 542 a 又は導電体 542 b と重畳する領域を有さない。これにより、導電体 560 と導電体 542 a 及び導電体 542 b との間に形成される寄生容量を低減することができる。よって、トランジスタ 500 のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

【0585】

導電体 560 は、第 1 のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体 503 は、第 2 のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体 503 に印加する電位を、導電体 560 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 500 のしきい値電圧を制御することができる。特に、導電体 503 に負の電位を印加することにより、トランジスタ 500 のしきい値電圧を 0 V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 503 に負の電位を印加したほうが、印加しない場合よりも、導電体 560 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

【0586】

導電体 503 は、酸化物 530、及び導電体 560 と、重なるように配置する。これにより、導電体 560、及び導電体 503 に電位を印加した場合、導電体 560 から生じる電界と、導電体 503 から生じる電界と、がつながり、酸化物 530 に形成されるチャネル形成領域を覆うことができる。本明細書等において、第 1 のゲート電極、及び第 2 のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、*surrounded channel*（*S-channel*）構造とよぶ。

【0587】

また、導電体 503 は、導電体 518 と同様の構成であり、絶縁体 514 及び絶縁体 516 の開口の内壁に接して導電体 503 a が形成され、さらに内側に導電体 503 b が形成されている。なお、トランジスタ 500 では、導電体 503 a 及び導電体 503 b を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例え

ば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

【0588】

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

【0589】

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

【0590】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。また、当該配線の導電性を高く維持できる場合、導電体503aは、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層としてもよい。

【0591】

絶縁体522、及び絶縁体524は、第2のゲート絶縁膜としての機能を有する。

【0592】

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。なお、本明細書等では、金属酸化物中の酸素欠損をV_O（oxygen vacancy）と呼称する場合がある。

【0593】

金属酸化物を用いたトランジスタは、金属酸化物中のチャンネルが形成される領域に不純物または酸素欠損（V_O）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（V_O）近傍の水素が、酸素欠損（V_O）に水素が入った欠陥（以下、V_OHと呼称する場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャンネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャンネルが形成される領域では、不純物、酸素欠損、およびV_OHはできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャンネルが形成される領域は、キャリア濃度が低減され、i型（真性化）または実質的にi型であることが好ましい。

【0594】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100℃以上700℃以下、又は100℃以上400℃以下の範囲が好ましい。

【0595】

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、またはRF処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物

10

20

30

40

50

530において、VOHの結合が切断される反応が起きる、別言すると「VOH→VO+H」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合してH₂Oとして、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542a、及び導電体542bに拡散または捕獲（ゲッタリングともいう）される場合がある。

【0596】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を133Pa以上、好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（O₂／（O₂+Ar））が50%以下、好ましくは10%以上30%以下で行うとよい。

【0597】

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上450℃以下、より好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損（VO）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

【0598】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「VO+O→null」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素をH₂Oとして除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合してVOHが形成されるのを抑制することができる。

【0599】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

【0600】

絶縁体522が、酸素、不純物などの拡散を抑制する機能を有することで、酸化物530が有する酸素は、導電体503及び絶縁体516側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524、及び／又は酸化物530が有する酸素と反応することを抑制することができる。

【0601】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）、又は（Ba,Sr）TiO₃（BST）などのいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能

する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0602】

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入、などを抑制する層として機能する。

10

【0603】

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

【0604】

なお、図29A、及び図29Bのトランジスタ500では、2層の積層構造からなる第2のゲート絶縁膜として、絶縁体522、及び絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、又は3層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

20

【0605】

トランジスタ500は、チャンネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物530として適用できるIn-M-Zn酸化物は、CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor）、CAC-OS（Cloud-Aligned Composite Oxide Semiconductor）であることが好ましい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物、In酸化物などを用いてもよい。

30

【0606】

また、トランジスタ500には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0607】

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物530中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合しVOHを形成する場合がある。VOHはドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物530中のVOHをできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、VOHが十分低減された金属

40

50

酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 V_{OH} などの不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

【0608】

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

10

【0609】

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

20

【0610】

また、酸化物530に金属酸化物を用いる場合、当該金属酸化物は、バンドギャップが高く、真性（I型ともいう。）、又は実質的に真性である半導体であって、かつチャンネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャンネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

30

【0611】

また、酸化物530に金属酸化物を用いる場合、導電体542a及び導電体542bと酸化物530とが接することで、酸化物530中の酸素が導電体542a及び導電体542bへ拡散し、導電体542a及び導電体542bが酸化する場合がある。導電体542a及び導電体542bが酸化することで、導電体542a及び導電体542bの導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することを、導電体542a及び導電体542bが酸化物530中の酸素を吸収する、と言い換えることができる。

【0612】

また、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することで、導電体542aと酸化物530bとの間、および、導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542a及び導電体542bよりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542a又は導電体542bと、当該異層と、酸化物530bとの3層構造は、金属－絶縁体－半導体からなる3層構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造と呼称する、またはMIS構造を主としたダイオード接合構造と呼称する場合がある。

40

【0613】

なお、上記異層は、導電体542a及び導電体542bと酸化物530bとの間に形成されることに限られず、例えば、異層が、導電体542a及び導電体542bと酸化物5

50

30cとの間に形成される場合がある。

【0614】

酸化物530においてチャネル形成領域にとして機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0615】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

【0616】

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層により、積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530a又は酸化物530bに用いることができる金属酸化物を、用いることができる。

【0617】

具体的には、酸化物530aとして、InとGaとZnとの原子数比が $In:Ga:Zn=1:3:4$ 、または $1:1:0.5$ の金属酸化物を用いればよい。また、酸化物530bとして、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ 、または $1:1:1$ の金属酸化物を用いればよい。また、酸化物530cとして、InとGaとZnとの原子数比が $In:Ga:Zn=1:3:4$ 、またGaとZnの原子数比が $Ga:Zn=2:1$ 、または $Ga:Zn=2:5$ の金属酸化物を用いればよい。また、酸化物530cを積層構造とする場合の具体例としては、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ と、 $In:Ga:Zn=1:3:4$ との積層構造、またGaとZnの原子数比が $Ga:Zn=2:1$ と、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ との積層構造、GaとZnの原子数比が $Ga:Zn=2:5$ と、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ との積層構造、酸化ガリウムと、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ との積層構造などが挙げられる。

【0618】

また、例えば、酸化物530aに用いる金属酸化物における元素Mに対するInの原子数比が、酸化物530bに用いる金属酸化物における元素Mに対するInの原子数比より小さい場合、酸化物530bとして、InとGaとZnとの原子数比が $In:Ga:Zn=5:1:6$ またはその近傍、 $In:Ga:Zn=5:1:3$ またはその近傍、 $In:Ga:Zn=10:1:3$ またはその近傍などの組成であるIn-Ga-Zn酸化物を用いることができる。

【0619】

また、上述した以外の組成としては、酸化物530bには、例えば、 $In:Zn=2:1$ の組成、 $In:Zn=5:1$ の組成、 $In:Zn=10:1$ の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。

【0620】

これらの酸化物530a、酸化物530b、酸化物530cを上記の原子数比の関係を

満たして組み合わせることが好ましい。例えば、酸化物530a、および酸化物530cを、 $In:Ga:Zn=1:3:4$ の組成およびその近傍の組成を有する金属酸化物、酸化物530bを、 $In:Ga:Zn=4:2:3$ から4.1の組成およびその近傍の組成を有する金属酸化物とすることが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。また、酸化物530bの組成として、 In の比率を高めることで、トランジスタのオン電流、または電界効果移動度などを高めることが出来るため好適である。

【0621】

また、酸化物530a及び酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a及び酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

【0622】

ここで、酸化物530a、酸化物530b、及び酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、及び酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

【0623】

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bが $In-Ga-Zn$ 酸化物の場合、酸化物530a及び酸化物530cとして、 $In-Ga-Zn$ 酸化物、 $Ga-Zn$ 酸化物、酸化ガリウムなどを用いるとよい。

【0624】

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、酸化物530cを上述の構成とすることで、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

【0625】

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

【0626】

また、図29A、及び図29Bでは、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングス

10

20

30

40

50

テン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

【0627】

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

10

【0628】

また、図29Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

【0629】

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア濃度が増加し、領域543a（領域543b）は、低抵抗領域となる。

20

【0630】

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530及び絶縁体524のそれぞれの側面を覆い、絶縁体522と接するように設けられてもよい。

【0631】

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

30

【0632】

特に、絶縁体544として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体542a、及び導電体542bが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

40

【0633】

絶縁体544を有することで、絶縁体580に含まれる水、及び水素などの不純物が酸化物530c、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化することを抑制することができる。

【0634】

50

絶縁体 550 は、第 1 のゲート絶縁膜として機能する。絶縁体 550 は、酸化物 530 c の内側（上面、及び側面）に接して配置することが好ましい。絶縁体 550 は、上述した絶縁体 524 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【0635】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

【0636】

加熱により酸素が放出される絶縁体を、絶縁体 550 として、酸化物 530 c の上面に接して設けることにより、絶縁体 550 から、酸化物 530 c を通じて、酸化物 530 b のチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体 524 と同様に、絶縁体 550 中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体 550 の膜厚は、1 nm 以上 20 nm 以下とすることが好ましい。

【0637】

また、絶縁体 550 が有する過剰酸素を、効率的に酸化物 530 へ供給するために、絶縁体 550 と導電体 560 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 550 から導電体 560 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 550 から導電体 560 への過剰酸素の拡散が抑制される。つまり、酸化物 530 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 560 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 544 に用いることができる材料を用いればよい。

【0638】

なお、絶縁体 550 は、第 2 のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k 材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることが出来る。

【0639】

第 1 のゲート電極として機能する導電体 560 は、図 29A、及び図 29B では 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

【0640】

導電体 560 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 560 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 550 に含まれる酸素により、導電体 560 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体 560 a として、酸化物 530 に適用できる酸化物半導体を用いることができる。その場合、導電体 560 b をスパッタリング法で成膜することで、導電体 560 a の電気抵抗値を低下させて導電体にすることができる。これを OC (Oxide Conductor) 電極と呼称することができる。

【0641】

また、導電体 560 b は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 560 b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウ

10

20

30

40

50

ムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層構造としてもよい。

【0642】

絶縁体580は、絶縁体544を介して、導電体542a、及び導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

10

【0643】

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を、酸化物530cと接して設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530へと効率良く供給することができる。なお、絶縁体580中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0644】

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

20

【0645】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

【0646】

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

30

【0647】

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

【0648】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

40

【0649】

トランジスタ500を囲むように、かつ絶縁体513が露出するように、絶縁体574、絶縁体580、絶縁体544、絶縁体522、絶縁体516、及び絶縁体514の一部を除去して開口を形成し、水素、または水に対するバリア性が高い絶縁体576を形成する。このため、絶縁体574、絶縁体580、絶縁体544、絶縁体522、絶縁体516、及び絶縁体514のそれぞれの側面は、絶縁体576と接する。これにより、トランジスタ500に対して、外部から水分、および水素が侵入することを防止することができる。

50

【0650】

絶縁体513及び絶縁体576は、上述したとおり、水素（例えば、水素原子、水素分子などの少なくとも一）又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体513及び絶縁体576として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用いることが好ましい。これにより、酸化物530に水素等が拡散することを抑制することができるので、トランジスタ500の特性が低下することを抑制することができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

【0651】

また、絶縁体576の上に、層間膜、平坦化膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0652】

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素、水素などに対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0653】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

【0654】

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

【0655】

また、絶縁体586、絶縁体582、絶縁体581、絶縁体576、絶縁体574、絶縁体580、及び絶縁体544に形成された開口の側面に、絶縁体552が設けられる。そして、絶縁体552の側面と当該開口の底面に接するように、導電体540a及び導電体540bが設けられる。なお、図29Aでは、導電体540a及び導電体540bは、導電体560を挟んで対向して設けられている。導電体540a及び導電体540bは、後述する導電体546と同様の構成である。

【0656】

絶縁体552は、例えば、絶縁体581、絶縁体576、絶縁体574、絶縁体580、及び絶縁体544に接して設けられる。絶縁体552は、水素又は水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体552として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体552として用いると好適である。絶縁体552として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体580等から導電体540a及び導電体540bを通じて酸化物530に拡散することを抑制することができる。また、絶縁体580に含まれる酸素が導電体540a及び導電体540bに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

【0657】

導電体540a、及び導電体540bとしては、例えば、導電体328、導電体330、導電体503などと同様の材料を用いて設けることができる。特に、導電体540a、

10

20

30

40

50

及び導電体 540b のそれぞれは、2 層以上の積層構造として、絶縁体 552 に接する 1 層目には、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を形成し、2 層目以降にはタングステン、銅、アルミニウムなどを主成分とする、導電性が高い導電性材料を形成することが好ましい。

【0658】

また、絶縁体 522、絶縁体 524、絶縁体 544、絶縁体 580、絶縁体 574、絶縁体 581、絶縁体 582、及び絶縁体 586 には、絶縁体 552、導電体 546 等が埋め込まれている。

【0659】

導電体 546 は、容量素子 600、トランジスタ 500、又はトランジスタ 300 と接続するプラグ、又は配線としての機能を有する。導電体 546 は、導電体 540a 及び導電体 540b と同様の材料を用いて設けることができる。

【0660】

また、図 30A、及び図 30B に示すトランジスタ 500 は、状況に応じて、トランジスタの構成を変更してもよい。例えば、図 30A、及び図 30B のトランジスタ 500 は、変更例として、図 30A、及び図 30B に示すトランジスタにすることができる。図 30A はトランジスタのチャネル長方向の断面図であり、図 30B はトランジスタのチャネル幅方向の断面図である。図 30A、及び図 30B に示すトランジスタは、酸化物 530c が酸化物 530c1 及び酸化物 530c2 の 2 層構造である点で、図 30A、及び図 30B に示すトランジスタと異なる。

【0661】

酸化物 530c1 は、絶縁体 524 の側面、酸化物 530a の側面、酸化物 530b の上面及び側面、導電体 542a 及び導電体 542b の側面、絶縁体 544 の側面、及び絶縁体 580 の側面と接する。酸化物 530c2 は、絶縁体 550 と接する。

【0662】

酸化物 530c1 として、例えば In-Zn 酸化物を用いることができる。また、酸化物 530c2 として、酸化物 530c が 1 層構造である場合に酸化物 530c に用いることができる材料と同様の材料を用いることができる。例えば、酸化物 530c2 として、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、 $\text{Ga}:\text{Zn}=2:1$ [原子数比]、または $\text{Ga}:\text{Zn}=2:5$ [原子数比] の金属酸化物を用いることができる。

【0663】

酸化物 530c を酸化物 530c1 及び酸化物 530c2 の 2 層構造とすることにより、酸化物 530c を 1 層構造とする場合より、トランジスタのオン電流を高めることができる。そのため、トランジスタは、例えばパワー MOS トランジスタとして適用することができる。なお、図 29A、及び図 29B に示す構成のトランジスタが有する酸化物 530c も、酸化物 530c1 と酸化物 530c2 の 2 層構造とすることができる。

【0664】

図 30A、及び図 30B に示す構成のトランジスタは、例えば、図 27、図 28 に示すトランジスタ 300 に適用することができる。また、例えば、トランジスタ 300 は、前述のとおり、上記実施の形態で説明した半導体装置、例えば、上記実施の形態で説明した演算回路 MAC1、演算回路 MAC1A、演算回路 MAC2、演算回路 MAC3A、演算回路 MAC3B などに含まれるトランジスタに適用することができる。なお図 30A、及び図 30B に示すトランジスタは、本発明の一態様の半導体装置が有する、トランジスタ 300、500 以外のトランジスタにも適用することができる。

【0665】

続いて、図 27、及び図 28 の半導体装置に含まれている、容量素子 600、及びその周辺の配線、又はプラグについて説明する。トランジスタ 500 の上方には、容量素子 600 と、配線、又はプラグが設けられている。

【0666】

10

20

30

40

50

容量素子 600 は、一例として、導電体 610 と、導電体 620、絶縁体 630 とを有する。

【0667】

導電体 540 a、又は導電体 540 b の一方、導電体 546 及び絶縁体 586 上には、導電体 610 が設けられている。導電体 610 は、容量素子 600 の一対の電極の一方としての機能を有する。

【0668】

また、導電体 540 a、又は導電体 540 b の他方、絶縁体 586、導電体 546 上には、導電体 612 が設けられる。導電体 612 は、トランジスタ 500 と、上方の光電変換素子 700 と、を電氣的に接続するプラグ、配線、端子などとしての機能を有する。具体的には、例えば、導電体 612 は、実施の形態 1 で説明する演算回路 MAC1 における配線 WCL とすることができる。

【0669】

なお、導電体 612、及び導電体 610 は、同時に形成してもよい。

【0670】

導電体 612、及び導電体 610 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【0671】

図 27 では、導電体 612、及び導電体 610 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0672】

絶縁体 586、導電体 610 上には、絶縁体 630 が設けられている。絶縁体 630 は、容量素子 600 の一対の電極に挟まれる誘電体として機能する。

【0673】

絶縁体 630 としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウムなどを用いればよく、積層または単層で設けることができる。

【0674】

また、例えば、絶縁体 630 には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（high-k）材料との積層構造を用いてもよい。当該構成により、容量素子 600 A は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子 600 の静電破壊を抑制することができる。

【0675】

なお、高誘電率（high-k）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

【0676】

または、絶縁体 630 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル

10

20

30

40

50

、酸化ジルコニウム、チタン酸ジルコン酸鉛（P Z T）、チタン酸ストロンチウム（S r T i O₃）または（B a、S r）T i O₃（B S T）などのh i g h－k材料を含む絶縁体を単層または積層で用いてもよい。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタ、又は容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にh i g h－k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

【0677】

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。導電体610は、容量素子600の一对の電極の一方としての機能を有する。また、例えば、導電体620は、実施の形態1で説明する演算回路M A C 1における配線X C Lとすることができる。

【0678】

なお、導電体620は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるC u（銅）、A l（アルミニウム）等を用いればよい。また、例えば、導電体620は、導電体610に適用できる材料を用いることができる。また、導電体620は、単層構造ではなく、2層以上の積層構造としてもよい。

【0679】

導電体620、及び絶縁体630上には、絶縁体640が設けられている。絶縁体640としては、例えば、トランジスタ500が設けられている領域に、水素、不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

【0680】

絶縁体640上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。そのため、絶縁体650としては、例えば、絶縁体324に適用できる材料とすることができる。

【0681】

図27、及び図28に示す半導体装置では、上述したとおり、導電体610と、導電体620と、絶縁体630と、によって容量素子600が構成されている。また、図27、及び図28では、容量素子600をプレーナ型として示している。

【0682】

図31A乃至図31Cに示す容量素子600Aは、図27、及び図28に示す半導体装置の容量素子に適用できるプレーナ型の容量素子である。図31Aは容量素子600Aの上面図であり、図31Bは容量素子600Aの一点鎖線L3－L4における断面を示した斜視図であり、図31Cは容量素子600Aの一点鎖線W3－L4における断面を示した斜視図である。

【0683】

導電体610は、容量素子600Aの一对の電極の一方として機能し、導電体620は、容量素子600Aの一对の電極の他方として機能する。また、絶縁体630は、一对の電極に挟まれる誘電体として機能する。

【0684】

容量素子600は、導電体610の下部において、導電体546に電氣的に接続されている。また、図31には図示していないが、図27、及び図28に示す半導体装置のとおり、容量素子600は、導電体540a、又は導電体540bの一方に電氣的に接続され

10

20

30

40

50

ている。導電体 5 4 6 は、別の回路素子と接続するためのプラグ、又は配線として機能する。

【0685】

また、図 3 1 では、図を明瞭に示すために、導電体 5 4 6 が埋め込まれている絶縁体 5 8 6 と、導電体 6 2 0 及び絶縁体 6 3 0 を覆っている絶縁体 6 4 0、及び絶縁体 6 5 0 を省略している。

【0686】

なお、図 2 7、図 2 8、図 3 1 A、図 3 1 B、及び図 3 1 C に示す容量素子 6 0 0 はプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子 6 0 0 は、図 3 2 A 乃至図 3 2 C に示すシリンダ型の容量素子 6 0 0 B としてもよい。

10

【0687】

図 3 2 A は容量素子 6 0 0 B の上面図であり、図 3 2 B は容量素子 6 0 0 B の一点鎖線 L 3 - L 4 における断面図であり、図 3 2 C は容量素子 6 0 0 B の一点鎖線 W 3 - L 4 における断面を示した斜視図である。

【0688】

図 3 2 B において、容量素子 6 0 0 B は、導電体 5 4 6 が埋め込まれている絶縁体 5 8 6 上の絶縁体 6 3 1 と、開口部を有する絶縁体 6 5 1 と、一对の電極の一方として機能する導電体 6 1 0 と、一对の電極の他方として機能する導電体 6 2 0 と、を有する。

【0689】

また、図 3 2 C では、図を明瞭に示すために、絶縁体 5 8 6 と、絶縁体 6 5 0 と、絶縁体 6 5 1 と、を省略している。

20

【0690】

絶縁体 6 3 1 としては、例えば、絶縁体 5 8 6 と同様の材料を用いることができる。

【0691】

また、絶縁体 6 3 1 には、導電体 5 4 6 に電氣的に接続されるように導電体 6 1 1 が埋め込まれている。導電体 6 1 1 は、例えば、導電体 3 3 0、導電体 5 1 8 と同様の材料を用いることができる。

【0692】

絶縁体 6 5 1 としては、例えば、絶縁体 5 8 6 と同様の材料を用いることができる。

【0693】

また、絶縁体 6 5 1 は、前述の通り、開口部を有し、当該開口部は導電体 6 1 1 に重畳している。

30

【0694】

導電体 6 1 0 は、当該開口部の底部と、側面と、に形成されている。つまり、導電体 6 1 0 は、導電体 6 1 1 に重畳し、かつ導電体 6 1 1 に電氣的に接続されている。

【0695】

なお、導電体 6 1 0 の形成方法としては、エッチング法などによって絶縁体 6 5 1 に開口部を形成し、次に、スパッタリング法、ALD 法などによって導電体 6 1 0 を成膜する。その後、CMP 法などによって、開口部に成膜された導電体 6 1 0 を残して、絶縁体 6 5 1 上に成膜された導電体 6 1 0 を除去すればよい。

40

【0696】

絶縁体 6 3 0 は、絶縁体 6 5 1 上と、導電体 6 1 0 の形成面上と、に位置する。なお、絶縁体 6 3 0 は、容量素子において、一对の電極に挟まれる誘電体として機能する。

【0697】

導電体 6 2 0 は、絶縁体 6 5 1 の開口部が埋まるように、絶縁体 6 3 0 上に形成されている。

【0698】

絶縁体 6 5 0 は、絶縁体 6 3 0 と、導電体 6 2 0 と、を覆うように形成されている。

【0699】

図 3 2 に示すシリンダ型の容量素子 6 0 0 B は、プレーナ型の容量素子 6 0 0 A よりも

50

静電容量の値を高くすることができる。

【0700】

次に、容量素子600の上方に位置する層LY2について説明する。なお、層LY2は、図1、及び図3に示した半導体装置SDVにおける層ERLに含まれている配線を形成することができる。つまり、層LY2は、配線層として機能する。

【0701】

なお、本明細書等において、層LY2は、例えば、配線層、又は構造体と用語を言い換える場合がある。

【0702】

図27において、絶縁体650の上方に、絶縁体411、絶縁体412、絶縁体413が順に積層して設けられている。また、絶縁体411、絶縁体412、及び絶縁体413には、導電体416が埋め込まれている。導電体416は、トランジスタ500と接続するプラグ、又は配線としての機能を有する。なお、導電体416は、導電体328、及び導電体330と同様の材料を用いて設けることができる。特に、導電体416は、実施の形態1で説明した半導体装置SDVの配線EIL[1]乃至配線EIL[m]とすることができる。

【0703】

なお、例えば、絶縁体411は、絶縁体324と同様に、水素、水などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体412、及び絶縁体413としては、絶縁体326と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、導電体416は、水素、水などの不純物に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体411、絶縁体412、及び絶縁体413が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ500と光電変換素子700は、バリア層により分離することができ、光電変換素子700からトランジスタ500への水素の拡散を抑制することができる。

【0704】

絶縁体413、及び導電体416上には、絶縁体414が設けられている。

【0705】

絶縁体414としては、例えば、絶縁体324などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体414としては、例えば、絶縁体324などに適用できる材料を用いることができる。

【0706】

次に、図27、及び図28の容量素子600の上方に設けられている層LY3、及び層LY3に含まれている光電変換素子700について説明する。層LY1には、例えば、図1、及び図3の半導体装置SDVにおける層PDLに含まれている、センサSNCを光センサとしたセンサアレイSCAを形成することができる。

【0707】

なお、本明細書等において、層LY3は、例えば、センサ層、構造体と用語を言い換える場合がある。

【0708】

光電変換素子700は、一例として、層767aと、層767bと、層767cと、層767dと、層767eと、を有する。

【0709】

図27、及び図28に示す光電変換素子700は、有機光導電膜の一例であり、層767aは下部電極、層767eは透光性を有する上部電極であり、層767b、層767c、層767dは光電変換部に相当する。なお、図27、及び図28に示す光電変換素子700の代わりとして、例えば、pn接合型フォトダイオード、アバランシェフォトダイオードなどを用いてもよい。

【0710】

10

20

30

40

50

下部電極である層 7 6 7 a は、アノード又はカソードの一方とすることができ、上部電極である層 7 6 7 b は、アノード又はカソードの他方とすることができる。なお、本実施の形態では、層 7 6 7 a をカソードとし、層 7 6 7 b をアノードとする。

【0711】

また、層 7 6 7 a の下部電極は、例えば、実施の形態 1 で説明する層 P D L における電極 D N K とすることができる。

【0712】

層 7 6 7 a としては、例えば、低抵抗の金属層などとするのが好ましい。具体的には、層 7 6 7 a としては、例えば、アルミニウム、チタン、タングステン、タンタル、銀またはそれらの積層を用いることができる。

10

【0713】

層 7 6 7 e としては、例えば、可視光に対して高い透光性を有する導電層を用いるのが好ましい。具体的には、層 7 6 7 e としては、例えば、インジウム酸化物、錫酸化物、亜鉛酸化物、インジウム-錫酸化物、ガリウム-亜鉛酸化物、インジウム-ガリウム-亜鉛酸化物、またはグラフェンなどを用いることができる。なお、層 7 6 7 e を省略した構成とすることもできる。

【0714】

光電変換部の層 7 6 7 b、層 7 6 7 d のいずれか一方はホール輸送層、他方は電子輸送層とすることができる。また、層 7 6 7 c は光電変換層とすることができる。

【0715】

20

ホール輸送層としては、例えば酸化モリブデンなどを用いることができる。電子輸送層としては、例えば、C₆₀、C₇₀などのフラーレン、またはそれらの誘導体などを用いることができる。

【0716】

光電変換層としては、n 型有機半導体および p 型有機半導体の混合層（バルクヘテロ接合構造）を用いることができる。

【0717】

図 2 7、及び図 2 8 の半導体装置において、絶縁体 4 1 4 の上方には、絶縁体 7 5 0 が設けられている。また、絶縁体 4 1 4、絶縁体 7 5 0、及び絶縁体 7 5 1 の導電体 4 1 6 と重畳する領域には開口部が設けられており、当該開口部を埋めるように導電体 7 4 0 が設けられている。絶縁体 6 5 0 上には、絶縁体 7 5 1 が設けられ、絶縁体 7 5 1 及び導電体 7 4 0 上には、層 7 6 7 a が設けられている。また、絶縁体 7 5 1 上と層 7 6 7 a 上とは、絶縁体 7 5 2 が設けられている。また、絶縁体 7 5 2 上と層 7 6 7 a 上とは、層 7 6 7 b が設けられている。

30

【0718】

また、層 7 6 7 b 上には、層 7 6 7 c、層 7 6 7 d、層 7 6 7 e、絶縁体 7 5 3 が順に積層して設けられている。

【0719】

絶縁体 7 5 1 は、一例として、層間絶縁膜として機能する。絶縁体 7 5 1 は、例えば、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いるのが好ましい。絶縁体 7 5 1 に水素に対するバリア性を有する絶縁体を用いることにより、トランジスタ 5 0 0 への水素の拡散を抑制することができる。そのため、絶縁体 7 5 1 としては、一例として、絶縁体 3 2 4 に適用できる材料を用いることができる。

40

【0720】

導電体 7 4 0 は、光電変換素子 7 0 0 と、導電体 4 1 6 と、を電氣的に接続するプラグ、又は配線としての機能を有する。導電体 7 4 0 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

【0721】

絶縁体 7 5 2 は、一例として、素子分離層として機能する。絶縁体 7 5 2 は、図示しないが、隣に位置する別の光電変換素子との短絡を防止するために設けられている。絶縁体

50

752としては、例えば、有機絶縁体などを用いることが好ましい。

【0722】

絶縁体753は、一例として、透光性を有する平坦化膜として機能する。絶縁体753としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンなどの材料を用いることができる。

【0723】

絶縁体753の上方には、一例として、遮光層771と、光学変換層772と、マイクロレンズアレイ773と、が設けられている。

【0724】

絶縁体753上に設けられている遮光層771は、隣接する画素への光の流入を抑えることができる。遮光層771には、アルミニウム、タングステンなどの金属層を用いることができる。また、当該金属層と反射防止膜としての機能を有する誘電体膜を積層してもよい。

【0725】

絶縁体753上と遮光層771上とに設けられている光学変換層772には、カラーフィルタを用いることができる。カラーフィルタにR（赤）、G（緑）、B（青）、Y（黄）、C（シアン）、M（マゼンタ）などの色を画素別に割り当てることにより、カラー画像を得ることができる。

【0726】

また、光学変換層772に波長カットフィルタを用いれば、様々な波長領域における画像が得られる撮像装置とすることができる。

【0727】

例えば、光学変換層772に可視光線の波長以下の光を遮るフィルタを用いれば、赤外線撮像装置とすることができる。また、光学変換層772に近赤外線の波長以下の光を遮るフィルタを用いれば、遠赤外線撮像装置とすることができる。また、光学変換層772に可視光線の波長以上の光を遮るフィルタを用いれば、紫外線撮像装置とすることができる。

【0728】

また、光学変換層772にシンチレータを用いれば、X線撮像装置などに用いる放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過したX線等の放射線がシンチレータに入射されると、フォトルミネッセンス現象により可視光線、紫外光線などの光（蛍光）に変換される。そして、当該光を光電変換素子700で検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

【0729】

シンチレータは、X線、ガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光、紫外光を発する物質を含む。例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO などを樹脂、セラミクスなどに分散させたものを用いることができる。

【0730】

遮光層771上と、光学変換層772上にはマイクロレンズアレイ773が設けられる。マイクロレンズアレイ773が有する個々のレンズを通る光が直下の光学変換層772を通り、光電変換素子700に照射されるようになる。マイクロレンズアレイ773を設けることにより、集光した光を光電変換素子700に入射することができるため、効率よく光電変換を行うことができる。マイクロレンズアレイ773は、可視光に対して透光性の高い樹脂またはガラスなどで形成することが好ましい。

【0731】

ところで、図27、及び図28には、トランジスタ300、及びトランジスタ500の上方に有機光導電膜を用いた光電変換素子700を設けた半導体装置の構成を示している

10

20

30

40

50

が、本発明の一態様の半導体装置は、これに限定されない。例えば、本発明の一態様の半導体装置は、光電変換素子700の代わりとして、裏面照射型であってpn接合型の光電変換素子を設けた構成としてもよい。

【0732】

図33は、トランジスタ300、及びトランジスタ500の上方に、裏面照射型であってpn接合型の光電変換素子700Aを設けた半導体装置の構成例を示している。図33に示している半導体装置は、トランジスタ300、トランジスタ500、及び容量素子600が設けられた基板310の上方に、光電変換素子700Aを有する層LY4が貼り合わされた構成となっている。なお、層LY4は、先に説明した層LY3の変形例であって、層LY4には、図1、及び図3の半導体装置SDVにおける層PDLに含まれている、センサSNCを光センサとしたセンサアレイSCAを形成することができる。

10

【0733】

なお、本明細書等において、層LY4は、例えば、センサ層、構造体と用語を言い換える場合がある。

【0734】

なお、層LY4には、遮光層771と、光学変換層772と、マイクロレンズアレイ773と、が含まれており、これらの説明については、上述した説明を参酌する。

【0735】

光電変換素子700Aは、シリコン基板に形成されたpn接合型のフォトダイオードであり、p型領域に相当する層765bおよびn型領域に相当する層765aを有する。光電変換素子700Aは埋め込み型フォトダイオードであり、層765aの表面側（電流の取り出し側）に設けられた薄いp型の領域（層765bの一部）によって暗電流を抑えノイズを低減させることができる。

20

【0736】

絶縁体701、導電体741、導電体742は、貼り合わせ層としての機能を有する。絶縁体754は、層間絶縁膜および平坦化膜としての機能を有する。絶縁体755は、素子分離層としての機能を有する。絶縁体756は、キャリアの流出を抑制する機能を有する。

【0737】

シリコン基板には画素を分離する溝が設けられ、絶縁体756はシリコン基板上面および当該溝に設けられる。絶縁体756が設けられることにより、光電変換素子700A内で発生したキャリアが隣接する画素に流出することを抑えることができる。また、絶縁体756は、迷光の侵入を抑制する機能も有する。したがって、絶縁体756により、混色を抑制することができる。なお、シリコン基板の上面と絶縁体756との間に反射防止膜が設けられていてもよい。

30

【0738】

素子分離層は、LOCOS法を用いて形成することができる。または、STI(Shallow Trench Isolation)法を用いて形成してもよい。絶縁体756としては、例えば、酸化シリコン、窒化シリコンなどの無機絶縁膜、ポリイミド、アクリルなどの有機絶縁膜を用いることができる。なお、絶縁体756は多層構成であってもよい。

40

【0739】

光電変換素子700Aの層765a(n型領域、カソードに相当)は、導電体741と電氣的に接続される。層765b(p型領域、アノードに相当)は、導電体742と電氣的に接続される。導電体741、導電体742は、絶縁体701に埋設された領域を有する。また、絶縁体701、導電体741、導電体742の表面は、それぞれ高さが一致するように平坦化されている。

【0740】

なお、層765bは、導電体742を介して、後述する導電体744に電氣的に接続されている。つまり、図33の半導体装置は、光電変換素子700Aのアノードには、層L

50

Y 2、及び L Y 1 から電流、又は電圧が与えられている構成となっている（図示しない）。
【0741】

また、図33に示す半導体装置は、絶縁体414より上方に設けられている絶縁体、導電体などの構成において、図27の半導体装置と異なっている。具体的には、図33の半導体装置では、絶縁体414の上方に絶縁体492、及び絶縁体493が順に積層されている。また、絶縁体492、及び絶縁体493の導電体416と重畳する領域に開口部が設けられており、当該開口部を埋めるように導電体743が形成されている。また、また当該領域とは別の個所にも開口部が設けられており、当該開口部を埋めるように導電体744が形成されている。

【0742】

上述した構成より、導電体416は、導電体743、及び導電体741を介して、層765aと電氣的に接続されている。これは、実施の形態1で説明した配線EILが、センサSNCに含まれているフォトダイオードの出力端子（カソード）に電氣的に接続されていることに相当する。なお、図33の半導体装置は、配線EILに相当する導電体416が、導電体744、及び導電体742を介して、層765b（フォトダイオードの入力端子（アノード））に電氣的に接続されている構成としてもよい。

【0743】

また、導電体741は、例えば、実施の形態1で説明した層PDLに含まれている電極DNKとすることができる。また、導電体743は、例えば、実施の形態1で説明した配線EILと、センサSNCと、を電氣的に接続するプラグとすることができる。

【0744】

絶縁体492としては、例えば、絶縁体650に適用できる材料を用いることができる。

【0745】

絶縁体493は、絶縁体701と同様に、貼り合わせ層の一部として機能する。また、導電体743、及び導電体744も、導電体741、及び導電体742と同様に、貼り合わせ層の一部として機能する。

【0746】

絶縁体493、及び絶縁体701としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、窒化チタンなどを用いることができる。特に、絶縁体493と絶縁体701とを接合するため、絶縁体493及び絶縁体701は、同一の成分で構成されていることが好ましい。

【0747】

導電体741、導電体742、導電体743、及び導電体744としては、例えば、銅、アルミニウム、錫、亜鉛、タングステン、銀、白金または金などを用いることができる。特に、導電体741と導電体743、及び導電体742と導電体744とを接合しやすくするには、銅、アルミニウム、タングステン、又は金を用いることが好ましい。

【0748】

なお、導電体741、導電体742、導電体743、及び導電体744は、複数の層を含む多層構造としてもよい。例えば、導電体741、導電体742、導電体743、又は導電体744が設けられる開口部の側面に第1の導電体を形成し、その後に開口部を埋めるように第2の導電体を形成してもよい。第1の導電体としては、例えば、窒化タンタルなど水素に対するバリア性を有する導電体を用いることができ、また、第2の導電体としては、例えば、導電性の高いタングステンを用いることができる。

【0749】

基板310側の貼り合わせ層と層LY4側の貼り合わせ層との貼り合わせを行う前工程では、基板310側において、絶縁体493と、導電体743と、導電体744と、の表面はそれぞれ高さが一致するように平坦化が行われる。同様に、層LY4側において、絶縁体701と、導電体741と、導電体742と、の表面はそれぞれ高さが一致するように平坦化が行われる。

【0750】

10

20

30

40

50

貼り合わせ工程で、絶縁体４９３と絶縁体７０１との接合、つまり絶縁層同士の接合を行うとき、研磨などによって高い平坦性を与えた後に、酸素プラズマ等で親水性処理をした表面同士を接触させて仮接合し、熱処理による脱水で本接合を行う親水性接合法などを用いることができる。親水性接合法も原子レベルでの結合が起こるため、機械的に優れた接合を得ることができる。

【０７５１】

また、例えば、導電体７４１と導電体７４３との接合、及び導電体７４２と導電体７４４との接合、つまり導電体同士の接合をおこなうとき、表面の酸化膜および不純物の吸着層などをスパッタリング処理などで除去し、清浄化および活性化した表面同士を接触させて接合する表面活性化接合法を用いることができる。または、温度と圧力を併用して表面同士を接合する拡散接合法などを用いることができる。どちらも原子レベルでの結合が起こるため、電氣的だけでなく機械的にも優れた接合を得ることができる。

【０７５２】

上述した、貼り合わせ工程を行うことによって、基板３１０側の導電体７４３、及び導電体７４４を、層ＬＹ４側の導電体７４１、及び導電体７４２に電氣的に接続することができる。また、基板３１０側の絶縁体４９３と、層ＬＹ４側の絶縁体７０１と、の機械的な強度を有する接続を得ることができる。

【０７５３】

基板３１０と層ＬＹ４を貼り合わせる場合、それぞれの接合面には絶縁層と金属層が混在するため、例えば、表面活性化接合法および親水性接合法を組み合わせればよい。

【０７５４】

例えば、研磨後に表面を清浄化し、金属層の表面に酸化防止処理を行ったのちに親水性処理を行って接合する方法などを用いることができる。また、金属層の表面を金などの難酸化性金属とし、親水性処理を行ってもよい。なお、上述した方法以外の接合方法を用いてもよい。

【０７５５】

本実施の形態で説明した本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

【０７５６】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【０７５７】

（実施の形態６）

本実施の形態では、上記の実施の形態で説明したＯＳトランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

【０７５８】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

【０７５９】

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図３４Ａを用いて説明を行う。図３４Ａは、酸化物半導体、代表的にはＩＧＺＯ（Ｉｎと、Ｇａと、Ｚｎと、を含む金属酸化物）の結晶構造の分類を説明する図である。

【０７６０】

図34Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（Cloud-Aligned Composite）が含まれる（excluding single crystal and polycrystal）。なお、「Crystalline」の分類には、single crystal、polycrystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpolycrystalが含まれる。

10

【0761】

なお、図34Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」、「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

【0762】

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図34Bに示す（横軸は 2θ [deg.]とし、また、縦軸は強度（Intensity）を任意単位（a.u.）で表している）。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図34Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図34Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn=4：2：3〔原子数比〕近傍である。また、図34Bに示すCAAC-IGZO膜の厚さは、500 nmである。

20

【0763】

図34Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta=31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図34Bに示すように、 $2\theta=31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

30

【0764】

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図34Cに示す。図34Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図34Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn=4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1 nmとして電子線回折が行われる。

40

【0765】

図34Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0766】

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図34Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似

50

非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

【0767】

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

【0768】

【CAAC-OS】

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

【0769】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

【0770】

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M，Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

【0771】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

【0772】

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点对称の位置に観測される。

【0773】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないこと、金属原子が置換すること、などで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0774】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0775】

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、欠陥などの生成などによって低下する場合があるため、CAAC-OSは不純物、欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

【0776】

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OS、非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

【0777】

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

【0778】

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

【0779】

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、

該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0780】

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0781】

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[Zn]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Zn]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[Zn]よりも大きく、且つ、[Ga]が、第2の領域における[Zn]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Zn]よりも大きく、且つ、[In]が、第1の領域における[Zn]よりも小さい領域である。

【0782】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

【0783】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0784】

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

【0785】

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

【0786】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0787】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0788】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0789】

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼称する場合がある。

10

【0790】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0791】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0792】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

20

【0793】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0794】

酸化物半導体において、第14族元素の一つであるシリコン、炭素などが含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン、及び炭素の濃度と、酸化物半導体との界面近傍のシリコン、炭素などの濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

30

【0795】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

40

【0796】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

【0797】

50

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

【0798】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0799】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0800】

(実施の形態7)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

【0801】

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図35Aを用いて説明する。

【0802】

図35Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

【0803】

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801の薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

【0804】

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインと呼称する場合がある）に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライブラインSCL1が平行になるように設け、複数のスクライブラインSCL2が平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けることが好ましい。

【0805】

ダイシング工程を行うことにより、図35Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくするようにすることが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、スクライブラインSCL1の切りしろと、又はスクライブラインSCL2の切りしろとほぼ同等の長さであればよい。

【0806】

なお、本発明の一態様の素子基板の形状は、図35Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形の形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することがで

10

20

30

40

50

きる。

【0807】

<電子部品>

図35Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図35Cに示す電子部品4700は、モールド4711内にチップ4800aを有している。なお、図35Cに示すとおり、チップ4800aは、回路部4802が積層された構成としてもよい。図35Cは、電子部品4700の内部を示すために、一部を省略している。電子部品4700は、モールド4711の外側にランド4712を有する。ランド4712は電極パッド4713と電氣的に接続され、電極パッド4713はチップ4800aとワイヤ4714によって電氣的に接続されている。電子部品4700は、例えばプリント基板4702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

10

【0808】

図35Dに電子部品4730の斜視図を示す。電子部品4730は、SiP（System in package）またはMCM（Multi Chip Module）の一例である。電子部品4730は、パッケージ基板4732（プリント基板）上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

【0809】

電子部品4730では、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ（HBM：High Bandwidth Memory）などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路（半導体装置）を用いることができる。

20

【0810】

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

【0811】

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼称する場合がある。また、インターポーザ4731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板4732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV（Through Silicon Via）を用いることも出来る。

30

【0812】

インターポーザ4731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

40

【0813】

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

【0814】

また、シリコンインターポーザを用いたSiP、MCMなどでは、集積回路とインター

50

ポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

【０８１５】

また、電子部品４７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ４７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品４７３０では、半導体装置４７１０と半導体装置４７３５の高さを揃えることが好ましい。

【０８１６】

電子部品４７３０を他の基板に実装するため、パッケージ基板４７３２の底部に電極４７３３を設けてもよい。図３５Ｄでは、電極４７３３を半田ボールで形成する例を示している。パッケージ基板４７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ball Grid Array）実装を実現できる。また、電極４７３３を導電性のピンで形成してもよい。パッケージ基板４７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Pin Grid Array）実装を実現できる。

【０８１７】

電子部品４７３０は、ＢＧＡおよびＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Staggered Pin Grid Array）、ＬＧＡ（Land Grid Array）、ＱＦＰ（Quad Flat Package）、ＱＦＪ（Quad Flat J-leaded package）、またはＱＦＮ（Quad Flat Non-leaded package）などの実装方法を用いることができる。

【０８１８】

次に、光電変換素子が含まれているイメージセンサチップ（撮像装置）を有する、電子部品について説明する。

【０８１９】

図３６Ａは、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ４５５０（図３６Ｃ参照）を固定するパッケージ基板４５１０、カバーガラス４５２０および両者を接着する接着剤４５３０等を有する。

【０８２０】

図３６Ｂは、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンプ４５４０としたＢＧＡ（Ball grid array）を有する。なお、ＢＧＡに限らず、ＬＧＡ（Land grid array）、ＰＧＡ（Pin Grid Array）などを有していてもよい。

【０８２１】

図３６Ｃは、カバーガラス４５２０および接着剤４５３０の一部を省いて図示したパッケージの斜視図である。パッケージ基板４５１０上には電極パッド４５６０が形成され、電極パッド４５６０およびバンプ４５４０はスルーホールを介して電氣的に接続されている。電極パッド４５６０は、イメージセンサチップ４５５０とワイヤ４５７０によって電氣的に接続されている。

【０８２２】

また、図３６Ｄは、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ４５５１（図３６Ｆを固定するパッケージ基板４５１１、レンズカバー４５２１、およびレンズ４５３５等を有する。また、パッケージ基板４５１１およびイメージセンサチップ４５５１の間には撮像装置の駆動回路および信号変換回路などの機能を有するＩＣチップ４５９０（図３６Ｆも設けられており、ＳｉＰ（System in package）としての構成を有している。

10

20

30

40

50

【0823】

図36Eは、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板4511の下面および側面には、実装用のランド4541が設けられたQFN(Quad flat no-lead package)の構成を有する。なお、当該構成は一例であり、QFP(Quad flat package)、又は前述したBGAが設けられていてもよい。

【0824】

図36Fは、レンズカバー4521およびレンズ4535の一部を省いて図示したモジュールの斜視図である。ランド4541は電極パッド4561と電氣的に接続され、電極パッド4561はイメージセンサチップ4551またはICチップ4590とワイヤ4571によって電氣的に接続されている。

【0825】

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

【0826】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0827】

(実施の形態8)

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図37には、当該半導体装置を有する電子部品4700が各電子機器に含まれている様子を図示している。

【0828】

[携帯電話]

図37に示す情報端末5500は、情報端末の一種である携帯電話(スマートフォン)である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

【0829】

情報端末5500は、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5511に表示するアプリケーション、表示部5511に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5511に表示するアプリケーション、指紋、声紋などの生体認証を行うアプリケーションなどが挙げられる。

【0830】

[ウェアラブル端末]

また、図37には、ウェアラブル端末の一例として腕時計型の情報端末5900が図示されている。情報端末5900は、筐体5901、表示部5902、操作ボタン5903、操作子5904、バンド5905などを有する。

【0831】

ウェアラブル端末は、先述した情報端末5500と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、ウェアラブル端末を装着した人の健康状態を管理するアプリケーション、目的地を入力することで最適な道を選択して誘導するナビゲーションシステムなどが挙げられる。

【0832】

[情報端末]

また、図37には、デスクトップ型情報端末5300が図示されている。デスクトップ

10

20

30

40

50

型情報端末５３００は、情報端末の本体５３０１と、ディスプレイ５３０２と、キーボード５３０３と、を有する。

【０８３３】

デスクトップ型情報端末５３００は、先述した情報端末５５００と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末５３００を用いることで、新規の人工知能の開発を行うことができる。

【０８３４】

なお、上述では、電子機器としてスマートフォン、デスクトップ用情報端末、ウェアラブル端末を例として、それぞれ図３７に図示したが、スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末を適用することができる。スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末としては、例えば、ＰＤＡ（Personal Digital Assistant）、ノート型情報端末、ワークステーションなどが挙げられる。

【０８３５】

〔電化製品〕

また、図３７には、電化製品の一例として電気冷凍冷蔵庫５８００が図示されている。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。

【０８３６】

電気冷凍冷蔵庫５８００に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する電気冷凍冷蔵庫５８００を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能、電気冷凍冷蔵庫５８００に保存されている食材に合わせた温度に自動的に調節する機能、などを有することができる。

【０８３７】

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、ＩＨ（Induction Heating）調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【０８３８】

〔ゲーム機〕

また、図３７には、ゲーム機の一例である携帯ゲーム機５２００が図示されている。携帯ゲーム機５２００は、筐体５２０１、表示部５２０２、ボタン５２０３等を有する。

【０８３９】

更に、図３７には、ゲーム機の一例である据え置き型ゲーム機７５００が図示されている。据え置き型ゲーム機７５００は、本体７５２０と、コントローラ７５２２を有する。なお、本体７５２０には、無線または有線によってコントローラ７５２２を接続することができる。また、図３７に示していないが、コントローラ７５２２は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネル、スティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ７５２２は、図３７に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ７５２２の形状を様々に変更してもよい。例えば、FPS（First Person Shooter）などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲー

10

20

30

40

50

ムプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

【0840】

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

【0841】

携帯ゲーム機5200に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機5200を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0842】

更に、携帯ゲーム機5200に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する携帯ゲーム機5200を実現することができる。

【0843】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5200に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

【0844】

また、携帯ゲーム機5200で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

【0845】

図37では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

【0846】

〔移動体〕

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

【0847】

図37には移動体の一例である自動車5700が図示されている。

【0848】

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することができるインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

【0849】

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

【0850】

上記実施の形態で説明した半導体装置は人工知能の構成要素として適用できるため、例えば、当該半導体装置を自動車5700の自動運転システムに用いることができる。また、当該半導体装置を道路案内、危険予測などを行うシステムに用いることができる。当該表示装置には、道路案内、危険予測などの情報を表示する構成としてもよい。

【0851】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与することができる。

【0852】

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

【0853】

図37には、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、ビューファインダー等を別途装着することができる構成としてもよい。

【0854】

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0855】

更に、デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有するデジタルカメラ6240を実現することができる。人工知能を利用することによって、デジタルカメラ6240は、顔、物体など被写体を自動的に認識する機能、又は当該被写体に合わせたピント調節、環境に合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。

【0856】

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

【0857】

図37には、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ6305、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

【0858】

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。人工知能を利用することによって、ビデオカメラ6300は、エンコードの際に、人工知能によるパターン認識を行うことができる。このパターン認識によって、連続する撮像画像データに含まれる人、動物、物体などの差分データを算出して、データの圧縮を行うことができる。

【0859】

[PC用の拡張デバイス]

上記実施の形態で説明した半導体装置は、PC（Personal Computer）などの計算機、情報端末用の拡張デバイスに適用することができる。

【0860】

図38Aは、当該拡張デバイスの一例として、持ち運びのできる、演算処理が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USB(Universal Serial Bus)などでPCに接続することで、当該チップによる演算処理を行うことができる。なお、図38Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

【0861】

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板6104には、チップ6105(例えば、上記実施の形態で説明した半導体装置、電子部品4700、メモリチップなど)、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

【0862】

拡張デバイス6100をPCなどを用いることにより、当該PCの演算処理能力を高くすることができる。これにより、処理能力の足りないPCでも、例えば、人工知能、動画処理などの演算を行うことができる。

【0863】

〔放送システム〕

上記実施の形態で説明した半導体装置は、放送システムに適用することができる。

【0864】

図38Bは、放送システムにおけるデータ伝送を模式的に示している。具体的には、図38Bは、放送局5680から送信された電波(放送信号)が、各家庭のテレビジョン受信装置(TV)5600に届くまでの経路を示している。TV5600は、受信装置を備え(図示しない)、アンテナ5650で受信された放送信号は、当該受信装置を介して、TV5600に送信される。

【0865】

図38Bでは、アンテナ5650は、UHF(Ultra High Frequency)アンテナを図示しているが、アンテナ5650としては、BS・110°CSアンテナ、CSアンテナなども適用できる。

【0866】

電波5675A、電波5675Bは地上波放送用の放送信号であり、電波塔5670は受信した電波5675Aを増幅して、電波5675Bの送信を行う。各家庭では、アンテナ5650で電波5675Bを受信することで、TV5600で地上波放送を視聴することができる。なお、放送システムは、図38Bに示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

【0867】

上述した放送システムは、上記実施の形態で説明した半導体装置を適用して、人工知能を利用した放送システムとしてもよい。放送局5680から各家庭のTV5600に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ5650が当該放送データを受信したとき、TV5600に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高いTV5600で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

【0868】

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン（UHD TV：4K、8K）放送に対して好適である。

【0869】

また、TV5600側における人工知能の応用として、例えば、TV5600に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

【0870】

〔認証システム〕

上記実施の形態で説明した半導体装置は、認証システムに適用することができる。

10

【0871】

図38Cは、掌紋認証装置を示しており、筐体6431、表示部6432、掌紋読み取り部6433、配線6434を有している。

【0872】

図38Cには、掌紋認証装置が手6435の掌紋を取得する様子を示している。取得した掌紋は、人工知能を利用したパターン認識の処理が行われ、当該掌紋が本人のものであるかどうかの判別を行うことができる。これにより、セキュリティの高い認証を行うシステムを構築することができる。また、本発明の一態様に係る認証システムは、掌紋認証装置に限定されず、指紋、静脈、顔、虹彩、声紋、遺伝子、体格などの生体情報を取得して生体認証を行う装置であってもよい。

20

【0873】

〔報知器〕

上記実施の形態で説明した半導体装置は、報知器に適用することができる。

【0874】

図39Aには、報知器6900が図示されており、報知器6900は、感知機6901と、受信機6902と、発信機6903とを有する。

【0875】

感知機6901は、センサ回路6904、通気口6905、操作キー6906等を有する。通気口6905を通過した検知対象物は、センサ回路6904にセンシングされる。センサ回路6904としては、例えば、漏水、漏電、ガス漏洩、火災、氾濫する恐れのある河川の水位、地震の震度、放射線などを検知対象物とする検知器とすることができる。

30

【0876】

感知機6901は、例えば、規定値以上の検知対象物がセンサ回路6904にて感知されると、その情報を受信機6902に送る。受信機6902は、表示部6907、操作キー6908、操作キー6909、配線6910等を有する。受信機6902は、感知機6901からの情報に従って、発信機6903の動作を制御する。発信機6903は、スピーカ6911、照明装置6912などを有する。発信機6903は、発信機6903からの命令に従って、警報を発信する機能を有する。図39Aでは、発信機6903が、スピーカ6911を用いた音声による警報と、赤色灯などの照明装置6912を用いた光による警報とを共に行う例を示しているが、いずれか一方のみの警報またはそれ以外の警報を、発信機6903が行うようにしてもよい。

40

【0877】

また、センサ回路が火災報知器として機能する場合、警報の発信に伴い、シャッターなどの防火設備に、所定の動作を行う旨の命令を受信機6902が送るようにしてもよい。また、図39Aでは、受信機6902と感知機6901との間において無線で信号の送受信が行われる場合を例示したが、配線等を介して信号の送受信が行われていてもよい。また、図39Aでは、受信機6902から発信機6903へ、配線6910を介して信号の送信が行われている場合を例示したが、無線で信号の送信が行われていてもよい。

【0878】

〔ロボット〕

50

上記で説明した半導体装置は、ロボットに適用することができる。

【0879】

図39Bは、ロボットの一例を示している。ロボット6140は、それぞれの触覚センサ6141a乃至触覚センサ6141eを有する。ロボット6140は、触覚センサ6141a乃至触覚センサ6141eを用いて、対象物をつかむことができる。触覚センサ6141a乃至触覚センサ6141eとしては、例えば、対象物に触れたときの接地面積に応じて、対象物に対して電流が流れる機能を有し、流れる電流の量からロボット6140が対象物をつかんでいるという認識をすることができる。

【0880】

図39Cは、産業用ロボットの一例を示している。産業用ロボットは、駆動範囲を細かく制御するために複数の駆動軸を有することが好ましい。産業用ロボット6150は、機能部6151、制御部6152、駆動軸6153、駆動軸6154、及び駆動軸6155を備えた例を示している。機能部6151は画像検出モジュールなどのセンサを有していることが好ましい。

【0881】

また、機能部6151は、対象物をつかむ、切る、溶接する、塗布する、貼付するなどの機能のいずれか一もしくは複数の機能を有していることが好ましい。産業用ロボット6150は、応答性が向上すると、生産性が比例して向上する。また、産業用ロボット6150が精密な動作を行うためには、微小電流を検知するセンサなどを設けることが好ましい。

【0882】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【0883】

SDV：半導体装置、MAC1：演算回路、MAC1A：演算回路、MAC2：演算回路、MAC2-1：演算回路、MAC2-2：演算回路、MAC3A：演算回路、MAC3B：演算回路、WCS：回路、WCSa：回路、XCS：回路、XCsa：回路、WSD：回路、ITS：回路、ITRZ[1]：変換回路、ITRZ[n]：変換回路、ITRZ1：変換回路、ITRZ2：変換回路、ITRZ3：変換回路、ITRZD[j]：変換回路、ITRZD1：変換回路、ITRZD2：変換回路、ITRZD3：変換回路、ITRZD4：変換回路、ITRZD4[1]：変換回路、ITRZD4[n]：変換回路、SWS1：回路、SWS2：回路、SWS3：回路、CA：セルアレイ、LS：回路、LGC：回路、SCA：センサアレイ、IM：セル、IM[1,1]：セル、IM[1,j]：セル、IM[m,j]：セル、IM[i,j]：セル、IM[m,1]：セル、IM[1,n]：セル、IM[m,n]：セル、IM[1,h]：セル、IM[n,h]：セル、IMr[1,j]：セル、IMr[i,j]：セル、IMr[m,j]：セル、IMr[1,h]：セル、IMr[n,h]：セル、IMref：セル、IMref[1]：セル、IMref[i]：セル、IMref[m]：セル、IMref[n]：セル、CES[1,j]：回路、CES[i,j]：回路、CES[m,j]：回路、NN[1,1]：ノード、NN[m,1]：ノード、NN[1,j]：ノード、NN[m,j]：ノード、NN[1,n]：ノード、NN[m,n]：ノード、NNr[1,j]：ノード、NNr[m,j]：ノード、NNref[1]：ノード、NNref[m]：ノード、CS：電流源、CS1：電流源、CS2：電流源、CS3：電流源、CS4：電流源、CI：電流源、CIr：電流源、CSA：電流源、CM1：カレントミラー回路、CM2：カレントミラー回路、ADC：アナログデジタル変換回路、C5：容量、C5r：容量、C5m：容量、C6：容量、CMP1：コンパレータ、CMP2：コンパレータ、F1：トランジスタ、F1m：トランジスタ、F1r：トランジスタ、F2：トランジスタ、F2m：トランジスタ、F2r：トランジスタ、F3：トランジスタ、F3[1]：トランジスタ、F3[j]：トランジスタ、F3[n]：トランジスタ、F3r：トランジスタ

タ、F3r[j]：トランジスタ、F4：トランジスタ、F4[1]：トランジスタ、F4[j]：トランジスタ、F4[n]：トランジスタ、F4r：トランジスタ、F4r[j]：トランジスタ、F5：トランジスタ、F6：トランジスタ、F6r：トランジスタ、F6s：トランジスタ、F6sr：トランジスタ、F7：トランジスタ、F7r：トランジスタ、F7s：トランジスタ、F8：トランジスタ、F8r：トランジスタ、F8s：トランジスタ、F8sr：トランジスタ、F9：トランジスタ、Tr1：トランジスタ、Tr1[1]：トランジスタ、Tr1[2]：トランジスタ、Tr1[K]：トランジスタ、Tr2：トランジスタ、Tr2[1]：トランジスタ、Tr2[2]：トランジスタ、Tr2[K]：トランジスタ、Tr3：トランジスタ、R5：抵抗、RP：抵抗、RM：抵抗、SNC：センサ、SNC[1]：センサ、SNC[m]：センサ、PD：フォトダイオード、OP1：オペアンプ、OP2：オペアンプ、OPP：オペアンプ、OPM：オペアンプ、SWW：スイッチ、SWX：スイッチ、SW[1]：スイッチ、SW[m]：スイッチ、LTA[1]：ラッチ回路、LTA[m]：ラッチ回路、LTB[1]：ラッチ回路、LTB[m]：ラッチ回路、BF[1]：バッファ回路、BF[m]：バッファ回路、T1：端子、T2：端子、U1：端子、U2：端子、U3：端子、SWL1：配線、SWL2：配線、WCL：配線、WCL[1]：配線、WCL[j]：配線、WCL[n]：配線、WCLr：配線、WCLr[j]：配線、XCL：配線、XCL[1]：配線、XCL[i]：配線、XCL[m]：配線、WSL：配線、WSL[1]：配線、WSL[j]：配線、WSL[m]：配線、OL：配線、OL[1]：配線、OL[j]：配線、OL[n]：配線、DW：配線、DW[1]：配線、DW[2]：配線、DW[K]：配線、DX[1]：配線、DX[2]：配線、DX[L]：配線、CL[1]：配線、CL[2]：配線、CL[P]：配線、VE：配線、VE1：配線、VE2：配線、VDDL：配線、VINIL1：配線、VINIL2：配線、VWL：配線、VTL：配線、VTHL：配線、VRL：配線、VRL2：配線、VRL3：配線、VRPL：配線、VRML：配線、VHE：配線、VSE：配線、OEL：配線、TM[1]：配線、TM[n]：配線、TH[1, h]：配線、TH[n, h]：配線、THr[1, h]：配線、THr[n, h]：配線、LXS[1]：配線、LXS[m]：配線、DXS[1]：配線、DXS[m]：配線、VANL：配線、SCL：配線、SPL：配線、SEL[1]：配線、SEL[m]：配線、DAT：配線、LAT：配線、SWL[1]：配線、SWL[m]：配線、EIL[1]：配線、EIL[i]：配線、EIL[m]：配線、SWLA：配線、SWLB：配線、RCL[1]：配線、RCL[n]：配線、CCL：層、ERL：層、PDL：層、PHL：層、LY1：層、LY2：層、LY3：層、LY4：層、DNK：電極、PTC：回路、PTR[1]：回路、PTR[i]：回路、PTR[m]：回路、AC[1]：回路、AC[m]：回路、SA[1]：スイッチ、SA[i]：スイッチ、SA[m]：スイッチ、SB[1]：スイッチ、SB[n]：スイッチ、SCL1：スクライブライン、SCL2：スクライブライン、100：ニューラルネットワーク、300：トランジスタ、310：基板、310A：基板、312：素子分離層、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、411：絶縁体、412：絶縁体、413：絶縁体、414：絶縁体、416：導電体、492：絶縁体、493：絶縁体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、513：絶縁体、514：絶縁体、516：絶縁体、518：導電体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、530c：酸化物、530c1：酸化物、530c2：酸化物、540：導電体、540a：導電体、540b：導電体、542：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、546：導電体、550：絶縁体、552：絶縁体、560：導電体、560a：導電体、560b：導電体、574：絶縁体、576：絶縁体、580：

10

20

30

40

50

絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量素子、600A：容量素子、600B：容量素子、610：導電体、611：導電体、612：導電体、620：導電体、630：絶縁体、631：絶縁体、640：絶縁体、650：絶縁体、651：絶縁体、700：光電変換素子、700A：光電変換素子、701：絶縁体、740：導電体、741：導電体、742：導電体、743：導電体、744：導電体、750：絶縁体、751：絶縁体、752：絶縁体、753：絶縁体、754：絶縁体、755：絶縁体、756：絶縁体、765a：層、765b：層、767a：層、767b：層、767c：層、767d：層、767e：層、771：遮光層、772：光学変換層、773：マイクロレンズアレイ、4510：パッケージ基板、4511：パッケージ基板、4520：カバーガラス、4521：レンズカバー、4530：接着剤、4535：レンズ、4540：バンプ、4541：ランド、4550：イメージセンサチップ、4551：イメージセンサチップ、4560：電極パッド、4561：電極パッド、4570：ワイヤ、4571：ワイヤ、4590：ICチップ、4700：電子部品、4702：プリント基板、4704：実装基板、4710：半導体装置、4711：モールド、4712：ランド、4713：電極パッド、4714：ワイヤ、4730：電子部品、4731：インターポーザ、4732：パッケージ基板、4733：電極、4735：半導体装置、4800：半導体ウェハ、4800a：チップ、4801：ウェハ、4801a：ウェハ、4802：回路部、4803：スペーシング、4803a：スペーシング、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：ディスプレイ、5303：キーボード、5500：情報端末、5510：筐体、5511：表示部、5600：TV、5650：アンテナ、5670：電波塔、5675A：電波、5675B：電波、5680：放送局、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵庫用扉、5803：冷凍室用扉、5900：情報端末、5901：筐体、5902：表示部、5903：操作ボタン、5904：操作子、5905：バンド、6100：拡張デバイス、6101：筐体、6102：キャップ、6103：USBコネクタ、6104：基板、6105：チップ、6106：コントローラチップ、6140：ロボット、6141a：触覚センサ、6141b：触覚センサ、6141c：触覚センサ、6141d：触覚センサ、6141e：触覚センサ、6150：産業用ロボット、6151：機能部、6152：制御部、6153：駆動軸、6154：駆動軸、6155：駆動軸、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作ボタン、6244：シャッターボタン、6246：レンズ、6300：ビデオカメラ、6301：第1筐体、6302：第2筐体、6303：表示部、6304：操作キー、6305：レンズ、6306：接続部、6431：筐体、6432：表示部、6433：掌紋読み取り部、6434：配線、6435：手、6900：報知器、6901：感知機、6902：受信機、6903：発信機、6904：センサ回路、6905：通気口、6906：操作キー、6907：表示部、6908：操作キー、6909：操作キー、6910：配線、6911：スピーカ、6912：照明装置、7500：据え置き型ゲーム機、7520：本体、7522：コントローラ

10

20

30

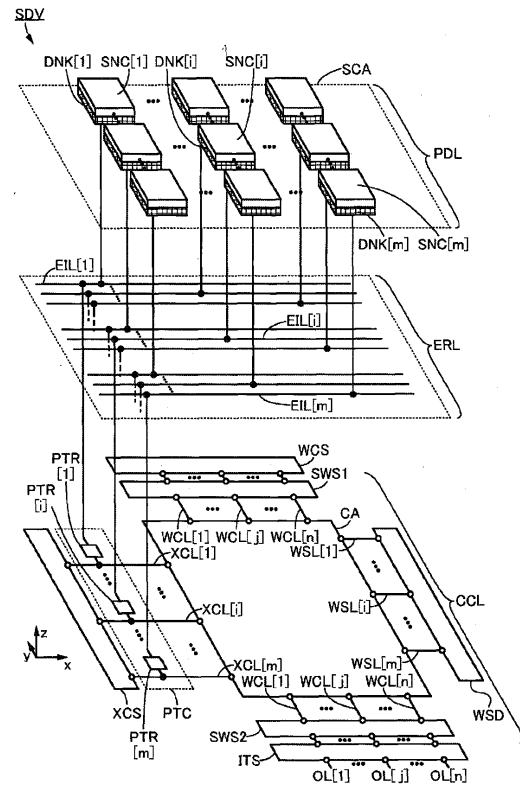
40

50

【図面】

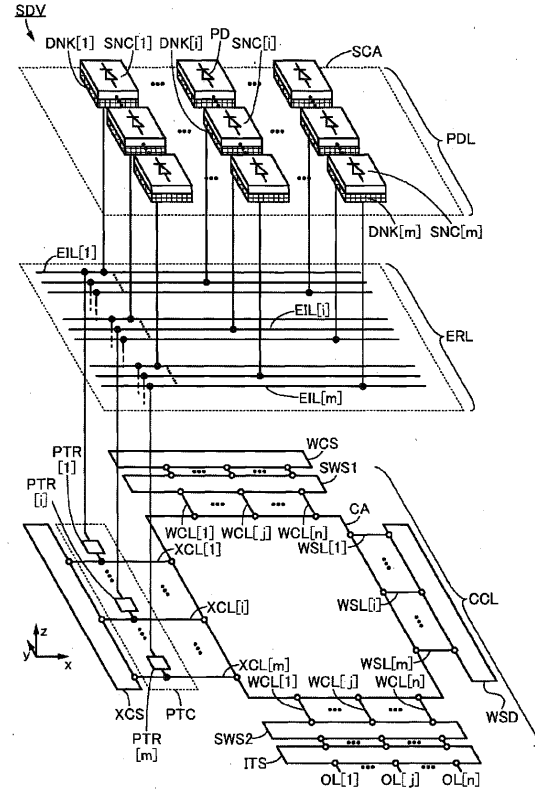
【図 1】

図 1



【図 2】

図 2

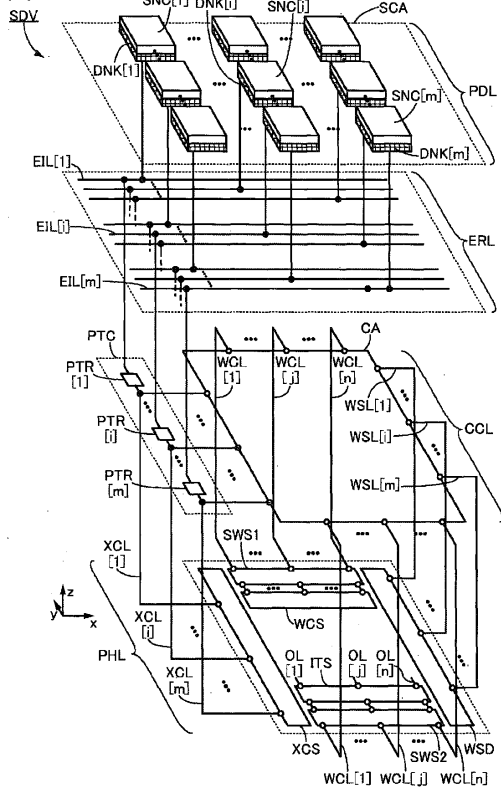


10

20

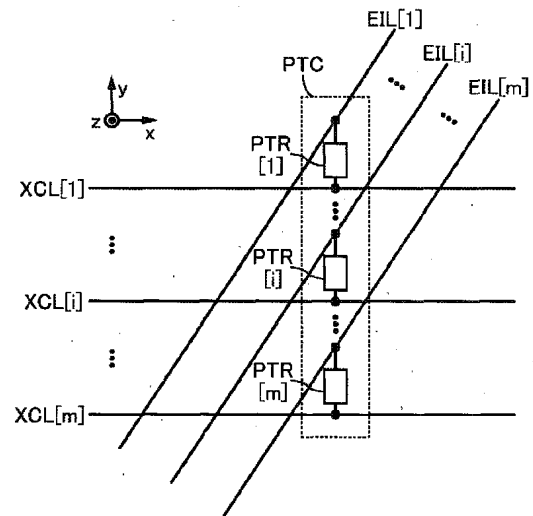
【図 3】

図 3



【図 4】

図 4



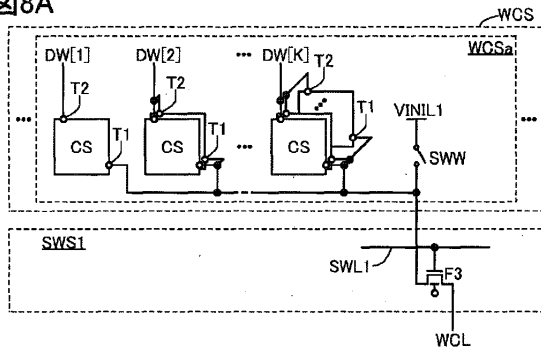
30

40

50

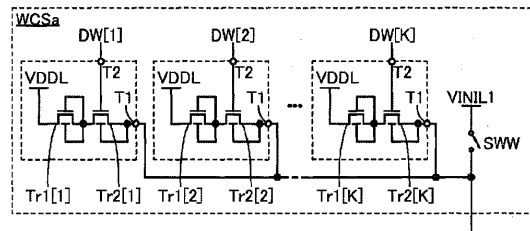
【図 8 A】

図8A



【図 8 B】

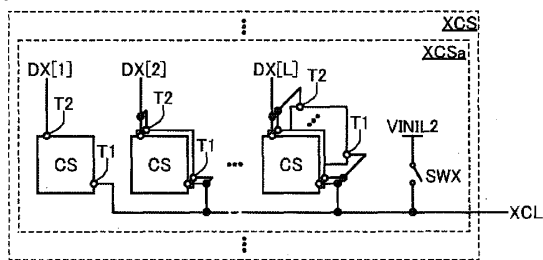
図8B



10

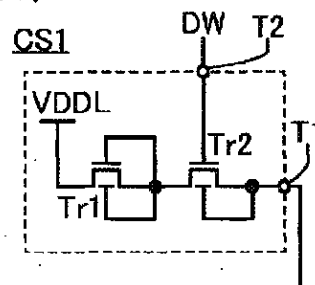
【図 8 C】

図8C



【図 9 A】

図9A



20

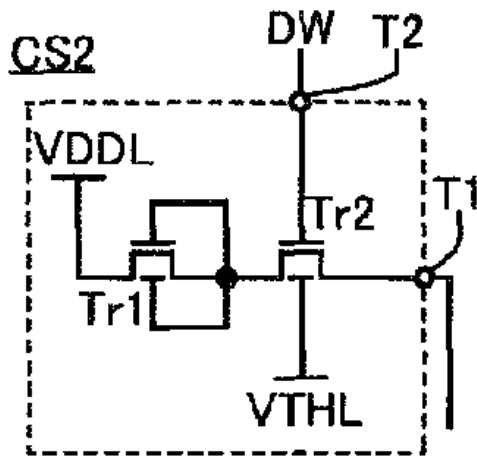
30

40

50

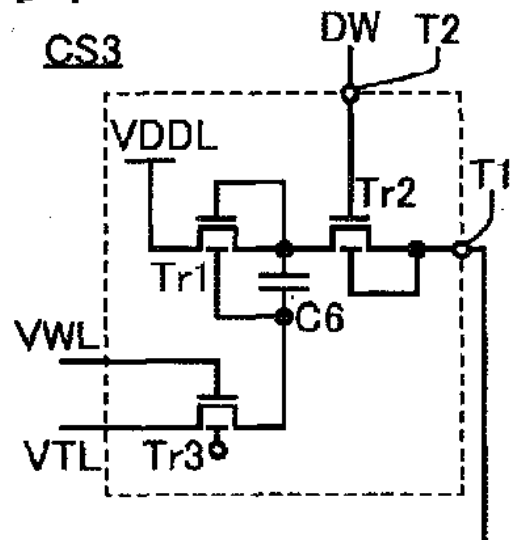
【図 9 B】

図 9B



【図 9 C】

図 9C

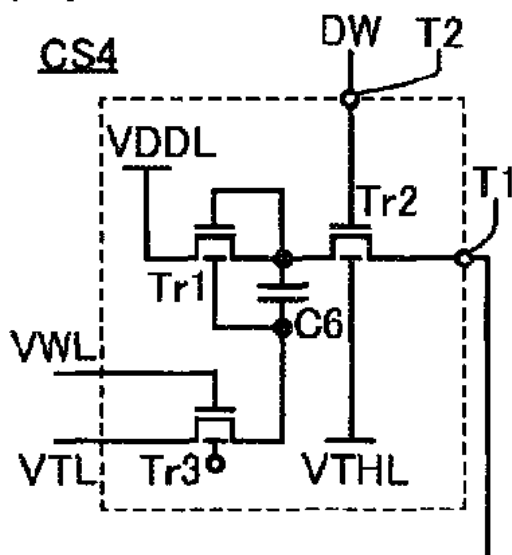


10

20

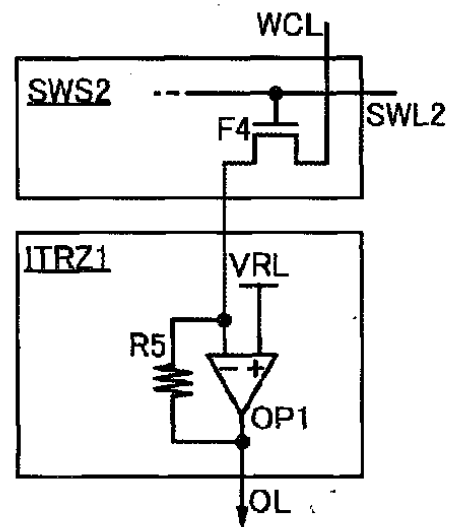
【図 9 D】

図 9D



【図 10 A】

図 10A



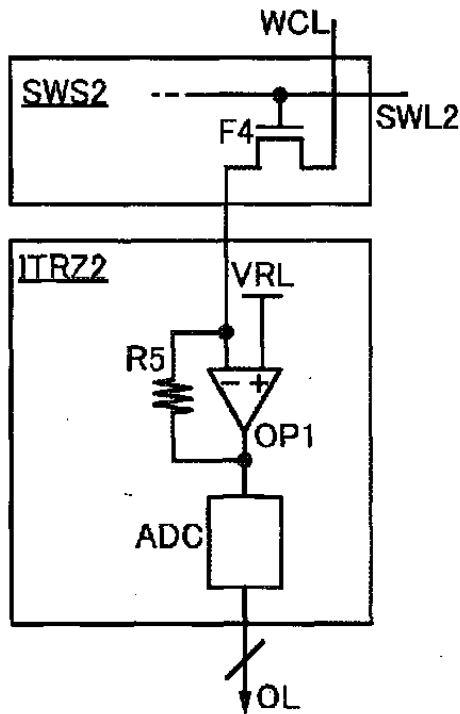
30

40

50

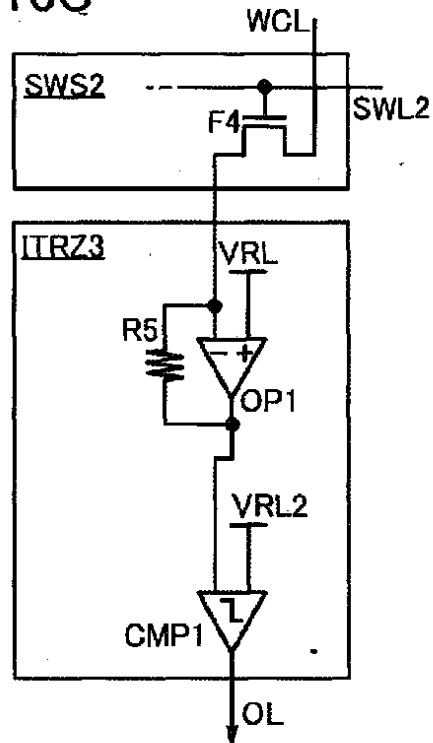
【図10B】

図10B



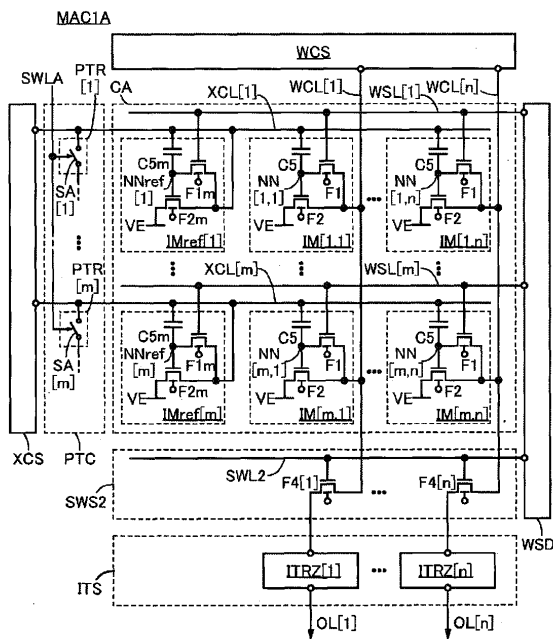
【図10C】

図10C



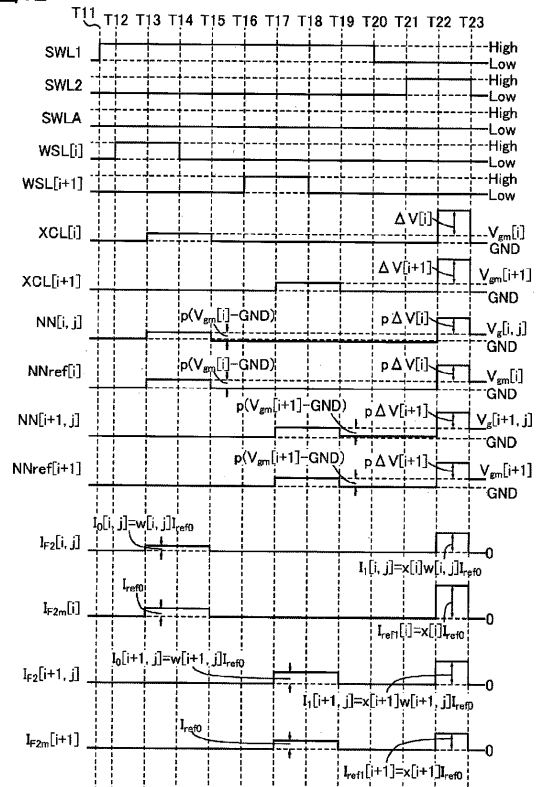
【図11】

図11



【図12】

図12



10

20

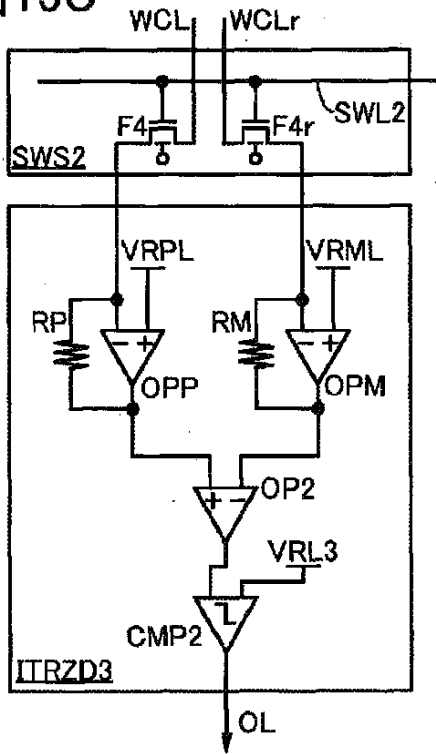
30

40

50

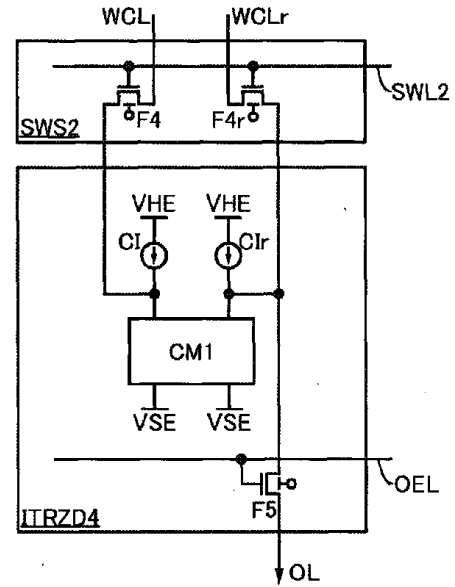
【図 15 C】

図 15C



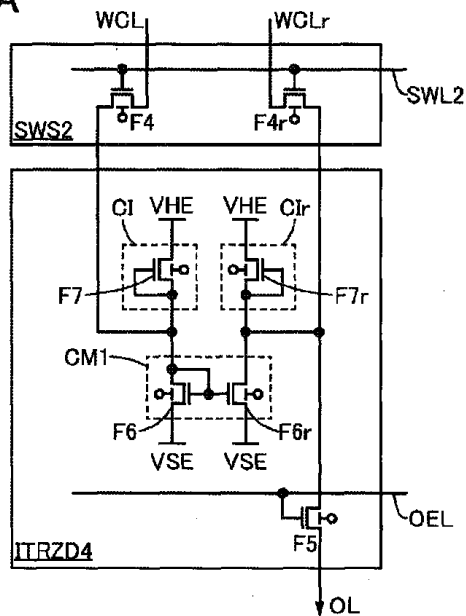
【図 16】

図 16



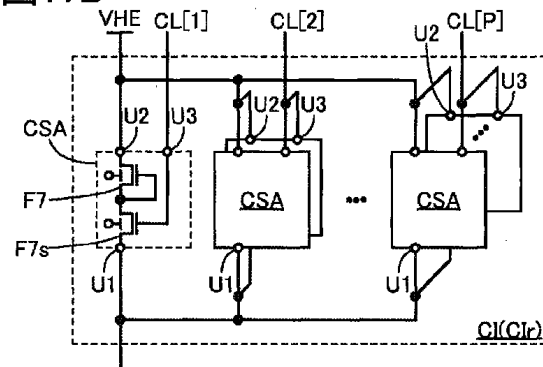
【図 17 A】

図 17A



【図 17 B】

図 17B



10

20

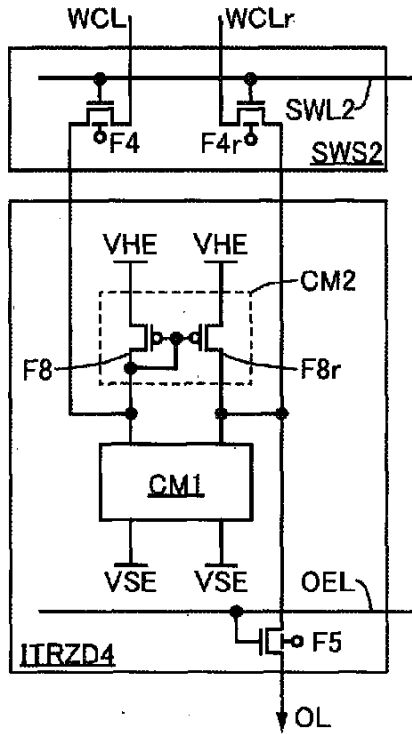
30

40

50

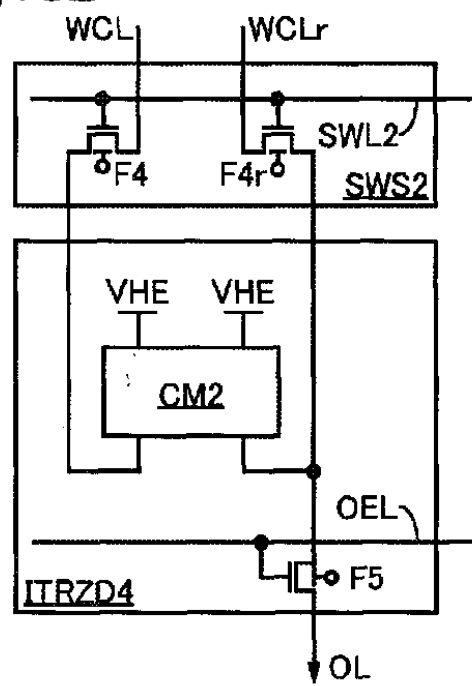
【図 18 A】

図 18A



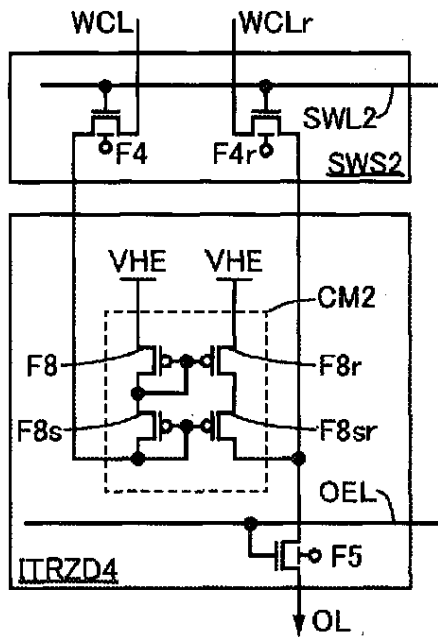
【図 18 B】

図 18B



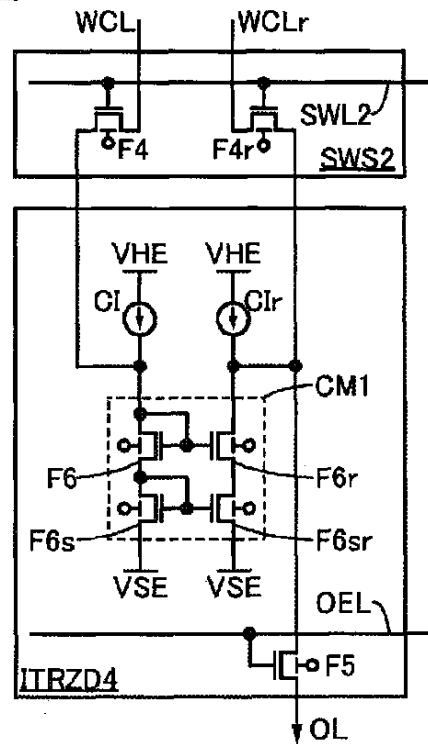
【図 18 C】

図 18C



【図 18 D】

図 18D



10

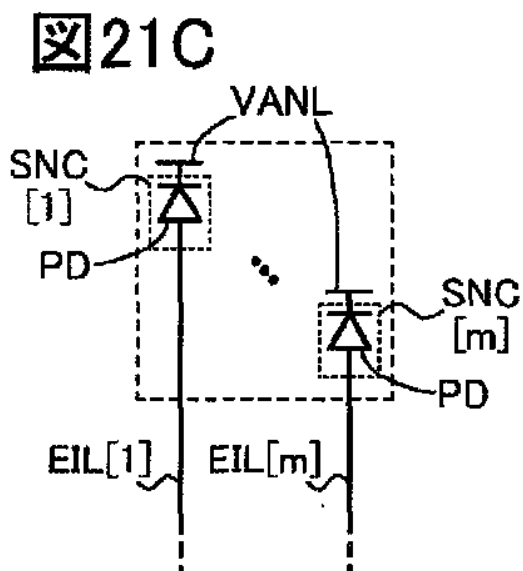
20

30

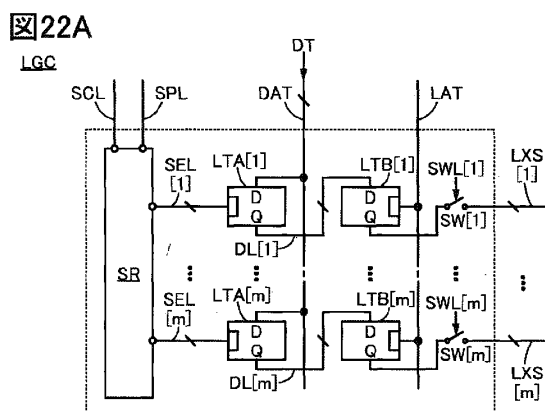
40

50

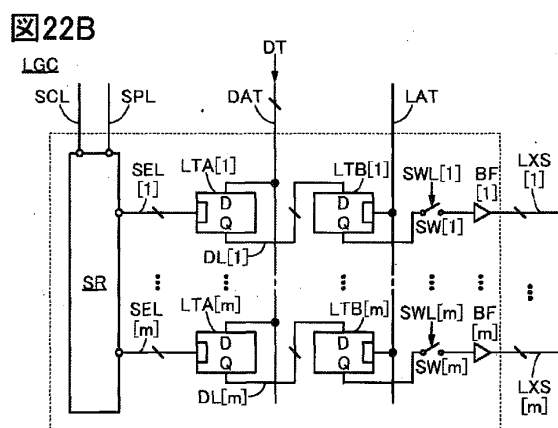
【図 2 1 C】



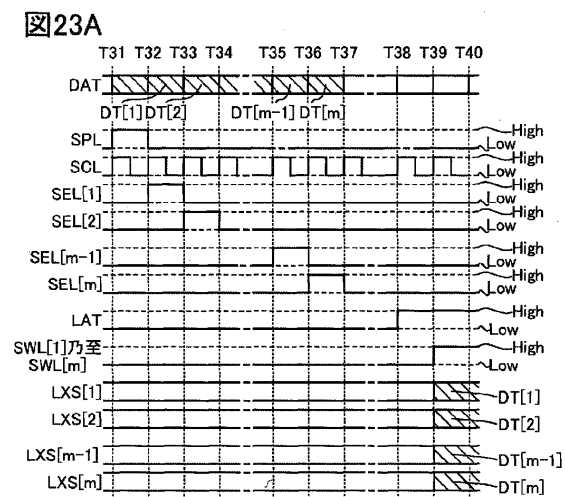
【図 2 2 A】



【図 2 2 B】

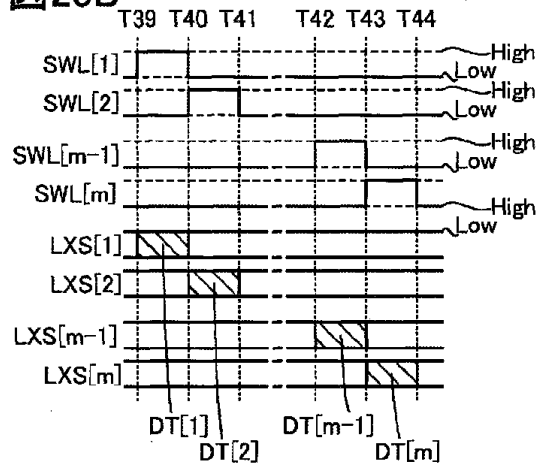


【図 23 A】



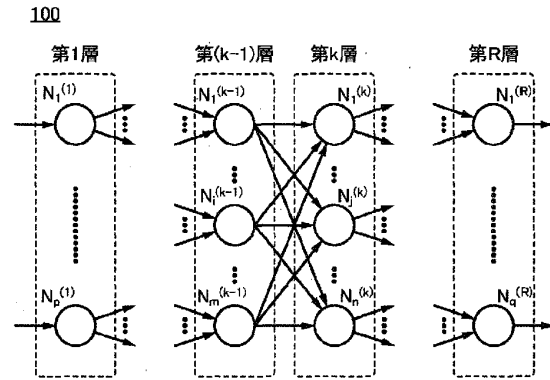
【図 2 3 B】

図 23B



【図 2 4 A】

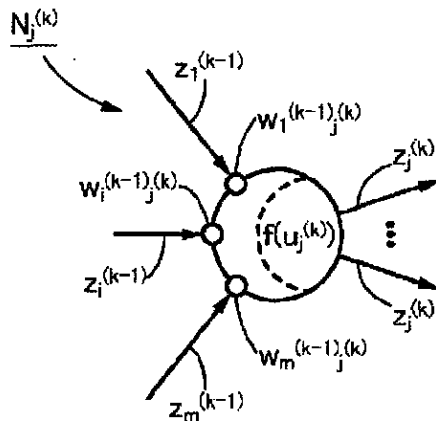
図 24A



10

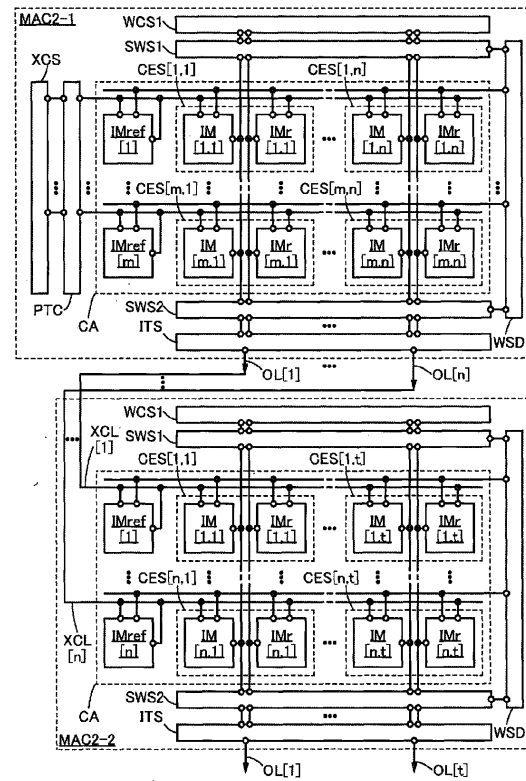
【図 2 4 B】

図 24B



【図 2 5】

図 25



20

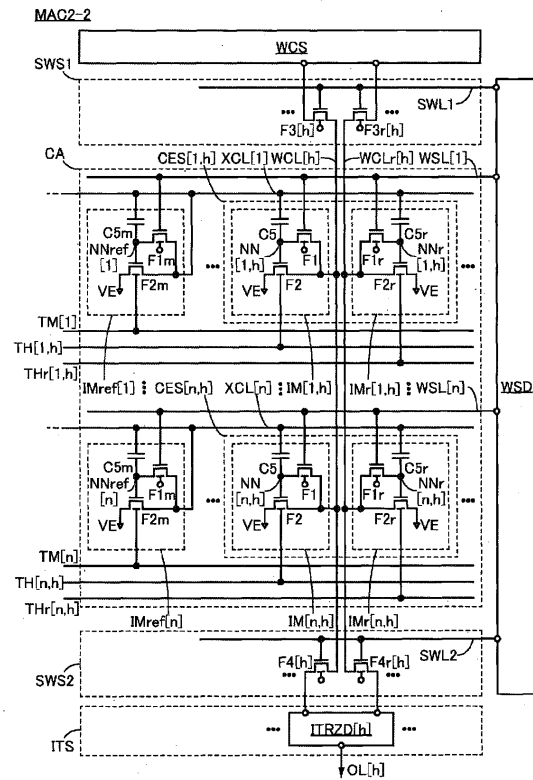
30

40

50

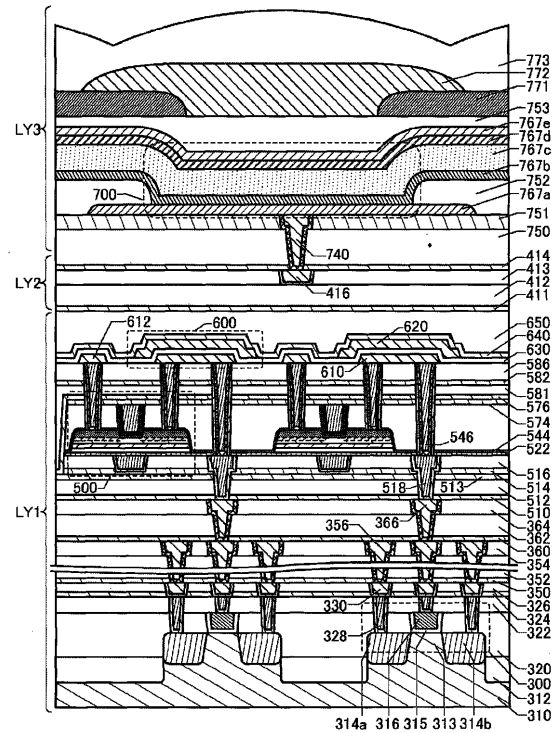
【図 26】

図26



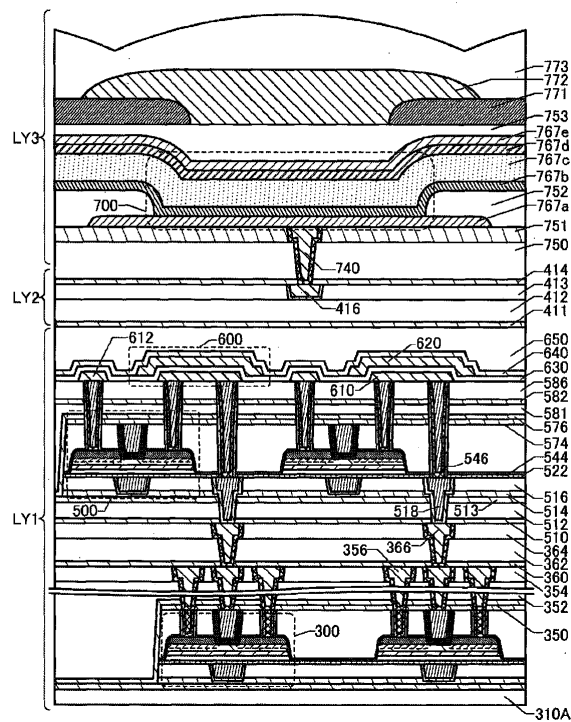
【図 27】

図27



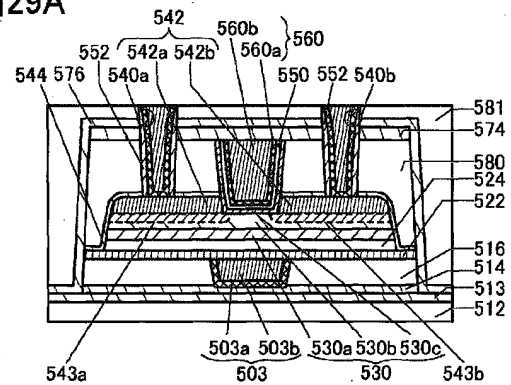
【図 28】

図28



【図 29 A】

図29A



10

20

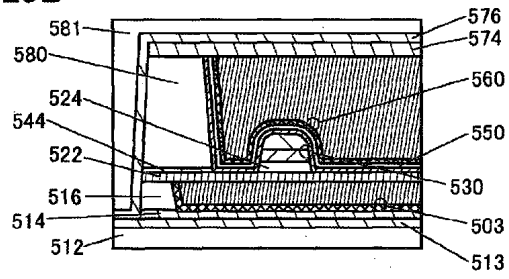
30

40

50

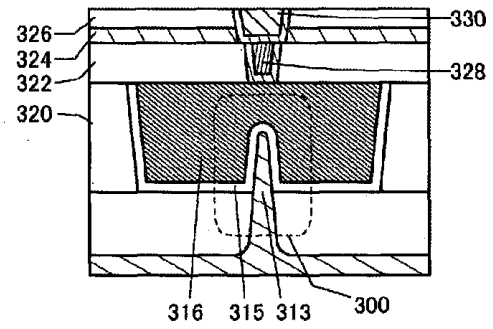
【図 29 B】

図29B



【図 29 C】

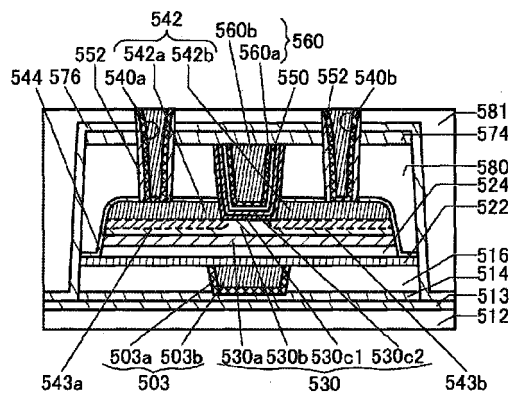
図29C



10

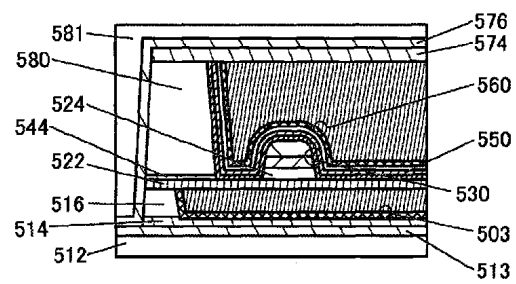
【図 30 A】

図30A



【図 30 B】

図30B



20

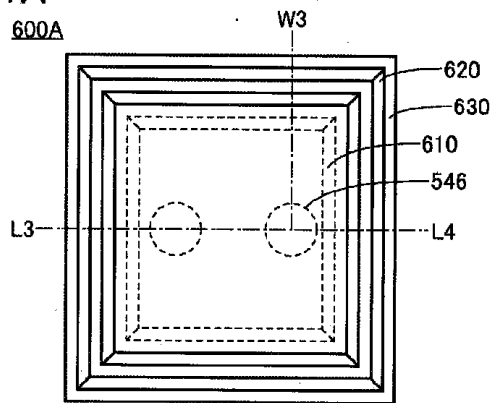
30

40

50

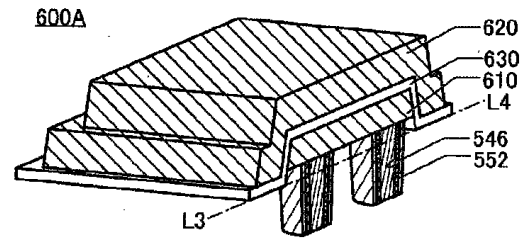
【図 3 1 A】

図31A



【図 3 1 B】

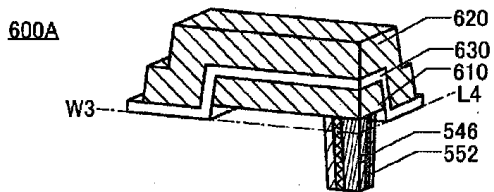
図31B



10

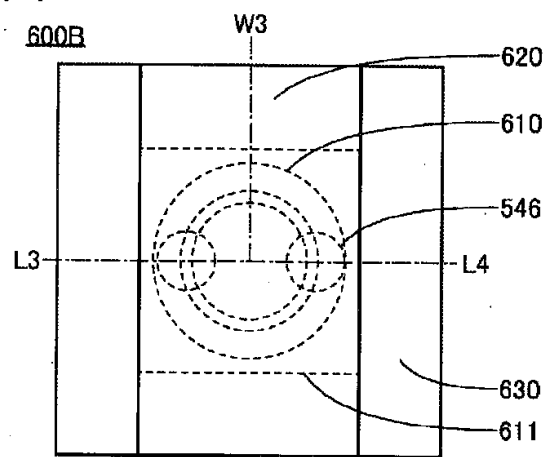
【図 3 1 C】

図31C



【図 3 2 A】

図32A



20

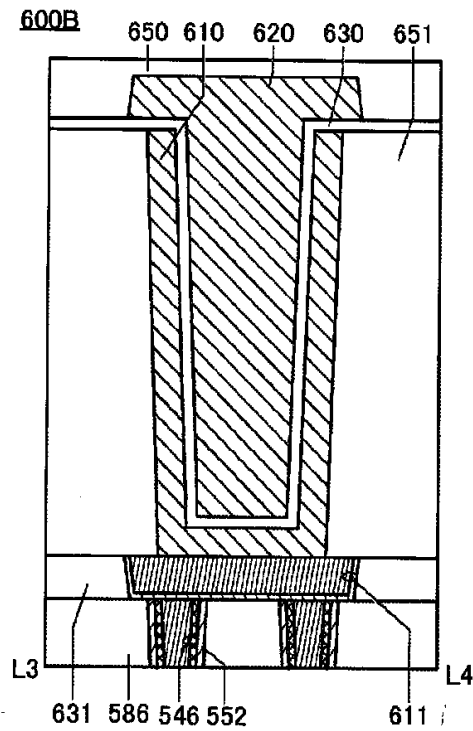
30

40

50

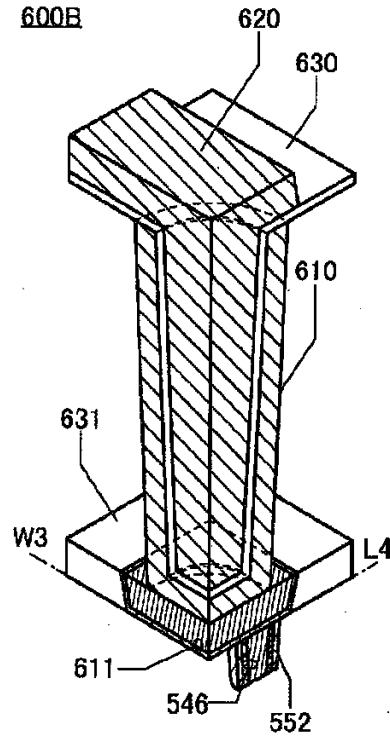
【図 3 2 B】

図32B



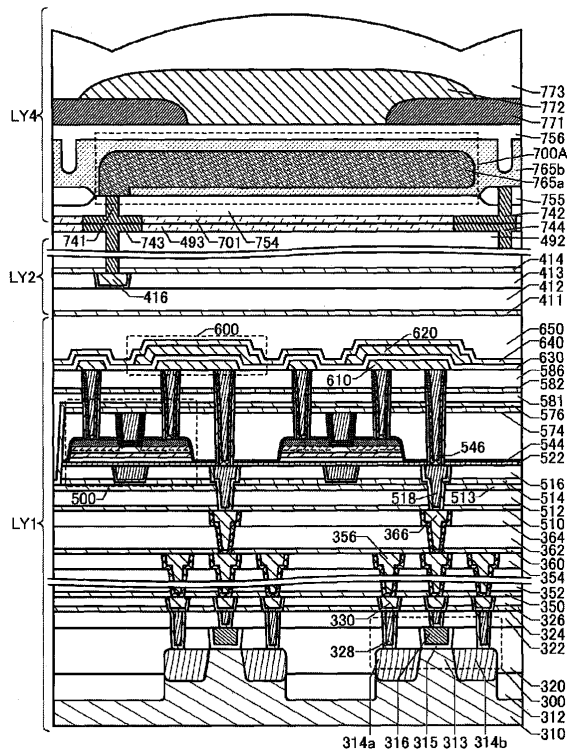
【図 3 2 C】

図32C



【図 3 3】

図33



【図 3 4 A】

図34A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

10

20

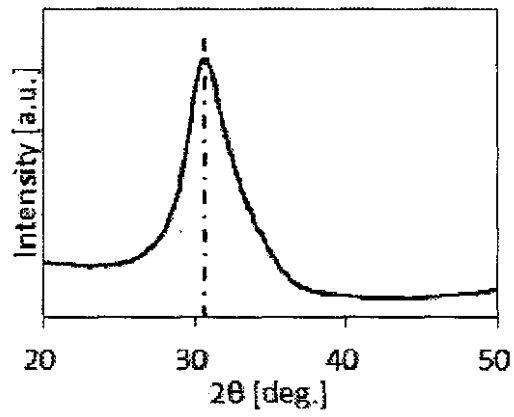
30

40

50

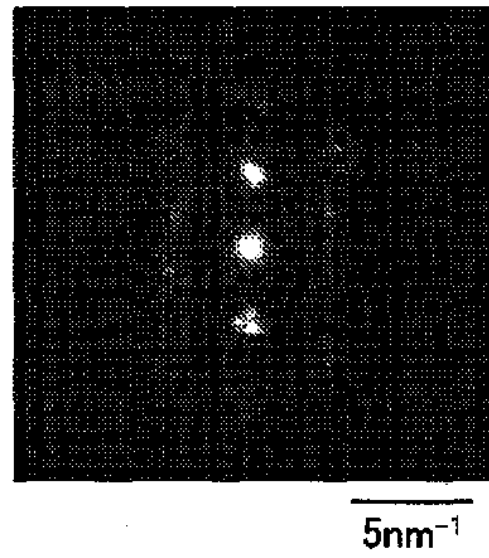
【図 3 4 B】

図34B



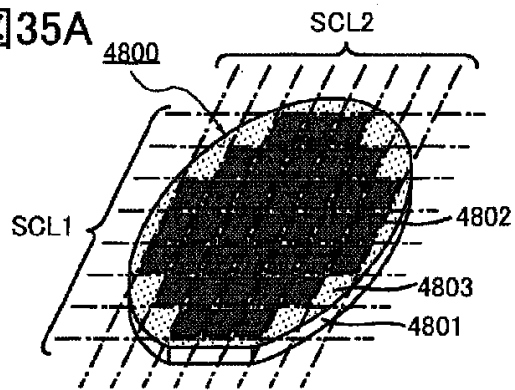
【図 3 4 C】

図34C



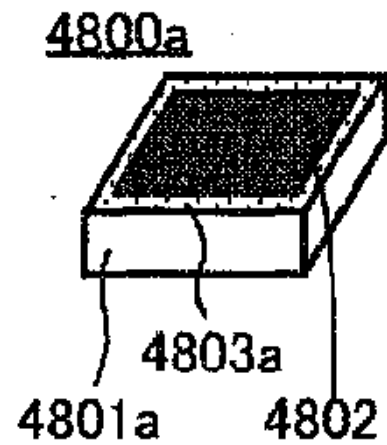
【図 3 5 A】

図35A



【図 3 5 B】

図35B



10

20

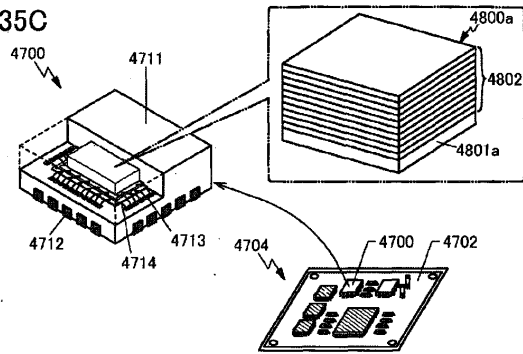
30

40

50

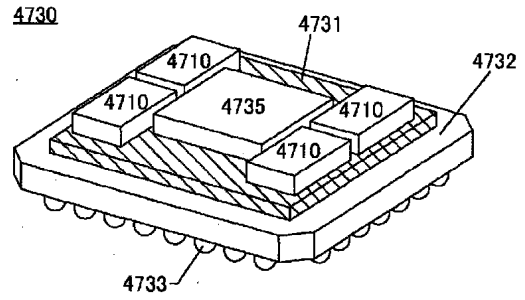
【図 3 5 C】

図35C



【図 3 5 D】

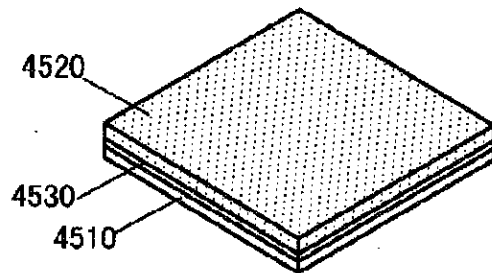
図35D



10

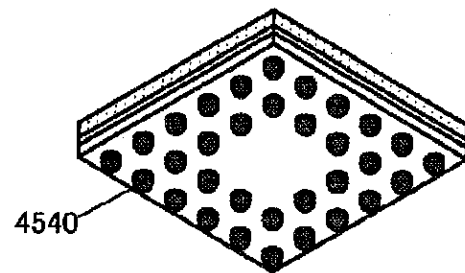
【図 3 6 A】

図36A



【図 3 6 B】

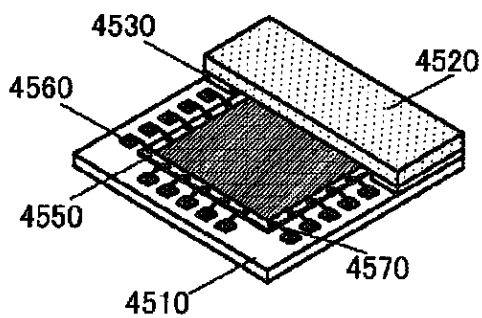
図36B



20

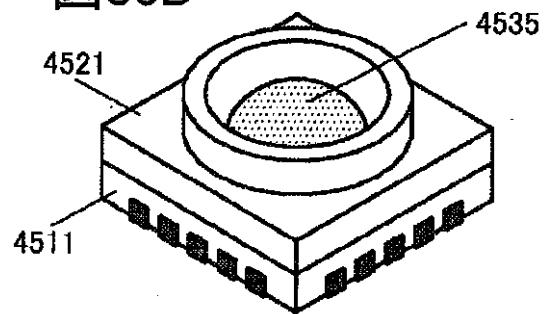
【図 3 6 C】

図36C



【図 3 6 D】

図36D



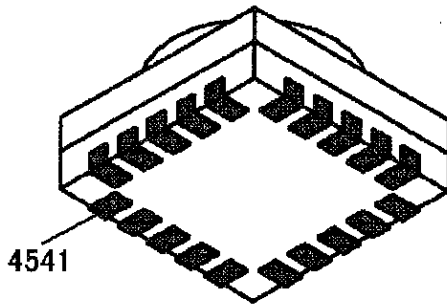
30

40

50

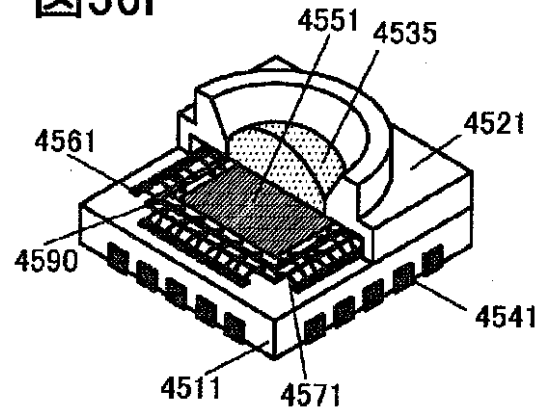
【図 3 6 E】

図 36E



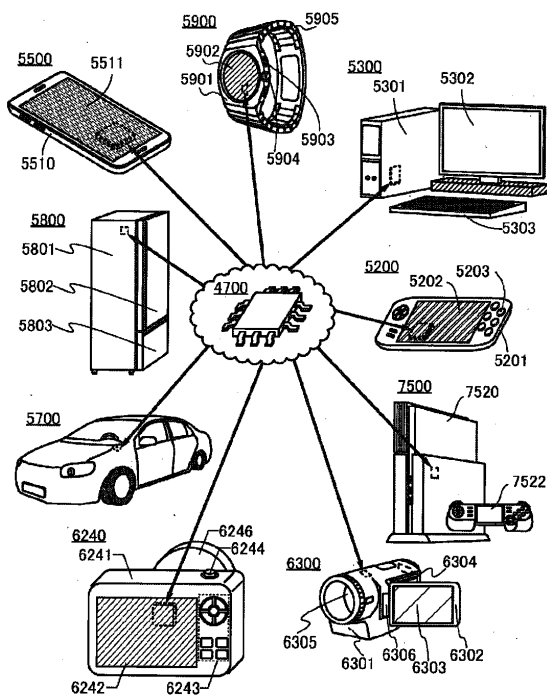
【図 3 6 F】

図 36F



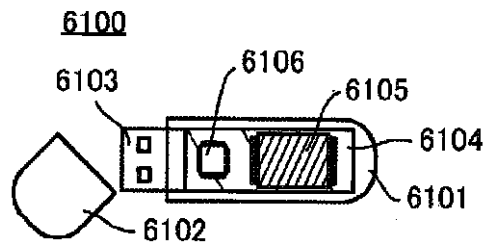
【図 3 7】

図 37



【図 3 8 A】

図 38A



10

20

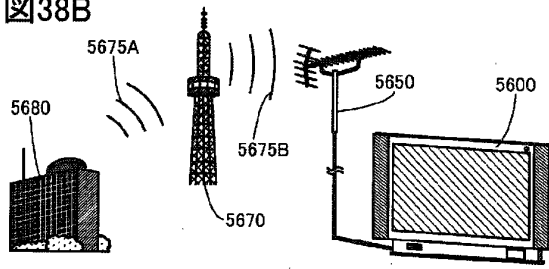
30

40

50

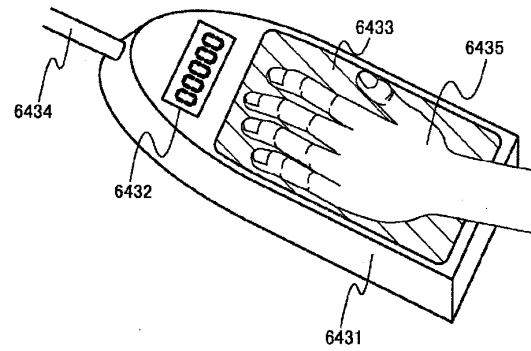
【図 38 B】

図38B



【図 38 C】

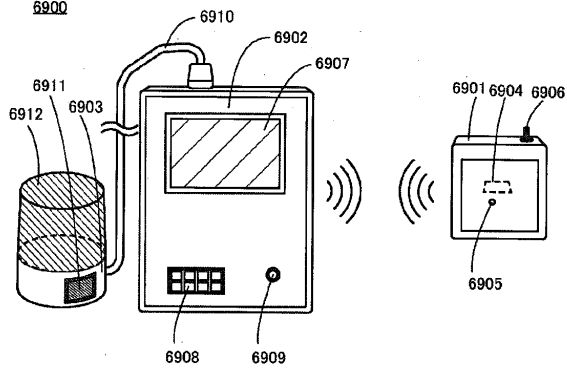
図38C



10

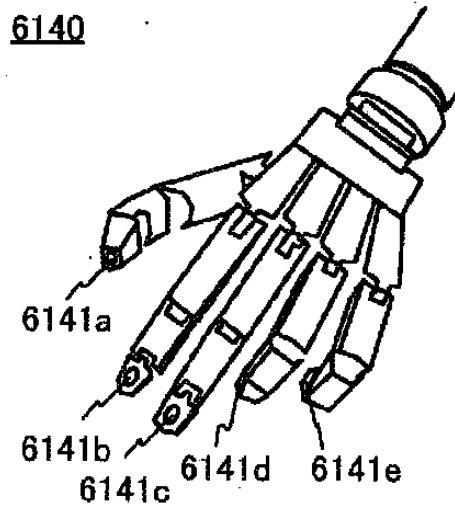
【図 39 A】

図39A



【図 39 B】

図39B



20

30

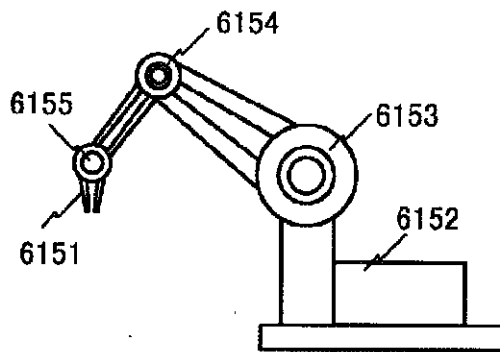
40

50

【図 39 C】

図 39C

6150



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	27/088 (2006.01)	H 0 1 L	27/088	E
H 0 1 L	27/146 (2006.01)	H 0 1 L	27/088	H
H 0 1 L	29/786 (2006.01)	H 0 1 L	27/146	C
		H 0 1 L	29/78	6 1 2 C

審査官 佐賀野 秀一

(56)参考文献 特開 2 0 1 4 - 0 3 0 1 7 0 (J P , A)

特開 2 0 1 9 - 0 4 7 0 0 6 (J P , A)

特表 2 0 0 6 - 5 0 7 5 5 7 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

G 0 6 G 7 / 6 0

G 0 6 G 7 / 1 9

G 0 6 F 1 7 / 1 0

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 7 / 0 8 8

H 0 1 L 2 7 / 1 4 6

H 0 1 L 2 9 / 7 8 6