(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2004 年11 月18 日 (18.11.2004)

PCT

(10) 国際公開番号
WO 2004/100379 A1

(51) 国際特許分類[7]: H03L 7/087, 7/22

(21) 国際出願番号: PCT/JP2004/006082

(22) 国際出願日: 2004 年4 月27 日 (27.04.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-129846 2003 年5 月8 日 (08.05.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町一丁目３２番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 白須 英貴 (SHIRASU, Hideki) [JP/JP]; 〒1790071 東京都練馬区旭町一丁目３２番１号 株式会社アドバンテスト内 Tokyo (JP).

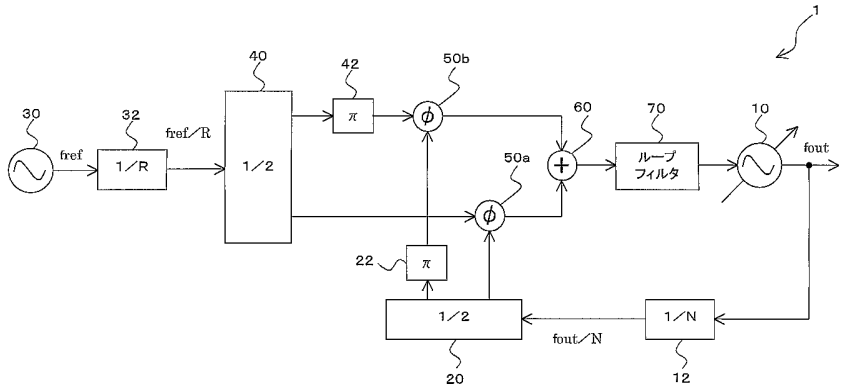
(74) 代理人: 細田 益稔 (HOSODA, Masutoshi); 〒1070052 東京都港区赤坂二丁目１７番２２号 赤坂ツインタワー本館１１Ｆ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

[続葉有]

(54) Title: PLL CIRCUIT

(54) 発明の名称: PLL回路



70...LOOP FILTER

(57) Abstract: A simple arrangement is provided for reducing the phase noise of a phase comparator in a PLL circuit. There are provided a voltage controlled oscillator (VCO) (10) responsive to the voltage of an input signal for controlling the frequency of an output signal; an in-loop frequency divider (20) for frequency dividing the output signal by two to output two output frequency divided signals; an in-loop phase shifter part (22) for shifting the output frequency divided signals such that they are different in phase by 360 degrees/2 = 180 degrees; a reference frequency divider (40) for frequency dividing a reference signal by two to output two reference frequency divided signals; a reference phase shifter part (42) for shifting the reference frequency divided signals such that they are different in phase by 180 degrees; a plurality of phase comparators (50a, 50b) for outputting signals in accordance with phase differences between the output frequency divided signals different in phase by 180 degrees and the respective reference frequency divided signals different in phase by 180 degrees; an adder (60) for summing the outputs of the phase comparators (50a, 50b); and a low-pass filter (70) for passing therethrough and applying the lower frequency components of the output of the adder (60) to the voltage controlled oscillator (10).

(57) 要約: ＰＬＬ回路における位相比較器の位相雑音を低減するための簡易な構成を提供する。 入力信号の電圧に応じて、出力信号の周波数を制御する電圧制御発振器（ＶＣＯ）１０と、出力信号を１／２分周して２個の出力分周信号を出力するループ内分周器２０と、出力分周信号の位相が360°／2＝180°ずつ異なるようにするループ内位相変位部２２と、基準信号を１／２分周して２個の基準分周信号を出力する基準分周器４０と、

[続葉有]

WO 2004/100379 A1

NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

基準分周信号の位相が180°ずつ異なるようにする基準位相変位部４２と、位相が180°ずつ異なった出力分周信号のそれぞれと、位相が180°ずつ異なった基準分周信号のそれぞれとの位相差に応じた信号を出力する複数の位相比較器５０ａ、ｂと、位相比較器５０ａ、ｂの出力の総和をとる加算器６０と、加算器６０の出力の低周波成分を通過させて電圧制御発振器１０に与えるローパスフィルタ７０とを備える。

明　細　書

ＰＬＬ回路

技術分野

本発明はＰＬＬ（Phase Locked Loop）回路における位相比較器の雑音の低減に関する。

背景技術

従来より、周波数逓倍器等にＰＬＬ（Phase Locked Loop）回路が使用されている。ＰＬＬ回路は、参照発振器と、位相比較器とを有している。ＰＬＬ回路のループ帯域内では、参照発振器の位相雑音と、位相比較器の位相雑音とが、ＰＬＬ回路の位相雑音の主な要因となる。ここで、参照発振器には、水晶発振器等の位相雑音の小さい発振器を使用することが多い。したがって、ＰＬＬ回路の位相雑音は、主に位相比較器の位相雑音により生ずる。

ここで、位相比較器の位相雑音を低減するための技術が特許文献１（米国特許第６５０９８００号明細書（第７欄、５９～６２行、第１１欄、５６～６０行、図４））に提案されている。すなわち、電圧制御発振器（ＶＣＯ）の出力を分周する分周器と、分周器と基準信号との位相を比較する位相比較器との組を複数組設ける。そして、複数の位相比較器の総和をとると、位相比較器のノイズの成分は互いに打ち消しあう。よって、位相比較器の位相雑音を低減できる。

しかしながら、上記のような技術によれば、分周器を複数、すなわ

ち位相比較器の個数だけ使用しなければならない。よって、回路規模、コストおよび消費電力が増大してしまう。

そこで、本発明は、ＰＬＬ回路における位相比較器の位相雑音を低減するための簡易な構成を提供することを課題とする。

発明の開示

請求項１に記載の発明は、入力信号の電圧に応じて、出力信号の周波数を制御する電圧制御発振手段と、出力信号を１／Ｍ分周(ただし、Ｍは２以上の整数）してＭ個の出力分周信号を出力するループ内分周手段と、出力分周信号の位相が３６０°／Ｍずつ異なるようにするループ内位相変位手段と、基準信号を１／Ｍ分周してＭ個の基準分周信号を出力する基準分周手段と、基準分周信号の位相が３６０°／Ｍずつ異なるようにする基準位相変位手段と、位相が３６０°／Ｍずつ異なった出力分周信号のそれぞれと、位相が３６０°／Ｍずつ異なった基準分周信号のそれぞれとの位相差に応じた信号を出力する複数の位相比較手段と、位相比較手段の出力の総和をとる総和手段と、総和手段の出力の低周波成分を通過させて電圧制御発振手段に与えるローパスフィルタとを備えるように構成される。

上記のように構成された発明によれば、電圧制御発振手段は、入力信号の電圧に応じて、出力信号の周波数を制御する。ループ内分周手段は、出力信号を１／Ｍ分周（ただし、Ｍは２以上の整数）してＭ個の出力分周信号を出力する。ループ内位相変位手段は、出力分周信号の位相が３６０°／Ｍずつ異なるようにする。基準分周手段は、基準信号を１／Ｍ分周してＭ個の基準分周信号を出力する。基準位相変位

手段は、基準分周信号の位相が３６０°／Ｍずつ異なるようにする。複数の位相比較手段は、位相が３６０°／Ｍずつ異なった出力分周信号のそれぞれと、位相が３６０°／Ｍずつ異なった基準分周信号のそれぞれとの位相差に応じた信号を出力する。総和手段は、位相比較手段の出力の総和をとる。ローパスフィルタは、総和手段の出力の低周波成分を通過させて電圧制御発振手段に与える。

請求項２に記載の発明は、請求項１に記載の発明であって、Ｍは２の整数乗であるように構成される。

図面の簡単な説明

図１は、本発明の実施形態にかかるＰＬＬ回路１の構成を示すブロック図である。

図２は、本発明の実施形態の変形例にかかるＰＬＬ回路１の構成を示すブロック図である。

発明を実施するための最良の形態

以下、本発明の実施形態を図面を参照しながら説明する。

図１は、本発明の実施形態にかかるＰＬＬ回路１の構成を示すブロック図である。ＰＬＬ回路１は、電圧制御発振器（ＶＣＯ）１０、分周器１２、ループ内分周器２０、ループ内位相変位部２２、基準信号発振器３０、分周器３２、基準分周器４０、基準位相変位部４２、位

相比較器５０ａ、５０ｂ、加算器（総和手段）６０、ループフィルタ７０を備える。

電圧制御発振器（ＶＣＯ：Voltage Controlled Oscillator）１０は、入力信号の電圧に応じて、出力信号の周波数ｆoutを制御する。

分周器１２は、出力信号の周波数を１／Ｎに分周する。ただし、Ｎは２以上の整数である。なお、分周器１２に分数分周器を付加してもよい。

ループ内分周器２０は、出力信号を分周器１２を介して受け、１／２に分周し、２個の出力分周信号を出力する。

ループ内位相変位部２２は、２個の出力分周信号の位相を、３６０°／２＝１８０°ずつ異なるようにする。例えば、図１に示すように、２個の出力分周信号の内の一つの信号の位相を１８０°ずらせばよい。

基準信号発振器３０は、所定の周波数ｆrefの基準信号を出力する。

分周器３２は基準信号の周波数を１／Ｒに分周する。ただし、Ｒは２以上の整数である。なお、分周器３２に分数分周器を付加してもよい。

基準分周器４０は、基準信号を分周器３２を介して受け、１／２に分周し、２個の基準分周信号を出力する。

基準位相変位部４２は、２個の基準分周信号の位相を、３６０°／２＝１８０°ずつ異なるようにする。例えば、図１に示すように、２個の基準分周信号の内の一つの信号の位相を１８０°ずらせばよい。

位相比較器５０ａ、５０ｂは、位相が１８０°ずつ異なった出力分周信号のそれぞれと、位相が１８０°ずつ異なった基準分周信号のそれぞれとの位相差に応じた信号を出力する。すなわち、位相比較器５０ａは、ループ内分周器２０から出力された出力分周信号と、基準分周器４０から出力された基準分周信号との位相差に応じた信号を出力する。位相比較器５０ｂは、ループ内分周器２０から出力され、ループ内位相変位部２２により位相が１８０°変位した出力分周信号と、基準分周器４０から出力され、基準位相変位部４２により位相が１８０°変位したた基準分周信号との位相差に応じた信号を出力する。

加算器（総和手段）６０は、位相比較器５０ａの出力および位相比較器５０ｂの出力の総和を出力する。

ループフィルタ７０は、加算器６０の出力の低周波成分を通過させて電圧制御発振器１０に与える。

次に、本発明の実施形態の動作を説明する。

電圧制御発振器１０は、周波数ｆout の出力信号を出力する。出力信号は、分周器１２により１／Ｎに分周されて周波数ｆout／Ｎとなり、ループ内分周器２０に与えられる。ループ内分周器２０は、周波数ｆout／Ｎとなった出力信号を、１／２に分周し、２個の出力分周信号を

出力する。出力分周信号の内の１個は、そのまま位相比較器５０ａに与えられる。出力分周信号の内の他の１個は、ループ内位相変位部２２により位相が１８０°変化してから、位相比較器５０ｂに与えられる。

また、基準信号発振器３０は、所定の周波数ｆref の基準信号を出力する。出力信号は、分周器３２により１／Ｒに分周されて周波数ｆref／Ｒとなり、基準分周器４０に与えられる。基準分周器４０は、周波数ｆref／Ｒとなった基準信号を、１／２に分周し、２個の基準分周信号を出力する。基準分周信号の内の１個は、そのまま位相比較器５０ａに与えられる。基準分周信号の内の他の１個は、基準位相変位部４２により位相が１８０°変化してから、位相比較器５０ｂに与えられる。

位相比較器５０ａ、５０ｂは、それぞれ、入力された信号の位相差に応じた信号を出力する。これらの出力の総和が加算器６０によりとられる。加算器６０の出力の低周波成分が、ループフィルタ７０を通過し、電圧制御発振器１０に与えられる。

本発明の実施形態によれば、上記のようにして、フィードバックループが組まれているので、ｆout＝ｆref×２N／２Ｒ＝ｆref×N／Ｒとなる。Ｎ、Ｒを適宜に設定することで、ｆout を所望の周波数とすることができる。

ここで、ループ帯域内の位相雑音のｆref の項は、基準分周器４０の存在により、10log(ｆref／2R)となる。また、ループ内分周器２０

により位相雑音が２倍増加する分は、位相比較器を２個（位相比較器５０ａ、５０ｂ)使用することにより位相雑音が１／２倍になるため、相殺される。一方、通常のＰＬＬ回路には、基準分周器４０、ループ内分周器２０および位相比較器５０ｂが無いので、ループ帯域内の位相雑音のｆref の項は、10log(ｆref／R)となる。よって、基準分周器４０、ループ内分周器２０および位相比較器５０ｂの存在により、位相雑音が 10log(ｆref／2R)－10log(ｆref／R)＝10log(1／2)＝－３[dB]増える。すなわち、位相雑音が３[dB]減少する。

本発明の実施形態によれば、このように位相雑音が減少するにもかかわらず、分周器１２が一個ですむという長所がある。従来技術で挙げた特許文献１に記載の技術を本発明の実施形態に適用すれば、分周器１２が位相比較器５０ａ、５０ｂの個数と同じく二個必要とされるのに比べ、回路規模、コストおよび消費電力の節約につながる。

なお、本発明の実施形態においては、基準分周器４０として、１／２分周器を使用している。しかし、基準分周器４０としては１／Ｍ分周器（ただし、Ｍは２以上の整数）を使用できる。例えば、$M=2^n$（ただし、ｎは２以上の整数）としてもよい。図２に、$M=2^2=4$としたときのＰＬＬ回路１の構成を示す。

図２に示すように、基準分周器４０としては１／４分周器を使用してもよい。この場合、ループ内分周器２０もまた１／４分周器とする。基準分周器４０は４個の基準分周信号を出力し、ループ内分周器２０もまた４個の出力分周信号を出力する。４個の基準分周信号は、基準位相変位部４２ａ、ｂ、ｃにより、位相が、３６０°／４＝９０°ず

つ異なるようにされる。４個の出力分周信号もまた、ループ内位相変位部２２ａ、ｂ、ｃにより、位相が、３６０°／４＝９０°ずつ異なるようにされる。そして、位相比較器５０ａ、５０ｂ、５０ｃ、５０ｄが、４個の基準分周信号と４個の出力分周信号との位相差に応じた信号を出力し、加算器６０により総和がとられる。

図２の例においては、ループ帯域内の位相雑音のｆref の項が、基準分周器４０の存在により、10log(ｆref／4R)となる。また、ループ内分周器２０により位相雑音が４倍増加する分は、位相比較器を４個（位相比較器５０ａ、５０ｂ、５０ｃ、５０ｄ）使用することにより位相雑音が１／４倍になるため、相殺される。一方、通常のＰＬＬ回路には、基準分周器４０、ループ内分周器２０および位相比較器５０ｂ、５０ｃ、５０ｄが無いので、ループ帯域内の位相雑音のｆref の項は、10log(ｆref／R)となる。よって、基準分周器４０、ループ内分周器２０および位相比較器５０ｂ、５０ｃ、５０ｄの存在により、位相雑音が 10log(ｆref／4R)－10log(ｆref／R)＝10log(1／4)＝－６[dB]増える。すなわち、位相雑音が６[dB]減少する。このように、10logM[dB]だけ位相雑音が減少する。

しかも、このように位相雑音が減少するにもかかわらず、分周器１２が一個ですむという長所がある。従来技術で挙げた特許文献１に記載の技術を本発明の実施形態の変形例に適用すれば、分周器１２が位相比較器５０ａ、５０ｂ、５０ｃ、５０ｄの個数と同じく四個必要とされるのに比べ、回路規模、コストおよび消費電力の節約につながる。

請　求　の　範　囲

1．　入力信号の電圧に応じて、出力信号の周波数を制御する電圧制御発振手段と、

前記出力信号を１／Ｍ分周（ただし、Ｍは２以上の整数）してＭ個の出力分周信号を出力するループ内分周手段と、

前記出力分周信号の位相が３６０°／Ｍずつ異なるようにするループ内位相変位手段と、

基準信号を１／Ｍ分周してＭ個の基準分周信号を出力する基準分周手段と、

前記基準分周信号の位相が３６０°／Ｍずつ異なるようにする基準位相変位手段と、

位相が３６０°／Ｍずつ異なった出力分周信号のそれぞれと、位相が３６０°／Ｍずつ異なった基準分周信号のそれぞれとの位相差に応じた信号を出力する複数の位相比較手段と、

前記位相比較手段の出力の総和をとる総和手段と、

前記総和手段の出力の低周波成分を通過させて前記電圧制御発振手段に与えるローパスフィルタと、

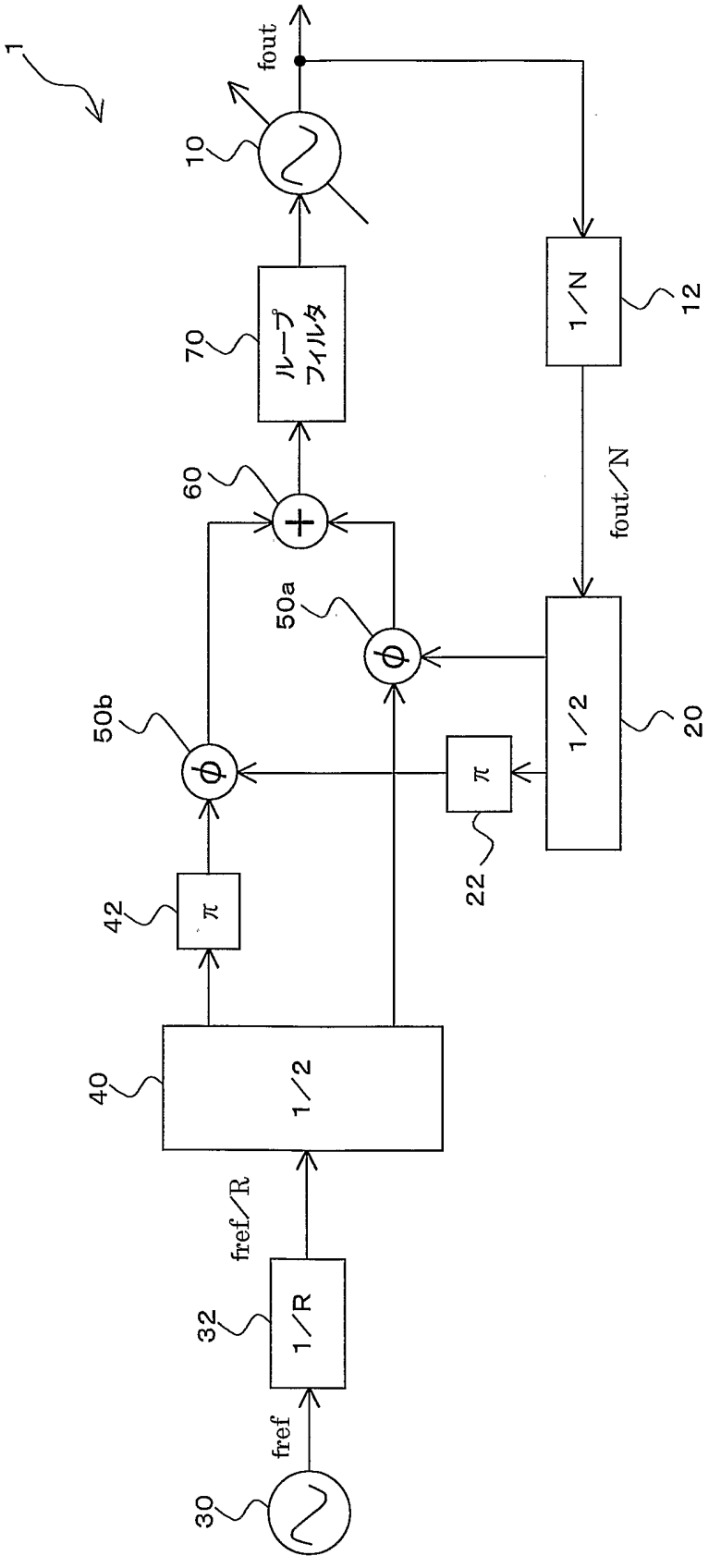
を備えた信号処理装置。

2．　請求項１に記載の信号処理装置であって、

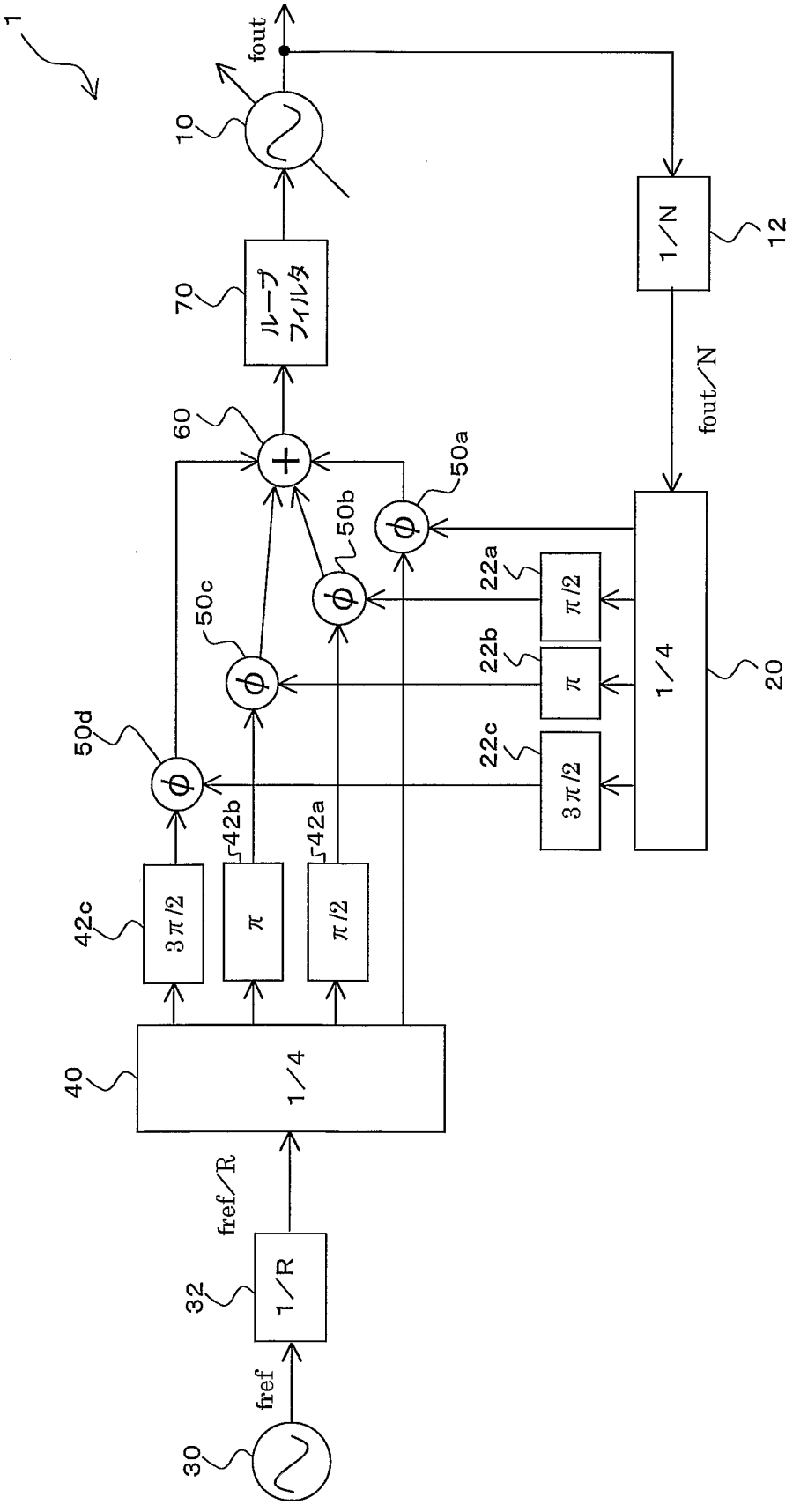
前記Ｍは２の整数乗である、

信号処理装置。

第１図


1
fout
10
70
ループ
フィルタ
60
50a
50b
42
40
1／2
π
fref／R
32
1／R
fref
30
1／N
12
fout／N
1／2
20
π
22

第 2 図


1
fout
10
1／N
12
70
ループ
フィルタ
fout／N
60
50a
50b
50c
50d
22a
22b
22c
π／2
π
3π／2
1／4
20
42b
42a
42c
40
fref／R
32
1／R
fref
30

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/006082

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H03L7/087, H03L7/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H03L7/06-7/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 01-133420 A (Victor Company Of Japan, Ltd.), 25 May, 1989 (25.05.89), Page 2, lower left column, line 17 to page 5, lower left column, line 3; Fig. 1 & US 4888564 A	1,2
X	JP 05-037364 A (NEC Corp.), 12 February, 1993 (12.02.93), Page 3, left column, line 43 to right column, line 48; Fig. 1 & EP 0526227 A2 & US 5315269 A	1,2
X	JP 05-308283 A (Fujitsu Ltd.), 19 November, 1993 (19.11.93), Page 3, right column, line 40 to page 4, right column, line 42; Fig. 4 (Family: none)	1,2

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 July, 2004 (27.07.04)	10 August, 2004 (10.08.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／００６０８２

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ．⁷　Ｈ０３Ｌ　７／０８７，　Ｈ０３Ｌ　７／２２

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ．⁷　Ｈ０３Ｌ　７／０６－７／２３

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００４年
日本国登録実用新案公報	１９９４－２００４年
日本国実用新案登録公報	１９９６－２００４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ	ＪＰ　０１－１３３４２０　Ａ（日本ビクター株式会社）１９８９．０５．２５，第２頁左下欄第１７行－第５頁左下欄第３行，第１図　＆　ＵＳ　４８８８５６４　Ａ	１，２
Ｘ	ＪＰ　０５－０３７３６４　Ａ（日本電気株式会社）１９９３．０２．１２，第３頁左欄第４３行－第３頁右欄第４８行，第１図　＆　ＥＰ　０５２６２２７　Ａ２　＆　ＵＳ　５３１５２６９　Ａ	１，２

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日　２７．０７．２００４	国際調査報告の発送日　10.8.2004
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｗ　９７５０ 甲斐　哲雄 電話番号　０３－３５８１－１１０１　内線　３５７５

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００４年１月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ	ＪＰ　０５－３０８２８３　Ａ（富士通株式会社） １９９３．１１．１９，第３頁右欄第４０行－第４頁右欄第４２行，第４図（ファミリーなし）	１，２