

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公 告 本

※申請案號：97137559

※申請日期：97年09月30日

※IPC分類：H⁰⁴N 5/335 (2006.01)

一、發明名稱：

(中) 固體攝像裝置及攝像信號輸出電路
(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 新力股份有限公司
(英) SONY CORPORATION
代表人：(中) 1. 中鉢 良治
(英) 1. CHUBACHI, RYOJI
地 址：(中) 日本國東京都港區港南一丁目七番一號
(英) 1-7-1 Konan, Minato-ku, Tokyo, Japan
國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓 名：(中) 松藤 輝雄
(英) MATSUFUJI, TERUO
國 籍：(中) 日本
(英) JAPAN

2. 姓 名：(中) 松本 賢
(英) MATSUMOTO, KEN
國 籍：(中) 日本
(英) JAPAN

3. 姓 名：(中) 加藤 昭彥
(英) KATO, AKIHIKO
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2007/10/01 ; 2007-258161 ☒有主張優先權

五、中文發明摘要

發明之名稱：固體攝像裝置及攝像信號輸出電路

本發明為可選擇：使在固體攝像元件所攝像取得的畫素信號與輸出時脈同步而以 n 位元輸出的情形、及以 n 的整數倍的位元數輸出的情況之構成。

因應於此，具備時脈變換部(26)、分配部(32)、第 1 選擇器(31)、第 2 選擇器(27)、及輸出模式的控制部。分配部(32)係與在時脈變換部(26)所被變換的時脈同步，將在固體攝像元件所攝像取得的畫素信號的各個位元資料交替分配成至少 2 系統的位元資料。第 1 選擇器(31)係選擇在分配部(32)所被分配的位元資料及未被分配的位元資料之輸出。第 2 選擇器(27)係選擇在時脈變換部(26)所被變換的頻率的時脈及未被變換的頻率的時脈之輸出。

六、英文發明摘要

發明之名稱：

七、指定代表圖：

(一)、本案指定代表圖為：第(2)圖。

(二)、本代表圖之元件代表符號簡單說明：

21-0, 20-1, 21-n：輸入端子

22a-0, 22a-1, 22a-n：輸出埠

22b-0, 22b-1, 22b-n：輸出埠

23：輸出模式指定信號輸入端子

24：時脈輸入端子

25：模式判別部

26：分頻器

27：選擇器

28：輸出埠

30-0, 30-1, 30-n：資料選擇部

31：選擇器

32：2SDR 變換電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明是有關具備固體攝像元件，輸出以該攝像元件取得的畫素信號之固體攝像裝置及該固體攝像裝置所具備的攝像信號輸出電路。

【先前技術】

形成於半導體基板上的 CMOS (Complementary Metal Oxide Semiconductor) 影像感測器或 CCD (Charge Coupled Device) 影像感測器等固體攝像元件，隨著半導體製程技術的進步等，而有畫素數增大的傾向。在畫素數增加下，使 1 訊框的攝像信號輸出時的資料量會因應而增加。

爲了增加在 1 訊框期間使輸出之攝像信號的資料量，只要例如使輸出攝像信號的 1 畫素的信號（畫素信號）之畫素時脈的頻率高頻率化，與該畫素時脈同步輸出，便可對應。1 畫素的畫素信號是例如 8 位元～十數位元等的所定位元數的資料，使該位元數的畫素資料與畫素時脈同步輸出。

可是，若使畫素時脈高頻率化，縮短畫素信號所被輸出的周期，則因爲形成以非常高的傳輸率來傳輸的攝像信號，所以可想像在內藏固體攝像裝置的攝影機側接受攝像信號的電路側無法對應的情形。

因此，例如以能夠增加使 1 畫素的畫素信號輸出的位

元數之方式，進行降低傳輸率。

例如，1 畫素為 8 位元構成時，為了使該 8 位元的畫素資料輸出，而設置 8 個的端子，由該 8 個的端子並列輸出 8 位元的畫素資料之構成，一般是在畫素時脈的 1 周期（或半周期），輸出 1 畫素的畫素資料之構成。

相對的，為了降低畫素時脈的頻率來降低傳輸率，而設置 16 個的輸出端子，以每 1 畫素輸出的端子能夠分配於 2 個端子之方式，進行減半傳輸率。只要能夠減半傳輸率，便可降低在接受攝像信號側的電路所接收使用的傳輸時脈的頻率，那麼電路的負擔會變少。

僅使傳輸率降低一半而不夠充分時，必須更增加輸出端子數，分配於更多的端子，降低傳輸時脈的頻率。

在日本特許廳發行的特開 2007-19583 號公報中揭示有關於使如此被攝像之畫素信號的傳輸率低下的處理構成。

可是，為了使對應於在被裝入固體攝像裝置的攝影機裝置的電路所能接受的傳輸率，若固體攝像裝置準備了複數個傳輸率相異者，則會有必須要那麼多種類的固體攝像裝置之問題。

除了傳輸率以外，例如在畫素時脈的 1 周期使 1 畫素的資料輸出時、及在半周期使 1 畫素的資料輸出時等，攝像信號的輸出模式，存在各種的模式，由依該各輸出模式來需求固體攝像裝置的觀點來看，也會使固體攝像裝置的種類增大。

本發明是有鑑於如此的情事而研發者，其目的是可在 1 個的固體攝像裝置對應於畫素信號的各種輸出模式。

【發明內容】

本發明是適用於使在固體攝像元件所攝像取得的畫素信號與輸出時脈同步，以 n 位元（ n 為整數）或 n 的整數倍的位元數來輸出之固體攝像裝置。

構成要素為具備：時脈變換部、分配部、第 1 選擇器、第 2 選擇器、及輸出模式的控制部。

時脈變換部係使時脈成為至少 $1/2$ 倍的頻率的時脈。

分配部係與在時脈變換部所被變換的時脈同步，將在固體攝像元件所攝像取得的畫素信號的各個位元資料交替分配成至少 2 系統的位元資料。

第 1 選擇器係選擇在分配部所被分配的位元資料及未被分配的位元資料之輸出。

第 2 選擇器係選擇在時脈變換部所被變換的頻率的時脈及未被變換的頻率的時脈之輸出。

輸出模式的控制部係指定在第 1 及第 2 選擇器的輸出。

如此一來，使以同傳輸率輸出的畫素信號能夠與相異頻率的時脈同步輸出。

在如此地構成下，藉由選擇在第 1 選擇器的輸出，可選擇使 n 位元的畫素信號輸出之狀態、及使 n 的 2 倍等的整數倍的畫素信號輸出之狀態，作為從固體攝像裝置與時

脈同步輸出的畫素信號。對應於該輸出位元數的選擇，可選定所被輸出的畫素信號的傳輸率。有關與畫素信號同步的時脈也是可在第 2 選擇器的選擇下成為必要的頻率的時脈。

若根據本發明，則可在 1 個的固體攝像裝置選定所被輸出的畫素信號的傳輸率，可使對應於在接受畫素信號側的電路（攝影機內的電路等）接收可能的傳輸率，具有作為固體攝像裝置泛用性高的效果。

此情況，其構成，可使用準備：分配畫素信號的分配部、及準備對應於傳輸率的時脈的時脈變換部，而選擇各個的輸出之構成來對應，具有可使用簡單的構成來實現的效果。

【實施方式】

以下，參照圖 1～圖 5 來說明本發明的第 1 實施形態之例。

在本實施形態中，是將 COMS 影像感測器適用於作為影像感測器（固體攝像元件）使用的固體攝像裝置者。本實施形態的固體攝像裝置是例如內藏於攝影機、數位照相機等的各種攝像裝置使用。

圖 1 是本實施形態的固體攝像裝置的機能方塊圖。在圖 1 是將固體攝像裝置全體稱為影像感測器。並且，在以下的說明所述的畫素信號，是表示在影像感測器所攝取的攝像信號的 1 畫素單位的信號。

本實施形態之例的影像感測器 10 是具備：信號接受部的畫素

11a 配置成矩陣狀的感測器部 11，爲了讀取在該感測器部 11 所接受的信號，在控制部 13 的控制下，由驅動電路 12 來對感測器部 11 供給驅動信號。在每一水平線的畫素信號依序從感測器部 11 讀出積蓄於該感測器部 11 的各畫素 11a 之信號（攝像信號），而供給至類比/數位變換器（ADC）14。

在類比/數位變換器 14 是將所被供給的攝像信號以 1 畫素的畫素信號單位來變換成數位信號，將所被變換的畫素信號供給至信號處理部 15。在信號處理部 15 是進行增益調整等的各種攝像信號處理，使被施以處理的攝像信號從輸出部 20 輸出至外部。作爲攝影機等的攝像裝置構成時，是將從該輸出部 20 所輸出的攝像信號設爲用以進行記錄或顯示的影像信號。有關輸出部 20 以後的電路構成是省略。

本例的情況，是將 1 畫素的畫素信號以類比/數位變換器 14 來變換成 12 位元的數位畫素信號之構成，將該 12 位元的畫素信號設爲 1 單位，使從輸出部 20 並列輸出之構成。在從輸出部 20 輸出時，是使與每一畫素的輸出時序同步的畫素時脈同時輸出之構成，在影像感測器 10 內，使該畫素時脈生成之構成。

本實施形態之例是來自輸出部 20 的畫素信號的輸出格式（輸出模式）可選擇 1DDR 輸出模式、1SDR 輸出模

式、及 2SDR 輸出模式之構成。在此的 DDR 是雙倍資料速率 (Double Data Rate) 的縮寫，SDR 是單倍資料速率 (Single Date Rate) 的縮寫。

1DDR 輸出模式是使 1 畫素 12 位元的畫素信號在每畫素時脈的半周期，從 12 個的輸出埠分別 1 位元 1 位元地輸出之輸出格式的模式，相當於後述說明的圖 3 的輸出狀態。

1SDR 輸出模式是使 1 畫素 12 位元的畫素信號在每畫素時脈的 1 周期，從 12 個的輸出埠分別 1 位元 1 位元地輸出之輸出格式的模式，相當於後述說明的圖 4 的輸出狀態。

2SDR 輸出模式是將 1 畫素 12 位元的畫素信號分配於 24 個的輸出埠，在每原來的畫素時脈的 1/2 周期使 1 位元 1 位元地輸出之輸出格式的模式，相當於後述說明的圖 5 的輸出狀態。

圖 2 是表示本實施形態的輸出部 20 的構成例。

在圖 2 中，輸入端子 21-0~21-n (n 為對應於位元數的整數) 是從影像感測器 10 內的信號處理部 14 (圖 1) 供給畫素信號的端子。如上述，此例是 1 畫素的畫素信號為 12 位元所構成，因此 n 為 11，具備 12 個的輸入端子 21-0~21-11。在各個的輸入端子 21-0~21-n 依序供給 1 畫素的畫素信號的 1 個位元位置的信號。

在各個的輸入端子 21-0~21-n 所取得的畫素信號是在資料選擇部 30-0~30-n 內進行變換處理及選擇處理。在圖

2 雖只顯示資料選擇部 30-0 的構成，但其他的資料選擇部 30-1～30-n 亦為同一構成。

若說明資料選擇部 30-0 的構成，則是將在輸入端子 21-0 所取得的畫素信號供給至選擇器 31 及 2SDR 變換電路 32。2SDR 變換電路 32 是使具有作為將所被供給的畫素信號予以 1 位元 1 位元地依序交替分配成 2 系統的位元資料 2SDR DT0，2SDR DT1 之分配部的機能，而變換成 2SDR 輸出格式的信號之變換電路。在變換電路 32 之變換動作的具體例是在時序圖（圖 5）的說明時敘述。

在 2SDR 變換電路 32 所被分配的 2 系統的位元資料 2SDR DT0，2SDR DT1 是被供給至選擇器 31。

選擇器 31 是具備 2 個的輸出埠 22a-0，22b-0。該 2 個的輸出埠 22a-0，22b-0 為分別具備影像感測器（固體攝像裝置）10 的輸出埠。在圖 2 是將各資料選擇部 30-0～30-n 的第 1 系統的輸出埠設為輸出埠 22a-0，22a-1，...，22a-n 來顯示，將各資料選擇部 30-0～30-n 的第 2 系統的輸出埠設為輸出埠 22b-0，22b-1，...，22b-n 來顯示。

當輸出模式為選擇 1DDR 輸出模式及 1SDR 輸出模式時，是僅使用第 1 系統的輸出埠 22a-0～22a-n 來使畫素信號輸出。又，當輸出模式為選擇 2SDR 輸出模式時，是使用第 1 系統的輸出埠 22a-0～22a-n 及第 2 系統的輸出埠 22b-0～22b-n 雙方來使畫素信號輸出。又，選擇器 31 是在輸出時序的調整為必要時，依所需進行以延遲等來調整畫素信號的輸出時序之處理。

該等輸出模式的選擇是以在輸出模式指定信號輸入端子 23 所取得的信號來進行控制。亦即，將在輸入端子 23 所取得的輸出模式指定信號供給至各資料選擇部 30-0 ~ 30-n 的選擇器 31，而使所對應的模式的信號輸出。本例的情況是由 3 個的模式來選擇任一個的輸出模式，因此在輸入端子 23 所取得的輸出模式指定信號是以 2 位元的信號所構成。另外，在該輸入端子 23 所取得的輸出模式指定信號是依照被設定於影像感測器 10 內的控制部 13 之現在的輸出模式所生成。但，亦可為由影像感測器 10 的外部的控制部來將決定輸出模式的信號直接供給至該輸入端子 23 之構成。

並且，在本實施形態中，是與來自畫素信號的各輸出埠的輸出同步，使畫素時脈從輸出埠 28 輸出之構成。

因此為具備從影像感測器 10 內的畫素時脈生成部（未圖示）供給畫素時脈的時脈輸入端子 24，將該畫素時脈供給至分頻器 26，而變換成 $1/2$ 的頻率的時脈之構成。在分頻器 26 的分頻動作是根據在模式判別部 25 判別於輸入端子 23 所取得的輸出模式指定信號之結果來進行。亦即，只在模式判別部 25 判別 $1/2$ 的頻率的時脈為必要的輸出模式時，使分頻器 26 作動。或，亦可使分頻器 26 常時作動。

而且，在選擇器 27 選擇：使在時脈輸入端子 24 所取得的時脈原封不動地從輸出埠 28 輸出之模式、及使在分頻器 26 成為 $1/2$ 的頻率的時脈從輸出埠 28 輸出之模式。

在該選擇器 27 的選擇是根據在輸入端子 23 所取得的輸出模式指定信號來進行。

其次，參照圖 3～圖 5 的時序圖來說明各輸出模式的輸出狀態之例。

首先，參照圖 3 來說明有關以 1DDR 輸出模式輸出的例子。此 1DDR 輸出模式是使 1 畫素 12 位元的畫素信號在每畫素時脈的半周期，從 12 個的輸出埠分別 1 位元 1 位元地輸出之輸出格式的模式。

亦即，以 12 位元等的所定位元 ($n+1$) 位元來構成的畫素信號的 1 個位元的輸出會如圖 3 (a) 所示一般，依資料 0，資料 1，資料 2，資料 3...的順序每 1 畫素各 1 位元地供給至各個輸入端子 21-0～21-n。

而且，與該畫素信號同步，如圖 3 (b) 所示一般，供給在輸入端子 24 所示的畫素時脈。此圖 3 (b) 所示的畫素時脈是每 1 畫素 1 周期的時脈。

在設定 1DDR 輸出模式的狀態下，若有如此的畫素信號往輸出部 20 輸入，則會以選擇器 31 來選擇在輸入端子 21-0～21-n 所取得的畫素信號，如圖 3 (c) 所示一般，使從第 1 系統的輸出埠 22a-0～22a-n 輸出。但，圖 3 (c) 的例子是使 1 畫素時序延遲。

而且，有關使從輸出埠 28 的畫素時脈，是如圖 3 (d) 所示一般，以能夠輸出在分頻器 26 成為 $1/2$ 的頻率的時脈之方式，使選擇於選擇器 27。如圖 3 (c) 及 (d) 所示一般，此例是與時脈的上升及下降連動來變化畫素資料

其次，參照圖 4 來說明有關以 1SDR 輸出模式輸出的例子。此 1SDR 輸出模式是使 1 畫素 12 位元的畫素信號在每畫素時脈的 1 周期，從 12 個的輸出埠分別 1 位元 1 位元地輸出之輸出格式的模式。

亦即，以 12 位元等的所定位元 ($n+1$) 位元來構成的畫素信號的 1 個位元的輸出會如圖 4 (a) 所示一般，依資料 0，資料 1，資料 2，資料 3...的順序每 1 畫素各 1 位元地供給至各個輸入端子 21-0 ~ 21-n。

然後，與該畫素信號同步，如圖 4 (b) 所示一般，供給在輸入端子 24 所示的畫素時脈。該圖 4 (b) 所示的畫素時脈是每 1 畫素 1 周期的時脈。

在設定 1SDR 輸出模式的狀態下，若有如此的畫素信號往輸出部 20 輸入，則會以選擇器 31 來選擇在輸入端子 21-0 ~ 21-n 所取得的畫素信號，如圖 4 (c) 所示一般，使從第 1 系統的輸出埠 22a-0 ~ 22a-n 輸出。但，圖 4 (c) 的例子是使 1 畫素時序延遲。至此是與 1DDR 輸出模式相同。

而且，有關使從輸出埠 28 的輸出的畫素時脈，是如圖 4 (d) 所示一般，以使輸入至輸出部 20 的畫素時脈能夠以原封不動的頻率來輸出之方式，使選擇於選擇器 27。圖 4 (c) 及 (d) 所示一般，此例是與時脈的上升及下降連動來變化畫素資料。

其次，參照圖 5 來說明有關以 2SDR 輸出模式輸出的

例子。此 2SDR 輸出模式是使 1 畫素 12 位元的畫素信號在每畫素時脈的 2 周期，從 24 個的輸出埠分別 1 位元 1 位元地輸出之輸出格式的模式。

此 2SDR 輸出模式相較於 1SDR 輸出模式或 1DDR 輸出模式，雖需要 2 倍的輸出埠，但每 1 埠的傳輸率是形成 $1/2$ 。

此情況也是以 12 位元等的所定位元 ($n+1$) 位元來構成的畫素信號的 1 個位元的輸出會如圖 5 (c) 所示一般，依資料 0，資料 1，資料 2，資料 3...的順序每 1 畫素各 1 位元地供給至各個輸入端子 21-0 ~ 21-n。

與該畫素信號同步，如圖 5 (a) 所示一般，供給在輸入端子 24 所示的畫素時脈。此圖 5 (a) 所示的畫素時脈是每 1 畫素 1 周期的時脈，在分頻器 26，如圖 5 (b) 所示一般，生成 $1/2$ 的頻率的時脈。

而且，在 2SDR 變換電路 32，將圖 5 (c) 所取得的畫素信號，予以各 1 位元地依序分配成 2 系統的信號，作為圖 5 (d) 所示之第 1 系統的信號（第偶數號的信號）、及圖 5 (e) 所示之第 2 系統的信號（第奇數號的信號）。只要如此地分配，2 個系統的畫素信號其變化相位便會錯開，因此使各個的信號延遲，如圖 5 (g) 及 (h) 所示使兩信號的時序一致之第 1 系統的畫素資料 2SDR DT0 及第 2 系統的畫素資料 2SDR DT1 生成。

以使該圖 5 (g) 及 (h) 所示之第 1 系統的畫素資料 2SDR DT0 及第 2 系統的畫素資料 2SDR DT1 能夠與圖 5 (

h) 所示之畫素時脈（與圖 5 (b) 的時脈相同）同步輸出之方式，在選擇器 31，27 進行選擇處理。

若如此地根據本實施形態的構成，則可在 1 個的影像感測器 10 選擇圖 3 所示的 1DDR 輸出模式、圖 4 所示的 1SDR 輸出模式、及圖 5 所示的 2SDR 輸出模式，可偏入對應於任一輸出模式的攝像裝置（攝影機）。因此，無論攝影機側的電路為對應於哪個輸出模式者，皆可使用共通的影像感測器作為攝像手段，影像感測器的泛用性會提升。特別是在 2SDR 輸出模式時，輸出埠的數量雖形成 2 倍，但可使每 1 埠的傳輸率降低成其他模式的 $1/2$ ，非常適於在攝影機側所能接受的傳輸率有限制時。

並且，本實施形態的構成，可實現僅設置 2SDR 輸出模式用分配各位元的畫素信號的電路、時脈的變換電路、及分別選擇的選擇器之比較簡單的構成，如本實施形態那樣雖設為多輸出模式對應，但作為影像感測器並不那麼使電路構成複雜化，可以簡單的構成來實現。

其次，參照圖 6～圖 7 來說明本發明的第 2 實施形態之例。

在本實施形態的例子中，除了 1DDR 輸出模式、1SDR 輸出模式、及 2SDR 輸出模式以外，可選擇 4SDR 輸出模式。

在本實施形態中，亦為適用於使用 COMS 影像感測器作為影像感測器（固體攝像元件）的固體攝像裝置者，影像感測器的全體構成是與先前說明的第 1 實施形態所說明

的圖 1 的構成相同，且將其輸出部 20 的構成設為圖 6 所示的構成。

亦即，在圖 6 中，輸入端子 121-0~121-n（n 是對應於位元數的整數）是由影像感測器 10 內的信號處理部 14（圖 1）來供給畫素信號的端子。如上述般，此例亦 1 畫素的畫素信號為 12 位元所構成，n 為 11，具備 12 個的輸入端子 121-0~121-11。對各個的輸入端子 121-0~121-n 依序供給 1 畫素的畫素信號的 1 個位元位置的信號。

在各個的輸入端子 121-0~121-n 所取得的畫素信號是在資料選擇部 130-0~130-n 內進行變換處理及選擇處理。在圖 6 雖僅顯示資料選擇部 130-0 的構成，但其他的資料選擇部 130-1~130-n 亦為同一構成。

若說明資料選擇部 130-0 的構成，則是將在輸入端子 121-0 所取得的畫素信號供給至選擇器 131 及 2SDR 變換電路 132 以及 4SDR 變換電路 133。2SDR 變換電路 132 是使具有作為將所被供給的畫素信號予以 1 位元 1 位元地依序交替分配成 2 系統的位元資料 2SDR DT0，2SDR DT1 之分配部的機能，而變換成 2SDR 輸出格式的信號之變換電路。4SDR 變換電路 133 是使具有作為將所被供給的畫素信號予以 1 位元 1 位元地依序交替分配成 4 系統的位元資料 4SDR DT0，4SDR DT1，4SDR DT2，4SDR DT3 之分配部的機能，而變換成 4SDR 輸出格式的信號之變換電路。

在 2SDR 變換電路 132 所被分配的 2 系統的位元資料 2SDR DT0，2SDR DT1 是供給至選擇器 131。有關在 4SDR

變換電路 133 所被分配的 4 系統的位元資料 4SDR DT0，4SDR DT1，4SDR DT2，4SDR DT3 也是供給至選擇器 131。

選擇器 131 是具備 4 個的輸出埠 122a-0，122b-0，122c-0，122d-0。該 4 個的輸出埠 122a-0，122b-0，122c-0，122d-0 分別為影像感測器（固體攝像裝置）10 所具備的輸出埠。在圖 6 是將各資料選擇部 30-0～30-n 的第 1 系統的輸出埠設為輸出埠 122a-0，122a-1， $\dots$ ，122a-n 來顯示。並且，將各資料選擇部 130-0～130-n 的第 2 系統的輸出埠設為輸出埠 122b-0，122b-1， $\dots$ ，122b-n 來顯示。而且，將各資料選擇部 130-0～130-n 的第 3 系統的輸出埠設為輸出埠 122c-0，122c-1， $\dots$ ，122c-n 來顯示。更將各資料選擇部 130-0～130-n 的第 4 系統的輸出埠設為輸出埠 122d-0，122d-1， $\dots$ ，122d-n 來顯示。

輸出模式為選擇 1DDR 輸出模式及 1SDR 輸出模式時，是僅使用第 1 系統的輸出埠 122a-0～122a-n 來使畫素信號輸出。又，輸出模式為選擇 2SDR 輸出模式時，是使用第 1 系統的輸出埠 122a-0～122a-n 及第 2 系統的輸出埠 122b-0～122b-n 來使畫素信號輸出。又，輸出模式為選擇 4SDR 輸出模式時，是使用第 1 系統的輸出埠 122a-0～122a-n、第 2 系統的輸出埠 122b-0～122b-n、第 3 系統的輸出埠 122c-0～122c-n 及第 4 系統的輸出埠 122d-0～122d-n 來使畫素信號輸出。又，選擇器 131 是在輸出時序的調整為必要時，依所需進行以延遲等來調整畫素信號的

輸出時序之處理。

該等的輸出模式的選擇是以在輸出模式指定信號輸入端子 123 所取得的信號來控制。亦即，將在輸入端子 123 所取得的輸出模式指定信號供給至各資料選擇部 130-0 ~ 130-n 的選擇器 131，使所對應的模式的信號輸出。本例的情況是由 4 個的模式來選擇任一個的輸出模式，因此在輸入端子 23 所取得的輸出模式指定信號是以 2 位元的信號所構成。

並且，作為與畫素信號之來自各輸出埠的輸出同步，使畫素時脈自輸出埠 128 輸出之構成。

因此，作為具備由影像感測器 10 內的畫素時脈生成部（未圖示）來供給畫素時脈的時脈輸入端子 124，將該畫素時脈供給至分頻器 126，而變換成 $1/2$ 的頻率的時脈之構成。在分頻器 126 的分頻動作是根據在模式判別部 125 所判別的結果來進行在輸入端子 123 所取得的輸出模式指定信號。亦即，若 $1/2$ 或 $1/4$ 的頻率的時脈為必要的輸出模式，則只在模式判別部 25 判別時，使分頻器 126 作動。或，亦可使分頻器 126 常時作動。

然後，在選擇器 127 選擇：使在時脈輸入端子 124 取得的時脈原封不動地從輸出埠 128 輸出之模式、及在分頻器 126 成為 $1/2$ 的頻率或 $1/4$ 的輸出之時脈從輸出埠 128 輸出之模式。在該選擇器 127 的選擇是根據在輸入端子 123 所取得的輸出模式指定信號來進行。

其次，說明在各輸出模式的輸出狀態的例子。

有關 1DDR 輸出模式、1SDR 輸出模式、及 2SDR 輸出模式的輸出狀態，是與已在第 1 實施形態使用圖 3～圖 5 來說明者同輸出狀態，所以在此省略。

然後，在選擇 4SDR 輸出模式時，是以圖 7 所示的狀態來輸出。

若針對圖 7 的輸出狀態來進行說明，則使在 4SDR 輸出模式下輸出，是使 1 畫素 12 位元的畫素信號，每畫素時脈的 4 周期，分成 48 個的輸出埠，分別 1 位元 1 位元地輸出之輸出格式的模式。此 4SDR 輸出模式相較於 1SDR 輸出模式或 1DDR 輸出模式，雖需要 4 倍的輸出埠，但每 1 埠的傳輸率是形成 $1/4$ 。

此情況也是以 12 位元等的所定位元 ($n+1$) 位元來構成的畫素信號的 1 個位元的輸出會如圖 7 (d) 所示一般，依資料 0，資料 1，資料 2，資料 3...的順序每 1 畫素各 1 位元地供給至各個輸入端子 121-0～121-n。

與該畫素信號同步，如圖 7 (a) 所示，供給在輸入端子 124 所示的畫素時脈。該圖 7 (a) 所示的畫素時脈是每 1 畫素 1 周期的時脈，在分頻器 126，如圖 7 (b) 所示一般，生成 $1/2$ 的頻率的時脈，更如圖 7 (c) 所示一般，生成 $1/4$ 的頻率的時脈。

而且，在 4SDR 變換電路 133，將圖 7 (d) 所取得的畫素信號，1 位元 1 位元地依序分配成 4 系統的信號，作為圖 7 (e) 所示之第 1 系統的信號、圖 7 (f) 所示之第 2 系統的信號、圖 7 (g) 所示之第 3 系統的信號，及圖 7 (

h) 所示之第 4 系統的信號。

只要如此地分配，4 個系統的畫素信號其變化相位便會錯開，因此使各個的信號延遲，如圖 7 (i) ~ (l) 所示使各信號的時序一致之第 1 系統的畫素資料 4SDR DT0、第 2 系統的畫素資料 4SDR DT1、第 3 系統的畫素資料 4SDR DT2、及第 4 系統的畫素資料 4SDR DT3 生成。

以使該圖 7 (i) ~ (l) 所示之各系統的畫素資料能夠與圖 7 (m) 所示之畫素時脈（與圖 7 (c) 的 $1/4$ 的頻率的時脈相同）同步輸出之方式，在選擇器 131, 127 進行選擇處理。

若根據此第 2 實施形態的形態，則即使在 4SDR 輸出模式下亦可使輸出，可更降低傳輸率，傳輸率的限制更嚴的情況時也可適用。

另外，雖未圖示，但亦可適用此第 2 實施形態的構成原理，更使同步於 $1/8$ 的頻率的時脈，分配成 8 個系統的輸出埠等，使傳輸率更降低。

在圖 6 所示的構成是各資料選擇部 130-0 ~ 130-n 為準備 2SDR 變換電路 132 及 4SDR 變換電路 133，在各個的電路進行各個的模式用的變換處理之構成，但例如圖 8 所示，亦可為準備一以共通的電路來進行 2SDR 輸出模式用的變換處理及 4SDR 輸出模式用的變換處理之 2/4SDR 變換電路 134，根據輸出模式指定信號來切換在該變換電路 134 的變換動作之構成。圖 8 的其他部分則是與圖 6 同構成。

若根據此圖 8 的構成，則共用化的部份可使資料變換電路的構形成簡單。

另外，上述各實施形態是使用 CMOS 影像感測器作為影像感測器之例，但當然亦可適用於 CCD 型影像感測器等其他型式的固體攝像裝置之構成的各種影像感測器。

【圖式簡單說明】

圖 1 是表示本發明的第 1 實施形態之例的固體攝像裝置的機能方塊圖。

圖 2 是表示本發明的第 1 實施形態之例的固體攝像裝置的畫素信號輸出部之例的構成圖。

圖 3 是表示圖 2 例的畫素信號輸出部的輸出時序之例（1DDR 輸出）的時序圖。

圖 4 是表示圖 2 例的畫素信號輸出部的輸出時序之例（1SDR 輸出）的時序圖。

圖 5 是表示圖 2 例的畫素信號輸出部的輸出時序之例（2SDR 輸出）的時序圖。

圖 6 是表示本發明的第 2 實施形態之例的固體攝像裝置的畫素信號輸出部之例的構成圖。

圖 7 是表示圖 6 例的畫素信號輸出部的輸出時序之例（4SDR 輸出）的時序圖。

圖 8 是表示本發明的第 2 實施形態的變形例的畫素信號輸出部的構成圖。

【 主 要 元 件 符 號 說 明 】

10：影 像 感 測 器

11：感 測 器 部

11a：畫 素

12：驅 動 電 路

13：控 制 部

14：類 比 / 數 位 變 換 器

15：信 號 處 理 部

20：輸 出 部

23：輸 出 模 式 指 定 信 號 輸 入 端 子

24：時 脈 輸 入 端 子

25：模 式 判 別 部

26：分 頻 器

27：選 擇 器

28：輸 出 埠

30-0，30-1，30-n：資 料 選 擇 部

31：選 擇 器

32：2SDR 變 換 電 路

123：輸 出 模 式 指 定 信 號 輸 入 端 子

124：時 脈 輸 入 端 子

125：模 式 判 別 部

126：分 頻 器

127：選 擇 器

130-0，130-1，130-n：資 料 選 擇 部

131 : 選擇器

132 : 2SDR 變換電路

133 : 4SDR 變換電路

134 : 2/4SDR 變換電路

十、申請專利範圍

1. 一種固體攝像裝置，其特徵係具備：

時脈變換部，其係使與攝像取得的畫素信號同步的時脈成為至少 $1/2$ 倍的頻率的時脈；

分配部，其係與在上述時脈變換部所被變換的時脈同步，將攝像取得的畫素信號的各個的位元資料交替分配成至少 2 系統的位元資料；

第 1 選擇器，其係選擇在上述分配部所被分配的位元資料及未被分配的位元資料之輸出；

第 2 選擇器，其係選擇在上述時脈變換部所被變換的頻率的時脈及未被變換的頻率的時脈之輸出；及

輸出模式的控制部，其係指定在上述第 1 及第 2 選擇器的輸出，

使以同傳輸率輸出的畫素信號能夠與相異頻率的時脈同步輸出，

上述控制部所指定的輸出模式為準備：在上述第 1 選擇器選擇未被分配的位元資料的輸出，在上述第 2 選擇器選擇在上述時脈變換部所被變換的 $1/2$ 倍的頻率的時脈之輸出模式。

2. 如申請專利範圍第 1 項之固體攝像裝置，其中，上述時脈變換部係更進行往 $1/4$ 倍的頻率的時脈之變換，

上述分配部係更進行交替分配成 4 系統的位元資料，

上述第 1 選擇器為選擇 1 系統的位元資料、分配成 2 系統的位元資料、及分配成 4 系統的位元資料之輸出，

上述第 2 選擇器為選擇未被變換的頻率的時脈、 $1/2$ 倍的頻率的時脈、及 $1/4$ 倍的頻率的時脈之輸出。

3. 一種攝像信號輸出電路，其特徵係具備：

時脈變換部，其係使與在固體攝像元件所攝像取得的畫素信號同步的時脈成為至少 $1/2$ 倍的頻率的時脈；

分配部，其係與在上述時脈變換部所被變換的時脈同步，將在上述固體攝像元件所攝像取得的畫素信號的各個的位元資料交替分配成至少 2 系統的位元資料；

第 1 選擇器，其係選擇在上述分配部所被分配的位元資料及未被分配的位元資料之輸出；

第 2 選擇器，其係選擇在上述時脈變換部所被變換的頻率的時脈及未被變換的頻率的時脈之輸出；及

輸出模式的控制部，其係指定在上述第 1 及第 2 選擇器的輸出，

使以同傳輸率輸出的畫素信號能夠與相異頻率的時脈同步輸出。

4. 如申請專利範圍第 3 項之攝像信號輸出電路，其中，上述控制部所指定的輸出模式為準備：在上述第 1 選擇器選擇未被分配的位元資料的輸出，在上述第 2 選擇器選擇在上述時脈變換部所被變換的 $1/2$ 倍的頻率的時脈之輸出模式。

5. 如申請專利範圍第 4 項之攝像信號輸出電路，其中，上述時脈變換部係更進行往 $1/4$ 倍的頻率的時脈之變換，

換，

上述分配部係更進行交替分配成 4 系統的位元資料，

上述第 1 選擇器為選擇 1 系統的位元資料、分配成 2 系統的位元資料、及分配成 4 系統的位元資料之輸出，

上述第 2 選擇器為選擇未被變換的頻率的時脈、 $1/2$ 倍的頻率的時脈、及 $1/4$ 倍的頻率的時脈之輸出。

圖 1

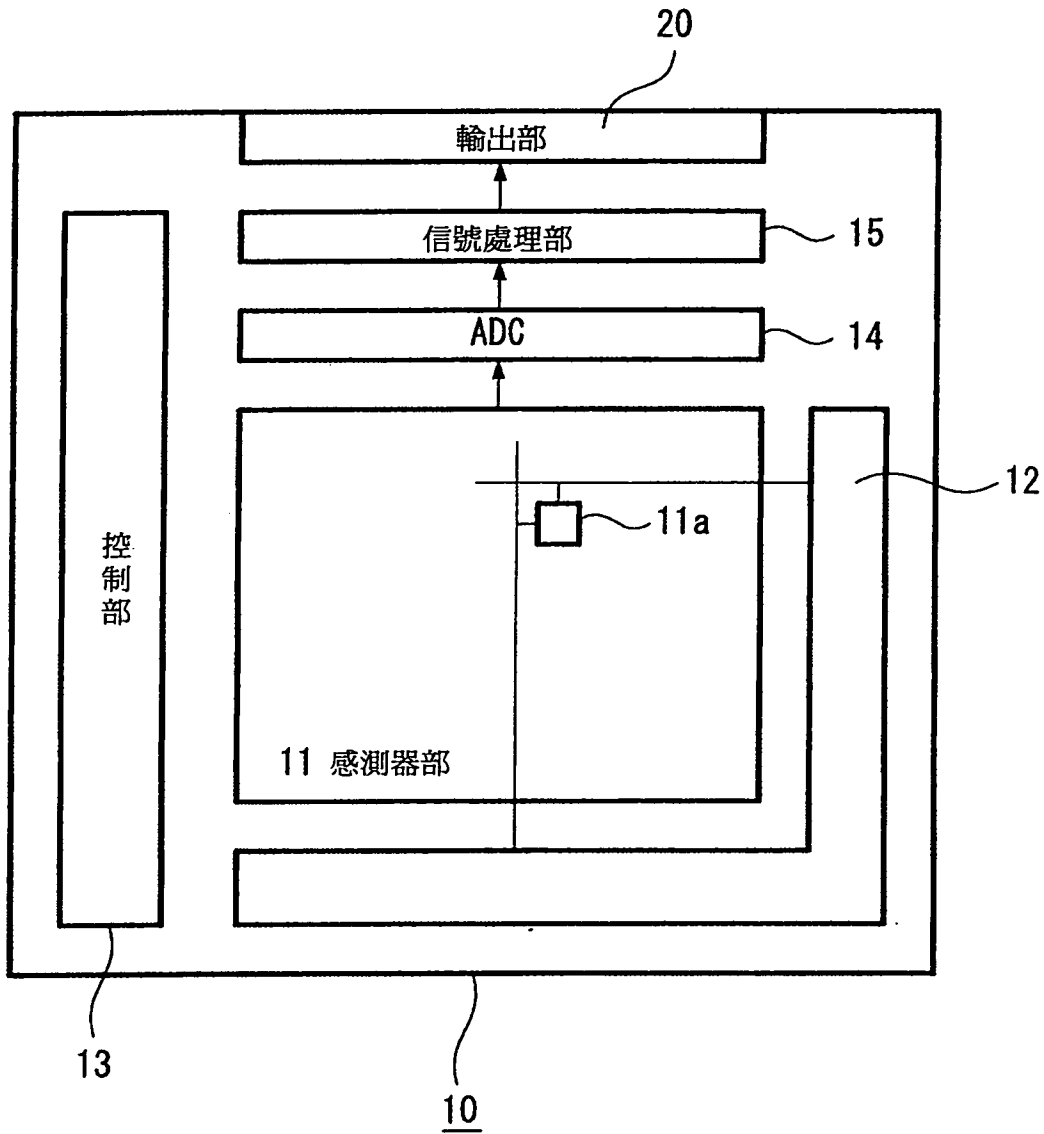


圖2

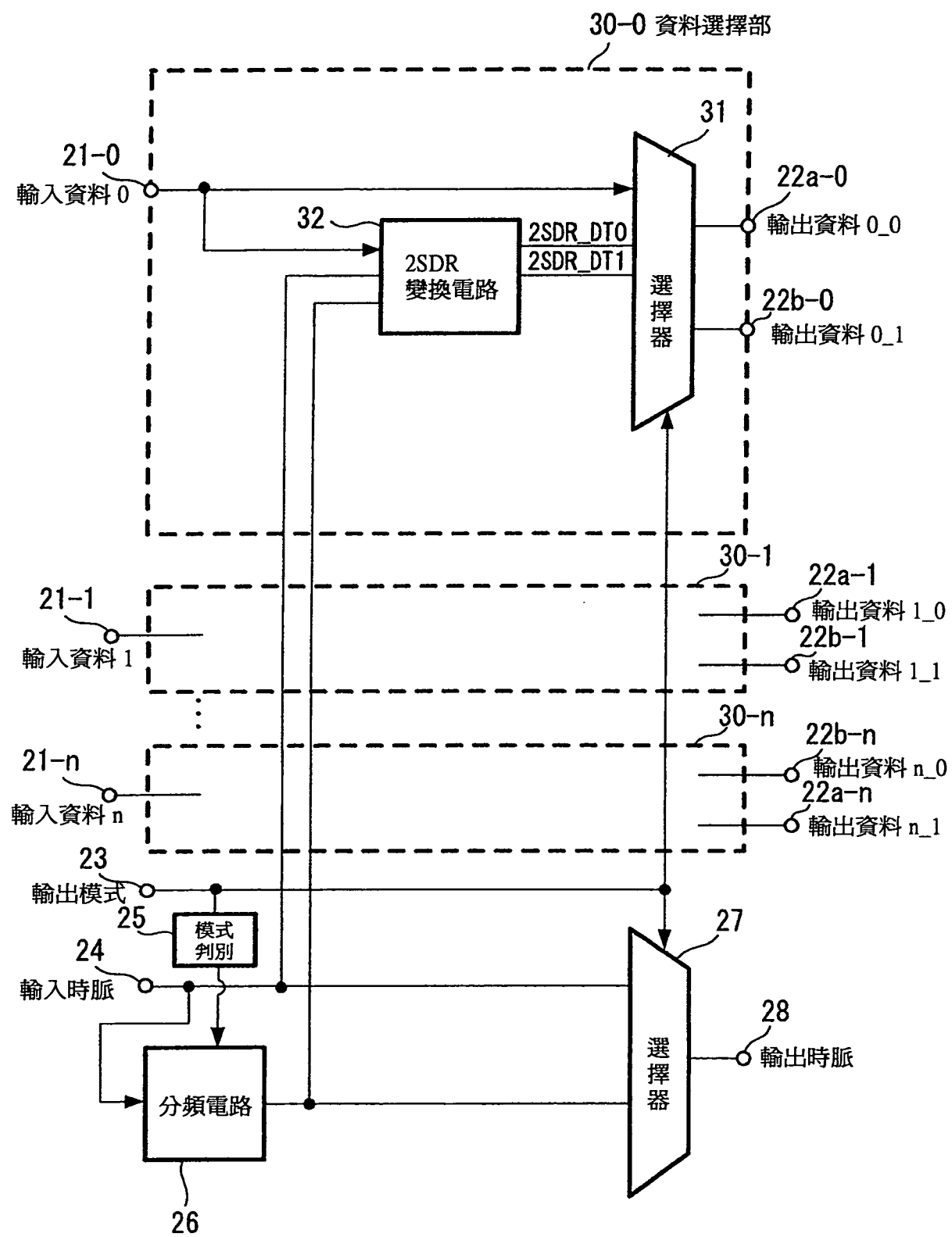


圖3

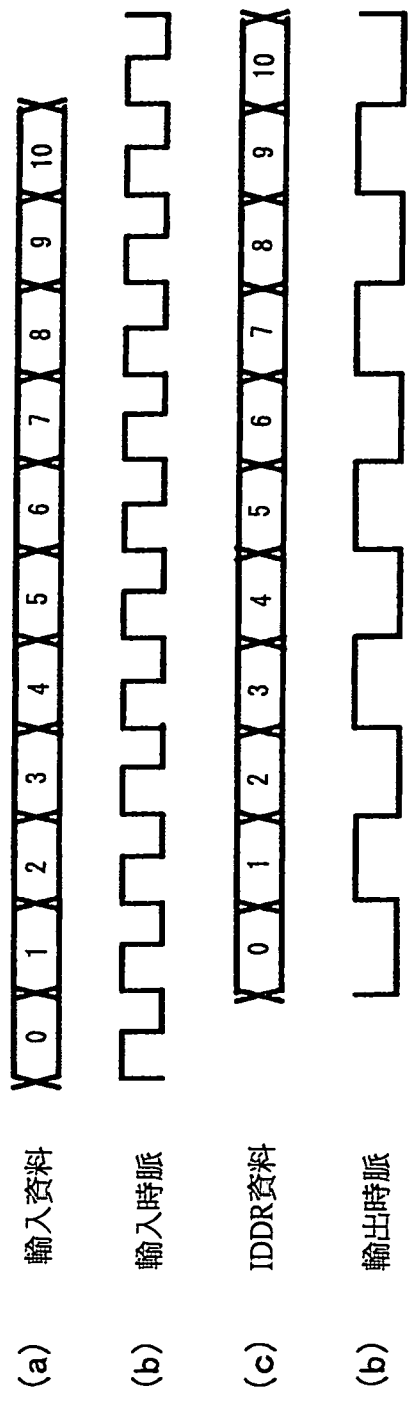


圖4

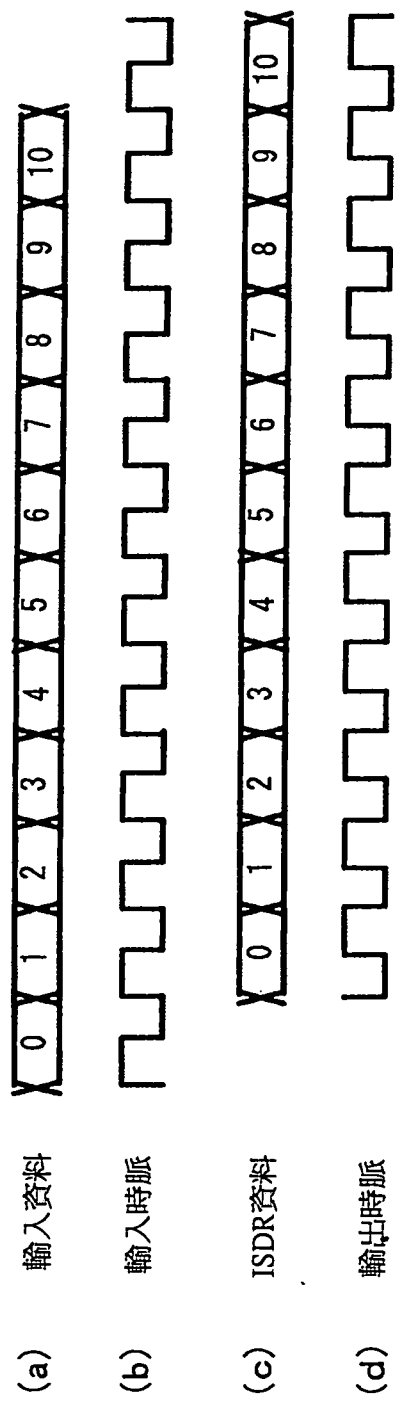


圖5

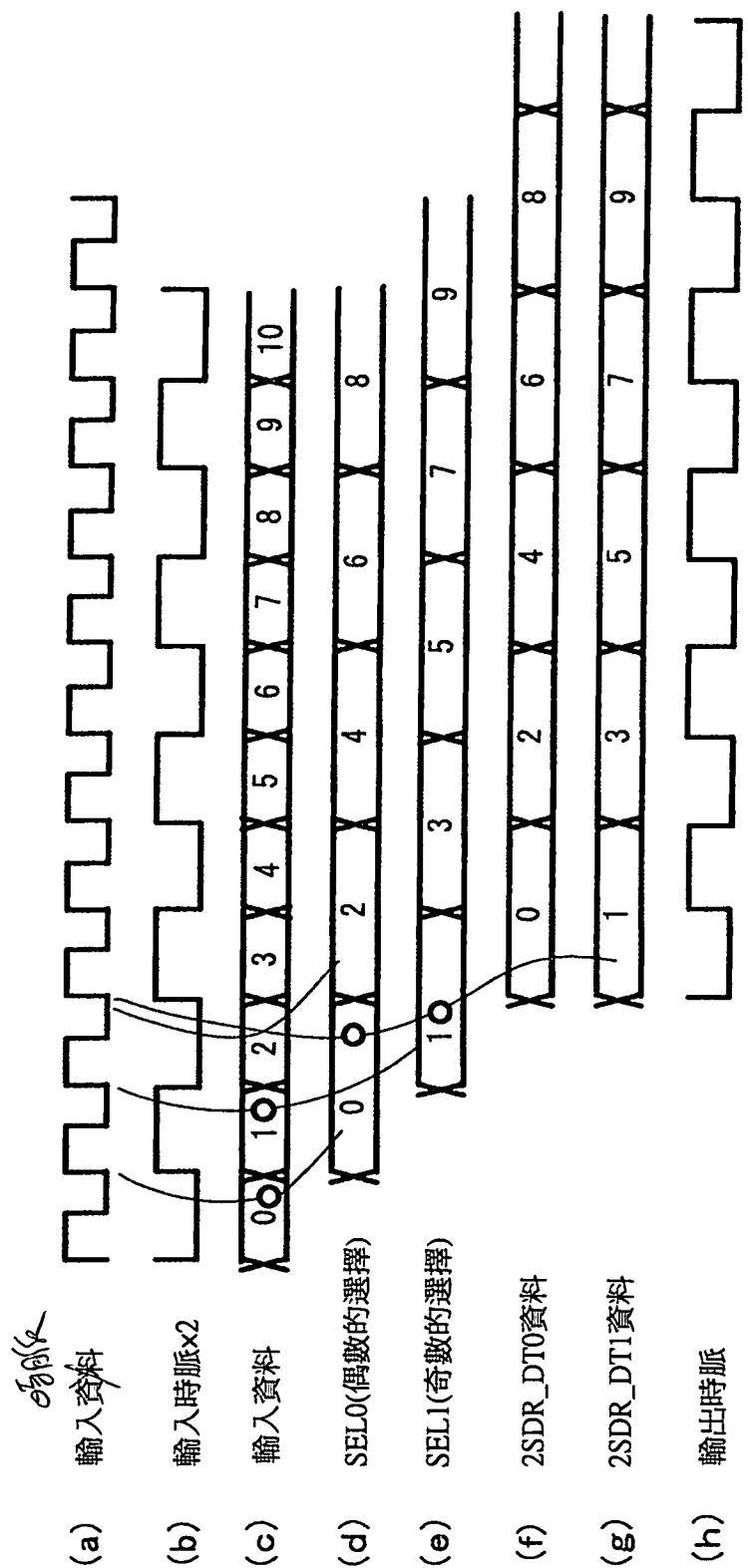


圖 6

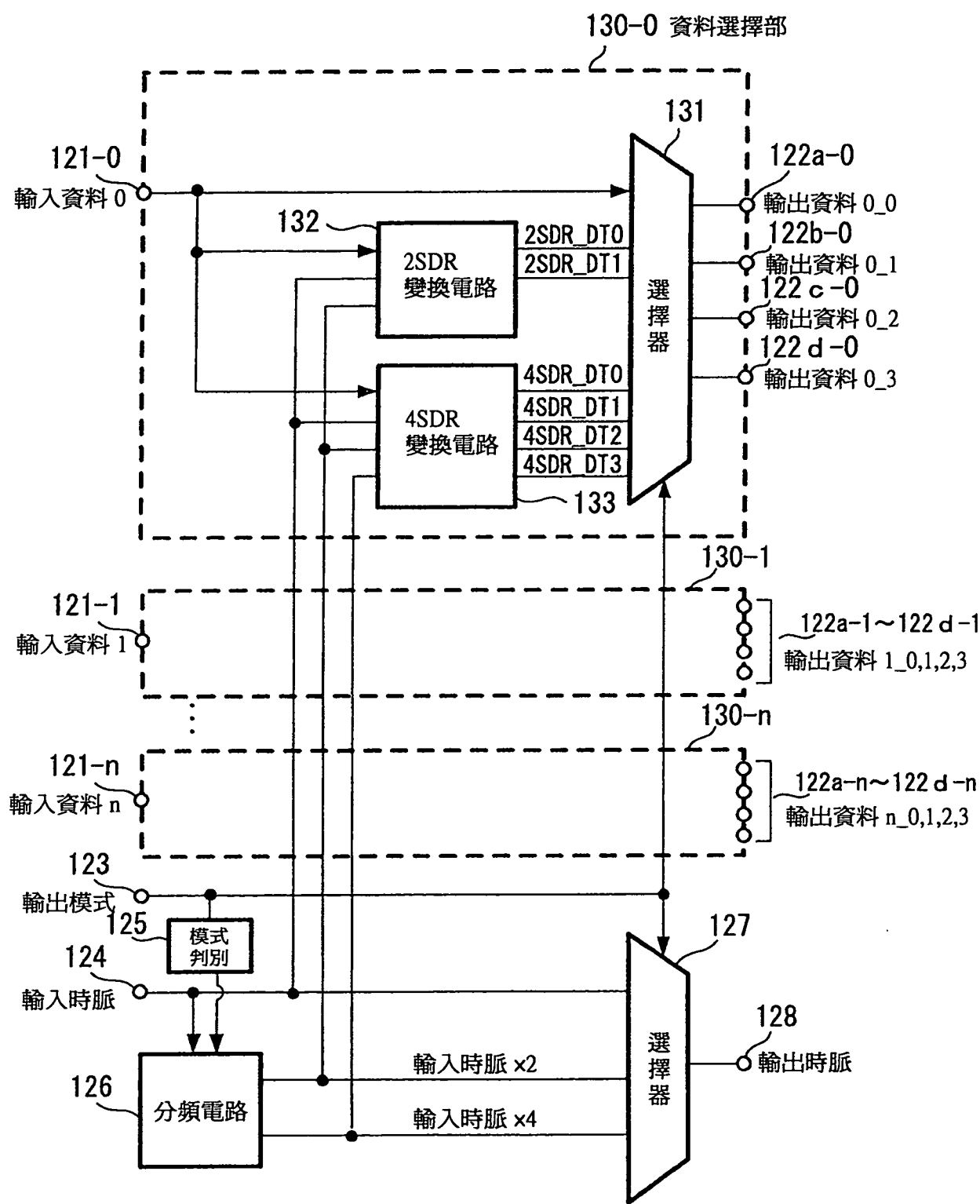


圖7

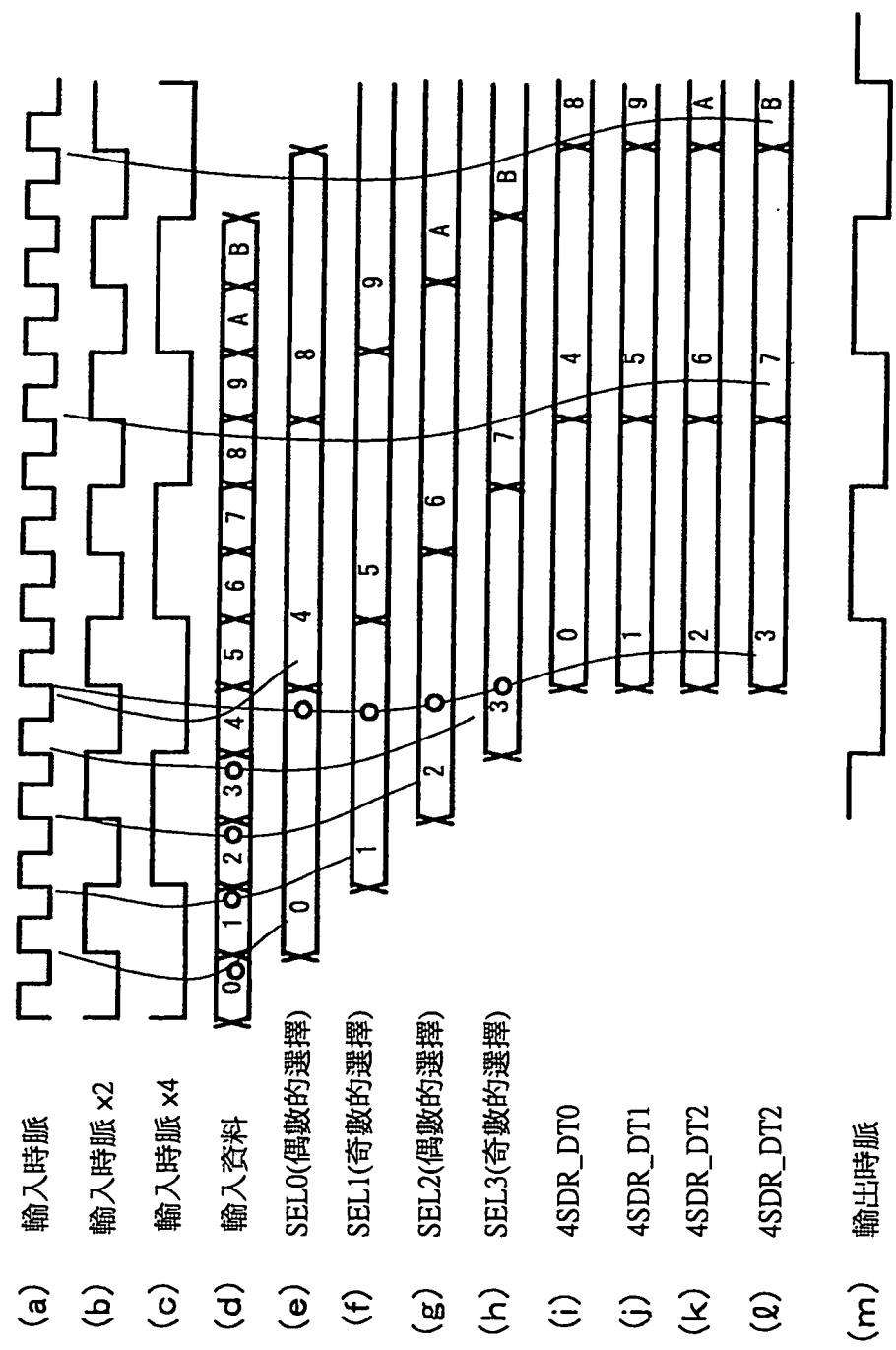


圖 8

