

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 2 月 2 日(02.02.2017)



(10) 国際公開番号
WO 2017/017940 A1

- (51) 国際特許分類:
H01L 21/20 (2006.01) *H01L 21/329* (2006.01)
C01B 31/06 (2006.01) *H01L 29/16* (2006.01)
C23C 16/27 (2006.01) *H01L 29/47* (2006.01)
C30B 29/04 (2006.01) *H01L 29/872* (2006.01)
H01L 21/205 (2006.01)
- (21) 国際出願番号: PCT/JP2016/003424
- (22) 国際出願日: 2016 年 7 月 22 日(22.07.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-150500 2015 年 7 月 30 日(30.07.2015) JP
特願 2016-021008 2016 年 2 月 5 日(05.02.2016) JP
- (71) 出願人: 信越化学工業株式会社 (SHIN-ETSU CHEMICAL CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目 6 番 1 号 Tokyo (JP). 国立研究開発法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 野口 仁(NOGUCHI, Hitoshi); 〒3790195 群馬県安中市磯部 2 丁目 1 3 番 1 号信越化学工業株式会社 精密機能材料研究所内 Gunma (JP).

白井 省三(SHIRAI, Shozo); 〒3790195 群馬県安中市磯部 2 丁目 1 3 番 1 号信越化学工業株式会社 精密機能材料研究所内 Gunma (JP). 山崎 聡(YAMASAKI, Satoshi); 〒3058568 茨城県つくば市東 1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内 Ibaraki (JP). 竹内 大輔(TAKEUCHI, Daisuke); 〒3058568 茨城県つくば市東 1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内 Ibaraki (JP). 小倉 政彦(OGURA, Masahiko); 〒3058568 茨城県つくば市東 1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内 Ibaraki (JP). 牧野 俊晴(MAKINO, Toshiharu); 〒3058568 茨城県つくば市東 1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内 Ibaraki (JP). 加藤 宙光(KATO, Hiromitsu); 〒3058568 茨城県つくば市東 1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内 Ibaraki (JP). 松本 翼(MATSUMOTO, Tsubasa); 〒3058568 茨城県つくば市東 1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内 Ibaraki (JP). 川島 宏幸(KAWASHIMA, Hiroyuki); 〒3058568 茨城県つくば市東 1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内 Ibaraki (JP).

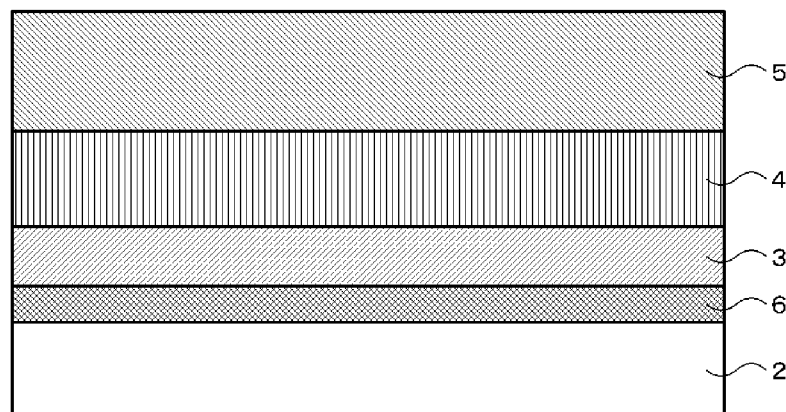
- (74) 代理人: 好宮 幹夫, 外(YOSHIMIYA, Mikio et al.); 〒1100005 東京都台東区上野 7 丁目 6 番 1 1 号第一下谷ビル 8 F Tokyo (JP).

[続葉有]

(54) Title: DIAMOND ELECTRONIC ELEMENT AND METHOD FOR PRODUCING DIAMOND ELECTRONIC ELEMENT

(54) 発明の名称: ダイヤモンド電子素子及びダイヤモンド電子素子の製造方法

1



(57) Abstract: The present invention is a diamond electronic element which is characterized by comprising: a silicon base; an intermediate layer that is formed on the silicon base and is composed of a single crystal MgO layer, a single crystal SrTiO₃ layer, an α -Al₂O₃ layer or a YSZ (yttria-stabilized zirconia) layer; a foundation layer that is formed on the intermediate layer and is composed of an iridium layer, a rhodium layer or a platinum layer; and a single crystal diamond layer that is formed on the foundation layer. This diamond electronic element is also characterized in that the single crystal diamond layer has a thickness of 300 μ m or less. Consequently, the present invention provides: a low-cost diamond electronic element having a large area and high quality; and a method for producing a diamond electronic element.

(57) 要約: 本発明は、ダイヤモンド電子素子であって、シリコン基材と、該シリコン基材上に形成され、単結晶 MgO 層、単結晶 SrTiO₃

[続葉有]

WO 2017/017940 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

層、 α -Al₂O₃層、YSZ (イットリア安定化ジルコニア) 層のいずれかからなる中間層と、該中間層上に形成され、イリジウム層、ロジウム層、白金層のいずれかからなる下地層と、該下地層上に形成された単結晶ダイヤモンド層とを有し、前記単結晶ダイヤモンド層の厚みが、300 μm以下のものであることを特徴とするダイヤモンド電子素子である。これにより、大面積、低コスト、高品質なダイヤモンド電子素子及びダイヤモンド電子素子の製造方法が提供される。

明 細 書

発明の名称：

ダイヤモンド電子素子及びダイヤモンド電子素子の製造方法

技術分野

[0001] 本発明は、ダイヤモンド電子素子及びダイヤモンド電子素子の製造方法に関する。

背景技術

[0002] ダイヤモンドは、 5.47 eV のワイドバンドギャップで絶縁破壊電界強度も 10 MV/cm と非常に高い。更に物質で最高の熱伝導率を有することから、これを電子デバイスに用いれば、高出力電力デバイスとして有利である。

[0003] また、ダイヤモンドは、ドリフト移動度も高く、Johnson性能指数を比較しても、半導体の中でも最も高速電力デバイスとしても有利である。従って、ダイヤモンドは、高周波・高出力電子デバイスに適した究極の半導体と云われている。

[0004] 現在、ダイヤモンド半導体作製用の単結晶ダイヤモンドは、高温高压法（HPHT）で合成されたIb型と呼ばれるダイヤモンドがほとんどである。このIb型ダイヤモンドは、窒素不純物を多く含み、かつ最大でも8mm角程度のサイズ迄しか得られず、実用性は低い。また、HPHT基板を多数個並べて繋ぎあわせるモザイク法と呼ばれるものも提案させている（非特許文献1）が、継目の不完全性の問題は残されている。

[0005] それに対して、気相合成（Chemical Vapor Deposition: CVD）法では、多結晶ダイヤモンドならば、高純度に6インチ（150mm）径程度の大面積なダイヤモンドが得られるものの、通常電子デバイスに適する、単結晶化が困難であった。これは、基板として従来単結晶Siが用いられるため、ダイヤモンドとの格子定数の差が大きく（ミスマッチ度52.6%）直接ヘテロエピタキシャル成長させることが非常に困難

であるからである。

[0006] このため、種々の検討が進み、P t（非特許文献2）やI r（非特許文献3）を下地膜としてこの上にダイヤモンドを製膜することが有効であるとの報告がある。

[0007] 現在、特にI r下地膜を用いた研究が最も進んでいる。これは、M g Oなどの基材上にI r膜をヘテロエピタキシャル成長させる。次に、D Cプラズマ法で水素希釈メタンガスによるバイアス前処理、更にプラズマC V D法でダイヤモンド長時間成長を行って、通常4 0 0 μ m～1 0 0 0 μ m厚程度のダイヤモンドの自立基板としてから利用するものである。

[0008] しかしながら、基材とI r膜、更にはダイヤモンドの線膨張係数の差は大きく、例えばM g O基板とI r膜、更にはダイヤモンドの線膨張係数がそれぞれ、 $13.8 \times 10^{-6} \text{K}^{-1}$ 、 $7.1 \times 10^{-6} \text{K}^{-1}$ 、 $1.1 \times 10^{-6} \text{K}^{-1}$ であり、ダイヤモンドと下地基板との間には大きな熱応力が発生する（非特許文献4）。

[0009] また、ダイヤモンドは一般的に結晶成長と共に急激に大きな内部応力が発生することも判っている（非特許文献5）。実際に、I r製膜済み基材上にダイヤモンドを2 0 0 μ m、場合によっては1 m m程度まで厚く形成を試みた例もあるが、そのままではやはりクラックが入ってしまい、実用にならない（非特許文献6）。

[0010] また、H P H Tにしても従来のヘテロエピダイヤモンド自立基板にしても、ハンドリング可能な程度の厚みまでのダイヤモンド成長と、スライス、大きな凹凸表面に対する研磨加工などがあり、高コストとなってしまうプロセス要素を多く含むものであった。

先行技術文献

非特許文献

[0011] 非特許文献1：H. Yamada, Appl. Phys. Lett. 104, 102110 (2014).

非特許文献2：Y. Shintani, J. Mater. Res. 11, 29

55 (1996) .

非特許文献3: K. Ohtsuka, Jpn. J. Appl. Phys. 35, L1072 (1996) .

非特許文献4: A. K. Shihna, J. Appl. Phys. 49, 2423 (1978) .

非特許文献5: H. Noguchi, J. Vac. Sci. Technol. B16, 1167 (1998) .

非特許文献6: 澤邊厚仁, 日本結晶成長学会誌 39, 179 (2012) .

発明の概要

発明が解決しようとする課題

- [0012] 本発明は前述のような問題に鑑みてなされたもので、大面積、低コスト、高品質なダイヤモンド電子素子及びダイヤモンド電子素子の製造方法を提供することを目的とする。

課題を解決するための手段

- [0013] 上記目的を達成するために、本発明によれば、ダイヤモンド電子素子であって、

シリコン基材と、該シリコン基材上に形成され、単結晶MgO層、単結晶SrTiO₃層、 α -Al₂O₃層、YSZ（イットリア安定化ジルコニア）層のいずれかからなる中間層と、該中間層上に形成され、イリジウム層、ロジウム層、白金層のいずれかからなる下地層と、該下地層上に形成された単結晶ダイヤモンド層とを有し、

前記単結晶ダイヤモンド層の厚みが、300 μ m以下のものであることを特徴とするダイヤモンド電子素子を提供する。

- [0014] このようなものであれば、大面積、低コスト、高品質なダイヤモンド電子素子となる。特に、単結晶ダイヤモンド層の厚みが300 μ m以下であるので、単結晶ダイヤモンド層を形成する時間が短くなる。また、単結晶ダイヤモンド層の表面の凹凸が抑制されたものとなるので、研磨加工に要する時間が短くなる。そのため、低コストなものとなる。また、単結晶ダイヤモンド

層の反りが抑制されるため、クラックの発生や破損が防止され、研磨加工やデバイス作製を容易に行うことができるものとなる。

[0015] このとき、前記シリコン基材と前記中間層との間に、金、白金、チタン、クロム、イリジウム、ロジウム、シリコン、酸化シリコン (SiO_2) のいずれかからなる薄膜が1層以上形成されたものであることが好ましい。

[0016] このようなものであれば、薄膜が介在していることによって、中間層とシリコン基材との接続性が向上して、より良好な中間層が形成されたものとなる。

[0017] またこのとき、前記単結晶ダイヤモンド層の結晶性が、波長 $\lambda = 1.54 \text{ \AA}$ のX線回折法で分析したダイヤモンド(004)帰属の $2\theta = 119.5^\circ$ における回折強度ピークのロッキングカーブ半値幅(FWHM)が 3° 以下のものであることができる。

[0018] このような範囲の半値幅を有するものであれば、十分なデバイス性能を得ることが可能となる。

[0019] またこのとき、前記単結晶ダイヤモンド層は、ボロン不純物を導入したp型単結晶ダイヤモンド、リン不純物を導入したn型単結晶ダイヤモンド、不純物を導入しない高抵抗単結晶ダイヤモンドのいずれかから選択される単結晶ダイヤモンド層が2層以上積層されたものであることが好ましい。

[0020] このような、2層以上よりなる積層の単結晶ダイヤモンド層が形成されたものとするこて、目的に応じて種々のデバイスとして好適に動作させることができる。

[0021] また、本発明によれば、ダイヤモンド電子素子の製造方法であって、シリコン基材を準備する準備工程と、該シリコン基材上に単結晶 MgO 層、単結晶 SrTiO_3 層、 $\alpha\text{-Al}_2\text{O}_3$ 層、YSZ(イットリア安定化ジルコニア)層の内のいずれかからなる中間層を形成する中間層工程と、前記中間層上にイリジウム層、ロジウム層、白金層のいずれかからなる下地層を形成する下地層工程と、前記下地層上に単結晶ダイヤモンド層を形成する単結晶ダイヤモンド層工程とを含み、

前記単結晶ダイヤモンド層工程において形成する前記単結晶ダイヤモンド層の厚みを、 $300\mu\text{m}$ 以下とすることを特徴とするダイヤモンド電子素子の製造方法を提供する。

[0022] このようにすれば、大面積、低コスト、高品質なダイヤモンド電子素子を製造することができる。特に、単結晶ダイヤモンド層の厚みを $300\mu\text{m}$ 以下とするので、単結晶ダイヤモンド層を形成するための時間が短くなる。また、単結晶ダイヤモンド層の表面の凹凸を抑制することができるので、研磨加工に要する時間も短くなる。そのため、低コストとすることができる。また、単結晶ダイヤモンド層の反りが抑制されるため、クラックの発生や破損を防止することができ、研磨加工やデバイス作製を容易に行うことができる。

[0023] このとき、前記準備工程と前記中間層工程との間に、前記シリコン基材上に金、白金、チタン、クロム、イリジウム、ロジウム、シリコン、酸化シリコン (SiO_2) のいずれかからなる薄膜を1層以上形成する工程を有することが好ましい。

[0024] このようにすれば、薄膜が介在させることによって、中間層とシリコン基材との接続性が向上して、より良好な中間層を形成することが可能となる。

[0025] またこのとき、前記単結晶ダイヤモンド層工程において、前記下地層上に形成する単結晶ダイヤモンド層の結晶性を、波長 $\lambda = 1.54\text{\AA}$ のX線回折法で分析したダイヤモンド(004)帰属の $2\theta = 119.5^\circ$ における回折強度ピークのロッキングカーブ半値幅(FWHM)が 3° 以下とすることが好ましい。

[0026] このような範囲の半値幅とすることによって、十分なデバイス性能を得ることが可能となる。

[0027] またこのとき、前記単結晶ダイヤモンド層工程において、前記下地層上に形成する単結晶ダイヤモンド層として、ボロン不純物を導入したp型単結晶ダイヤモンド、リン不純物を導入したn型単結晶ダイヤモンド、不純物を導入しない高抵抗単結晶ダイヤモンドのいずれかから選択される単結晶ダイヤ

モンド層を2層以上積層させることができる。

[0028] このようにして、2層以上よりなる積層の単結晶ダイヤモンド層を形成することで、目的に応じて種々のデバイスとして好適に動作させることができる。

発明の効果

[0029] 本発明のダイヤモンド電子素子及びダイヤモンド電子素子の製造方法であれば、大面積、低コスト、高品質なダイヤモンド電子素子となる。このようなダイヤモンド電子素子を、LED、パワーデバイスなどの用途とすれば、大面積に低コストで所望の特性を充分に得ることが可能となる。

図面の簡単な説明

[0030] [図1]本発明のダイヤモンド電子素子の一例を示した概略図である。

[図2]本発明のダイヤモンド電子素子の製造方法の一例を示した概略図である。

[図3]実施例において作製したダイヤモンド・ショットキーバリアダイオードの概略断面図である。

[図4]実施例において作製したダイヤモンド・ショットキーバリアダイオードの外観写真である。

[図5]実施例において作製したダイヤモンド・ショットキーバリアダイオードのI-V特性の測定結果を示したグラフである。

発明を実施するための形態

[0031] 以下、本発明について実施の形態を説明するが、本発明はこれに限定されるものではない。

[0032] 前述したように、従来、大面積、低コスト、高品質なダイヤモンド電子素子を製造することができなかった。そこで、本発明者はこのような問題を解決すべく鋭意検討を重ねた。その結果、基材をシリコン基材として、その上に中間層、下地層、単結晶ダイヤモンド層の構成とすることが最適と考え、鋭意検討した結果、中間層及び下地層の材料、更には単結晶ダイヤモンド層の厚みを300 μ m以下と規定することで所望の性能を有するダイヤモンド

電子素子が得られることを見出し、本発明を完成させた。

[0033] まず、本発明のダイヤモンド電子素子について図1を参照して説明する。

図1に示すように、本発明のダイヤモンド電子素子1は、シリコン基材2と、該シリコン基材2上に形成される中間層3と、該中間層3上に形成される下地層4と、該下地層4上に形成された単結晶ダイヤモンド層5とを有している。

[0034] 中間層3は、単結晶MgO層、単結晶SrTiO₃層、 α -Al₂O₃層、YSZ（イットリア安定化ジルコニア）層のいずれかからなる。また、下地層4は、イリジウム層、ロジウム層、白金層のいずれかからなる。

[0035] このとき、シリコン基材2と中間層3との間に、金、白金、チタン、クロム、イリジウム、ロジウム、シリコン、酸化シリコン（SiO₂）のいずれかからなる薄膜6が1層以上形成されたものであることが好ましい。

[0036] このようなものであれば、薄膜6が介在していることによって、中間層3とシリコン基材2との接続性が向上して、より良好な状態の中間層3が形成されたものとなる。

[0037] 尚、本発明においては、シリコン基材より上に中間層を有し、中間層より上に下地層を有し、この下地層より上に単結晶ダイヤモンド層を有すればよく、これらの層の間に目的に応じて緩和層等を設けても良い。また、前記各層は、2層以上から成るものとしても良い。

[0038] 下地層4上に形成された単結晶ダイヤモンド層5の結晶性が、波長 $\lambda = 1.54 \text{ \AA}$ のX線回折法で分析したダイヤモンド（004）帰属の $2\theta = 119.5^\circ$ における回折強度ピークのロッキングカーブ半値幅（FWHM）が 3° 以下のものであることが好ましい。

このような範囲の半値幅を有するものであれば、十分なデバイス性能を得ることが可能となる。

[0039] ここで、単結晶ダイヤモンド層5の厚みは、 $300 \mu\text{m}$ 以下である必要がある。

このように、本発明のダイヤモンド電子素子において、単結晶ダイヤモンド

ド層5の厚みは300 μ m以下であるので、単結晶ダイヤモンド層5を形成するための時間が短くなる。さらに、単結晶ダイヤモンド層5の表面の凹凸が抑制されたものとなるので、研磨加工に要する時間も短くなる。そのため、低コストなものとなる。さらに、単結晶ダイヤモンド層5の反りが抑制されるため、クラックの発生や破損が防止され、研磨加工やデバイス作製を容易に行うことができるものとなる。

[0040] 単結晶ダイヤモンド層5は、ボロン不純物を導入したp型単結晶ダイヤモンド、リン不純物を導入したn型単結晶ダイヤモンド、不純物を導入しない高抵抗単結晶ダイヤモンドのいずれかから選択される単結晶ダイヤモンド層が2層以上積層されたものとすることができる。この積層させる単結晶ダイヤモンド層5の選択は特に限定されず、例えば、p型単結晶ダイヤモンドを2層積層させるなど、適宜決定することができる。

[0041] このような、2層以上よりなる積層の単結晶ダイヤモンド層5が形成されたものとするので、目的に応じて種々のデバイスとして好適に動作させることができる。例えば、具体的にはLED、パワーデバイスなどの用途とすることができる。

[0042] 上記のような2層以上よりなる積層の単結晶ダイヤモンド層が形成される場合には、それらの合計の厚さが300 μ m以下である必要がある。

[0043] このような本発明のダイヤモンド電子素子1であれば、大面積、低コスト、高品質なダイヤモンド電子素子となる。このようなダイヤモンド電子素子1を、LED、パワーデバイスなどの用途とすれば、大面積に低コストで所望の特性を十分に得ることが可能となる。

[0044] 次に、本発明のダイヤモンド電子素子の製造方法について図1、図2を参照して説明する。

(準備工程：図2のSP1)

まず、シリコン基材2を準備する。

準備するシリコン基材2としては、特に限定されず、例えば両面研磨した直径5～150mmの単結晶シリコンウェーハとすることができる。シリコ

ンウェーハは、安価に大面積かつ高品質なものの入手が可能である。

[0045] ここで、上述の準備工程（図2のSP1）と後述する中間層工程（図2のSP2）との間に、シリコン基材2上に金、白金、チタン、クロム、イリジウム、ロジウム、シリコン、酸化シリコン（ SiO_2 ）のいずれかからなる薄膜を1層以上形成する工程を行うことが好ましい。

[0046] このように、シリコン基材2と中間層3との間に薄膜6を1層以上介在させることで、中間層3とシリコン基材2との接続性が向上して、より良好な状態の中間層3を形成することが可能となる。形成方法は特に限定されず、従来行われているいずれの方法も採用可能である。

[0047] （中間層工程：図2のSP2）

次に、シリコン基材2上に単結晶 MgO 層、単結晶 SrTiO_3 層、 $\alpha\text{-Al}_2\text{O}_3$ 層、YSZ（イットリア安定化ジルコニア）層の内のいずれかからなる中間層3を形成する。

[0048] 中間層3は、例えば、スパッター、電子ビーム蒸着、気相合成、分子ビームエピタキシー法など、または、貼り合わせ法、接着剤法などを用いて形成することができる。

[0049] （下地層工程；図2のSP3）

次に、中間層3上にイリジウム層、ロジウム層、白金層のいずれかからなる下地層4を形成する。

[0050] 下地層4は、例えば、スパッター、電子ビーム蒸着、気相合成、分子線エピタキシー法などでヘテロエピタキシャル成長させることで、形成することができる。

[0051] （単結晶ダイヤモンド層工程：図2のSP4）

そして、下地層4上に単結晶ダイヤモンド層5を形成する。

このとき、単結晶ダイヤモンド層5の厚みが、 $300\mu\text{m}$ よりも厚いと、長時間成長が必要となったり、表面の凹凸が大きくなり長時間の研磨加工を要したりして、高コスト要因となる。また、反りが大きくなり、研磨加工やデバイス作製が困難となる。場合によってはクラックの発生や、破損の原因

となってしまう。

[0052] そのため、単結晶ダイヤモンド層工程において形成する単結晶ダイヤモンド層5の厚みを、 $300\mu\text{m}$ 以下とする。これにより、単結晶ダイヤモンド層を形成するための時間が短くなり、さらに、単結晶ダイヤモンド層の表面の凹凸を抑制することができるので、研磨加工に要する時間も短くなる。このため、低コストとすることができる。また、単結晶ダイヤモンド層の反りが抑制されるため、クラックの発生や破損を防止することができ、研磨加工やデバイス作製を容易に行うことができる。

[0053] 単結晶ダイヤモンド層5は、マイクロ波CVD、DCプラズマCVD、熱フィラメントCVD、アーク放電CVD法などでヘテロエピタキシャル成長させることで、形成することができる。

[0054] このとき、下地層4上に形成する単結晶ダイヤモンド層5の結晶性を、波長 $\lambda = 1.54\text{\AA}$ のX線回折法で分析したダイヤモンド(004)帰属の $2\theta = 119.5^\circ$ における回折強度ピークのロッキングカーブ半値幅(FWHM)が 3° 以下とすることが好ましい。このような結晶性を有するダイヤモンド層5の形成は、例えば、下地層4の表面にダイヤモンドの核形成のための前処理(バイアス処理)を行った後、マイクロ波CVD、DCプラズマCVD、熱フィラメントCVD、アーク放電CVD法などによって、単結晶ダイヤモンド層5をヘテロエピタキシャル成長させることで行うことができる。

[0055] このようにすれば、半値幅が十分に小さくなり、十分なデバイス性能を得ることがより確実にできる。

[0056] またこのとき、下地層4上に形成する単結晶ダイヤモンド層5として、ボロン不純物を導入したp型単結晶ダイヤモンド、リン不純物を導入したn型単結晶ダイヤモンド、不純物を導入しない高抵抗単結晶ダイヤモンドのいずれかから選択される単結晶ダイヤモンド層5を2層以上積層させることができる。この積層させる単結晶ダイヤモンド層5の選択は特に限定されず、例えば、p型単結晶ダイヤモンドを2層積層させるなど、適宜決定することが

できる。

[0057] このような2層以上よりなる積層の単結晶ダイヤモンド層5を形成されたものとするこて、目的にちじて種々のデバイスとして好適に動作させることができる。

[0058] また、単結晶ダイヤモンド層5を上記のように2層以上の層構造とする場合には、それらの合計の厚さを300 μ m以下とする必要がある。

[0059] こてのような本発明のダイヤモンド電子素子の製造方法であれば、大面積、低コスト、高品質なダイヤモンド電子素子を製造することができる。こてのようなダイヤモンド電子素子を、LED、パワーデバイスなどの用途とすれば、大面積に低コストで所望の特性を十分に得ることが可能となる。

実施例

[0060] 以下、本発明の実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

[0061] (実施例1)

まず、10.0mm直径、厚さが1.0mmで方位(100)の両面研磨された単結晶シリコンウェーハをシリコン基材2として用意した。

[0062] そして、単結晶ダイヤモンド層5の製膜を行う面側に単結晶MgO層を電子ビーム蒸着法で、真空中、基板温度900℃の条件で単結晶MgO層が1 μ mになるまでエピタキシャル成長して、中間層3を形成した。

[0063] 次に、単結晶MgO層上にIr(イリジウム)層をヘテロエピタキシャル成長させて、下地層4を形成した。製膜には直径6インチ(150mm)、厚み5mm、純度99.9%以上のIrをターゲットとしたR.F.(13.56MHz)マグネトロンスパッター法を用いた。単結晶MgO層が形成済みの基板を800℃に加熱し、ベースプレッシャーが 6×10^{-7} Torr(約 8.0×10^{-5} Pa)以下になるのを確認した後、Arガスを10sccm導入した。排気系に通じるバルブの開口度を調節して 5×10^{-2} Torr(約6.7 Pa)とした後、R.F.電力1000Wを入力して15分間製膜を行った。得られたIr層は厚さ0.7 μ mであった。

[0064] 次に、ダイヤモンドの核形成のための前処理（バイアス処理）を行った。

I r 層が形成された基板を、15 mm 直径で平板型の電極上にセットし、ベースプレッシャーが $1 \times 10^{-6} \text{ Torr}$ （約 $1.3 \times 10^{-4} \text{ Pa}$ ）以下になるのを確認した後、水素希釈メタン（ $\text{CH}_4 / (\text{CH}_4 + \text{H}_2) = 5.0 \text{ vol. } \%$ ）を 500 sccm 導入した。排気系に通じるバルブの開口度を調節して 100 Torr （約 $1.3 \times 10^4 \text{ Pa}$ ）とした後、基板側電極に負電圧を印加して 90 sec 間プラズマにさらして、基板表面をバイアス処理した。

[0065] 最後に、DCプラズマCVD法によって単結晶ダイヤモンド層5をヘテロエピタキシャル成長させた。バイアス処理を施した基板を、DCプラズマCVD装置のチャンバー内にセットし、ロータリーポンプで 10^{-3} Torr （約 $1.3 \times 10^{-1} \text{ Pa}$ ）以下のベースプレッシャーまで排気した後、原料ガスである水素希釈メタン（ $\text{CH}_4 / (\text{CH}_4 + \text{H}_2) = 5.0 \text{ vol. } \%$ ）を 1000 sccm 導入した。排気系に通じるバルブの開口度を調節してチャンバー内を 110 Torr （約 $1.5 \times 10^4 \text{ Pa}$ ）にした後、 2.0 A の直流電流を流して10時間製膜を行った。製膜中の基板温度をパイロメーターで測定したところ 950°C であった。

[0066] 得られた単結晶ダイヤモンド層5は10 mm 直径の基板全面で剥離も無く完全な連続膜であり、膜厚は $50 \mu\text{m}$ であった。この単結晶ダイヤモンド層5をX線回折測定（入射X線波長 $1.54 \text{ \AA}$ ）したところ、ダイヤモンド（004）帰属の $2\theta = 119.5^\circ$ における回折強度ピークの半値幅が 600 arcsec （約 0.167° ）であった。

[0067] この基板から2 mm 角を切り出して基板とし、ダイヤモンド・ショットキーバリアダイオード（diamond Schottky barrier diode : SBD）を作製した。

[0068] まず、単結晶ダイヤモンド層5の表面を研磨加工して表面粗さ $\text{RMS} = 0.3 \text{ nm}$ （ $10 \mu\text{m}$ 角領域AFM測定）とした。次に、マイクロ波CVD法で、高濃度ボロンドープしたp型の単結晶ダイヤモンド層5a（ P^+ 、 $10^{20} \text{ atoms/cm}^3$ ）を $1 \mu\text{m}$ 厚形成した。更に低ボロンドープしたp型の単

結晶ダイヤモンド層5b (P 、 $4 \times 10^{16} \text{ atoms/cm}^3$) を $1 \mu\text{m}$ 厚形成した。電極には、 $380 \mu\text{m}$ 直径のオーミック電極7 (Au/Pt/Ti 界面側)、SBDのために、 $180 \mu\text{m}$ 直径のPtのショットキー電極8を形成した。図3は、作成したSBDの概略断面図である。図4は、作製したSBDの外観写真である。

[0069] このようにして作製したSBDのI-V特性を測定した。このときの測定結果を図5に示した。測定結果より導出された整流特性は 10^{12} であり、 ideality factor は、 $n=1.2$ であった。これらは、HPHTダイヤモンドと同等の値である。

[0070] (実施例2)

実施例1において、シリコン基材2上にスパッター法でPtの薄膜を $1 \mu\text{m}$ 形成してから、単結晶MgO層(中間層)のヘテロエピタキシャル成長を行った以外は同様にして、厚み $50 \mu\text{m}$ の単結晶ダイヤモンド層5を形成したところ、この単結晶ダイヤモンド層5をX線回折測定(入射X線波長 $1.54 \text{ \AA}$)したところ、ダイヤモンド(004)帰属の $2\theta = 119.5^\circ$ における回折強度ピークの半値幅が 530 arcsec (約 0.147°)であった。実施例1と同様にSBDを作製して、I-V特性を測定したところ、HPHTダイヤモンドと同等の特性を示すことができた。

[0071] (実施例3)

実施例1において、シリコン基材2上の単結晶ダイヤモンド層5の製膜を行う面側に、単結晶MgO層を分子ビームエピタキシー(Molecular Beam Epitaxy: MBE)法で、厚みが 50 nm になるまでエピタキシャル成長してから、Ir層(下地層4)のヘテロエピタキシャル成長を行った以外は同様にして、厚み $50 \mu\text{m}$ の単結晶ダイヤモンド層5を形成したところ、この単結晶ダイヤモンド層5をX線回折測定(入射X線波長 $1.54 \text{ \AA}$)したところ、ダイヤモンド(004)帰属の $2\theta = 119.5^\circ$ における回折強度ピークの半値幅が 560 arcsec (約 0.156°)であった。実施例1と同様にSBDを作製して、I-V特性を測定した

ところ、HPHTダイヤモンドと同等の特性を示すことができた。

[0072] (実施例4)

実施例1において、シリコン基材2上の単結晶ダイヤモンド層5の製膜を行う面側に、単結晶MgO層をパルスレーザーデポジション(Pulsed Laser Deposition: PLD)法で、厚みが10 μ mになるまでエピタキシャル成長してから、Ir層(下地層4)のヘテロエピタキシャル成長を行った以外は同様にして、厚み50 μ mの単結晶ダイヤモンド層5を形成したところ、この単結晶ダイヤモンド層5をX線回折測定(入射X線波長1.54 $\text{\AA}$)したところ、ダイヤモンド(004)帰属の $2\theta = 119.5^\circ$ における回折強度ピークの半値幅が610 arcsec(約0.169 $^\circ$)であった。実施例1と同様にSBDを作製して、I-V特性を測定したところ、HPHTダイヤモンドと同等の特性を示すことができた。

[0073] (実施例5)

実施例1と同様にしてDCプラズマCVDで50 μ mの単結晶ダイヤモンド層5を形成した後、単結晶ダイヤモンド層5をマイクロ波CVDで35h追加成長させて、単結晶ダイヤモンド層5の合計厚みを298 μ mとした。その後、実施例1と同様して、マイクロ波CVD法で、高濃度ボロンドープした単結晶ダイヤモンド層5aを1 μ m厚、更に低ボロンドープした単結晶ダイヤモンド層5bを1 μ m厚形成した(図3参照)。即ち、実施例5における単結晶ダイヤモンド層5、5a、5bの合計の厚みは、300 μ mとした。その後、実施例1と同様にして、SBDを作製し、そのI-V特性を測定したところ、HPHTダイヤモンドと同等の特性を示すことができた。

[0074] (実施例6)

実施例1と同様にしてDCプラズマCVDで10 μ mの単結晶ダイヤモンド層5を形成した後、単結晶ダイヤモンド層5をマイクロ波CVDで13h追加成長させて、単結晶ダイヤモンド層5の合計厚みを101 μ mとした。その後、実施例1と同様して、マイクロ波CVD法で、高濃度ボロンドープした単結晶ダイヤモンド層5aを1 μ m厚、更に低ボロンドープした単結晶

ダイヤモンド層 5 b を $1\ \mu\text{m}$ 厚形成した（図 3 参照）。即ち、実施例 6 における単結晶ダイヤモンド層 5、5 a、5 b の合計の厚みは、 $103\ \mu\text{m}$ とした。その後、実施例 1 と同様にして、SBD を作製し、その I-V 特性を測定したところ、HPHT ダイヤモンドと同等の特性を示すことができた。

[0075] （実施例 7）

実施例 1 と同様にして DC プラズマ CVD で $10\ \mu\text{m}$ の単結晶ダイヤモンド層 5 を形成した後、単結晶ダイヤモンド層 5 をマイクロ波 CVD で 27 h 追加成長させて、単結晶ダイヤモンド層 5 の合計厚みを $199\ \mu\text{m}$ とした。その後、実施例 1 と同様にして、マイクロ波 CVD 法で、高濃度ボロンドープした単結晶ダイヤモンド層 5 a を $1\ \mu\text{m}$ 厚、更に低ボロンドープした単結晶ダイヤモンド層 5 b を $1\ \mu\text{m}$ 厚形成した（図 3 参照）。即ち、実施例 7 における単結晶ダイヤモンド層 5、5 a、5 b の合計の厚みは、 $201\ \mu\text{m}$ とした。その後、実施例 1 と同様にして、SBD を作製し、その I-V 特性を測定したところ、HPHT ダイヤモンドと同等の特性を示すことができた。

[0076] このように、実施例 1～7 で、HPHT ダイヤモンドと同等の品質で、大面積、低コストなダイヤモンド電子素子を作成することができた。

[0077] （比較例 1）

実施例 1 において用いたシリコン基材を用いなくて、代わりに、 $10.0\ \text{mm}$ 直径、厚さが $1.0\ \text{mm}$ で方位（100）の両面研磨した単結晶 MgO を基材として用い、これに実施例 1 と同様に I r 層を製膜、バイアス処理、DC プラズマ CVD をして $50\ \mu\text{m}$ 厚の単結晶ダイヤモンド層を成長させた。CVD 終了後、室温に戻して、チャンバーから取り出すと、単結晶 MgO 層面から単結晶ダイヤモンド層/I r 層が剥離して散らばっていた。これは、応力が大きいため剥離したと考えられる。

[0078] （比較例 2）

実施例 1 と同様にして DC プラズマ CVD で $50\ \mu\text{m}$ の単結晶ダイヤモンド層を形成した後、マイクロ波 CVD で 43 h 追加成長させて、単結晶ダイヤモンド層の合計厚みを $350\ \mu\text{m}$ とした。その後、室温に戻して、チャン

バーから取り出すと、単結晶ダイヤモンド層の全面に多数のクラックが入っていた。

[0079] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

- [請求項1] ダイヤモンド電子素子であって、
- シリコン基材と、該シリコン基材上に形成され、単結晶MgO層、単結晶SrTiO₃層、 α -Al₂O₃層、YSZ（イットリア安定化ジルコニア）層のいずれかからなる中間層と、該中間層上に形成され、イリジウム層、ロジウム層、白金層のいずれかからなる下地層と、該下地層上に形成された単結晶ダイヤモンド層とを有し、
- 前記単結晶ダイヤモンド層の厚みが、300 μ m以下のものであることを特徴とするダイヤモンド電子素子。
- [請求項2] 前記シリコン基材と前記中間層との間に、金、白金、チタン、クロム、イリジウム、ロジウム、シリコン、酸化シリコン（SiO₂）のいずれかからなる薄膜が1層以上形成されたものであることを特徴とする請求項1に記載のダイヤモンド電子素子。
- [請求項3] 前記単結晶ダイヤモンド層の結晶性が、波長 $\lambda = 1.54 \text{ \AA}$ のX線回折法で分析したダイヤモンド（004）帰属の $2\theta = 119.5^\circ$ における回折強度ピークのロッキングカーブ半値幅（FWHM）が 3° 以下のものであることを特徴とする請求項1又は請求項2に記載のダイヤモンド電子素子。
- [請求項4] 前記単結晶ダイヤモンド層は、ボロン不純物を導入したp型単結晶ダイヤモンド、リン不純物を導入したn型単結晶ダイヤモンド、不純物を導入しない高抵抗単結晶ダイヤモンドのいずれかから選択される単結晶ダイヤモンド層が2層以上積層されたものであることを特徴とする請求項1から請求項3のいずれか一項に記載のダイヤモンド電子素子。
- [請求項5] ダイヤモンド電子素子の製造方法であって、
- シリコン基材を準備する準備工程と、該シリコン基材上に単結晶MgO層、単結晶SrTiO₃層、 α -Al₂O₃層、YSZ（イットリア安定化ジルコニア）層の内のいずれかからなる中間層を形成する中

間層工程と、前記中間層上にイリジウム層、ロジウム層、白金層のいずれかからなる下地層を形成する下地層工程と、前記下地層上に単結晶ダイヤモンド層を形成する単結晶ダイヤモンド層工程とを含み、

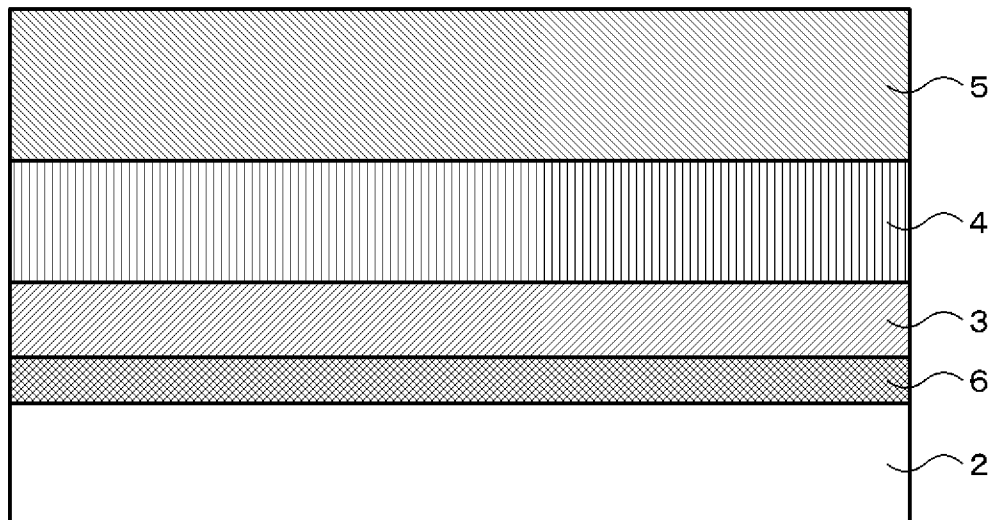
前記単結晶ダイヤモンド層工程において形成する前記単結晶ダイヤモンド層の厚みを、 $300\text{ }\mu\text{m}$ 以下とすることを特徴とするダイヤモンド電子素子の製造方法。

[請求項6] 前記準備工程と前記中間層工程との間に、前記シリコン基材上に金、白金、チタン、クロム、イリジウム、ロジウム、シリコン、酸化シリコン (SiO_2) のいずれかからなる薄膜を1層以上形成する工程を有することを特徴とする請求項5に記載のダイヤモンド電子素子の製造方法。

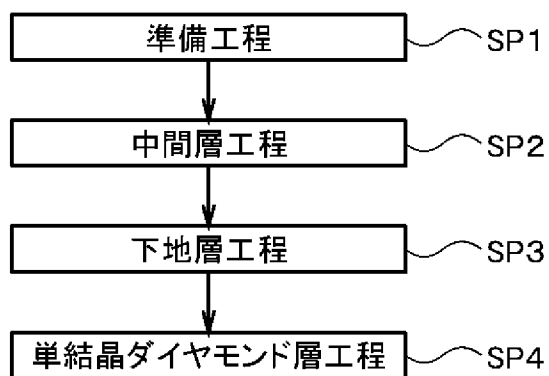
[請求項7] 前記単結晶ダイヤモンド層工程において、前記下地層上に形成する単結晶ダイヤモンド層の結晶性を、波長 $\lambda = 1.54\text{ }\text{\AA}$ のX線回折法で分析したダイヤモンド(004)帰属の $2\theta = 119.5^\circ$ における回折強度ピークのロックングカーブ半値幅(FWHM)が 3° 以下とすることを特徴とする請求項5又は請求項6に記載のダイヤモンド電子素子の製造方法。

[請求項8] 前記単結晶ダイヤモンド層工程において、前記下地層上に形成する単結晶ダイヤモンド層として、ボロン不純物を導入したp型単結晶ダイヤモンド、リン不純物を導入したn型単結晶ダイヤモンド、不純物を導入しない高抵抗単結晶ダイヤモンドのいずれかから選択される単結晶ダイヤモンド層を2層以上積層させることを特徴とする請求項5から請求項7のいずれか一項に記載のダイヤモンド電子素子の製造方法。

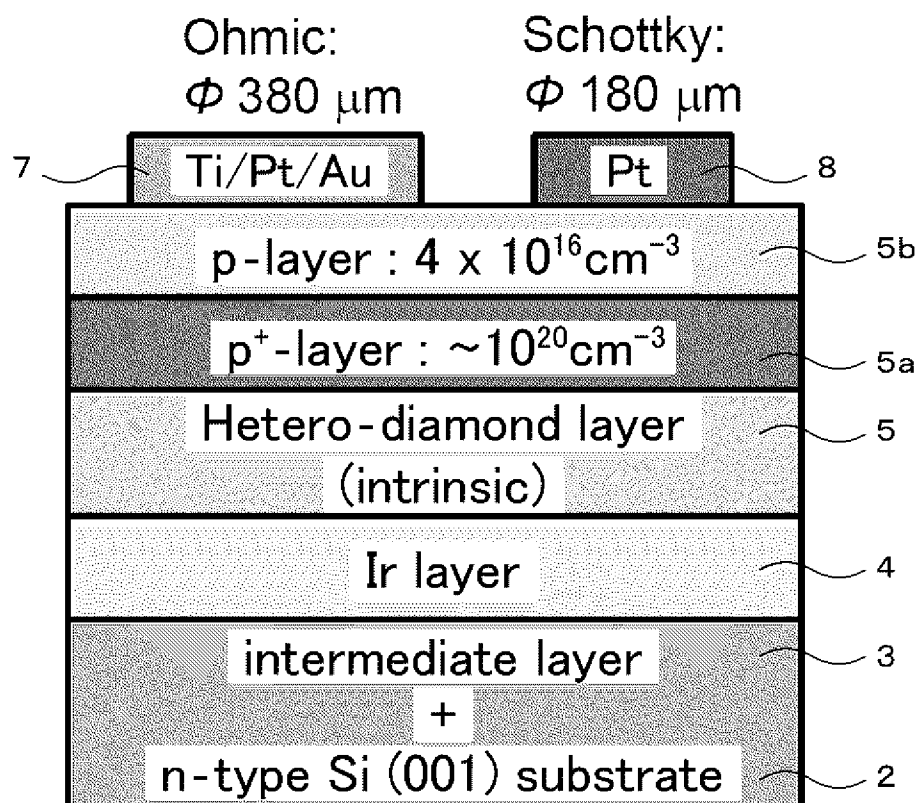
[図1]

1

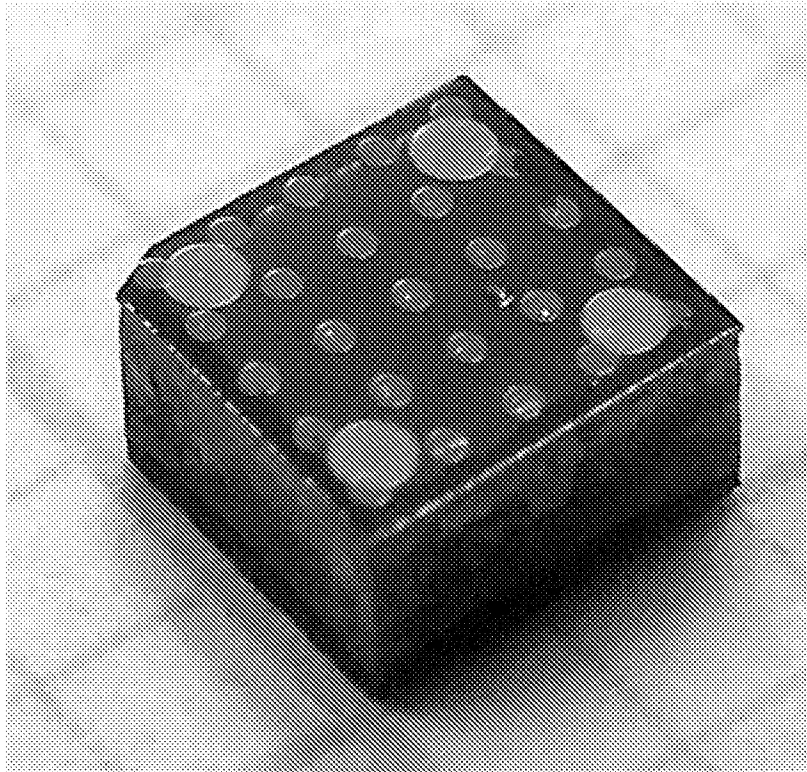
[図2]



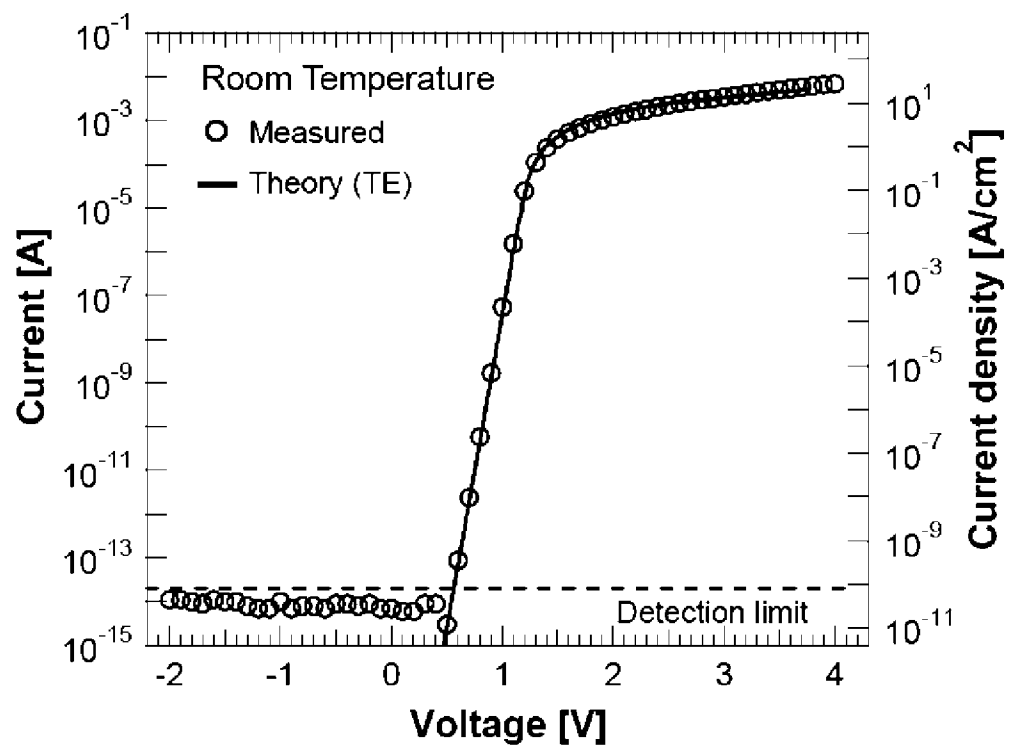
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/003424

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/20(2006.01)i, C01B31/06(2006.01)i, C23C16/27(2006.01)i, C30B29/04(2006.01)i, H01L21/205(2006.01)i, H01L21/329(2006.01)i, H01L29/16(2006.01)i, H01L29/47(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20, C01B31/06, C23C16/27, C30B29/04, H01L21/205, H01L21/329, H01L29/16, H01L29/47, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2005-219962 A (Sumitomo Electric Industries, Ltd.), 18 August 2005 (18.08.2005), claims; paragraphs [0001] to [0002], [0009] to [0029]; fig. 1 to 3 (Family: none)	1-3, 5-7 1-8
Y	JP 2011-079683 A (Shin-Etsu Chemical Co., Ltd.), 21 April 2011 (21.04.2011), claims; paragraphs [0002] to [0003], [0012] to [0042]; fig. 2 & US 2011/0081531 A1 claims; paragraphs [0004] to [0006], [0016] to [0073]; fig. 2 & CN 102031561 A	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 August 2016 (25.08.16)

Date of mailing of the international search report
06 September 2016 (06.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/003424

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-034473 A (Shin-Etsu Chemical Co., Ltd.), 24 February 2014 (24.02.2014), paragraphs [0002] to [0004], [0035], [0038] to [0039] & US 2014/0041574 A1 paragraphs [0003] to [0005], [0046], [0049] to [0060] & CN 103572248 A & KR 10-2014-0019726 A & TW 201413034 A	1-8
Y	JP 2015-059069 A (National Institute of Advanced Industrial Science and Technology), 30 March 2015 (30.03.2015), paragraphs [0002] to [0003], [0038] to [0044] & US 2015/0075420 A1 paragraphs [0004] to [0007], [0058] to [0067] & EP 2851457 A1 & CN 104451868 A & KR 10-2015-0032617 A & TW 201518562 A	1-8
Y	JP 03-278474 A (Sumitomo Electric Industries, Ltd.), 10 December 1991 (10.12.1991), claims; page 3, upper left column, line 20 to page 3, lower right column, line 13; fig. 1, 4 & US 5132749 A claims; column 6, line 64 to column 9, line 14; fig. 1, 4 & EP 445998 A1 & DE 69126901 D1	1-8
A	Atsuhito SAWABE, "Growth of Heteroepitaxial Diamond on Iridium by Patterned Nucleation and Growth Method", Journal of the Japanese Association of Crystal Growth, 2012, vol.39, No.4, pages 179 to 184	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/20(2006.01)i, C01B31/06(2006.01)i, C23C16/27(2006.01)i, C30B29/04(2006.01)i,
H01L21/205(2006.01)i, H01L21/329(2006.01)i, H01L29/16(2006.01)i, H01L29/47(2006.01)i,
H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/20, C01B31/06, C23C16/27, C30B29/04, H01L21/205, H01L21/329, H01L29/16, H01L29/47, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2005-219962 A (住友電気工業株式会社) 2005.08.18, 特許請求の範囲, 段落【0001】-【0002】, 【0009】-【0029】, 第1-3図 (ファミリーなし)	1-3, 5-7 1-8
Y	JP 2011-079683 A (信越化学工業株式会社) 2011.04.21, 特許請求の範囲, 段落【0002】-【0003】, 【0012】-【0042】, 第2図 & US 2011/0081531 A1 請求の範囲, 段落【0004】-【0006】, 【0016】-【0073】, 第2図 & CN 102031561 A	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25.08.2016

国際調査報告の発送日

06.09.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

桑原 清

50

9375

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-034473 A (信越化学工業株式会社) 2014. 02. 24, 段落【0002】 - 【0004】 , 【0035】 , 【0038】 - 【0039】 & US 2014/0041574 A1 段落【0003】 - 【0005】 , 【0046】 , 【0049】 - 【0060】 & CN 103572248 A & KR 10-2014-0019726 A & TW 201413034 A	1-8
Y	JP 2015-059069 A (独立行政法人産業技術総合研究所) 2015. 03. 30, 段落【0002】 - 【0003】 , 【0038】 - 【0044】 & US 2015/0075420 A1 段落【0004】 - 【0007】 , 【0058】 - 【0067】 & EP 2851457 A1 & CN 104451868 A & KR 10-2015-0032617 A & TW 201518562 A	1-8
Y	JP 03-278474 A (住友電気工業株式会社) 1991. 12. 10, 特許請求の範囲, 第3頁左上欄第20行-第3頁右下欄第13行, 第1, 4図 & US 5132749 A 請求の範囲, 第6欄第64行-第9欄第14行, 第1, 4図 & EP 445998 A1 & DE 69126901 D1	1-8
A	澤邊厚仁, イリジウム下地表面への選択成長法を用いたヘテロエピタキシャルダイヤモンドの作製, 日本結晶成長学会誌, 2012, vol. 39, No. 4, 179-184 頁	1-8