

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-109815

(P2013-109815A)

(43) 公開日 平成25年6月6日(2013.6.6)

(51) Int.Cl.

G 1 1 B 5/09 (2006.01)

F I

G 1 1 B 5/09 3 1 1 B

テーマコード (参考)

5 D 0 3 1

審査請求 未請求 請求項の数 20 O L (全 23 頁)

(21) 出願番号 特願2012-208610 (P2012-208610)
 (22) 出願日 平成24年9月21日 (2012.9.21)
 (31) 優先権主張番号 13/302, 169
 (32) 優先日 平成23年11月22日 (2011.11.22)
 (33) 優先権主張国 米国 (US)

(71) 出願人 508243639
 エルエスアイ コーポレーション
 アメリカ合衆国 9 5 1 3 1 カリフォル
 ニア, サン ホセ, リッター パーク ド
 ライヴ 1 3 2 0
 (74) 代理人 100088904
 弁理士 庄司 隆
 (74) 代理人 100124453
 弁理士 資延 由利子
 (74) 代理人 100135208
 弁理士 大杉 卓也
 (74) 代理人 100152319
 弁理士 曾我 亜紀

最終頁に続く

(54) 【発明の名称】 多値書込み電流を用いる磁気記録システム

(57) 【要約】 (修正有)

【課題】高密度磁気記録に対応した書込みプロセスを改善する。

【解決手段】多値書込み電流波形を用いる磁気記録のための装置は、磁気書込みヘッドによって書き込まれるデータのパターンを検出し、パターンインジケータ信号を生成するように動作可能なパターン検出回路と、磁気書込みヘッドのための多値書込み電流波形を生成するように動作可能な書込みドライバーとを備える。多値書込み電流波形の少なくとも1つの電気的特性は、パターン検出回路によって検出されたパターンに基づく。

【選択図】なし

【特許請求の範囲】

【請求項 1】

多値書込み電流波形を用いる磁気記録のための装置であって、
磁気書込みヘッドと、

該磁気書込みヘッドによって書き込まれることになるデータ内のパターンを検出し、パターンインジケータ信号を生成するように動作可能なパターン検出回路と、

該磁気書込みヘッドのための該多値書込み電流波形を生成するように動作可能な書込みドライバーと、

を備え、該多値書込み電流波形の少なくとも 1 つの電気的特性は、該パターン検出回路によって検出された該パターンに基づく、多値書込み電流波形を用いる磁気記録のための装置。

10

【請求項 2】

磁気書込みヘッドによって書き込まれることになる該データ内の該パターンは該磁気書込みヘッドの磁気飽和レベルを表す、請求項 1 に記載の装置。

【請求項 3】

書込みドライバーは、該磁気書込みヘッドの該磁気飽和レベルが特定の飽和レベルよりも高いときに、書き込まれることになる該データ内の遷移の第 1 の書込み電流レベルを生成し、該磁気書込みヘッドの該磁気飽和レベルが該特定の飽和レベルよりも低いときに、第 2 の書込み電流レベルを生成するように動作可能であり、該第 1 の書込み電流レベルは該第 2 の書込み電流レベルよりも強力である、請求項 2 に記載の装置。

20

【請求項 4】

パターン検出回路は、該磁気書込みヘッドによって書き込まれることになる該データ内の少なくとも第 1 のラン長及び第 2 のラン長を検出するように動作可能である、請求項 1 に記載の装置。

【請求項 5】

パターン検出回路は、遷移に先行するデータが第 1 の持続時間よりも長く変化しないままであるか否か、及び該遷移に後続するデータが第 2 の持続時間よりも長く変化しないままになるか否かを検出するように動作可能である、請求項 1 に記載の装置。

【請求項 6】

第 1 の持続時間及び該第 2 の持続時間は、該磁気書込みヘッドによって書き込まれることになる該データのビット周期を含む、請求項 5 に記載の装置。

30

【請求項 7】

書込みドライバーは、該遷移に先行する該データが該第 1 の持続時間よりも長く変化しないままではなく、かつ該遷移に後続する該データが該第 2 の持続時間よりも長く変化しないままであるときに、第 1 の特性を有する該多値書込み電流波形を生成するように動作可能であり、

該書込みドライバーは、該遷移に先行する該データが該第 1 の持続時間よりも長く変化しないままであり、かつ該遷移に後続する該データが該第 2 の持続時間よりも長く変化しないままであるときに、第 2 の特性を有する該多値書込み電流波形を生成するように動作可能であり、

40

該書込みドライバーは、該遷移に先行する該データが該第 1 の持続時間よりも長く変化しないままではなく、かつ該遷移に後続する該データが該第 2 の持続時間よりも長く変化しないままでないときに、第 3 の特性を有する該多値書込み電流波形を生成するように動作可能であり、

該書込みドライバーは、該遷移に先行する該データが該第 1 の持続時間よりも長く変化しないままであり、かつ該遷移に後続する該データが該第 2 の持続時間よりも長く変化しないままでないときに、第 4 の特性を有する該多値書込み電流波形を生成するように動作可能であり、

該第 2 の特徴は該第 1 の特徴よりも強力であり、該第 3 の特徴は該第 2 の特徴よりも強力であり、該第 4 の特徴は該第 3 の特徴よりも強力である、請求項 5 に記載の装置。

50

【請求項 8】

多値書込み電流波形の該少なくとも 1 つの電気的特性は、オーバーシュートパルス振幅と、オーバーシュートパルス幅と、オーバーシュートパルス後の定常電流レベルとからなる群から選択される、請求項 1 に記載の装置。

【請求項 9】

パターンインジケータ信号は、該磁気書込みヘッドによって書き込まれることになる該データが第 1 のパルス持続時間を有するときを示す第 1 の信号と、書き込まれることになる該データが第 2 のパルス持続時間を有するときを示す第 2 の信号とを含み、該装置は、該パターンインジケータ信号に基づいて 3 値信号を生成するように動作可能である多値差動信号発生器回路を更に備える、請求項 1 に記載の装置。

10

【請求項 10】

3 値信号の状態を求め、該 3 値信号の該状態に基づいて該書込みドライバーを制御するように動作可能な受信機を更に備える、請求項 9 に記載の装置。

【請求項 11】

受信機はゼロクロス検出器及び複数のスライサーを含む、請求項 10 に記載の装置。

【請求項 12】

パターン検出回路及び該多値差動信号発生器回路はチャンネル回路内に配置され、該受信機及び該書込みドライバーは前置増幅器回路内に配置される、請求項 10 に記載の装置。

【請求項 13】

書込みドライバーは、書き込まれることになる該データ内の遷移において該多値書込み電流波形内のオーバーシュートパルスを与えるように動作可能なオーバーシュートパルス発生器を備える、請求項 1 に記載の装置。

20

【請求項 14】

書込みドライバーは、出力ドライバーブリッジと、該出力ドライバーブリッジに接続される複数の基準電流源とを備える、請求項 1 に記載の装置。

【請求項 15】

出力ドライバーブリッジは、該磁気書込みヘッドを通じて該多値書込み電流波形を切り替えるように動作可能な複数の電流源を備える、請求項 14 に記載の装置。

【請求項 16】

複数の電流源はそれぞれ複数のカレントミラーを備え、該複数のカレントミラーはそれぞれ、該基準電流源のうちの 1 つから該多値書込み電流波形への電流に寄与する、請求項 15 に記載の装置。

30

【請求項 17】

パターン検出回路及び該書込みドライバーは前置増幅器回路内に配置され、該装置は、該前置増幅器内に、該磁気書込みヘッドによって書き込まれることになる該データからクロック信号を再生するように動作可能な位相同期ループを更に備える、請求項 1 に記載の装置。

【請求項 18】

磁気書込みヘッド、該パターン検出回路及び該書込みドライバーは記憶デバイス内に組み込まれる、請求項 1 に記載の装置。

40

【請求項 19】

多値書込み電流波形を用いて磁気記憶デバイス内にデータを記録する方法であって、データ遷移に隣接するデータ系列のラン長に基づいて書込みヘッド内の磁極端の磁化状態を求めると、

該磁極端の該磁化状態を表す少なくとも 1 つの信号を生成することと、

該少なくとも 1 つの信号に基づいて該書込みヘッドのための該多値書込み電流波形を生成することと、

を含み、該多値書込み電流波形は、該磁化状態が飽和しているときの該データ遷移の場合に、より強力であり、該磁化状態が飽和していないときの該データ遷移の場合に、より強力でない、多値書込み電流波形を用いて磁気記憶デバイス内にデータを記録する方法。

50

【請求項 20】

記憶システムであって、
データセットを保持する記憶媒体と、
該記憶媒体に該データセットを磁氣的に記録するように動作可能な書込みヘッドと、
遷移に隣接する該データセット内のラン長を検出するように動作可能なパターン検出回路と、
該書込みヘッド内のコイルの多値書込み電流波形を生成するように動作可能な書込みドライバーと、
を備え、該多値書込み電流波形の少なくとも1つの電気的特性は、該パターン検出回路によって検出された該ラン長に基づく、記憶システム。

10

【発明の詳細な説明】**【背景技術】****【0001】**

ハードディスクドライブのような種々の磁気記録システムは、書込みヘッドを用いて、磁気媒体上にデータを記録する。記録されるデータは、交流電流として書込みヘッドコイルに与えられる。電流は書込みヘッドに巻き付いている金属コイルを通して流れ、磁界を生成する。磁界によって、書込みヘッド内の磁極端の磁化状態が切り替えられる。磁化された磁極端が磁気記憶媒体、例えば、回転している強磁性プラッターの上方を通過するとき、磁極端下方の磁気媒体領域の磁化が変更され、後に、リードバックしてデータを検索することができる。

20

【0002】

磁気記録において高速での書込み（記録）プロセスは難しい。書込みヘッドを駆動して所与のトラック上にデータを記録するために用いられる従来の書込み電流波形は、その書込み電流パルス特性に関して一定である。しかしながら、磁気システムのスイッチング応答は線形ではない。1つの書込みパルスに関する磁気応答は3段階のプロセス：スイッチング（段階Ⅰ）、飽和への移行（段階Ⅱ）及び飽和（段階Ⅲ）とみなすことができる。ビットセル周期（ T ）が磁氣的なスイッチング時間未満であるとき、高密度に記録されるパターンの場合に、第3段階、場合によっては第2段階も打ち切られる場合がある。データ速度が速いほど、そしてビット系列の遷移の頻度が高いほど、励起信号と応答信号との間の非線形性が顕著になる。この記録プロセスには以下の悪影響が伴う。第一に、遷移の歪みが大きくなる。第二に、ビット間の遷移が劣化する。第三に、トラック幅変調が生じる。結果として、全体的な記録性能が劣化し、データ速度及び面密度が制限される。

30

【発明の概要】**【発明が解決しようとする課題】****【0003】**

磁気記録システムでは面密度及びデータ速度が絶えず高められつつあるので、当該技術分野において、書込みプロセスを改善することが必要とされている。

【課題を解決するための手段】**【0004】**

本発明の種々の実施の形態は、多値書込み電流を用いる磁気記録のための装置、システム及び方法を提供する。例えば、多値書込み電流を用いる磁気記録のための装置が開示され、その装置は、磁気書込みヘッドによって書き込まれるデータのパターンを検出し、パターンインジケータ信号を生成するように動作可能なパターン検出回路と、磁気書込みヘッドのための多値書込み電流を生成するように動作可能な書込みドライバーとを含む。多値書込み電流の少なくとも1つの電気的特性は、パターン検出回路によって検出されたパターンに基づく。そのパターンは磁気書込みヘッドの磁気飽和レベルを表す場合がある。ときには、書込みドライバーは、磁気書込みヘッドの磁気飽和レベルが特定の飽和レベルよりも高い場合に、書き込まれるデータの遷移の第1の書込み電流レベルを生成し、磁気書込みヘッドの磁気飽和レベルがその特定の飽和レベルよりも低い場合に、第2の書込み電流レベルを生成するように動作可能であり、第1の書込み電流レベルは第2の書込み

40

50

電流レベルよりも強力である。幾つかの実施の形態では、多値書込み電流波形の電気的特性は、オーバーシュートパルス振幅、オーバーシュートパルス幅、及びオーバーシュートパルス後の定常電流レベルのうちの1つ又は複数を含むことができる。

【0005】

この概要は、本発明の幾つかの実施の形態の概略のみを提供するものである。本発明の多くの他の目的、特徴、利点及び他の実施の形態は、以下の詳細な説明、添付の特許請求の範囲及び添付の図面からより完全に明らかとなるであろう。

【0006】

図面を参照することにより、本発明の種々の実施形態の更なる理解を実現することができ、これらの実施形態については明細書の残りの部分で説明する。図面において、同様の参照符号は、幾つかの図面の全てにわたって類似の構成要素を指すのに用いることができる。幾つかの場合には、小文字からなるサブラベルが、複数の類似の構成要素のうちの1つを表すように参照符号に関連付けられている。存在するサブラベルを指定することなく参照符号が参照されるとき、そのような複数の類似の構成要素全てを指すことが意図される。

【図面の簡単な説明】

【0007】

【図1】本発明の幾つかの実施形態による、書込みチャンネル回路と、前置増幅器と、書込みヘッドとを含む磁気記憶システムを示す図である。

【図2】本発明の幾つかの実施形態による、多値書込み電流の一例における符号化された書込みデータ及び関連する書込み電流パルスの波形を示す図である。

【図3A】本発明の幾つかの実施形態による、多値書込み電流が使用不可能である場合のチャンネルデータ、前置増幅器書込み電流、及び書込みヘッド磁界応答の波形例を示す図である。

【図3B】本発明の幾つかの実施形態による、多値書込み電流が使用可能である場合のチャンネルデータ、前置増幅器書込み電流、及び書込みヘッド磁界応答のための波形例を示す図である。

【図4】本発明の幾つかの実施形態による、パターン検出回路の回路図である。

【図5】本発明の幾つかの実施形態による、多値差動信号発生器回路を示す図である。

【図6】本発明の幾つかの実施形態による、パターン検出回路及び多値差動信号発生器回路内の種々の信号のタイミング図である。

【図7】本発明の幾つかの実施形態による、前置増幅器回路において用いることができる、多値差動信号受信機及び出力ドライバーを備える多値書込みドライバーを示す図である。

【図8】本発明の幾つかの実施形態による、出力ドライバーにおいて用いることができる電流源を示す図である。

【図9】本発明の幾つかの実施形態による、電流源において用いることができるスイッチトカレントミラーを示す図である。

【図10】本発明の幾つかの実施形態による、前置増幅器回路において用いることができる、位相同期ループと、パターン検出回路と、多値書込みドライバーとを含む前置増幅器を示す図である。

【図11】本発明の幾つかの実施形態による、多値書込み電流を用いて磁気記憶デバイスにデータを記録する方法の流れ図である。

【発明を実施するための形態】

【0008】

本発明の種々の実施形態は、多値書込み電流を用いる磁気記録のための装置、システム及び方法を提供する。限定はしないが、オーバーシュート振幅、オーバーシュート持続時間、定常電流 I_w 、電流立ち上がり時間等を含む、書込みヘッド内の磁極端の磁化を強制的に切り替えるために用いられる書込み電流波形の種々の特性を制御して、記録性能を改善することができる。幾つかの実施形態では、書込み電流の適応又は変化は、磁極端の初

10

20

30

40

50

期の磁気的状態（飽和又は非飽和）、及び記録される一定のデータ系列の長さ（短い又は長い）に基づく。幾つかの実施形態では、磁極端の初期の磁気的状態は、先行するデータ系列の長さによって決まる。特定の状態の長いデータ系列が書き込まれたばかりである場合には、磁極端は、磁気的に飽和状態になるだけの十分な時間を有していたことになる。データ信号が状態を変更したばかりである場合には、磁極端は、最後に磁気的に飽和状態になるほど十分な時間を有していなかったことになる。磁極端を一方の飽和状態から反対の飽和状態に迅速かつ効果的に切り替えるためには、強力な（aggressive）書き込み電流パルス設定が用いられる。磁極端を非飽和状態から切り替えるためには、あまり強力でない（less aggressive）設定が用いられる。別の要因は、記録されることになる、遷移間のデータ系列の長さである。所与の状態の後続のデータ系列が単一のビットであるか又は非常に短い場合、より迅速な磁気スイッチングのために強力な設定が用いられる。所与の状態のこれから生じる系列が長い場合、強力でない設定が用いられる。

10

【0009】

本明細書において開示される多値書き込み電流は、明確な磁極端スイッチングを提供し、書き込みヘッドの磁気的なスイッチング挙動が非線形であっても、データが実質的に一定のトラック幅及び良好なビット間遷移で磁気媒体に正確に書き込まれるのを確実にする。

【0010】

本明細書において開示される多値書き込み電流を用いる磁気記録はいかなる特定の応用形態にも限定されないが、1つの例示的な応用形態は、図1に示されるハードディスクドライブのような磁気記憶システム100である。記憶システム100は、インターフェースコントローラ102と、チャンネル回路104と、前置増幅器106と、ハードディスクコントローラ110と、モーターコントローラ112と、スピンドルモーター114と、ディスクプラッター116と、読取り/書き込みヘッドアセンブリ120を含む。インターフェースコントローラ102は、ディスクプラッター116との間のデータのアドレッシング及びタイミングを制御する。インターフェースコントローラ102は、プロセッサ、バッファメモリ、フォーマット制御、誤り訂正回路及びインターフェース回路のようなデバイスを含むことができる。ディスクプラッター116上のデータは、読取り/書き込みヘッドアセンブリ120がディスクプラッター116上に正確に位置決めされるときに、アセンブリによって書き込み、検出することができる磁気信号のグループからなる。一実施形態では、ディスクプラッター116は、長手記録方式又は垂直記録方式に従って記録される磁気信号を含む。

20

30

【0011】

通常の見込み動作において、インターフェースコントローラ102は、ディスクプラッター116上に格納されることになるデジタルデータ122を受信し、対応するデジタル書き込みデータ124をチャンネル回路104内の書き込みチャンネル126に与える。デジタルデータ122は、シリアルアドバンスドテクノロジーアタッチメント（SATA）インターフェースのような標準化されたデバイスインターフェース上でシリアル形式において受信することができる。書き込み動作中に、デジタルデータ122は、ローカルバッファメモリ内に格納され、フォーマットされて、誤り訂正符号を用いて強化される。

【0012】

書き込みチャンネル126は、データをシリアル化すること、データを変調符号化し、パリティビットを追加すること、所望のビット速度においてデータをシリアル化すること、及びライトプリコンペンションを実行することのような、幾つかの方法においてデジタル書き込みデータ124を処理することができる。書き込みチャンネル126は、符号化された書き込みデータ130を、前置増幅器106内の書き込みドライバー132に与える。幾つかの実施形態では、前置増幅器106はアクチュエータアーム134上に取り付けられ、符号化された書き込みデータ130は、送信機によってチャンネル回路104から送出され、フレックスケーブルを介して、差動ポジティブエミッタカップルドロジック（PECL）形式において、アームに取り付けられた前置増幅器106内の書き込みドライバー132に送達される。前置増幅器106は、符号化された書き込みデータ130をアナログ信号に変換

40

50

し、波形整形を実行し、オーバーシュートパルスを追加して記録プロセスを支援し、読取り/書込みヘッドアセンブリ120の書込みヘッド部分に、P E C L 入力 of 極性によって決まる極性を有する両極性のプログラム可能な書込み電流136を印加する。オーバーシュートパルス後の定常電流のレベルを含む、オーバーシュートパルスの特性は、読取り/書込みヘッドアセンブリ120内の磁極端の初期の磁気的狀態に基づいて制御される。

【0013】

通常 of 読取り動作において、読取り/書込みヘッドアセンブリ120は、モーターコントローラー112によって、ディスクプラッター116上の所望 of データトラック上に正確に位置決めされる。モーターコントローラー112は、ハードディスクコントローラー110の指示に従って、読取り/書込みヘッドアセンブリ120をディスクプラッター116上の適切なデータトラックに動かすことによって、ディスクプラッター116に対して読取り/書込みヘッドアセンブリ120を位置決めし、かつスピンドルモーター114を駆動する。スピンドルモーター114は、決められた回転速度(R P M)においてディスクプラッター116を回転させる。前置増幅器106内の読取り回路140は、読取り/書込みヘッドアセンブリ120上の磁気抵抗書込みヘッド内のバイアス電流を設定する。読取り/書込みヘッドアセンブリ120が適切なデータトラックに隣接して位置決めされると、ディスクプラッター116がスピンドルモーター114によって回転するのに応じて、ディスクプラッター116上のデータを表す磁気信号が読取り/書込みヘッドアセンブリ120によって検知される。検知された磁気信号は、ディスクプラッター116上の磁気データを表す連続的な微小アナログ信号142として与えられる。この微小アナログ信号142は、読取り/書込みヘッドアセンブリ120から前置増幅器106内の読取り回路140に転送され、読取り回路において増幅されて、アナログ読取りデータ146として、チャンネル回路104内の読取りチャンネル144に伝達される。次に、読取りチャンネル144は、受信されたアナログ信号を復号及びデジタル化して、ディスクプラッター116に当初に書き込まれたユーザーデータを再現し、かつサーボ情報を抽出する。

10

20

【0014】

アナログ読取りデータ146を処理することの一部として、読取りチャンネル回路802が、アナログフィルタリング、可変利得増幅、アナログ/デジタル変換、等化、タイミング再生、データ検出、復号、非シリアル化、並びにユーザーデータ及びサーボ情報を得るためのサーボ復調のような、1つ又は複数の処理を実行することができる。ユーザーデータは、読取りチャンネル144によって、デジタル読取りデータ150としてインターフェースコントローラー102に与えられ、インターフェースコントローラーにおいて、誤り訂正され、特殊なフォーマッティングフィールドを除去され、そして、デジタルデータ122としてユーザーデバイスに送信するためにバッファメモリにおいてリアセンブルされる。また、読取りチャンネル144は、インターフェースコントローラー102に、ハードディスクコントローラー110及びモーターコントローラー112を駆動する際に用いるためのサーボデータ152も与える。読取り及び書込みの両方の動作中に、正確なトラック追従を維持し、かつトラック間を探索するために、インターフェースコントローラー102内のマイクロコードが、スピンドル速度を制御し、ヘッド位置を調節する。これらの機能のためのサーボ位置情報は、データ記録間の合間に、ディスクプラッター116上にあらかじめ記録された専用フィールドから読取りチャンネル144によって復調される。

30

40

【0015】

記憶システム100は、例えば、R A I D (低価格ディスプレイ冗長アレイ又は独立ディスク冗長アレイ)に基づく記憶システムのような、更に大きな記憶システムに組み込むことができることに留意されたい。また、記憶システム100の種々の機能又はブロックは、ソフトウェア又はファームウェアのいずれかにおいて実施することができ、一方、機能又はブロックによっては、ハードウェアにおいて実施されるものもあることに留意されたい。本明細書において開示される種々のブロックは、他の機能とともに、集積回路において実施することができる。そのような集積回路は、所与のブロック、システム若しくは回路の機能の全て、又はブロック、システム若しくは回路の一部のみを含むことができる

50

。さらに、ブロック、システム又は回路の要素は、複数の集積回路にわたって実施することができる。そのような集積回路は、限定はしないが、モノリシック集積回路、フリップチップ集積回路、マルチチップモジュール集積回路及び/又は混合信号集積回路を含む、当該技術分野において既知の任意のタイプの集積回路のとすることができる。また、本明細書において検討されるブロック、システム又は回路の種々の機能は、ソフトウェア又はファームウェアのいずれかにおいて実施することができることにも留意されたい。そのような幾つかの場合には、システム、ブロック又は回路全体がそれらのソフトウェア又はファームウェア相当物を用いて実施することができる。他の場合には、所与のシステム、ブロック又は回路の一部をソフトウェア又はファームウェアにおいて実施し、他の部分をハードウェアにおいて実施することができる。

10

【0016】

ここで図2を参照すると、本発明の幾つかの実施形態による、種々の入力データパターンの場合に生成される書込み電流特性が示されている。ここでも、書込み電流特性を磁極端の初期の磁気的狀態に適合させることによって、磁極端の磁化スイッチングを制御して、記録性能を改善する。幾つかの実施形態において、磁極端の初期の磁気的狀態は、直前に書き込まれたデータ系列によって決まる。左列202には、4つのデータ系列204、206、210及び212が示される。右列220には、結果として生成される4つの書込み電流波形222、224、226及び230が示される。言い換えると、データ系列204が書込みのために受信されることになるとき、書込み電流波形222を用いて、磁極端を磁化することになる。これらの例では、データ204、206、210及び212

20

【0017】

第1のデータ系列204は短い先行系列240を含み、そのデータ系列は遷移232の直前に書き込まれた1つ又は複数の「0」を含むことができ、遷移232の後に長い後続系列242が書き込まれる。長い後続系列242は、遷移232から始まる、書き込まれる一連の「1」を含むことができる。ビット数は、データ速度、磁気飽和までの時間に影響を及ぼす磁極端の磁気的特性等に基づいて適応させることができるので、短い系列及び

30

【0018】

データ系列204に起因して磁極端を通る書込み電流222は弱いオーバーシュート設定を有し、それは、小さなオーバーシュートパルス244が生成され、その後、定常書込み電流レベル246に達することを意味する。先行系列240が短いので、磁極端は遷移232の前に飽和されていることはなく、後続系列242が長いので、磁極端を急速に磁気飽和に移行させる必要はない。これら2つの要因の組み合わせに起因して、書込み電流222のために、弱いオーバーシュート設定が用いられる。ここでも、限定はしないが、オーバーシュート振幅、オーバーシュート持続時間、定常電流 I_w 、電流立ち上がり時間等を含む、書込み電流の種々の特性を制御することができる。本明細書では、これらの特性は、全体を通して、書込み電流222の弱いオーバーシュート設定のような、オーバーシュート強度に関して参照される。

40

【0019】

データ系列206は、長い先行系列250及び長い後続系列252を含む。この場合、磁極端は遷移232の前に飽和していることになるが、この系列とのバランスを保つのが、長い後続系列252である。結果として生成される書込み電流224では、従来のオー

50

パーシュート設定が用いられる。データ系列 2 1 0 は、短い先行系列 2 5 4 及び短い後続系列 2 5 6 を含む。この場合、磁極端は遷移 2 3 2 の前に飽和していないことになるが、この系列とのバランスを保つのが短い後続系列 2 5 2 である。結果として生成される書込み電流 2 2 6 では、強力なオーバーシュート設定が用いられる。データ系列 2 1 2 は、長い先行系列 2 6 0 及び短い後続系列 2 6 2 を含む。この場合、磁極端は遷移 2 3 2 の前に飽和していることになり、後続系列 2 5 2 は短い。これら 2 つの要因の組み合わせに起因して、結果として生成される書込み電流 2 3 0 において、極めて強力なオーバーシュート設定が用いられる。

【 0 0 2 0 】

幾つかの実施形態の書込み電流特性対データ系列特性が以下の表 1 に要約される。

10

【 0 0 2 1 】

【表 1】

先行系列 \ 後続系列	短い系列	長い系列
非飽和 (短い系列)	強力なオーバーシュート	弱いオーバーシュート
飽和 (長い系列)	極めて強力なオーバーシュート	従来 of オーバーシュート

【 0 0 2 2 】

幾つかの実施形態では、表 1 に記述される 4 つのオーバーシュート設定例が用いられる。他の実施形態では、磁極端の磁気的状態を示す種々の特性に基づいて、それよりも多いか、又は少ないオーバーシュート設定が用いられる。例えば、データ系列を更に細かく分割することができ、それにより付加的なオーバーシュート設定を使用できるようになる。他の実施形態では、例えば、データ系列 2 0 4、2 0 6 及び 2 1 0 をグループ化にして弱いオーバーシュート設定を使用し、データ系列 2 1 2 に対して強いオーバーシュート設定を使用して、図 2 のデータ系列から、結果としてオーバーシュート設定を少なくすることができる。

20

【 0 0 2 3 】

ここでも、オーバーシュート振幅、オーバーシュート持続時間、定常電流 I_w 、及び電流立ち上がり時間のような、書込み電流のためのオーバーシュート設定の特定の特性はいかなる特定の値にも限定されない。オーバーシュート設定状態は、弱いオーバーシュート、従来 of オーバーシュート、強力なオーバーシュート、又は極めて強力なオーバーシュートのいずれであっても、これらの書込み電流特性、又は他の書込み電流特性のうちの 1 つ又は複数の特性のレベルを規定することができる。書込みヘッドスイッチングは、磁気記録システムにおける全体的な記録性能に影響を及ぼす特に複雑なプロセスである。書込みヘッド内の磁極端のスイッチングは、磁極端に巻き付けられたコイルからの磁界によって開始される。高速の書込みプロセスにとって、磁極端磁化の迅速なスイッチングが障害である。コイルを通して流れる書込み電流、及び磁極端の磁化状態 (それゆえ、ディスクプラッター上のビットのスイッチングに影響を及ぼす磁界) は、磁気媒体の特性、及び磁化プロセスの固有の時間スケールに起因して非線形に関連付けられる。磁極端の磁気スイッチングプロセス中に、磁壁 (DW) 核形成によって、約 200 ピコ秒 ~ 300 ピコ秒の時間フレームにおいてスイッチングプロセスが開始される。次に、DW が概ね約 100 ピコ秒 ~ 300 ピコ秒の有限の速度で伝搬することによって、磁化スイッチングが生じる。最後に、概ね約 0.5 ナノ秒 ~ 1 ナノ秒の期間に磁気整列を達成することによって、磁化飽和によってスイッチングプロセスが完結する。結果として、磁気応答は、書込み電流から時間的に著しく (200 ピコ秒 ~ 500 ピコ秒) 遅延し、書込み電流とは異なる飽和波形を有する。したがって、多値書込み電流の特定の特性は、磁極端及び磁気データ記憶媒体又はディスクプラッターの磁気的特性、データが書き込まれる速度、磁気媒体上のデータ記憶の面密度等を含む、磁気記録システムの特性及び要件に適合される。

30

40

【 0 0 2 4 】

50

ここで図 3 A 及び図 3 B を参照すると、多値書込み電流システムが使用不可能である場合 (図 3 A) 及び使用可能である場合 (図 3 B) の、特定のデータ系列及び書込み電流の場合に磁極端において生成される磁界の例が示されている。この例では、1 T 周期は単一のデータビット周期に対応する。最初に、多値書込み電流システムが使用不可能である図 3 A を参照すると、符号化された書込みデータの流れ 3 0 0 は、値「1 1 1 1 0 0 0 1 0 1 1 0 0 0 0 0」を含む。各遷移 3 0 2、3 0 4、3 0 6、3 0 8、3 1 0 及び 3 1 2 の場合に、書込みヘッド内のコイルへの前置増幅器書込み電流 3 2 6 において、対応するオーバーシュートパルス 3 1 4、3 1 6、3 1 8、3 2 0、3 2 2 及び 3 2 4 が生成される。磁極端磁化 3 2 8 は、1 つの書込みパルスに対して 3 つの段階、すなわち、DW 動作を伴う段階 1 3 3 0 と、飽和に入る段階 2 3 3 2 と、飽和状態にある段階 3 3 3 4 とを有すると言することができる (磁気媒体に「1」又は「0」が書き込まれるレベルは破線の水平線によって特定される)。特に、符号化された書込みデータ 3 0 0 内の遷移 3 1 0 は、短い先行データ系列 (「0」) と、長い後続データ系列 (「1 1」) とを有し、磁極端磁化 3 2 8 が飽和 3 3 6 に達することができるようにする。しかしながら、遷移 3 0 6 は長い先行データ系列 (「0 0 0」) と、短い後続データ系列 (「1」) とを有し、結果として書込み不良 3 3 8 が生じ、磁極端磁化 3 2 8 が、飽和に届かないレベル 3 4 0 に達する。同様に、遷移 3 0 8 は短い先行データ系列 (「1」) と、短い後続データ系列 (「0」) とを有し、結果として、まだ飽和状態であるレベル 3 4 4 にあるときに、磁極端磁化が次の遷移 3 1 0 によって中断されると、劣化した書込み 3 4 2 が生じる。

10

20

30

40

50

【0 0 2 5】

図 3 B を参照すると、多値書込み電流システムが使用可能であり、符号化された書込みデータの流れ 3 5 0 はここでも、値「1 1 1 1 0 0 0 1 0 1 1 0 0 0 0 0」を含む。各遷移 3 5 2、3 5 4、3 5 6、3 5 8、3 6 0 及び 3 6 2 の場合に、書込みヘッド内のコイルへの前置増幅器書込み電流 3 7 6 において、対応するオーバーシュートパルス 3 6 4、3 6 6、3 6 8、3 7 0、3 7 2 及び 3 7 4 が生成される。特に、多値書込み電流システムが使用可能である場合、前置増幅器書込み電流 3 7 6 において、種々のオーバーシュート設定が適用される。遷移 3 5 4 は、長い先行データ系列と、長い後続データ系列とを有するので、オーバーシュートパルス 3 6 6 は、表 1 及び図 2 に示されるような、従来のオーバーシュート設定を有する。遷移 3 5 6 は、長い先行データ系列と、短い後続データ系列とを有するので、対応するオーバーシュートパルス 3 6 8 は、極めて強力なオーバーシュート設定を有する。遷移 3 5 8 は、短い先行データ系列と、短い後続データ系列とを有するので、対応するオーバーシュートパルス 3 7 0 は強力なオーバーシュート設定を有する。遷移 3 6 0 は、短い先行データ系列と、長い後続データ系列とを有するので、対応するオーバーシュートパルス 3 7 2 は弱いオーバーシュート設定を有する。遷移 3 6 2 は、長い先行データ系列と、長い後続データ系列とを有するので、対応するオーバーシュートパルス 3 7 4 は従来のオーバーシュート設定を有する。オーバーシュートパルス (例えば、3 6 6、3 6 8、3 7 0、3 7 2 及び 3 7 4) の設定を変化させる結果として、磁極端磁化 3 8 0 は、例えば、多値書込み電流システムが使用不可能であったときに誤りを引き起こした場所 3 8 2 及び 3 8 4 において、磁気媒体上にデータビットを適切に格納するのに十分に長い時間にわたって完全に飽和した状態に達する。

【0 0 2 6】

ここでも、オーバーシュート設定に基づいて前置増幅器書込み電流 3 7 6 において調整される特性は、本明細書において開示される特性には限定されず、中でも、オーバーシュートパルス振幅及び幅、並びに定常電流レベルを含むことができる。例えば、極めて強力なオーバーシュートパルス 3 6 8 は、従来のオーバーシュートパルス 3 6 6 よりも大きなオーバーシュートパルス振幅及び幅、並びに高い定常電流レベルを有する。

【0 0 2 7】

種々の実施形態において、先行データ系列の長さ及び後続データ系列の長さは、チャンネル回路 1 0 4 若しくは前置増幅器 1 0 6 において、又は他の構成要素において決定することができる。図 4 を参照すると、1 つの例示的な実施形態では、パターン検出回路 4 0 0

が書込みドライバー 132 内に配置され、符号化された書込みデータ 130 をパースして、遷移間のデータ系列の長さを特定する。パターン検出回路 400 は、3つの差動信号、1T* 信号 402 と、2T* 信号 404 と、WD* 信号 406 とを生成する。1T* 信号 402 は、符号化された書込みデータ 130 が 1T 周期の持続時間にわたってのみ特定の状態のままであるときを示し、2T* 信号 404 は、符号化された書込みデータ 130 が 2T 周期の持続時間にわたってのみ特定の状態のままであるときを示す。1T* 信号 402 も 2T* 信号 404 もアクティブでないとき、符号化された書込みデータ 130 は、2T 周期よりも長い時間にわたって特定の状態にある。1T* 信号 402 及び 2T* 信号 404 は 2T 周期だけ遅延される。WD* 信号 406 は、1T* 信号 402 及び 2T* 信号 404 と整列させるために、符号化された書込みデータ 130 を 2T 周期だけ遅延させたバージョンを与える。図 4 の例示的なパターン検出回路 400 は、3つのパターン依存書込み電流レベル (1T、2T 及び 3T 以上の場合) のみを割り当てるが、パターン検出回路 400 は、それよりも少ないか、又は多いレベルを特定するように構成することもできる。符号化された書込みデータ 130 は、シフトレジスタ 410 及び XOR ゲート 412 において 1T だけ遅延して、極性変化又は遷移に対してパースされる。パターン検出回路 400 内のシフトレジスタ及びフリップフロップは、T_{BIT} 間隔クロック 414 においてクロックを供給される。ライトプリコンペンセーションが適用される場合には、ライトプリコンペンセーションは T_{BIT} 周期クロックエッジの位置の調節として実施することができる。符号化された書込みデータ 130 のその時点のビット、及びシフトレジスタ 410 の出力 Q_{0 416} からの 1T 遅延したビットが異なる場合には、XOR ゲート 412 の出力 X₄₂₀ がアサートされることになる。出力 X₄₂₀ は、シフトレジスタ 422 への入力として用いられる。シフトレジスタ 422 の出力 Q_{0 424} 及び出力 Q_{1 426} は AND ゲート 430 において結合される。XOR ゲート 412 の出力 X₄₂₀ は、その時点のビット周期及び先行するビット周期からの符号化された書込みデータ 130 の変化した状態を示すので、シフトレジスタ 422 からの出力 Q_{0 424} 及び出力 Q_{1 426} がいずれもアサートされる場合には、これは、3つの連続したビット周期が異なる値を有すること、それゆえ、その時点のビット周期が 1T 周期のみに関する特定の値を維持しており、差動 1T* 信号 402 をアサートすることを示す。XOR ゲート 412 の出力 X₄₂₀ が NAND ゲート 432 において、シフトレジスタ 422 からの反転出力 Q_{0 424} 及び出力 Q_{1 426} と結合される。3つ全てが真である場合には、符号化された書込みデータ 130 は、2T 周期にわたって同じビット値を維持したが、3T 周期前には異なっていた。符号化された書込みデータ 130 内の 2T 系列が検出されるとき、D フリップフロップ 434 及び OR ゲート 436 を用いて、単一の T 周期だけでなく、2T 周期にわたって 2T* 信号 404 をアサートされたままにする。幾つかの実施形態において、1T* 信号 402、2T* 信号 404 及び WD* 信号 406 は、付加的なフリップフロップ階層 (図示せず) を通してスキューを除去することによって、T_{BIT} クロック 414 に再同期することができる。

【0028】

パターン検出回路 400 の挙動が、図 6 のタイミング図に示される。シフトレジスタ 410 の出力 Q_{0 416} は、シフトレジスタ 410 において 1T だけ遅延した、符号化された書込みデータ 130 に対応し、そのシフトレジスタは 1T の間隔においてクロック 414 によってクロックを供給される。ノード X₄₄₀ は、符号化された書込みデータ 130 と、シフトレジスタ 410 からの出力 Q_{0 416} との XOR である。シフトレジスタ 422 の出力 Q_{0 424} は、シフトレジスタ 422 において 1T だけ遅延した、X₄₄₀ における信号に対応し、そのシフトレジスタも 1T の間隔においてクロック 414 によってクロックを供給される。シフトレジスタ 422 の出力 Q_{1 426} は、シフトレジスタ 422 において 2T だけ遅延した、X₄₄₀ における信号に対応する。WD* 信号 406 は、1T* 信号 402 及び 2T* 信号 404 がパターン検出回路 400 において生成されるときに、それらの信号と同じ 2T 遅延を有する符号化された書込みデータ 130 に対応する。1T* 信号 402 は、出力 Q_{0 424} 及び出力 Q_{1 426} がいずれもハイで

10

20

30

40

50

あるとき、WD * 信号 406 が 1T にわたって特定の状態にあるときにアサートされる。信号 X440 及び出力 Q1 426 がハイであり、かつ出力 Q0 424 がローであるとき、WD * 信号 406 が 2T にわたって特定の状態にあるときに、中間信号 2T - 1 442 が、1T にわたってハイになる。2T * 信号 404 は信号 2T - 1 442 に対応するが、WD * 信号 406 が 2T にわたって特定の状態にある間、2T にわたってハイのままである。

【0029】

図5を参照すると、本発明の幾つかの実施形態による、多値差動信号発生器回路500が示されている。1つの例示的な実施形態では、多値差動信号発生器回路500は、書込みチャンネル126内に配置され、1T * 信号402、2T * 信号404及びWD * 信号406に基づいて、多値3値信号TW502を生成する。3値信号TW502は、磁極端の状態の指示及び書き込まれるデータとして、チャンネル回路104内の書込みチャンネル126から前置増幅器106内の書込みドライバー132に送信することができ、それにより、書込みドライバー132が、磁極端に適した多値書込み電流を適用できるようにする。3値信号TW502又は他の信号は磁極端の状態の表現を提供し、本明細書においてパターンインジケータ信号とも呼ばれる。図5に示される多値差動信号発生器回路500の例示的な実施形態は、電流モードCMOS論理出力段であるが、代替の実施形態では、磁極端の状態の3値信号TW502又は他の指示は任意の適切な回路又はデバイスにおいて生成することができる。ロングテールペア504は、共通テール電流源510並びに補助テール電流源520及び530から3値信号TW502への全テール電流I4の流れを制御するトランジスタ506及び508を含む。第1の補助テール電流源520はテール電流ノード522に接続され、2T * 信号404によって制御される差動対トランジスタ524及び526によってテール電流ノード522に向かって導かれるか、又はノード522から切り離される。第2の補助テール電流源530はテール電流ノード522に接続され、1T * 信号402によって制御される差動対トランジスタ532及び534によってテール電流ノード522に向かって導かれるか、又はノード522から切り離される。図5及び図6の実施形態では、テール電流源510からのI₁は、第1の付加的なテール電流源520からのI₂未満であり、第1の付加的なテール電流源520からのI₂は、第2の付加的なテール電流源530からのI₃未満である。

【0030】

動作時に、WD * 信号406が電流ルーティングペア506及び508に加えられ、それにより、NRZ符号化された書込みデータ130の極性に従って、電流が3値信号TW502出力の一方又は他方に誘導され、幾つかの実施形態では、出力は一对のフレックスケーブル導体を含む。符号化された書込みデータ130内に1Tランも2Tランも存在しない場合、トランジスタ506及び508は、3値信号TW502出力間でテール電流源510からのテール電流を切り替える。2Tラン中に2T * 信号404がアサートされるとき、テール電流源510からのテール電流ノード522における電流は、第1の付加的なテール電流源520からの電流によって補われる。同様に、1Tラン中に1T * 信号402がアサートされるとき、テール電流源510からのテール電流ノード522における電流は、第2の付加的なテール電流源530からの電流によって補われる。テール電流ノード522における電流波形が図6に示される。電流源510、520及び530の個々の電流レベルは図6に示される電流レベル、更には図6に示される相対レベルには限定されず、前置増幅器106内の受信回路が異なる磁極端状態及び/又は符号化された書込みデータ130内のラン長を区別できるようにする、任意の適切なレベルに設定することができる。結果として生成される3値信号TW502も図6に示される。

【0031】

対称な差動出力波形TW502を達成するために、P型デバイスから構成される多値差動信号発生器回路500の相補的な部分が、上記で開示されたN型デバイス506、508、524、526、532及び534を忠実に再現する。P型トランジスタ540及び542はトランジスタ506及び508に対して相補的に切り替わり、WD * 信号54

10

20

30

40

50

6の制御下でテール電流をノード544から3値信号TW502に導く。P型トランジスタ550及び552はN型トランジスタ524及び526に相当するものであり、2T' * 信号556の制御下で、付加的なテール電流源554からテール電流ノード544に電流を切り替える。P型トランジスタ560及び562はN型トランジスタ532及び534に相当するものであり、1T' * 信号566の制御下で、付加的なテール電流源564からテール電流ノード544に電流を切り替える。制御信号WD' * 信号546、2T' * 信号556及び1T' * 信号566はWD * 信号406、2T * 信号404及び1T * 信号402と同時に切り替わるが、当業者には理解されるように、それらの信号はレベルシフトすることもできる。

【0032】

特に、多値差動信号発生器回路500は、図6の3値信号TW502の波形の場合にレベル「0」として特定される、コモンモード電圧について対称な3値波形TW502を与えるように適合される。しかしながら、多値書込み電流システムの種々の実施形態は、代替の回路又はデバイスを用いて、3値波形を生成することもできるし、別の方法で種々の状態を書込みドライバー132に伝達することもできる。例えば、多値差動信号発生器回路500の例示的な実施形態は、スタック電流スイッチとして実施される。代替の実施形態では、その回路は、適切な論理ゲーティングを伴う3つ1組の1レベルスイッチとして実施され、電源ヘッドルームが問題であるときには特に、P型相補部分を省くことができる。

【0033】

多値差動信号発生器回路500は、フレックスケール導体又は他の適切な導体(図1の130を参照)を介して、前置増幅器106内に配置される書込みドライバー102に、3レベル差動信号3値信号TW502を送達する。他の実施形態では、上記で開示されたように、パターン検出回路400は、開示された状態数の例よりも多くの、又は少ない状態を検出することができ、それにより、3値信号TW502内に他のレベル数が生じることができる。3値信号TW502内の $2 \cdot I_1 \cdot R_T$ の基本(符号化された書込みデータ130内のランが3T以上の場合)ピーク間差動レベルから、2Tランの場合に $2 \cdot I_2 \cdot R_T$ だけ、そして1Tランの場合に $2 \cdot I_3 \cdot R_T$ だけ、信号電圧が上昇する(R_T は、図7内の終端抵抗器706の抵抗であり、 I_1 はテール電流源510からの電流であり、 I_2 は第1の付加的なテール電流源520からの電流であり、 I_3 は第2の付加的なテール電流源530からの電流である)。 I_1 、 I_2 及び I_3 は、固定又は可変のいずれかとすることができる。

【0034】

図7を参照すると、多値差動信号受信機702及び出力ドライバー704を備える多値書込みドライバー700が開示され、そのドライバーは、本発明の幾つかの実施形態による前置増幅器回路106において用いることができる。書込みドライバー700は、図1の書込みドライバー132の代わりに用いるのに適しているとしてもできる。当業者によって理解されるような、多値書込みドライバー内に含めることもできるヘッド消磁のような磁気書込みドライバー機構は、明確にするために、図7に示される書込みドライバー700から省かれている。受信機702は、終端抵抗器706、バッファトランジスタ710及び712、並びに電流源714及び716から構成されるバッファ/終端段への3値信号TW502を受信し、バッファリングされた3値信号720を生成する。終端抵抗器706は全抵抗 $R_T = Z_0$ を有する。ただし、 Z_0 は図1の相互接続130の特性インピーダンスである。終端抵抗器706はセンタータップ付きであり、中点は内部電圧源758によって設定されるコモンモード電圧基準に合わせられる。バッファリング後の3値信号720は、高速ゼロクロスコンパレータ722に、並びに2つのスライサー724及び726に与えられる。ゼロクロスコンパレータ722の出力730は遷移配置を決定し、マスタータイミングチャネルとして機能し、前置増幅器106内の複数の経路の厳密なスキュー制御、及び立ち上がり時間に起因する、しきい値までの時間のシフトの必要性を低減する。

10

20

30

40

50

【 0 0 3 5 】

スライサー 7 2 4 及び 7 2 6 は、コモンモード電圧より高いプログラム可能なシフトとして独立して設定されるしきい値を有する。幾つかの実施形態において、スライサーは、入力差動対 7 3 2 を備える絶対値検知入力を有するように構成され、その差動対は、一方の側において、逆極性のバッファリング後の 3 値信号 7 2 0 を受信するために、2 つの並列トランジスタのベースに 2 つの（逆極性信号）端子 7 3 4 及び 7 3 6 を有し、他方の側において、第 3 のトランジスタ 7 4 2 のベースに基準入力 7 4 0 を有する。スライサー 7 2 4 及び 7 2 6 のしきい値は、デジタル/アナログコンバーター 7 4 4 及び 7 4 6 によって設定される。デジタル/アナログコンバーター 7 4 4 は、しきい値信号 7 4 8 によって、2 T ランレベル 6 0 2（図 6）と 1 T ランレベル 6 0 4 との間の中間レベルにプログラムされる。デジタル/アナログコンバーター 7 4 6 は、しきい値信号 7 5 0 によって、基本（3 T 以上）ランレベル 6 0 6 と 2 T ランレベル 6 0 2 との間の中間レベルにプログラムされる。スライスレベルは、デジタル/アナログコンバーター 7 4 4 及び 7 4 6 の各出力 7 5 2 及び 7 5 4 と、コモンモード電圧源 7 5 8 によって与えられるバッファリング後の 3 値信号 7 2 0 のコモンモード電圧信号 7 5 6 とを加算することによって設定される。場合によっては、ピーク検出器（図示せず）を用いて追跡クリップレベルを得るか、又は初期可変利得増幅器（図示せず）を制御することによって、適応的スライシング及び入力レベル追跡を達成することができる。更に他の場合には、スライスレベルはハードワイヤードとすることができる。

10

【 0 0 3 6 】

受信機 7 0 2 から、ゼロクロスコンパレーター 7 2 2 の出力 7 3 0、並びにスライサー 7 2 4 及び 7 2 6 の出力 7 6 0 及び 7 6 2 は、書込みヘッド 7 6 4 内の電流を切り替える出力ドライバー 7 0 4 に与えられる（実施形態によっては、書込みヘッド 7 6 4 は前置増幅器 1 0 6 の外部に配置され、書込みヘッド 7 6 4 と書込みドライバー 7 0 0 との間にフレックスオンサスペンション（FOS）コネクタが用いられる）。マルチヘッド前置増幅器に、書込みヘッドごとに別個の出力ドライバーを設けることができる。ゼロクロスコンパレーター 7 2 2 は、双方向にクロック供給される 2 つのフリップフロップ 7 6 4 及び 7 6 6 にクロックを供給し、時間調整されたイネーブル信号 1 T c u r r 7 6 8 及び 2 T c u r r 7 7 0 を生成し、1 T 電流及び 2 T 電流を増やす役割を担うドライバーブリッジ 7 7 2 の部分において書込み電流の流れを同期させる（フリップフロップ 7 6 4 及び 7 6 6 の双方向性は、図 7 において並列の反転/非反転クロック入力端子によって示される）。ゼロクロスコンパレーター 7 2 2 の出力 7 3 0 は、フリップフロップ 7 6 4 及び 7 6 6 の C Q 遅延に等価な遅延を有する遅延素子 7 7 4 においても作られ、定常イネーブル信号 S S 7 7 6 及び

20

30

【 数 1 】

SS

7 7 8 を生成する。幾つかの実施形態において、スライサー出力 7 6 0 及び 7 6 2 に遅延素子 7 8 0 及び 7 8 2 を挿入して、フリップフロップ 7 6 4 及び 7 6 6 における十分な設定/保持時間を確保することができる。このような再同期は、前置増幅器 1 0 6 及び読取り/書込みヘッドアセンブリ 1 2 0 内のコア - ヘッドセルルーティングにおいて、厳密な時間整合を強制する必要性を緩和する。

40

【 0 0 3 7 】

定常イネーブル信号 S S 7 7 6 及び

【 数 2 】

SS

7 7 8 は双方向オーバーシュート発生器 7 8 4 に与えられ、双方向オーバーシュート発生

50

器は、イネーブル信号 $SS776$ の立ち上がり及び立ち下がりエッジによってそれぞれ開始される、プログラム可能幅オーバーシュートパルス $OSP786$ 及び $OSN788$ を生成する。5つの信号 $1Tcurr768$ 、 $2Tcurr770$ 、 $OSP786$ 、 $OSN788$ 及び $SS776$ は共同で前置増幅器の書込み出力ドライバ704を制御し、書込み出力ドライバは、多値書込みに対応するために改善された従来のブリッジ772として構成される。ブリッジ772は、4つの同様の電流源 PCS セル790、792、794及び796を含む。同一の「高位側」 PCS セル790及び792は、幾つかの実施形態において同一であり、正の (VCC) 電源798を基準とする。それらに相当する「低位側」 PCS セル794及び796は、幾つかの実施形態において互いに同一であり、「高位側」 PCS セル790及び792に対して負の極性を有し、負の (VEE) レール800を基準とする。 SS 信号776及びその相補信号

10

【数3】

\overline{SS}

778は、いずれもゼロクロスコンパレータ722において生じ、正反対の PCS セル (それぞれ790及び796、792及び794) を起動し、それにより、書込み電流極性のトグルを制御する。 PCS セル790及び796を使用可能にすることによって、「正の」ヘッド電流が与えられる一方で、 PCS セル792及び794を使用可能にすることによって、「負の」ヘッド電流が与えられる。

20

【0038】

書込みヘッド764は、伝送路又はフレックスオンサスペンション導体802及び804 (図1において要素130によって示される) によって前置増幅器106に結合される。それに応じて、書込みドライバ700又は前置増幅器106内のいずれかの場所に、終端及び反射吸収用の抵抗器806及び808を設けることができる。抵抗器806及び808はグラウンドを基準にして示されており、 $|VCC| = |VEE|$ の場合に適しており、抵抗器806及び808の合計抵抗値は伝送路802の特性インピーダンス (Z_0) に等しいが、抵抗器はこの構成には限定されない。

【0039】

SS_Ref812 、 OS_Ref814 、 $1TSS_Ref816$ 、 $1TOS_Ref818$ 、 $2TSS_Ref820$ 及び $2TOS_Ref822$ を含む、6つの電流基準信号810が PCS セル790、792、794及び796に送達され、書込み電流の大きさを設定する。電流基準信号810は以下のように規定される。

30

SS_Ref812 : 定常基本書込み電流 (ラン長が3T以上の場合)

OS_Ref814 : オーバーシュート基本書込み電流 (ラン長が3T以上の場合)

$1TSS_Ref816$: SS_Ref812 より大きな増分定常電流 (ラン長 = 1Tの場合)

$1TOS_Ref818$: OS_Ref814 より大きな増分オーバーシュート電流 (ラン長 = 1Tの場合)

$2TSS_Ref820$: SS_Ref812 より大きな増分定常電流 (ラン長 = 2Tの場合)

40

$2TOS_Ref822$: OS_Ref814 より大きな増分オーバーシュート電流 (ラン長 = 2Tの場合)

【0040】

電流基準信号810は、全てのヘッドセルによって共有されるデジタル/アナログコンバータ (図示せず) から導出することができ、1T、2T及び3T以上のラン長ごとに、定常状態 (SS) 及びオーバーシュート (OS) 書込み電流の、独立してプログラム可能な値に対応することができる。

【0041】

図8を参照すると、 PCS セル796の代わりに用いるのに適している、本発明の幾つ

50

かの実施形態による、低位側 P C S セル 8 3 0 の簡略化された図が示される。P C S セル 8 3 0 は、6 つのカレントミラー 8 3 2、8 3 4、8 3 6、8 3 8、8 4 0 及び 8 4 2 と、S S 信号 7 7 6 及び O S P 信号 7 8 6 によって切り替えられる関連するゲート/イネーブルロジックとを含む。カレントミラー 8 3 2、8 3 4、8 3 6、8 3 8、8 4 0 及び 8 4 2 の出力 8 5 0、8 5 2、8 5 4、8 5 6、8 5 8 及び 8 6 0 はそれぞれ、それらのカレントミラーが使用可能にされると、P C S セル出力 8 6 2 への電流に寄与する。カレントミラー 8 3 2 は、S S 信号 7 7 6 がアサートされると、出力 8 5 0 において S S _ R e f 8 1 2 基準電流を与える。カレントミラー 8 3 4 は、O S P 信号 7 8 6 がアサートされると、出力 8 5 2 において O S _ R e f 8 1 4 基準電流を与える。カレントミラー 8 3 6 は、S S 信号 7 7 6 及び 2 T c u r r 信号 7 7 0 の両方がアサートされると、出力 8 5 4 において 2 T S S _ R e f 8 2 0 基準電流を与える。カレントミラー 8 3 8 は、O S P 信号 7 8 6 及び 2 T c u r r 信号 7 7 0 の両方がアサートされると、出力 8 5 6 において 2 T O S _ R e f 8 2 2 基準電流を与える。カレントミラー 8 4 0 は、S S 信号 7 7 6 及び 1 T c u r r 信号 7 6 8 の両方がアサートされると、出力 8 5 8 において 1 T S S _ R e f 8 1 6 基準電流を与える。カレントミラー 8 4 2 は、O S P 信号 7 8 6 及び 1 T c u r r 信号 7 6 8 の両方がアサートされると、出力 8 6 0 において 1 T O S _ R e f 8 1 8 基準電流を与える。幾つかの実施形態では、複数のカレントミラーの出力においてではなく、高速カレントミラーへの入力において電流加算が実行される。

10

【 0 0 4 2 】

図 9 を参照すると、本発明の幾つかの実施形態による、図 8 のカレントミラー 8 3 2、8 3 4、8 3 6、8 3 8、8 4 0 又は 8 4 2 のうちの 1 つとして用いるのに適している、スイッチトカレントミラー 9 0 0 が示される。幾つかの実施形態では、図 9 に示されるように、スイッチトカレントミラー 9 0 0 は、B V c b o 方式においてオフであるときにバイポーラトランジスタ 9 0 2 及び 9 0 4 が動作している、B i C M O S エミッタ起動 (e m i t t e r - e n a b l e d) カレントミラーである。幾つかの他の実施形態は、エミッタ縮退によって電流が設定され、ベースがその電圧レベルに切り替えられる、全てバイポーラトランジスタである電流ルーティングバイポーラ対 (c u r r e n t - r o u t i n g a l l - b i p o l a r p a i r s) を含む。スイッチトカレントミラー 9 0 0 は、S S _ R e f 8 1 2、O S _ R e f 8 1 4、1 T S S _ R e f 8 1 6、1 T O S _ R e f 8 1 8、2 T S S _ R e f 8 2 0 及び 2 T O S _ R e f 8 2 2 を含む、6 つの電流基準信号 8 1 0 のうちの 1 つによって、電流基準入力 9 0 6 を通して供給される。C M O S イネーブルトランジスタ 9 1 0 は出力バイポーラトランジスタ 9 0 4 と直列に接続され、図 7 に示されるように、S S 信号 7 7 6 によって、O S P 信号 7 8 6 によって、又は S S 信号 7 7 6、O S P 信号 7 8 6、1 T c u r r 信号 7 6 8 及び 2 T c u r r 信号 7 7 0 の組み合わせによって制御される。スイッチトカレントミラー 9 0 0 において電流振幅が正確に再生されるように、イネーブルトランジスタ 9 1 0 の有限抵抗を考慮に入れるために、ダミー C M O S トランジスタ 9 1 2 が入力バイポーラトランジスタ 9 0 2 と直列に接続される。トランジスタ 9 1 4 が電流基準入力 9 0 6 と共通ベースノード 9 1 6 との間に接続され、高速ダイオードのようにして入力バイポーラトランジスタ 9 0 2 を接続する。デバイスサイズは、各ミラー内の最大電流レベルに相応しいように拡大縮小することができる。

20

30

40

【 0 0 4 3 】

高位側 P C S セル 7 9 0 及び 7 9 2 も同様であるが、図 9 の N M O S 及び N P N デバイスの代わりに、P M O S 及び P N P デバイスを用いる相補極性デバイスを使用する。

【 0 0 4 4 】

明確にするために、図 7 及び図 8 はレベルシフターを省いているが、レベルシフターを用いて、ブリッジ制御信号を V C C / V E E レール電位に変換するか、又は関係付けることができる。「電流モード」アーキテクチャが説明されるが、多値書込み電流に対応する代替の実施形態も本発明の範囲内にある。多値書込み電流方式を拡張して、オーバーシュート幅をラン長に応じて制御可能にすることもできるし、簡単にして、1 つ又は複数の書込み電流レベルを省くこともできる。

50

【 0 0 4 5 】

図 10 を参照すると、位相同期ループ 1 0 0 2、パターン検出回路 1 0 0 4 及び多値書込みドライバー 1 0 0 6 を含む、前置増幅器 1 0 0 0 の別の実施形態が示されており、その前置増幅器では、チャンネル回路内に特殊な回路機構を用いることなく、多値書込み制御が実行される。したがって、従来の記録チャンネルを用いるときでも、多値書込みの利点を確保することができる。P E C L 受信機（図示せず）によって、前置増幅器 1 0 0 0 内のチャンネルから 2 値 N R Z 符号化書込みデータ 1 0 1 0 が受信され、位相同期ループ（P L L）1 0 0 2、及び直並列変換器 1 0 1 2、すなわち、ビットセル周期の中心において位相同期ループ 1 0 0 2 によってクロックを供給される低設定 / 保持時間 D フリップフロップに送達される。位相同期ループ 1 0 0 2 は、位相検出器 1 0 1 4 と、チャージポンプ 1 0 1 6 と、電圧制御発振器 1 0 2 0 とを含む。位相検出器 1 0 1 4 が位相同期ループ 1 0 0 2 によって生成されるクロック 1 0 2 2 及び符号化された書込みデータ 1 0 1 0 において差を検出するのに応じて、位相検出器はチャージポンプを制御して、出力 1 0 2 4 において、より高い電圧又はより低い電圧を生成する。チャージポンプ 1 0 1 6 の出力 1 0 2 4 の電圧に回答して、電圧制御発振器（V C O）1 0 2 0 によってクロック 1 0 2 2 の位相及び / 又は周波数が制御される。広範なデータ速度に対応するために、V C O 中心周波数 1 0 2 6 及び P L L ループ利得 1 0 3 0 は、前置増幅器内のユーザー設定可能レジスタを通じてプログラム可能にされる。幾つかの実施形態では、符号化された書込みデータ 1 3 0 は、データリードバック中にクロック再生を支援するために、チャンネル入力によってランゲルス符号化されている。それに応じて、位相同期ループ 1 0 0 2 内のクロック抽出は、アレクサンダ型又はホッジ型の遷移検知位相検出器を利用することができる。電圧制御発振器 1 0 2 0 はビット速度において動作する。

10

20

【 0 0 4 6 】

迅速な読取り / 書込みモード遷移時間を可能にするために、位相同期ループ 1 0 0 2 が、本明細書において予想ロックイン（anticipatory lock-in）と呼ばれるロックを達成できるように、符号化された書込みデータ 1 0 1 0 は、書込み動作に十分先行して一定周波数パターンを用いて駆動することができる。

【 0 0 4 7 】

直並列変換器 1 0 1 2 の出力 1 0 3 2 及びクロック 1 0 2 2 はパターン検出回路 1 0 0 4 に与えられ、幾つかの実施形態では、パターン検出回路は図 4 と同様に作製される。前置増幅器 1 0 0 0 は、多値パターン検出口ジックを実現するのに十分な速度の高速 C M O S デバイスを含む、高性能 S i G e B i C M O S プロセスにおいて作製することができる。

30

【 0 0 4 8 】

幾つかの実施形態では、位相同期ループ 1 0 0 2、直並列変換器 1 0 1 2 及びパターン検出回路 1 0 0 4 は前置増幅器 1 0 0 0 のコア回路内に配置され、複数のヘッドセルに対して働く。各ヘッドセルは多値書込みドライバー 1 0 0 6 を含み、幾つかの実施形態では、多値書込みドライバーは図 7 と同様に作製される。多値書込みドライバー 1 0 0 6 の出力 1 0 3 4 は、例えば、上記で開示されたようなフレキシブル伝送路（F O S）1 0 4 0 を介して、書込みヘッド 1 0 3 6 に加えられる。

40

【 0 0 4 9 】

パターン検出回路 1 0 0 4 と多値書込みドライバー 1 0 0 6 との間のインターフェースは、3 値波形を用いて、図 5、及び図 7 の受信機 7 0 2 と同様に具現することができる。他の実施形態では、パターン検出回路 1 0 0 4 と多値書込みドライバー 1 0 0 6 との間に、幾つかの実施形態においてチャンネル回路 1 0 4 と前置増幅器 1 0 6 との間に用いられるようなフレキシブル伝送路が不要であるので、図 4 のパターン検出回路のようなパターン検出回路 1 0 0 4 によって与えられる $1 T^*$ 信号 1 0 4 2、 $2 T^*$ 信号 1 0 4 4 及び $W D^*$ 信号 1 0 4 6 を、中間の 3 値波形伝送を用いることなく、多値書込みドライバー 1 0 0 6 によって直接処理することができる。

【 0 0 5 0 】

50

幾つかの実施形態において、パターン検出回路 400 及び 1004 は、ライトプリコンペンセーション回路を含むことができる。

【0051】

上記で開示され、図 4 ~ 図 10 に示される、パターン検出回路 400、多値差動信号発生器回路 500、並びに受信機 702 及びドライバブリッジ 772 を含む書込みドライバー 700 は、特定の遷移後のランの長さ（又は後続系列）を検出し、その遷移におけるオーバーシュートレベルを調整する。制御することができる特性は、限定はしないが、1T、2T 若しくは 3T 又はそれより長い後続系列の場合のレベルを区別する、オーバーシュートパルス振幅及び幅、並びに定常電流レベルを含む。遷移に対してオーバーシュートパルスが生成されるときに、先行系列及び後続系列の両方のラン長が既知であるように、前置増幅器 106 内にバッファ（図示せず）を含み、書込みデータを数 T 周期だけ遅延させることによって、これらの実施形態を用いて、先行系列に基づいて遷移におけるオーバーシュートレベルを制御することもできる。

10

【0052】

図 11 を参照すると、流れ図 1100 は、例えば、図 1 の記憶システム 100 内にあるようなチャンネル回路 104 及び前置増幅器 106 における、本発明の幾つかの実施形態による、多値書込み電流を用いて磁気記憶デバイス内にデータを記録する方法を示す。流れ図 1100 を受けて、データ遷移に隣接するデータ系列のラン長に基づいて、書込みヘッド内の磁極端の磁化状態を求める（ブロック 1102）。磁極端の磁化状態を表す少なくとも 1 つの信号が生成される（ブロック 1104）。その信号は、磁極端の磁化状態を直接表すこともできるし、データ遷移に隣接する先行データ系列及び / 又は後続データ系列に基づいて、磁極端の磁化状態を間接的に表すこともできる。その信号に基づいて、書込みヘッドのための多値書込み電流が生成される（ブロック 1106）。

20

【0053】

本明細書において開示される多値書込み電流を用いる磁気記録システムは、幾つかの実施形態においては書き込まれるデータパターンに基づいて、書込み電流を磁極端の磁化状態に適合させることによって、高密度のデータパターンをより高い品質で磁気媒体上に記録することを可能にする。遷移中の磁気的な遷移の湾曲はより小さく、それゆえ、ビット間遷移はより良好であり、トラック幅の変化がより小さい。

【0054】

結論として、本発明は多値書込み電流を用いる磁気記録のための新規な装置、システム及び方法を提供する。本発明の 1 つ又は複数の実施形態の詳細な説明が上記で与えられてきたが、本発明の趣旨から逸脱することなく、種々の代替形態、変更形態及び均等物が当業者には明らかであろう。したがって、上記の説明は本発明の範囲を限定するものとして解釈されるべきではなく、本発明の範囲は添付の特許請求の範囲によって規定される。

30

【符号の説明】

【0055】

図 1

- 102 Interface Controller インターフェースコントローラー
- 104 Channel チャンネル
- 106 Preamplifier 前置増幅器
- 110 Hard Disk Controller ハードディスクコントローラー
- 112 Motor Controller モーターコントローラー
- 114 Spindle Motor スピンドルモーター
- 116 Disk Platter ディスクプラッター
- 120 Read/Write Head 読取り / 書込みヘッド
- 126 Write Channel 書込みチャンネル
- 132 Write Driver 書込みドライバー
- 140 Read Circuit 読取り回路
- 144 Read Channel 読取りチャンネル

40

50

図 3 A

- 3 0 0 Encoded Write Data 符号化された書込みデータ
- 3 2 6 Preamp Write Current 前置増幅器書込み電流
- 3 2 8 Pole Tip Magnetization 磁極端磁化
- 3 3 8 Write Fault 書込み不良
- 3 4 2 Degraded Write 劣化した書込み

図 3 B

- 3 5 0 Encoded Write Data 符号化された書込みデータ
- 3 7 6 Preamp Write Current 前置増幅器書込み電流
- 3 8 0 Pole Tip Magnetization 磁極端磁化

10

図 4

- 1 3 0 Encoded Write Data 符号化された書込みデータ
- 4 1 0 Shift Register シフトレジスタ
- 4 1 4 Clock クロック

図 6

- 1 3 0 Encoded Write Data 符号化された書込みデータ

20

図 7

- 7 0 2 Receiver 受信機
- 7 0 4 Output Driver 出力ドライバー

図 1 0

- 1 0 0 4 Pattern Detection Circuit パターン検出回路
- 1 0 0 6 Multi-Level Write Driver 多値書込みドライバー
- 1 0 1 0 Encoded Write Data 符号化された書込みデータ
- 1 0 3 6 Write Head 書込みヘッド

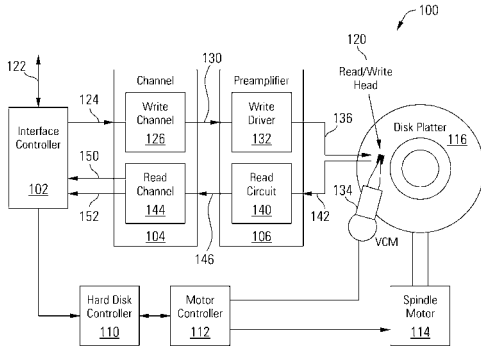
30

Data データ

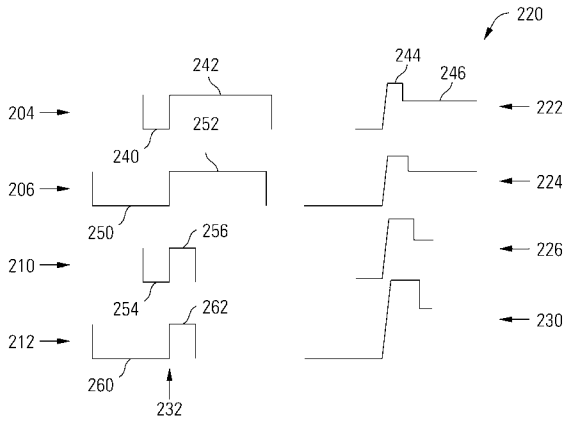
Clock クロック

Gain 利得

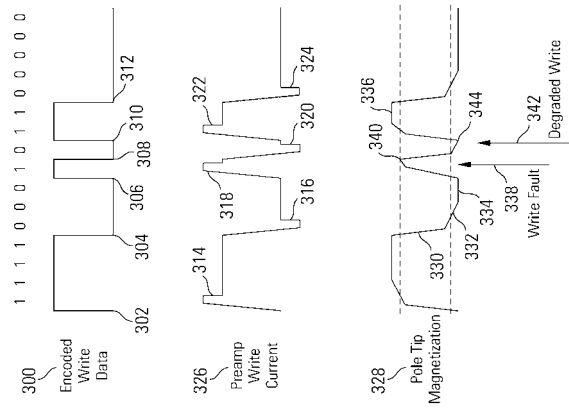
【 図 1 】



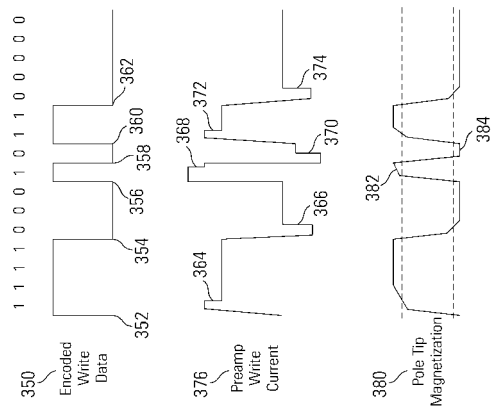
【 図 2 】



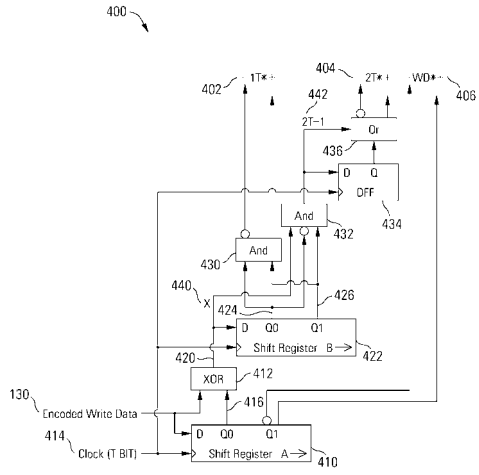
【 図 3 A 】



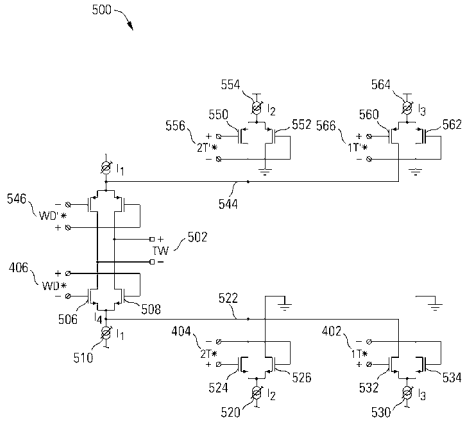
【 図 3 B 】



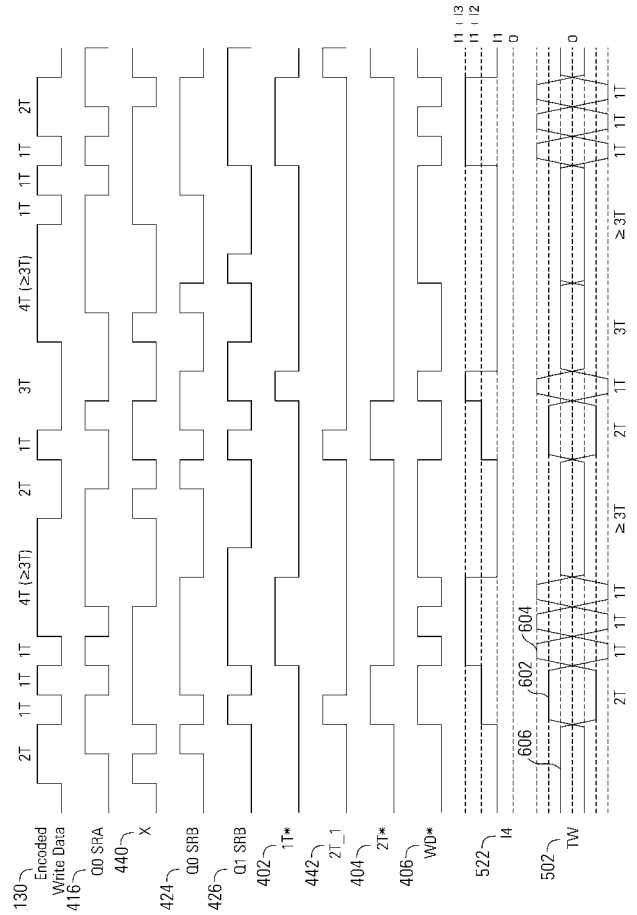
【 図 4 】



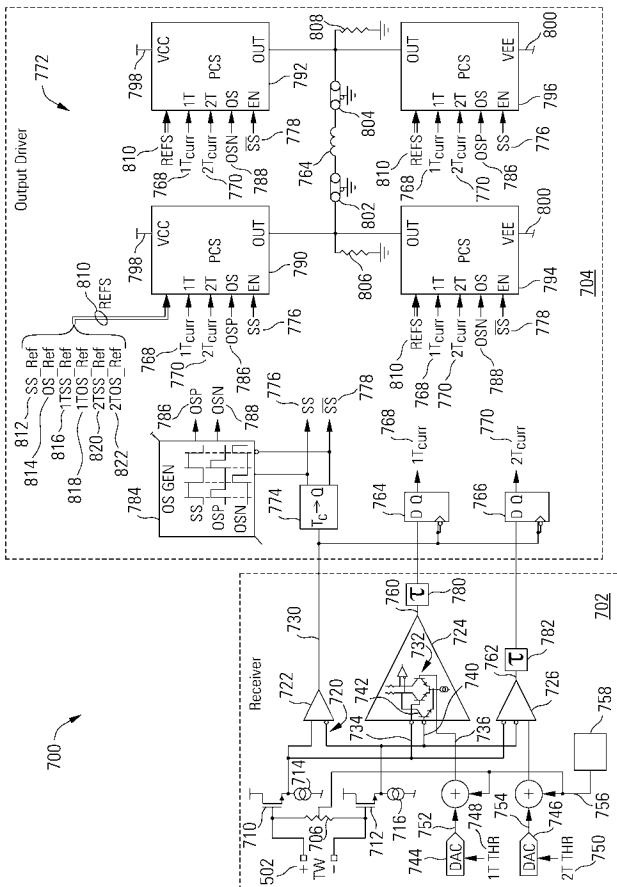
【 図 5 】



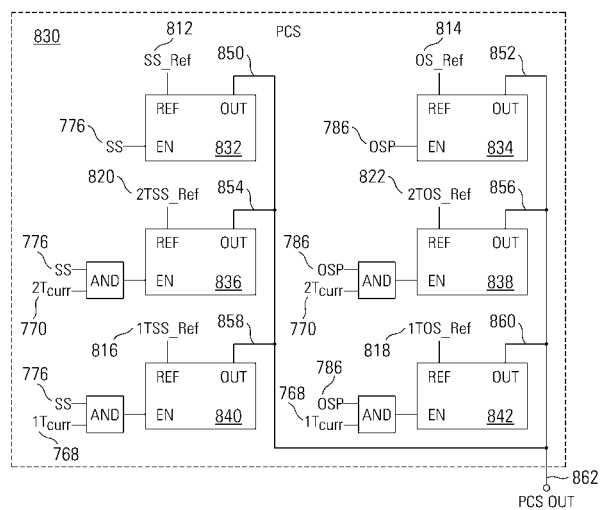
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 リブシッツ, ポリス
アメリカ合衆国, エムエヌ 55121, イーガン, 1130 ノースウッド ドライブ #21
6

(72)発明者 ウィルソン, ロス エス.
アメリカ合衆国, シーエー 94025, メンロー パーク, 695 ウッドランド エーヴィイ
ー.

(72)発明者 ゴールドバーグ, ジェイソン エス.
アメリカ合衆国, エムエヌ 55105, セント ポール, 1052 フェアモント エーヴィイ
ー.

Fターム(参考) 5D031 AA04 CC04