(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108155233 A
(43)申请公布日 2018.06.12

(21)申请号 201711262724.3

(22)申请日 2017.12.04

(30)优先权数据
62/429,629 2016.12.02 US
15/643,328 2017.07.06 US

(71)申请人 维西埃-硅化物公司
地址 美国加利福尼亚州

(72)发明人 艾曼·谢比卜 凯尔·特里尔
永平·丁 金曼·杨

(74)专利代理机构 北京市磐华律师事务所 11336
代理人 高伟 赵楠

(51)Int.Cl.
H01L 29/778(2006.01)
H01L 21/335(2006.01)

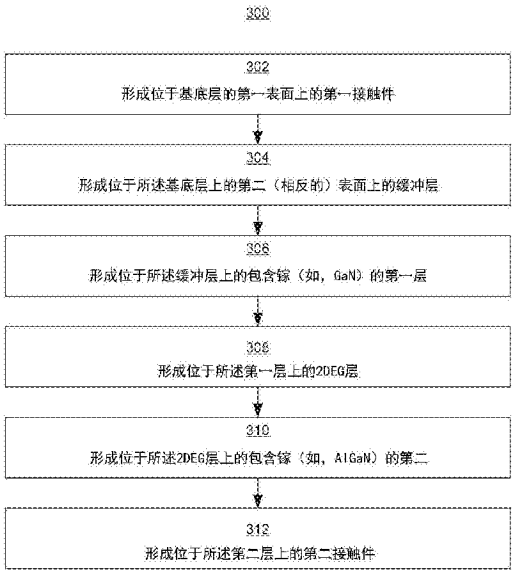
权利要求书3页 说明书6页 附图4页

(54)发明名称

具有埋藏式互连件的高电子迁移率晶体管

(57)摘要

本发明公开了具有埋藏式互连件的高电子迁移率晶体管。一种高电子迁移率晶体管(HEMT)包括硅基底层,设置在所述基底层的第一表面上的第一接触件,以及设置在与所述第一表面相对的第二表面上的多个层。第二接触件和栅极接触件设置在那些层上。包含导电材料的沟槽延伸完全穿透所述多个层并穿入所述基底层。在一个HEMT实施例中,所述第一接触件为漏极接触件以及所述第二接触件为源极接触件。在另一个HEMT实施例中,所述第一接触件为源极接触件以及所述第二接触件为漏极接触件。



CN 108155233 A

1.一种包括高电子迁移率晶体管(HEMT)的电子器件,其中所述HEMT包括:

包含硅的基底层;

设置在所述基底层的第一表面上的第一连接件;

设置在所述基底层的第二表面上的多个层,其中所述第二表面与所述第一表面相对;

设置在所述多个层上的第二接触件和栅极接触件;

包括导电材料的沟槽,所述沟槽延伸穿透所述多个层并延伸至所述基底层;以及

设置在所述导电材料和所述沟槽的侧壁之间的绝缘层,其中所述沟槽中的所述导电材料通过所述绝缘层中的开口与所述基底层接触。

2.如权利要求1所述的电子器件,其中所述第一接触件包括源极接触件,以及其中所述第二接触件包括漏极接触件。

3.如权利要求2所述的电子器件,其中所述HEMT进一步包括绝缘材料,所述绝缘材料设置在所述栅极接触件和所述沟槽之间的所述多个层上。

4.如权利要求2所述的电子器件,进一步包括:

设置在所述多个层上并围绕所述栅极接触件和所述第二接触件的钝化层;

设置在所述钝化层中的第一场板,其中所述栅极接触件通过所述钝化层的区域与所述第一场板分离;以及

设置在所述钝化层中并连接至所述漏极接触件的第二场板。

5.如权利要求1所述的电子器件,其中所述第一接触件包括漏极接触件,以及其中所述第二接触件包括源极接触件。

6.如权利要求5所述的电子器件,进一步包括:

设置在所述多个层上并围绕所述栅极的钝化层;以及

设置在所述钝化层中并连接至所述源极接触件的场板,其中所述栅极接触件通过所述钝化层的区域与所述场板分离。

7.如权利要求1所述的电子器件,其中所述栅极接触件包括区域,所述区域包含掺杂为P型的镓,以及其中所述多个层包括:

与所述基底层毗邻的缓冲层;

与所述缓冲层毗邻的包含镓的第一层;

与所述包含镓的第一层毗邻的二维电子气(2DEG)层;以及

与所述2DEG层毗邻的包含镓的第二层,其中在所述沟槽中的所述导电材料与所述第二层和所述2DEG层接触。

8.如权利要求7所述的电子器件,其中所述第一层通过在所述2DEG层中的开口与所述第二层接触,以及其中所述开口与所述栅极接触件对准。

9.如权利要求7所述的电子器件,其中所述第一层包括镓氮(GaN),并且所述第二层包括铝镓氮(AlGaN),以及其中所述缓冲层包括氮化铝和GaN与AlGaN的交替层。

10.如权利要求1所述的电子器件,其中在所述基底层中的硅具有不超过一毫欧姆的电阻率。

11.一种包括场效应晶体管(FET)的电子器件,其中所述FET包括:

包含硅的基底层;

设置在所述基底层的第一表面上的第一接触件;

设置在所述基底层的第二表面上的缓冲层，其中所述第二表面与所述第一表面相对；

与所述缓冲层毗邻的包含镓的第一层；

与所述包含镓的第一层毗邻的二维电子气(2DEG)层；

与所述2DEG层毗邻的包含镓的第二层；

设置在所述第二层之上的第二接触件和栅极接触件；以及

包含延伸穿透所述第二层、所述2DEG层、所述第一层和所述缓冲层并穿入所述基底层的导电材料的沟槽，其中所述沟槽进一步包括设置在所述导电材料与所述第一层、所述缓冲层和所述基底层之间的绝缘层，其中在所述沟槽中的所述导电材料通过位于所述绝缘层中的开口与所述基底层接触，以及其中在所述沟槽中的所述导电材料与所述第二层和所述2DEG层接触。

12.如权利要求11所述的电子器件，其中所述第一接触件包括源极接触件，以及其中所述第二接触件包括漏极接触件，其中所述FET进一步包括间隔件，所述间隔件包括设置在位于所述栅极接触件和所述沟槽之间的所述第二层上的绝缘材料。

13.如权利要求12所述的电子器件，进一步包括：

设置在所述第二层上并围绕所述栅极接触件和所述第二接触件的钝化层；

设置在所述钝化层中的第一场板，其中所述栅极接触件通过所述钝化层的区域与所述第一场板隔离；

设置在所述钝化层中并连接至所述漏极接触件的第二场板。

14.如权利要求11所述的电子器件，其中所述第一接触件包括漏极接触件，以及其中所述第二接触件包括源极接触件。

15.如权利要求14所述的电子器件，进一步包括：

设置在所述第二层之上并围绕所述栅极接触件的钝化层；

设置在所述钝化层中并连接至所述源极接触件的第一场板，其中所述栅极接触件通过所述钝化层的区域与所述场板隔离。

16.如权利要求11所述的电子器件，其中所述第一层通过在所述2DEG层中的开口与所述第二层接触，以及其中所述开口与所述栅极接触件对准。

17.如权利要求11所述的电子器件，其中所述第一层包括氮化镓(GaN)以及所述第二层包括铝氮化镓(AlGaN)，以及其中所述缓冲层包括氮化铝和GaN与AlGaN的交替层。

18.一种制造高电子迁移率晶体管(HEMT)的方法，所述方法包括：

在基底层的第一表面上形成第一接触件；

在所述基底层的第二表面上形成缓冲层，其中所述第二表面与所述第一表面相对；

形成与所述缓冲层毗邻的包括镓的第一层；

形成与所述包含镓的第一层毗邻的二维电子气(2DEG)层；

形成与所述2DEG层毗邻的包含镓的第二层；

在所述第二层上形成第二接触件；

在所述第二层上形成栅极接触件；

形成具有延伸完全穿透所述第二层、所述2DEG层、所述第一层和所述缓冲层并穿入所述基底层的侧壁的沟槽，其中所述沟槽具有位于所述基底层内的底部；

在位于所述第一层、所述缓冲层和所述第一层的沟槽的侧壁衬垫绝缘材料；以及

在所述沟槽中沉积导电材料，其中所述沟槽中的所述导电材料通过所述沟槽的底部与所述基底层接触；以及其中所述沟槽中的所述导电材料与所述第二层和所述2DEG层接触。

19.如权利要求18所述的方法，其中所述第一接触件包括源极接触件，其中所述第二接触件包括漏极接触件，以及其中所述方法进一步包括，在形成所述沟槽之前，形成间隔件，所述间隔件包括位于所述第二层上邻近所述栅极接触件的绝缘材料，其中然后形成邻近所述间隔件的沟槽。

20.如权利要求18所述的方法，其中所述第一接触件包括漏极接触件，以及其中所述第二接触件包括源极接触件。

具有埋藏式互连件的高电子迁移率晶体管

[0001] 相关美国申请

[0002] 本申请要求于2016年12月2日提交的,A.Shiibib等人的题为“高压硅上GaN HEMT器件”,序列号为62/429,629的美国临时申请的优先权,其整体通过引用并入本文中。

背景技术

[0003] 高电子迁移率晶体管(HEMT)是场效应晶体管(FET),其将具有不同带隙的两种材料之间的结合并为沟道而不是作为金属氧化物半导体FET(MOSFET)中的典型示例的掺杂区。HEMT具有低导通状态电阻、高击穿电压、和低开关损耗的特性,使得他们成为在如无线通信系统中的卓越的功率器件(例如,功率放大器)。

[0004] 特别地,在硅衬底上使用氮化镓(GaN)和铝GaN(AlGaN)的HEMT对于处理功率电子器件中的高频率处的高电压和电流是重要的。基于GaN的HEMT在功率开关应用中比其他类型的HEMT更多地使用,因为它们的特性和成本结构被证明非常适合于广泛的应用。

[0005] 传统的HEMT是平面的,其源极和漏极都位于上表面。当器件处于导通状态时,主电流在从源极到漏极的横向方向上。栅极与源极和漏极也在同一表面上。因此,用于可处理高电流的器件的金属化和布线需要至少两个或更可能三个金属层级。除了由于这些金属互连的电阻而引起的功率损失之外,互连产生了寄生电感和电容成分。电阻性、电容性和电感性寄生效应都会造成器件高频性能的下降,并且在器件在转换状态时也难以防止器件所处的电路中的振动。

[0006] 因而,需要一种减小由于源极、栅极和漏极端子的复杂布线而导致的寄生互连的器件。

[0007] 概要

[0008] 根据本发明的实施例提供具有本质上在垂直方向上分布的电流的高电子迁移率晶体管(HEMT)器件。根据本发明的HEMT减少了寄生互连的数量和简化了源极、栅极和漏极段子的布线。在这些实施例中,器件的每个单元仅仅具有两个设置在(如,上)表面的端子和设置在相反的(如,下)表面的第三端子。

[0009] 在根据本发明的实施例中的垂直电流流动器件有利地包括氮化镓(GaN)外延层,其可以使用与硅工艺相配的设备在直径为至少六,八或者12英寸的标准可用硅衬底上生长,从而减少制造成本。

[0010] 在根据本发明的实施例中的垂直电流流动器件还通过减小栅极附近面对漏极的电场,尤其是在漏极附近的栅极边缘处的电场来改善击穿电压。此外,根据本发明的实施例中的垂直电流流动装置有利地减小了单元节距(pitch),使得相对于传统器件在给定区域中可以存在更多单元。

[0011] 在一个实施例中,HEMT包括硅的衬底层,设置在衬底层的第一表面上的第一接触件以及设置在衬底层的与第一表面相对的第二表面上的多个层。这些层包括缓冲层,包含镓(例如,镓氮层)的第一层,二维电子气(2DEG)层以及包含镓(例如铝镓氮层)的第二层。第二接触件和栅极接触件设置在这些层上。包含导电材料的沟槽延伸完全穿过这些层并穿入

衬底层。沟槽还包括设置在导电材料和一些层之间的绝缘层。沟槽中的导电材料通过绝缘层中的开口与衬底层接触，并且还与2DEG层和第二层接触。在一个实施例中，第一触点是漏极触点，第二触点是源极触点。在另一个实施例中，第一触点是源极触点，第二触点是漏极触点。

[0012] 因此，在根据本发明的实施例中，在HEMT中的上述层的“顶部”处有两个接触件(栅极接触件和漏极接触件或源极接触件)以及在HEMT的“底部”(在底层之下)上有一个接触件(根据哪一个在上为源极或漏极触点)。在根据本发明的实施例中的器件结构提供了许多优点。

[0013] 由于根据本发明的HEMT具有垂直结构而不是传统的平面结构或横向结构，所以将源极、漏极和栅极金属线路由到其相应的焊盘或端子所需的金属层的数量减少了。而且，在根据本发明的HEMT中，不需要硅衬底和适当电势之间的特定连接(在集成电路或芯片上或在封装中)。这便于制造，并且还消除了电阻性，电容性和电感性寄生元件的来源，这些寄生元件可能会干扰器件性能并且在器件切换状态时引起不希望的振动。

[0014] 另外，因为在器件的一个表面上只有两个接触件而不是三个接触件，所以单元宽度减小了，这意味着可以增加单元密度(即，相对于传统的(如横向或平面的)结构，在给定的区域可以放置更多的HEMT)。

[0015] 本领域技术人员在阅读了在各个附图中示出的接下来的详细描述之后，将认识到根据本发明的实施例的这些和其他目的和优点。

[0016] 附图简要说明

[0017] 并入本说明书并构成本说明书的一部分的附图示出了本发明的实施例，并且与说明书一起用于解释本发明的原理。类似的数字在整个附图和说明书中表示相同的元件。这些图像可能不是按比例绘制的。

[0018] 图1示出了在根据本发明的实施例中的包括高电子迁移率晶体管(HEMT)的电子器件的一部分；

[0019] 图2示出了在根据本发明的实施例中的包括HEMT的电子器件的一部分；

[0020] 图3A和3B示出了在根据本发明的实施例中的制造HEMT的方法的示例的流程图；

[0021] 详细说明

[0022] 在接下来对本发明的详细描述中，阐述了许多具体细节以便提供对本发明的透彻理解。然而，本领域技术人员将会认识到，本发明可以在没有这些具体细节的情况下实施或通过其等同物来实施。在其他实例中，众所周知的方法、过程、组件和电路未被详细描述，以免不必要地模糊本发明的各方面。

[0023] 以下详细描述的一些部分是按照用于制造半导体器件的操作的程序、逻辑块、过程和其他象征性表示来呈现的。这些描述和表示是半导体器件制造领域的技术人员用来最有效地将其工作的实质传达给本领域其他技术人员的手段。在本申请中，程序、逻辑块、过程等被认为是导致期望结果的步骤或指令的自洽序列。这些步骤是需要对物理量进行物理操纵的步骤。但是，应该牢记的是，所有这些和类似的术语都与适当的物理量相关联，并且仅仅是适用于这些量的便利标签。除非特别声明，否则从下面的讨论中显而易见的是，应该认识到，在整个本申请中，利用诸如“生长”、“去除”、“形成”、“连接”、“蚀刻”、“沉积”，或类似的术语的讨论，指的是半导体器件制造中的动作和过程(例如，图3A和3B的流程图300)。

[0024] 应该理解，附图不必按比例绘制，并且仅示出了所描绘的装置和结构的一部分以及形成那些结构的各种层。为了简化讨论和说明，可以针对一个或两个设备或结构来描述过程，尽管实际上可以形成多于一个或两个设备或结构。

[0025] 图1是在根据本发明的实施例中包括高电子迁移率晶体管(HEMT)100的电子器件的一部分的横截面的示意图。所示的部分可以被称为单元。在图1的实施例中，HEMT 100包括在硅衬底或层104的第一表面上的第一接触件(源极接触件102)以及在硅层的第二表面上的多个层(与第一表面相反的第二表面)。硅层104的第二表面上的层包括缓冲层106、包括镓的第一层108、二维电子气(2DEG)层110以及包括镓的第二层112。

[0026] 在一个实施例中，第一层108由氮化镓(GaN)构成，并且第二层112由铝GaN(AlGaN)构成。然而，本发明不限于此。除GaN基材料之外的材料，例如砷化镓(GaAs)和铝GaAs(AlGaAs)可以分别用于代替GaN和AlGaN。

[0027] 在一个实施例中，缓冲层106包括氮化铝以及AlGaN和GaN的交替层。缓冲层106中的交替层可以具有不同的厚度。

[0028] 如图1所示，源极接触件102是平面的，并且由源极金属构成。硅层104由高导电的、非常低电阻的硅构成。在一个实施例中，硅层104中的硅的电阻率小于或等于约1毫欧厘米。

[0029] 栅极接触件114设置在第二层112上。通常，栅极接触件114从第二层112上延伸，从而其相对于第二层至少部分地暴露。在一个实施例中，栅极接触件114包括掺杂区域115和金属电极116(欧姆接触)。在这样的实施例中，掺杂区域115由采用p型掺杂物(例如但不限于镁)掺杂的p型GaN构成。

[0030] 在一个实施例中，第一层108通过2DEG层110中的开口111与第二层112接触。开口111的端部本质上与栅极接触件114的边缘对齐。

[0031] 在图1的实施例中，在第二层112上还设置有第二接触件(漏极接触件124)。通常，漏极接触件124从第二层112延伸，使得其相对于第二层至少部分地暴露。

[0032] 在图1的实施例中，HEMT 100包括可以在本文中被称为埋藏式互连件的沟槽118。沟槽118包括绝缘层120并填充有诸如金属的导电材料。例如，金属可以是钨。绝缘层120由诸如氮化硅的绝缘材料(例如电介质)构成。

[0033] 沟槽118延伸穿过第二层112、2DEG层110、第一层108和缓冲层106进入硅层104.绝缘层120位于沟槽118的侧壁上，但不在沟槽顶部(在第二层112)处或在沟槽的底部(在硅层104)处。

[0034] 因此，沟槽118中的导电材料与硅层104直接(电)接触。因此，沟槽118提供HEMT 100的上表面(在第二层112处)和源接触件102之间的较小或最小电阻的路径。

[0035] 而且，绝缘层120是凹陷的，使得沟槽118中的第二层112，2DEG层110和导电材料直接(电)接触。也就是说，绝缘层120仅设置在位于沟槽中的导电材料与第一层108、缓冲层106以及硅层104之间的沟槽118的侧壁处(但不在如上所述的沟槽的底部处)。

[0036] 在一个实施例中，沟槽118通过间隔件122与栅极接触件114分开。间隔件122由绝缘材料构成，并且可以由与绝缘层120中使用的绝缘材料相同的绝缘材料构成。间隔件122因此将栅极接触件114与沟槽118隔离。间隔件122允许栅极接触件114和沟槽118尽可能制造成彼此靠近而不使栅极与沟槽和源极短路(取决于制造工艺的限制)，从而减小单元宽度W。

[0037] 在图1的实施例中，HEMT 100包括钝化层128、第一场板130和第二场板132。一般而言，场板130和132分散电场并且缓解电场在栅极边缘的尖峰，从而扩展器件的击穿电压。第一场板130设置在钝化层128内，在栅极接触件114附近，并且通过钝化层的一部分或区域与栅极接触件分开。金属互连件126从漏极接触件124延伸穿过并从钝化层128穿出，从而暴露在钝化层的外部。在本实施例中，第二场板132设置在漏极接触件124和栅极接触件114之间，并连接到金属互连件126。连接到栅极接触件114和第一场板130的电连接件处于z方向。

[0038] 总结图1的实施例，HEMT 100仅包括在“顶部”表面(在第二层112处或第二层112之上)的栅极接触件114和漏极接触件124，和在“底部”表面(在硅层104处或在硅层104之上)的源极接触件。因此，消除了可能引起栅极开关波形振铃的主要寄生问题的源电感。而且，在源极接触102设置在底部的情况下，源极到栅极金属化耦合被减小或最小化，这显着降低了寄生效应。

[0039] 图2是在根据本发明的实施例中包括HEMT 200的电子器件的一部分的横截面的示意图。所示的部分可以被称为单元。在图2的实施例中，HEMT 200包括在硅衬底或层204的第一表面上的第一接触件(漏极接触件202)以及在硅层的第二表面上的多个层(第二表面与第一表面相对)。硅层204的第二表面上的层包括缓冲层206、包括镓的第一层208，2DEG层210以及包括镓的第二层212。

[0040] 在一个实施例中，第一层208由GaN构成，并且第二层212由AlGaN构成。然而，本发明不限于此。除了基于GaN的材料(诸如GaAs和AlGaAs)之外的材料可以分别用来代替GaN和AlGaN。

[0041] 在一个实施例中，缓冲层206包括氮化铝以及AlGaN和GaN的交替层。缓冲层206中的交替层可以具有不同的厚度。

[0042] 如图2所示，漏极接触件202是平面的并且由漏极金属构成。硅层204由高导电的、非常低电阻的硅构成。在一个实施例中，硅层204中的硅的电阻率小于或等于大约一毫欧厘米。

[0043] 栅极接触件214设置在第二层212上。通常，栅极接触件214从第二层212延伸，使得其相对于第二层至少部分地暴露。在一个实施例中，栅极接触件214包括掺杂区域215和金属电极216(欧姆接触)。在这样的实施例中，掺杂区域215由p型掺杂物(例如但不限于镁)掺杂成的p型GaN构成。

[0044] 在一个实施例中，第一层208通过在2DEG层210中的开口211与第二层212接触。开口211的端部与栅极接触件214的边缘本质上对齐。

[0045] 在图2的实施例中，第二接触件(源极接触件224)也设置在第二层212上。通常，源极接触件224从第二层212延伸，从而其相对于第二层至少部分地暴露。

[0046] 在图2的实施例中，HEMT 200包括沟槽218，其在本文中可以被称为埋藏式互连件。沟槽218包括绝缘层220并填充有诸如金属的导电材料。例如，金属可以是钨。例如，绝缘层220由诸如氮化硅的绝缘材料(例如电介质)组成。在一个实施例中，绝缘层220的厚度与漏极电压电平成比例。

[0047] 沟槽218延伸穿过第二层212、2DEG层210、第一层208和缓冲层206进入硅层204。绝缘层220位于沟槽218的侧壁上，但不在沟槽顶部(在第二层212处)或在沟槽的底部(在硅层204处)。

[0048] 因此，沟槽218中的导电材料与硅层204直接(电)接触。因此，沟槽218提供位于HEMT200的上表面(在第二层212处)和漏极接触件202之间的较小或最小电阻的路径。

[0049] 而且，绝缘层220凹陷，使得沟槽218中的第二层21、2DEG层210和导电材料直接(电)接触。也就是说，绝缘层220仅设置在位于沟槽218中的导电材料与第一层208，缓冲层206和硅层204之间的沟槽218的侧壁上(但不在如上所述的沟槽的底部处)。

[0050] 在图2的实施例中，HEMT 200包括钝化层228和场板232。一般而言，场板232扩展电场，减小在栅极边缘处的电场的峰化，并且扩展器件的击穿电压。场板232设置在钝化层228内，在栅极接触件214附近，并且通过钝化层的一部分或者区域与栅极接触件分开。金属互连230从源极接触件224延伸穿过钝化层228并从钝化层228穿出，从而暴露在钝化层的外部。在本实施例中，场板232连接到金属互连件230。连接到栅极接触件214和场板232的电连接件在z方向上。

[0051] 总结图2的实施例，HEMT 200包括在“顶部”表面(在第二层212处或在第二层212之上)仅栅极接触件214和源极接触件224，以及在“底部”表面(在硅层204处或在硅层204之上)的漏极连接件。因为漏极金属仅存在于HEMT 200的底部，所以栅极金属和漏极金属之间的相互作用被去除，并且在漏极接触件202与栅极或源极之间不存在电容耦合。因此，漏极接触件202(开关端子)与栅极和源极之间的寄生电容减小或最小化。这样可以减少如栅极振铃等寄生效应，并且提高设备性能。

[0052] 除了已经提到的那些之外，图1和图2的实施例还提供了其他优点。首先，由于HEMT 100和200具有垂直结构而不是传统的横向或平面结构，所以将源极、漏极和栅极金属线路布线至其相应的焊盘或端子所需的金属层数减少了。而且，不需要在导电硅衬底和合适的电势之间的特殊连接(在集成电路或芯片上或在封装中)。这些特性便于制造，并且还消除了电阻性，电容性和电感性寄生元件的来源，这些元件在器件切换状态时会干扰器件性能并引起不希望的振荡。

[0053] 另外，因为在器件的一个表面上只有两个接触件而不是三个接触件，所以单元宽度减小了，这意味着可以增加单元密度(相对于传统的(例如平面的或者横向的)结构，可以将更多的HEMT放置在给定的区域中)。

[0054] 图3A和3B是在根据本发明的实施例中制造器件(例如，分别为图1和图2的HEMT 100和200)的方法或过程的流程图300。图3A和3B在单个单元的情况下进行讨论，但是可以容易地扩展到多个这种单元并行的制造中。

[0055] 在图3A的框302中，在基底(硅)层的第一表面上形成第一接触件。在图1的实施例中，第一接触件是源极接触件。在图2的实施例中，第一接触件是漏极接触件。

[0056] 在图3A的框304中，缓冲层形成在基底层的第二表面上，其中第二表面与第一表面相对。

[0057] 在框306中，包括镓(例如，GaN)的第一层毗邻缓冲层形成。在一个实施例中，利用金属-有机化学气相沉积(MOCVD)外延生长第一层。

[0058] 在框308中，2DEG层毗邻第一层形成。

[0059] 在框310中，包含镓(例如，AlGaN)的第二层盘毗邻2DEG层形成。在一个实施例中，第二层采用MOCVD外延生长。

[0060] 在框312中，在第二层上形成第二接触件。在图1的实施例中，第二接触件是漏极接

触件。在图2的实施例中，第二接触件是源极接触件。

[0061] 在图3B的框314中，栅极接触件形成在第二层之上。

[0062] 在框316中，(如，等离子刻蚀或反应离子刻蚀)形成沟槽，其中，沟槽具有延伸完全穿透第二层、2DEG层、第一层和缓冲层并穿入基底层的侧壁和位于基底层中的底部。

[0063] 在框318中，沟槽的侧壁(而不是沟槽的底部)衬有绝缘材料。绝缘材料设置为使得当沟槽填充有导电材料时(方框320)，沟槽中的导电材料与第二层，2DEG层以及衬底层直接接触。这可以通过将沟槽的侧壁(不包括沟槽的底部)用绝缘材料衬垫到2DEG层的底部的高度来实现，或者通过采用绝缘材料将沟槽的侧壁(不包括沟槽的底部)衬垫到2DEG层底部以上的高度，然后将绝缘材料去除直到2DEG层的底部。

[0064] 在框320中，将导电材料沉积到沟槽中。

[0065] 在框322中，形成器件的剩余元件，例如但不限于钝化层、场板、以及栅极、源极和漏极互连件。

[0066] 在一个实施例中(例如，图1的实施例)，在方框324中，在方框314中形成沟槽之前，在栅极接触件旁边的第二层上形成间隔物，然后在间隔物旁边形成沟槽。在另一个实施例中，形成沟槽，然后将内衬绝缘体沉积到沟槽中，并以使其离开栅极触件旁边的隔板并沿着沟槽的侧壁这样的方式进行蚀刻。

[0067] 在图3A和3B中，被描述为单独的框的操作可以在相同的处理步骤中(即，在相同的时间间隔中，在前面的处理步骤之后，在下一个处理步骤之前)进行组合和执行。而且，这些操作可以以与它们在下面描述的顺序不同的顺序执行。此外，制造工艺和步骤可以与本文讨论的工艺和步骤一起执行；也就是说，在本文所示出的和所述的步骤之前、之间和/或之后可以有多个处理步骤。重要的是，根据本发明的实施例可以结合这些其他(可能是传统的)处理和步骤而实施，而不会显著干扰它们。一般而言，根据本发明的实施例可以替代传统处理的部分而不显著影响外围处理和步骤。

[0068] 总之，在根据本发明的实施例中，引入了垂直HEMT。在这些实施例中，器件的每个单元仅具有设置在一个(例如，上部)表面处的两个端子和在相对(例如，底部)表面处的第三端子。根据本发明的HEMT减少了寄生互连件的数量，简化了源极、栅极和漏极端子的布线，并且允许增加的单元密度。

[0069] 为了说明和描述的目的，已经呈现了本发明的特定实施例的前述描述。它们不意味着穷尽的或者将本发明限制为所公开的确切形式，并且根据上述教导可以进行许多修改和变化。选择和描述实施例是为了最好地解释本发明的原理及其实际应用，从而使本领域的其他技术人员能够最佳地利用本发明以及具有适合于预期的特定用途的各种修改的各种实施例。本发明的范围意图由所附权利要求及其等同物限定。

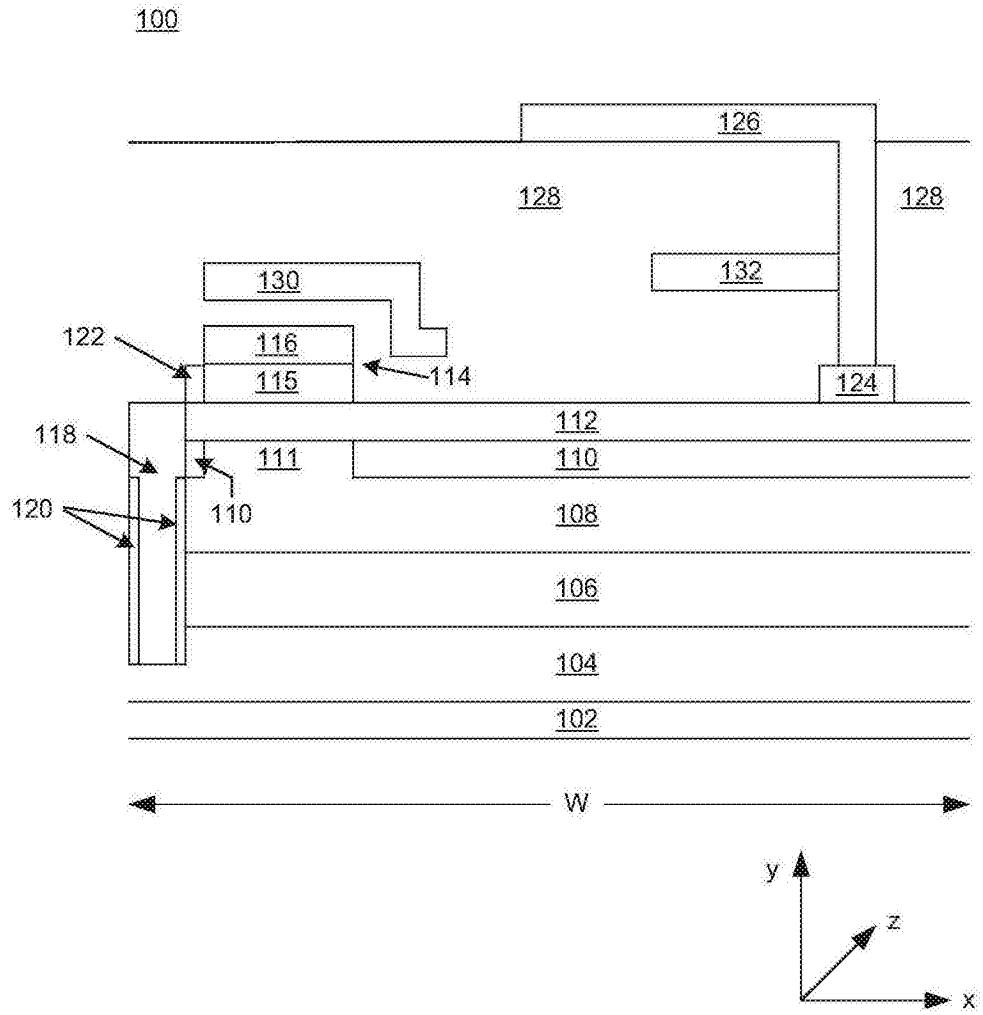

100
126
128
128
132
130
122
116
115
114
124
112
118
111
110
110
120
108
106
104
102
W
y
z
x

图1

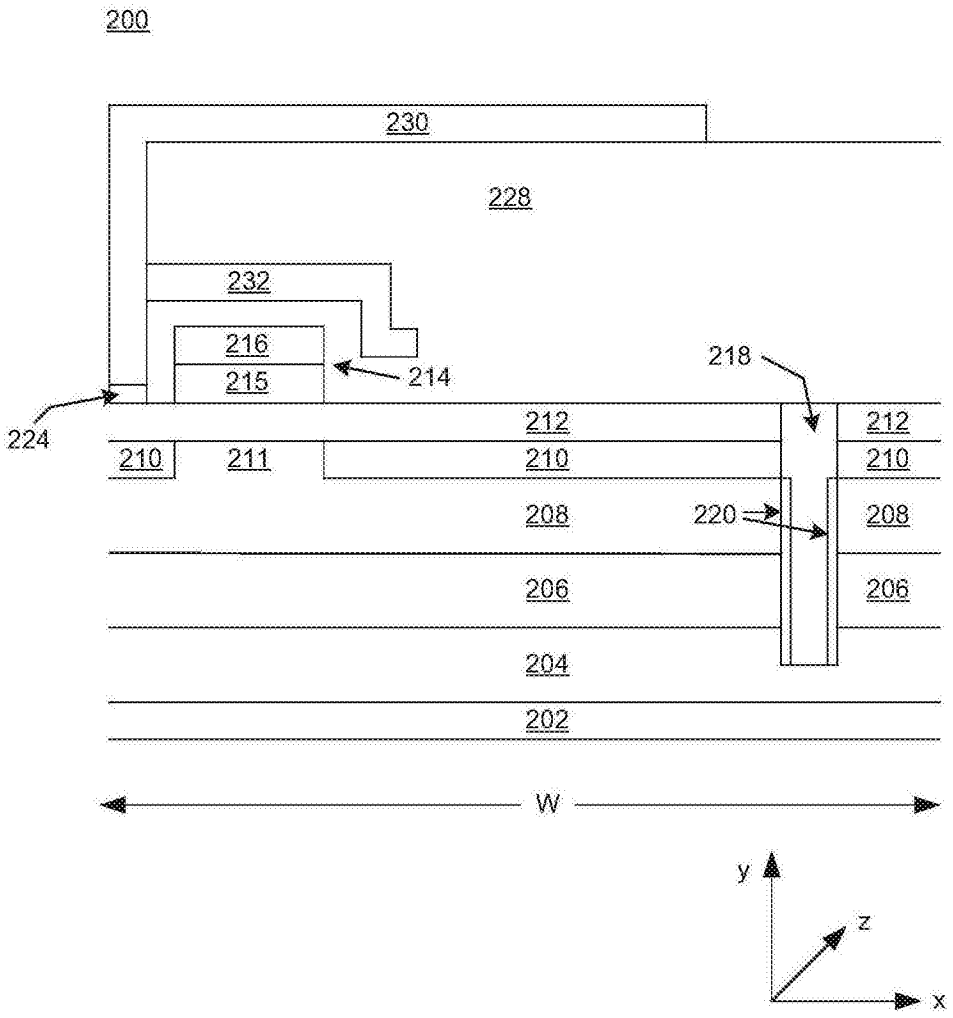

200
230
228
232
216
215
214
218
224
212
210
211
210
212
210
208
220
208
206
206
204
202
W
y
z
x

图2

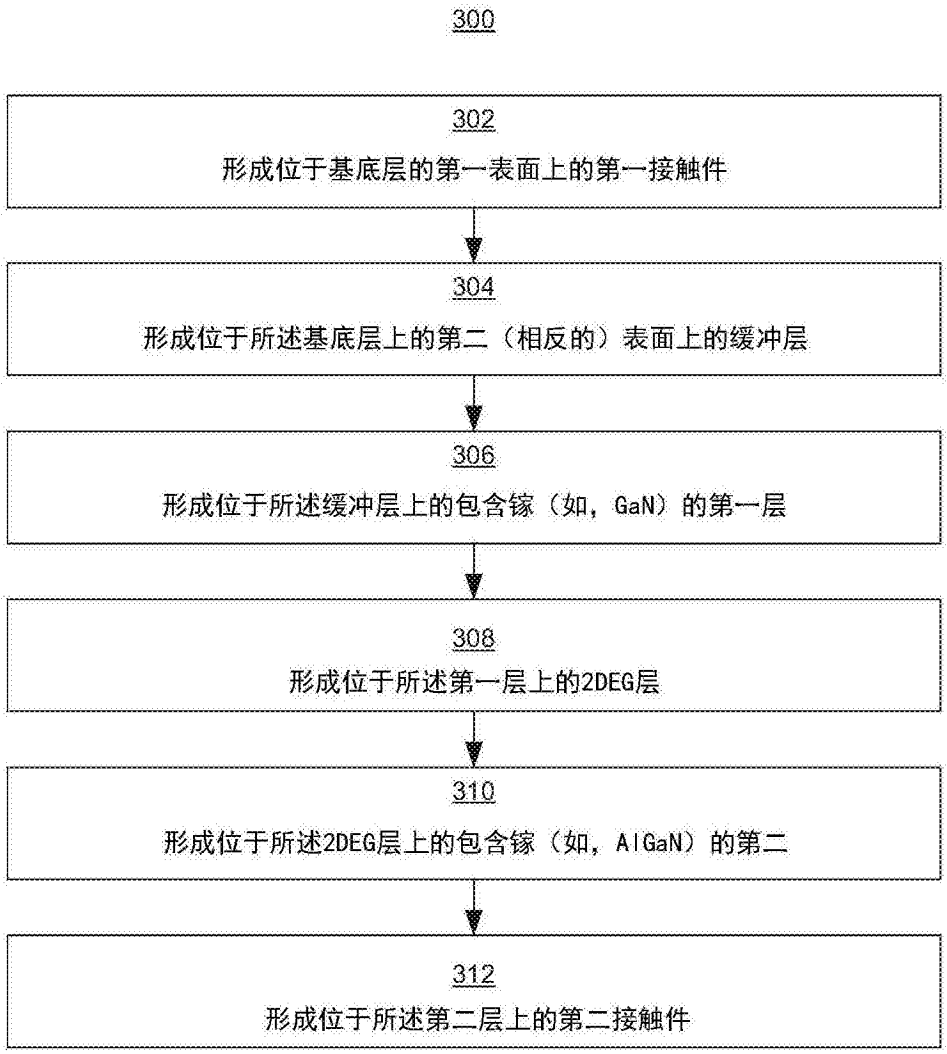

300
302
形成位于基底层的第一表面上的第一接触件
304
形成位于所述基底层上的第二（相反的）表面上的缓冲层
306
形成位于所述缓冲层上的包含镓（如，GaN）的第一层
308
形成位于所述第一层上的2DEG层
310
形成位于所述2DEG层上的包含镓（如，AlGaN）的第二
312
形成位于所述第二层上的第二接触件

图3A

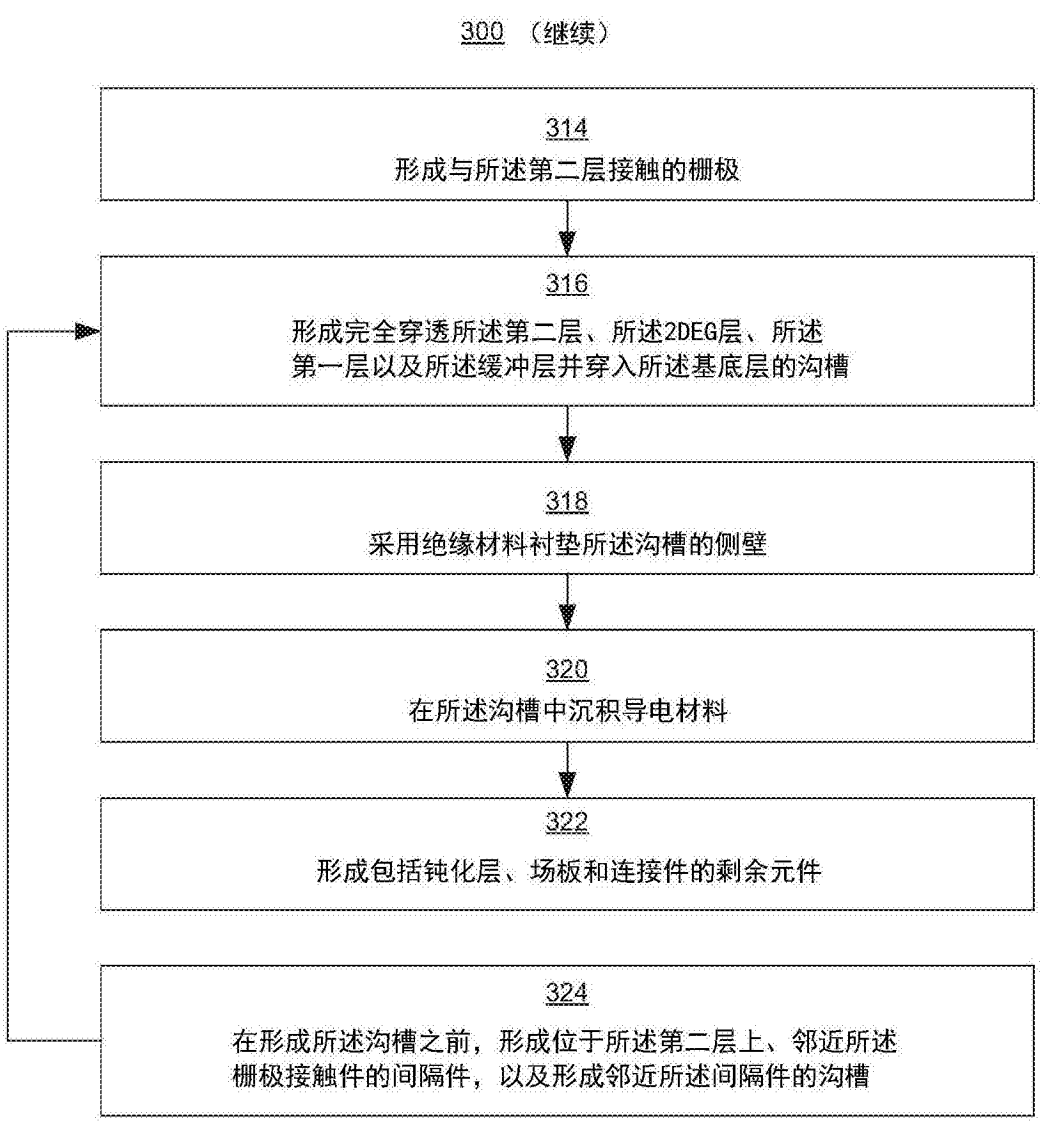

300 （继续）
314
形成与所述第二层接触的栅极
316
形成完全穿透所述第二层、所述2DEG层、所述第一层以及所述缓冲层并穿入所述基底层的沟槽
318
采用绝缘材料衬垫所述沟槽的侧壁
320
在所述沟槽中沉积导电材料
322
形成包括钝化层、场板和连接件的剩余元件
324
在形成所述沟槽之前，形成位于所述第二层上、邻近所述栅极接触件的间隔件，以及形成邻近所述间隔件的沟槽

图3B